



(12) 发明专利

(10) 授权公告号 CN 102709268 B

(45) 授权公告日 2015. 04. 08

(21) 申请号 201210209452. 1

(22) 申请日 2008. 07. 18

(30) 优先权数据

2007-187789 2007. 07. 19 JP

2007-316920 2007. 12. 07 JP

(62) 分案原申请数据

200810133942. 1 2008. 07. 18

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 高桥典之

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 郑菊

(51) Int. Cl.

H01L 23/495(2006. 01)

H01L 23/31(2006. 01)

H01L 21/58(2006. 01)

(56) 对比文件

US 4791472 A, 1988. 12. 13, 说明书第 1 栏第 50 行 - 第 6 栏第 35 行, 附图 1-6.

US 20040256707 A1, 2004. 12. 23, 说明书第 [0045]-[0148] 段, 附图 1-30.

US 20050146058 A1, 2005. 07. 07, 说明书第 [0037]-[0111] 段, 附图 1-18.

CN 1666338 A, 2005. 09. 07, 全文.

审查员 谢群锋

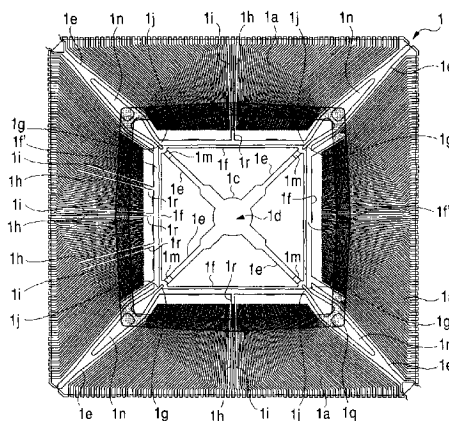
权利要求书2页 说明书16页 附图30页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

提供了一种使用引线框架的多引脚结构的半导体器件。所述半导体器件包括:具有芯片支撑表面的垫片,所述芯片支撑表面的尺寸小于所述半导体芯片的背部表面;布置在所述垫片周围的多条引线,所述半导体芯片安装在所述垫片的芯片支撑表面上方;多条悬挂引线,其用于支撑所述垫片;四条条引线,其布置在所述垫片外侧以便围绕所述垫片,并且其耦合至所述悬挂引线;多条导线,用于在半导体芯片和所述引线之间进行耦合;以及密封体,用于利用树脂来密封所述半导体芯片和所述导线,第一缝隙分别形成在条引线的用于与所述悬挂引线耦合的第一耦合部分中。



1. 一种半导体器件,包括:

芯片安装部分;

安装在所述芯片安装部分上的半导体芯片,所述半导体芯片具有主表面、与所述主表面相反的背表面、形成在所述主表面上的多个第一电极以及形成在所述主表面上的多个第二电极;

支撑所述芯片安装部分的多条悬挂引线;

在平面图中布置在所述芯片安装部分周围的多条公共引线;

在平面图中布置在所述芯片安装部分周围的多条引线;

分别将所述第一电极与所述引线耦合的多条第一导线;

将所述第二电极与所述公共引线电耦合的多条第二导线;以及

密封所述半导体芯片、所述芯片安装部分、所述第一导线和所述第二导线的密封体;

其中,在平面图中,所述公共引线布置在所述芯片安装部分和所述多个引线之间;

其中,每个公共引线布置在平面图中彼此相邻的悬挂引线之间并且与所述相邻的悬挂引线的每一个的第一部分相连;

其中,在平面图中,每个悬挂引线具有缝隙,该缝隙在所述悬挂引线的宽度方向中在所述悬挂引线的内部,所述缝隙形成在包括其所述第一部分的所述悬挂引线的第一区域中;并且

其中,所述缝隙包括形成在对应的悬挂引线和相邻公共引线的结合区域中的部分。

2. 根据权利要求1所述的半导体器件,其中所述芯片安装部分、所述悬挂引线、所述公共引线和所述引线包含铜。

3. 根据权利要求1所述的半导体器件,其中所述芯片安装部分的平面图中的维度比所述半导体芯片的对应维度小。

4. 根据权利要求1所述的半导体器件,其中将所述公共引线中的每一个形成为直的。

5. 根据权利要求1所述的半导体器件,其中每个悬挂引线具有在比所述第一部分更接近所述芯片安装部分的第二部分处形成的偏移部分。

6. 根据权利要求1所述的半导体器件,其中所述公共引线的第二公共引线与所述引线的第二引线相连。

7. 根据权利要求6所述的半导体器件,其中所述公共引线的第二公共引线不与所述引线相连;并且

其中所述第二公共引线具有偏移部分。

8. 一种半导体器件,包括:

芯片安装部分;

安装在所述芯片安装部分上的半导体芯片,所述半导体芯片具有主表面、与所述主表面相反的背表面、形成在所述主表面上的多个第一电极以及形成在所述主表面上的多个第二电极;

支撑所述芯片安装部分的多条悬挂引线;

在平面图中布置在所述芯片安装部分周围的多条公共引线;

在平面图中布置在所述芯片安装部分周围的多条引线;

分别将所述第一电极与所述引线耦合的多条第一导线;

将所述第二电极与所述公共引线电耦合的多条第二导线；以及

密封所述半导体芯片、所述芯片安装部分、所述第一导线和所述第二导线的密封体；

其中，在平面图中，所述公共引线布置在所述芯片安装部分和所述多个引线之间；

其中，每个公共引线布置在平面图中彼此相邻的悬挂引线之间并且与所述相邻的悬挂引线的每一个的第一部分相连；

其中，在平面图中，每个悬挂引线具有缝隙，该缝隙在所述悬挂引线的宽度方向中在所述悬挂引线的内部，所述缝隙在所述悬挂引线的厚度方向中延伸通过所述悬挂引线并且形成在包括其所述第一部分的所述悬挂引线的第一区域中；并且

其中，所述缝隙包括形成在对应的悬挂引线和相邻公共引线的结合区域中的部分。

9. 根据权利要求 8 所述的半导体器件，其中所述芯片安装部分、所述悬挂引线、所述公共引线和所述引线包含铜。

10. 根据权利要求 8 所述的半导体器件，其中所述芯片安装部分的平面图中的维度比所述半导体芯片的对应维度小。

11. 根据权利要求 8 所述的半导体器件，其中将所述公共引线中的每一个形成为直的。

12. 根据权利要求 8 所述的半导体器件，其中每个悬挂引线具有在比所述第一部分更接近所述芯片安装部分的第二部分处形成的偏移部分。

13. 根据权利要求 8 所述的半导体器件，其中所述公共引线的第二公共引线与所述引线的第二引线相连。

14. 根据权利要求 13 所述的半导体器件，其中所述公共引线的第二公共引线不与所述引线相连；并且

其中所述第二公共引线具有偏移部分。

半导体器件及其制造方法

[0001] 本申请是申请号为“200810133942.1”，申请日为“2008年7月18日”，发明名称为“半导体器件及其制造方法”的发明专利申请的分案申请。

[0002] 分别于2007年12月7以及2007年7月19日提交的日本专利申请No. 2007-316920和No. 2007-187789的公开内容，包括说明书、附图及摘要，均完整包含在此以供参考

技术领域

[0003] 本发明涉及半导体器件，更具体地涉及一种可有效地应用于使用引线框架组装的半导体器件的技术。

背景技术

[0004] 根据已知技术（例如，参见专利文献1），使用了布置在半导体芯片和内部引线之间并且通过导线键合而电耦合到用于半导体芯片的地的焊盘的接地耦合部分，该接地耦合部分电耦合至垫片（tab）悬挂引线并由其支撑，以便使得接地电势稳定。

[0005] 还已知这样一种技术，该技术使用了具有尺寸小于半导体芯片的管芯焊盘的引线框架，并使用绝缘带将引线框架的悬挂引线与内部引线彼此耦合（例如，请参见专利文献2）。

[0006] [专利文献1]

[0007] 日本未经审查专利公开No. 特平11(1999)-168169

[0008] [专利文献2]

[0009] 日本未经审查专利公开No. 特平11(1999)-224929

发明内容

[0010] 随着最近的趋势朝着更高性能的半导体器件发展，也存在这样一种趋势：即例如在半导体器件与外部电子器件之间用于数据信号交换的外部端子的数量（引脚数量）增加。作为一种实现这种多引脚半导体器件的配置，已知的有例如BGA（球栅阵列）。BGA具有这样的结构：其中半导体芯片安装在布线衬底的主表面，作为外部端子的球形电极提供在布线衬底的背部表面。该结构适合于多引脚结构。然而，由于布线衬底是布线层和绝缘层形成的多层结构，因此其材料成本比引线框架的材料成本更高，并且BGA制造成本也相对较高。近来，作为用于降低BGA制造成本的手段，认为所谓的MAP（多阵列封装）方法是有效的，其中将用于形成多个半导体器件的区域提供在一个半导体衬底上，并且在分别于那些区域中安装了半导体芯片之后，利用树脂对这些区域进行块模制（block molding）。

[0011] 然而，由于每个BGA的产品尺寸因多引脚结构而增加，所以从一个布线衬底得到的产品仅仅有4到5个，并且因为使用块模制类型矩阵衬底（用于MAP的衬底），制造成本变得相当高。为了实现成本的降低，有效的是采用诸如QFP（四侧引脚扁平封装）的引线框架类型。

[0012] 通过使用引线框架，就可以降低制造成本，这是因为布线层和绝缘层不像BGA中

使用的布线衬底那样是分布式多层。

[0013] 然而, QFP 是这样的结构:其包括能够将半导体芯片安装在其上的垫片以及围绕该垫片布置的多个引线。即,由于充当外部端子的引线布置在半导体器件的外围边缘部分,所以半导体器件的尺寸随着引脚数量的增加而变大。

[0014] 作为一种用于在引线框架类型半导体器件中实现多引脚结构同时减小半导体器件的尺寸的手段,采用诸如在前述专利文献 1(日本未经审查专利公开 No. 特平 11(1999)-168169) 中公开的此类技术是有效的,其中使电源和 GND(地)成为公共的,以减少引出到外部的端子(外部端子)的数量。更具体地,提供了被称作汇流条引线或者条引线的公共引线,并且将诸如电源和 GND 导线的导线耦合到汇流条引线以使用该公共的引线,从而实现多引脚结构同时减少引出到外部的端子的数量。

[0015] 然而,由于引线框架由金属制成,因此该引线框架易于经受在用于安装半导体芯片的管芯键合工艺中以及在用于通过导线将半导体芯片和引线彼此电耦合的导线键合工艺中的热的影响下的膨胀或者收缩(热应变)。在引线框架由诸如铜合金的金属形成时,尤其易于发生这种膨胀和收缩。在导线键合工艺中,可以在每条引线的一部分(比导线耦合部分更外的区域)利用钳位夹具(夹持器)被固定的状态下来执行导线键合。但是,平坦地重叠在形成半导体芯片-引线耦合导线的区域中的汇流条引线不能利用该钳位夹具来夹持。因此,当引线框架遭受膨胀作用时,汇流条引线变得不能在水平方向上膨胀,因为其两端被固定至垫片悬挂引线,结果引起汇流条引线偏斜。如果汇流条引线和导线是在这种状态下耦合在一起,则没有通过钳位夹具夹持的第二侧跳起,引起没有压力的导线键合,这会导致导线的剥离(断裂)。

[0016] 真空吸盘装卡作为汇流条引线固定方法可以是有效的。然而,即使执行了真空吸盘装卡,完全抑制引线框架的偏斜仍很困难。另外,在布线键合工艺中使用的加热台的温度因抽真空而发生改变,同样易于发生有缺陷的导线耦合。

[0017] 需要键合将与引线耦合的导线,同时横跨汇流条引线。因此,如果汇流条引线因热应变而偏斜,将会出现导线短接。

[0018] 另外,通过如前述专利文献 1 中所示的汇流条引线的这种仅仅环状的布置,还容易与汇流条引线的热波动同步地出现垫片的波动。

[0019] 除此之外,由于内部引线的数量也因多引脚结构而增加,所以内部引线尖端形状变得会聚,因此产生了内部引线的刚性恶化的问题。

[0020] 另外,由于内部引线的数量因多引脚结构而增加,引线之间的间距变得更小,使得树脂模制时的模制树脂的流动性恶化。

[0021] 在前述专利文献 1 中,存在对小型垫片结构的描述,其中接地耦合部分提供在该垫片和内部引线之间。在前述专利文献 2(日本未经审查专利公开 No. 特平 11(1999)-224929) 中,有对于其中使悬挂引线弯曲的小型垫片结构的描述。

[0022] 然而,在两个专利文献 1 和 2 中,没有发现对于在引线框架的热的影响下因膨胀或者收缩而偏斜的汇流条引线的对策。

[0023] 本发明的目的是提供一种允许使用引线框架来制造多引脚半导体器件的技术。

[0024] 本发明的另一目的是提供一种能够实现半导体器件的成本降低的技术。

[0025] 本发明的又一目的是提供一种能够提高半导体器件的可靠性的技术。

[0026] 本发明的再一目的是提供一种能够提高半导体器件的质量的技术。

[0027] 通过下列描述以及附图,本发明的上述目的、其他目的及新颖的特征都将变得显而易见。

[0028] 下面是此处公开的本发明的典型模式的概述。

[0029] 一种半导体器件,包括:芯片安装部分,其具有芯片支撑表面,其中该芯片支撑表面的尺寸小于半导体芯片的背部表面的尺寸;多条引线,其布置在所述芯片安装部分周围;半导体芯片,其安装在所述芯片安装部分的所述芯片支撑表面上方;多条悬挂引线,其用于支撑所述芯片安装部分;以及条状公共引线,其布置在所述芯片安装部分外部,使得该公共引线围绕该芯片安装部分,并且耦合到该悬挂引线,其中第一缝隙形成在所述公共引线中。

[0030] 一种用于制造半导体器件的方法,所述方法包括步骤:提供引线框架,所述引线框架包括:芯片安装部分,与所述芯片安装部分集成的多条悬挂引线,每条悬挂引线具有缝隙,布置在所述芯片安装部分周围的多条引线,以及与所述悬挂引线集成且定位于所述芯片安装部分和所述引线之间的多条公共引线;在所述芯片安装部分上方安装半导体芯片,其中所述半导体芯片具有主表面,其中形成有多个电极;通过用于所述公共引线的多条导线,将所述半导体芯片的电极与所述公共引线彼此电耦合;通过用于所述引线的多条导线,将所述半导体芯片的电极与所述引线彼此电耦合;利用树脂密封所述半导体芯片、所述芯片安装部分、用于所述公共引线的导线以及用于所述引线的导线。

[0031] 一种半导体器件,包括:芯片安装部分;安装在所述芯片安装部分上的半导体芯片,所述半导体芯片具有主表面、与所述主表面相反的背表面、形成在所述主表面上的多个第一电极以及形成在所述主表面上的多个第二电极;支撑所述芯片安装部分的多条悬挂引线;在平面图中布置在所述芯片安装部分周围的多条公共引线;在平面图中布置在所述芯片安装部分周围的多条引线;分别将所述第一电极与所述引线耦合的多条第一导线;将所述第二电极与所述公共引线电耦合的多条第二导线;以及密封所述半导体芯片、所述芯片安装部分、所述第一导线和所述第二导线的密封体;其中,在平面图中,所述公共引线布置在所述芯片安装部分和所述多个引线之间;其中,每个公共引线布置在平面图中彼此相邻的悬挂引线之间并且与所述相邻的悬挂引线的每一个的第一部分相连;其中,在平面图中,每个悬挂引线具有缝隙,该缝隙在所述悬挂引线的宽度方向中在所述悬挂引线的内部,所述缝隙形成在包括其所述第一部分的所述悬挂引线的第一区域中;并且其中,所述缝隙包括形成在所述对应的悬挂引线和相邻公共引线的结合区域中的部分。

[0032] 一种半导体器件,包括:芯片安装部分;安装在所述芯片安装部分上的半导体芯片,所述半导体芯片具有主表面、与所述主表面相反的背表面、形成在所述主表面上的多个第一电极以及形成在所述主表面上的多个第二电极;支撑所述芯片安装部分的多条悬挂引线;在平面图中布置在所述芯片安装部分周围的多条公共引线;在平面图中布置在所述芯片安装部分周围的多条引线;分别将所述第一电极与所述引线耦合的多条第一导线;将所述第二电极与所述公共引线电耦合的多条第二导线;以及密封所述半导体芯片、所述芯片安装部分、所述第一导线和所述第二导线的密封体;其中,在平面图中,所述公共引线布置在所述芯片安装部分和所述多个引线之间;其中,每个公共引线布置在平面图中彼此相邻的悬挂引线之间并且与所述相邻的悬挂引线的每一个的第一部分相连;其中,在平面图中,每个悬挂引线具有缝隙,该缝隙在所述悬挂引线的宽度方向中在所述悬挂引线的内部,所

述缝隙在所述悬挂引线的厚度方向中延伸通过所述悬挂引线并且形成在包括其所述第一部分的所述悬挂引线的第一区域中；并且其中，所述缝隙包括形成在所述对应的悬挂引线和相邻公共引线的结合区域中的部分。

[0033] 下面是对此处公开的本发明典型模式所得到的效果的简要描述。

[0034] 由于耦合至悬挂引线的条状公共引线布置在所述芯片安装部分的外侧以便围绕所述芯片安装部分，并且在公共引线中形成缝隙，所以即使所述公共引线遭受到因热影响而诱发的膨胀或者收缩作用，该膨胀或者收缩作用也能够通过该缝隙而得到缓解，因此就可以减小因所述公共引线的膨胀或者收缩而引起的偏斜（变形）。

[0035] 因此，就可以防止出现导线剥离并因此可以实现至公共引线的导线键合。从而，就可以实现使用引线框架的多引脚半导体器件的制造。

[0036] 此外，引线框架的使用允许了半导体器件成本的降低。

[0037] 另外，由于能够减小因公共引线的膨胀或者收缩所引起的偏斜，因此就可以减少导线短接的出现。结果，就可以提高半导体器件的可靠性以及半导体器件的质量

附图说明

[0038] 图 1 是示出了根据本发明实施方式的半导体器件的结构实例的平面图；

[0039] 图 2 是示出了沿着图 1 中的线 A-A 截取的结构实例的剖面图；

[0040] 图 3 是示出了沿着图 1 中的线 B-B 截取的结构实例的剖面图；

[0041] 图 4 是示出了直到完成图 1 所示半导体器件组装中的导线键合的制造工艺的实例的剖面图；

[0042] 图 5 是示出了组装图 1 所示半导体器件中的导线键合之后的制造工艺的实例的剖面图；

[0043] 图 6A 是示出了组装图 1 所示半导体器件中使用的引线框架的结构实例的局部平面图；

[0044] 图 6B 是示出了组装图 6A 所示半导体器件中使用的引线框架一部分的局部放大平面图；

[0045] 图 7 是示出了组装图 1 所示半导体器件中使用的引线框架的第二偏移部分的结构实例的局部平面图；

[0046] 图 8 是示出了沿着图 7 中的线 A-A 截取的结构实例的剖面图；

[0047] 图 9 是示出了组装图 1 所示半导体器件中导线键合期间的夹持区域的实例的平面图；

[0048] 图 10 是示出了组装图 1 所示半导体器件中导线键合期间的夹持结构的实例的剖面图；

[0049] 图 11 是示出了组装图 1 所示半导体器件中树脂模制后穿过密封体的结构实例的局部平面图；

[0050] 图 12 示出了根据本发明实施方式的变型在组装半导体器件中使用的引线框架的结构剖面图；

[0051] 图 13 是示出了根据该变型在组装半导体器件中树脂模制后穿过密封体的结构的局部平面图；

- [0052] 图 14 是示出了根据该变型的半导体器件的结构的剖面图；
- [0053] 图 15 是示出了在本发明的实施方式中在使用无偏移引线框架的情况下利用模型进行模型夹持时的结构实例的局部剖面图；
- [0054] 图 16 示出了在本发明实施方式中在组装半导体器件中使用的采用了大型垫片的引线框架的结构实例的局部平面图；
- [0055] 图 17 是示出了在组装利用图 16 所示引线框架的半导体器件中在树脂模制后穿过密封体的结构实例的局部平面图；
- [0056] 图 18 是示出了图 17 中所示半导体器件的结构实例的剖面图；
- [0057] 图 19 示出了在本发明实施方式中在公共引线中具有缝隙的引线框架的的结构实例的局部平面图；
- [0058] 图 20 是示出了沿着图 19 中的线 A-A 截取的结构实例的剖面图；
- [0059] 图 21 是图 19 中所示引线框架中的缝隙形成部分的结构实例的局部放大平面图；
- [0060] 图 22 是示出了在组装利用图 19 所示引线框架的导体器件中在树脂模制后穿过密封体的结构实例的局部平面图；
- [0061] 图 23 是示出了沿着图 22 中的线 A-A 截取的结构实例的剖面图；
- [0062] 图 24 是图 22 中所示结构中的缝隙形成部分的结构实例的局部放大平面图；
- [0063] 图 25 是示出了在本发明实施方式中用于缓和强加在公共引线上的应力的装置的变型实例结构的局部放大平面图；
- [0064] 图 26 是示出了在本发明实施方式使用的引线框架中用于缓和强加在公共引线上的应力的装置的另一变型实例结构的局部平面图；
- [0065] 图 27 是示出了在本发明实施方式使用的引线框架中用于缓和强加在公共引线上的应力的装置的又一变型实例结构的局部平面图；
- [0066] 图 28(a)、图 28(b) 和图 28(c) 示出了根据本发明实施方式的另一变型的半导体器件 (QFN) 的结构, 其中图 28(a) 示出了平面图, 图 28(b) 示出了剖面图, 图 28(c) 示出了后视图；
- [0067] 图 29(a)、图 29(b) 和图 29(c) 示出了根据本发明实施方式的又一变型的半导体器件 (SOP) 的结构, 其中图 29(a) 示出了平面图, 图 29(b) 示出了剖面图, 图 28(c) 示出了后视图；
- [0068] 图 30(a)、图 30(b) 和图 30(c) 示出了根据本发明实施方式的再一变型的半导体器件 (SON) 的结构, 其中图 30(a) 示出了平面图, 图 30(b) 示出了剖面图, 图 30(c) 示出了后视图；
- [0069] 图 31(a)、图 31(b) 和图 31(c) 示出了根据本发明实施方式的再一变型的半导体器件 (QFN) 的结构, 其中图 31(a) 示出了平面图, 图 31(b) 示出了剖面图, 图 31(c) 示出了后视图；以及
- [0070] 图 32(a)、图 32(b) 和图 32(c) 示出了根据本发明实施方式的再一变型的半导体器件 (SON) 的结构, 其中图 32(a) 示出了平面图, 图 32(b) 示出了剖面图, 图 32(c) 示出了后视图。

具体实施方式

[0071] 在出于方便的原因而需要时,将以划分成多个部分或者多个实施方式的形式来描述下列实施方式,但是除非另外指出,否则这些部分或者实施方式并非彼此不相关,而是具有这样的关系:即一个是另一个的一部分或整体的变型或者详细或补充说明。

[0072] 在下面的实施方式中,当参考到元件的数字时(包括数量、数值、量值和范围等),并非对于这些数字的限制,参考该数字以上或者以下的数字也是可以的,除非另外指出,以及除了在本质上明显是对所参考的数字进行限制的情况之外。

[0073] 另外,无需说明也行得通的是,在下面实施方式中的组成元件(包括组成步骤)并非总是必要的,除非另外指出,以及除了在本质上明显这些组成元件是基本的情况之外。

[0074] 同样,应当理解的是,当在下面的实施方式中参考到组成元件的形状或者位置关系时,也包括与这些形状基本接近类似或者相似的形状等,除非另外指出,以及除了从基本原理上明显答案是否定的情况以外。这对于前述的数值和范围也成立。

[0075] 下面将参考附图对本发明的实施方式进行详细的描述。在用于说明实施方式的所有附图中,具有相同功能的部分以类似的参考标号来标识,并且省略了对其的重复阐述。

[0076] (实施方式)

[0077] 图1是示出了根据本发明实施方式的半导体器件的结构实例的平面视图,图2是示出了沿着图1中的线A-A截取的结构实例的剖面视图,图3是示出了沿着图1中的线B-B截取的结构实例的剖面视图,图4是示出了直到完成图1所示半导体器件组装中的导线键合的制造工艺的实例的剖面图,图5是示出了图1所示半导体器件组装中导线键合之后的制造工艺的实例的剖面图。图6A是示出了图1所示半导体器件组装中使用的引线框架的第二偏移部分的结构实例的局部平面图,图6B是示出了图6A所示半导体器件组装中使用的引线框架一部分的局部放大平面图,图7是示出了图1所示半导体器件组装中使用的引线框架的第二偏移部分的结构实例的局部平面图,图8是示出了沿着图7中的线A-A截取的结构实例的剖面视图。图9是示出了组装图1所示半导体器件中的导线键合期间的夹持区域的实例的平面图,图10是示出了图1所示半导体器件组装中导线键合期间的夹持结构的实例的剖面图,图11是示出了图1所示半导体器件组装中树脂模制后穿过密封体的结构实例的局部平面图。

[0078] 图12示出了根据本发明实施方式的变型在半导体器件组装中使用的引线框架的结构剖面图,图13是示出了根据该变型在半导体器件组装中树脂模制后穿过密封体的结构的局部平面图,图14示出了根据该变型的半导体器件的结构剖面图。

[0079] 该实施方式的半导体器件是使用引线框架组装的表面安装类型器件,其具有多个引脚以及耦合有电源和GND的公共引线。下面,将参考QFP6作为半导体器件的实例。

[0080] 现在将参考图1-3,进行与半导体器件的配置相关的描述(QFP6)。QFP6包括:垫片(芯片安装部分)1c,布置在垫片1c周围的多条引线,安装在垫片1c的芯片支撑表面1d上的半导体芯片2,以及用于支撑垫片1c的多条悬挂引线1e,该垫片1c的芯片支撑表面1d能够支撑半导体芯片2并且具有的尺寸小于半导体芯片2的背部表面2b的尺寸。QFP6进一步包括:条状公共引线,布置在垫片1c外侧以便围绕该垫片且耦合至悬挂引线1e;第一导线4a,用于将半导体芯片2的焊盘(电极)2c以及引线彼此电耦合;第二导线4b,用于将半导体芯片2的焊盘2c与公共引线彼此电耦合;以及密封体3,该密封体3利用树脂密封半导体芯片2以及第一和第二导线4a、4b。

[0081] 现在将使用另外的表述来描述半导体器件 (QFP6) 的配置。QFP6 包括芯片安装部分 (垫片, 管芯垫片) 1c, 其具有能够支撑半导体芯片 2 的芯片支撑表面 1d。该芯片支撑表面 1d 具有的尺寸小于半导体芯片 2 的背部表面 2b 的尺寸。QFP6 还包括多个悬挂引线 1e, 该多个悬挂引线 1e 与芯片安装部分集成形成并且分别形成有缝隙 (slit) (第一缝隙 1g)。QFP6 进一步包括半导体芯片 2, 该半导体芯片安装在芯片安装部分 1c 上并具有其上形成有多个焊盘 (电极) 2c 的主表面 2a。QFP6 进一步包括布置在半导体芯片 2 的周围的多条引线 (内部引线 1a)。QFP6 进一步包括多条条状公共引线 (汇流条引线, 条引线) 1f, 其分别与悬挂引线 1e 集成形成并且位于芯片安装部分 1c 和引线 (内部引线 1a) 之间。QFP6 进一步包括多条导线 (第一导线 4a、引线导线) 4, 用于将半导体芯片 2 的电极 2c 以及引线 (内部引线 1a) 彼此电耦合。QFP6 进一步包括导线 (第二导线 4b、公共引导线) 4, 用于将半导体芯片 2 的电极 2a 以及条状公共引线 1f 彼此电耦合。QFP 进一步包括密封体 3, 用于密封半导体芯片 2、芯片安装部分 1c 和导线 (第一导线 4a、第二导线 4b) 4。QFP6 进一步包括多条外部引线 1b, 其分别与引线 (内部引线 1a) 集成形成并且自该密封体 3 暴露。

[0082] 该引线每条包括嵌入在该密封体 3 内部的内部引线 1a 以及暴露到密封体 3 外部的作为外部端子的外部引线 1b, 该外部引线 1b 以鸥翼形 (gull wing) 弯曲。内部引线 1a 和外部引线 1b 整体上彼此耦合。

[0083] 在 QFP6 中, 如图 6A 和图 6B 所示, 作为条状细长公共引线的条引线 1f 布置在垫片 1c 和内部引线 1a 的前端之间。

[0084] 在该实施方式中使用的缝隙 (通孔, 孔) 指示了引线框架 (悬挂引线 1e) 1 的局部排除配置。这在缓和施加于引线框架 1 上的应力方面是有效的。

[0085] 在该实施方式中, 条状公共引线 (条引线) 1f 各自形成, 以便其在宽度上小于每条悬挂引线 1e 的宽度 (包括第一和第二缝隙 1g, 1n 的总宽度)。因此, 与每条公共引线 1f 的宽度比每条悬挂引线 1e 的宽度更大的情况下相比, 使得每条第一导线 4a 的长度更小, 该第一导线 4a 用于将半导体芯片 2 的每个焊盘 (电极) 2c 与对应的内部引线 1a 电耦合。结果, 就可以实现高的信号传播速率。另外, 可以抑制在树脂密封工艺中导线随着树脂而流动所引起的导线短接缺陷。

[0086] 条引线 1f 每条均是这样的引线: 即该引线允许在其上耦合焊盘 2c 上的多条导线 4 从而允许使用公共的电源和 GND。每条条引线 (公共引线, 汇流条引线) 1f 的两个端部部分与相邻悬挂引线 1e 集成形成。因此, 在为了改善电特性而需要大量用于电源和 GND 的焊盘的半导体芯片 2 中, 可以在封装内部使自增加的垫片提供的信号 (诸如电源或 GND) 成为公共的信号, 藉此可以使得引线 (内部引线和外部引线) 数量相比于焊盘数量而减少。因此, 条引线 1f 作为用以抑制封装尺寸增加的装置是非常有效的。

[0087] 在 QFP6 中, 四条条引线 1f 对应地提供在半导体芯片 2 的四侧。在芯片的每侧, 关联的条引线 1f 沿内部引线 1a 的前端的布置的方向来延伸, 并且条引线的两端耦合至沿着半导体芯片 2 的主表面 2a 的对角线的方向布置的相邻的悬挂引线 1e。因此, 条引线 1f 以围绕垫片 1c 的四角形状形成。

[0088] 由于条引线 1f 以四角形状来形成, 所以电源或者 GND 导线 4 可以在四个方向耦合。另外, 可以使在四个方向的模制树脂的流平衡基本均匀。

[0089] 在 QFP6 中, 如图 6A 和图 6B 所示, 在每条条引线 1f 中形成第一缝隙 1g。更具体

地,第一缝隙 1g 分别形成在用于在条引线 1f 和悬挂引线 1e 之间进行耦合的第一耦合部分 1j 中。

[0090] 悬挂引线 1e 形成有多个缝隙(第一缝隙 1g 和第二缝隙 1n)以作为用于缓和应力的装置。现在将会对第一缝隙 1g 进行详细描述。如图 6B 所示,形成每个第一缝隙 1g 以便延伸直到关联悬挂引线 1e 中耦合到公共引线(条引线,汇流条引线)1f 端部部分的部分。换言之,作为应力缓和装置的每个缝隙(第一缝隙 1g)在关联悬挂引线 1e 中形成在图 6B 中以双点虚线(双点划线)示出的公共引线 1f 的延长线上。

[0091] 在该实施方式中形成的缝隙(通孔,孔)具有通过局部切除悬挂引线 1e 而得到的结构。更具体地,如图 3 所示,缝隙是从每条悬挂引线 1e 的主表面(半导体芯片 2 的主表面 2a 的相同侧)朝着背部表面(半导体芯片 2 的背部表面 2b 的相同侧)延伸的通孔(孔)。

[0092] 因此,耦合到悬挂引线 1e 的条引线 1f 布置在垫片 1c 的外侧,以便围绕该垫片,第一缝隙 1g 形成在位于条引线 1f 和悬挂引线 1e 之间的第一耦合部分 1j 中。因此,即使因热影响而引起的膨胀或者收缩(热应变)作用施加在条引线 1f 上,其也可因第一缝隙 1g 的存在而得到缓解。

[0093] 简而言之,即使在导线键合工艺中公共引线在加热键合台的热的影响下而膨胀,但由于在悬挂引线 1e 中与公共引线(条引线,汇流条引线)1f 的端部部分耦合的部分中分别形成了缝隙(第一缝隙 1g),所以使引线 1e 变形,但并未阻止膨胀。

[0094] 因此,可以减少条引线 1f 的变形,因此还可以减小通过悬挂引线 1e 而与条引线耦合的垫片 1c 的波动。

[0095] 用于防止内部引线 1a 的拍动(flapping)和变形的环状薄膜带 1q 在内部引线 1a 的前端固定到导线键合区域的外侧。

[0096] 该实施方式中的 QFP6 具有小型垫片结构(垫片 1c 小于半导体芯片的尺寸),使得不仅可以赋予待安装半导体芯片 2 以尺寸的通用性,还可以改善对回流的抵抗。

[0097] QFP6 例如使用由铜合金形成的引线框架(参见图 6A 和图 6B)来组装。因此,垫片 1c、内部引线 1a、外部引线 1b、四条悬挂引线 1e 和条引线 1f 使用铜合金来形成。内部引线 1a 和四条条引线 1f 在与导线 4 连接的区域中镀银,以形成镀膜(镀层)1f'。

[0098] 由于形成了镀膜(镀层)1f',因此就可以改善由金形成的导线 4 和铜形成的内部引线 1a 之间的耦合能力。每条内部引线 1a 的前端部分(导线 4 与之耦合的部分)也镀银,并因此形成有镀膜(镀层)1f'。

[0099] 半导体芯片 2 例如以硅制成,用作电极的多个焊盘 2c 形成在其主表面 2a 上。半导体芯片 2 的背部表面 2b 通过管芯键合材料而键合到垫片 1c。因此,该半导体芯片 2 由垫片 1c 支撑。

[0100] 包括第一导线 4a 和第二导线 4b 的导线 4 例如是金线。形成密封体 3 的密封树脂例如是热硬化环氧树脂。下面将描述 QFP 的其他特性部分。

[0101] 在 QFP 中,如图 3、6A 和 6B 中所示,第一偏移部分 1m 通过在位于四个悬挂引线 1e 和条引线 1f 之间的第一耦合部分 1j 内部的位置处弯曲而形成。

[0102] 利用第一偏移部分 1m,就可以防止因条引线 1f 的热应变或者热变形而导致的垫片 1c 定位(位置)改变。即,即使出现了条引线 1f 的热应变或者热变形,其影响也可以由第一偏移部分 1m 缓解和吸收,并因此不会传送到垫片 1c,藉此就可以防止垫片 1c 的位置改

变。

[0103] 另外,利用第一偏移部分 1m,赋予芯片厚度不同的半导体装置(即具有不同厚度的半导体芯片 2)的通用性(versatility)。更具体地,通过调节第一偏移部分 1m 的偏移量,可以调节半导体芯片 2 之上以及该芯片之下存在的树脂量,因此就可以调节树脂平衡。

[0104] 现在将详细描述偏移部分 1m 和公共引线(条引线,汇流条引线)1f 之间的位置关系。图 15 是示出了在本发明的实施方式中在使用无偏移引线框架的情况下利用模型进行模型夹持时的结构实例的局部剖面图。

[0105] 首先,如图 15 所示,在使用在悬挂引线 1e 中未形成第一偏移部分的引线框架的情况下,从模制模具 14(树脂模制模具)中的上部模型 14a 的空腔表面 14b 到半导体芯片 2 的主表面 2a 的间隔 X 比从模制模具 14(树脂模制模具)中的下部模型 14c 的空腔表面 14d 到垫片 1c 的背部表面的间隔 Y 更窄。

[0106] 因此,在树脂密封工艺中,包围在垫片 1c 的背部表面侧上的树脂的量变得比包围在半导体芯片 2 的主表面 2a 上的树脂的量更大,因此导致了树脂平衡的变化。随着树脂平衡的变化,其上承载了半导体芯片 2 的垫片 1c 被推高,产生了诸如导线 4 局部从密封体 3 的上表面暴露或者导线 4 破裂的问题。

[0107] 在该实施方式中,为了解决上述问题,如图 3,6A 和 6B 所示,第一偏移部分 1m 分别形成在悬挂引线 1e 中。简而言之,第一偏移部分 1m 每个都通过从主表面朝着相同引线的背部表面弯曲关联悬挂引线 1e 而形成。利用该第一偏移部分 1m,就可以使树脂平衡几乎均匀。

[0108] 在该实施方式中,第一偏移部分 1m 每个相对于关联悬挂引线中与公共引线 1f 的端部部分耦合的部分形成在垫片 1c 侧。由于第一偏移部分 1m 形成在垫片 1c 和公共引线 1f 之间,因此即使公共引线 1f 经受热应变或者热变形,其影响也可以由第一偏移部分 1m 缓解和吸收,并因此难以传送到垫片 1c。因此,就可以抑制垫片 1c 的定位(位置)改变。

[0109] 每个第一偏移部分 1m 的偏移量假设是 0.24mm。

[0110] 如图 6A 和图 6B 所示,QFP6 在内部引线 1a 当中具有耦合到条引线 1f 的多条内部引线。耦合到条引线 1f 的内部引线 1a 每条均包括第一内部引线 1h、邻近第一内部引线 1h 的第二内部引线 1i 以及第二耦合部分 1r,该第二耦合部分用于在条引线 1f 侧的端部部分处在第一内部引线 1h 和第二内部引线 1i 之间进行耦合。

[0111] 因此,耦合到条引线 1f 的内部引线 1a 每条均包括第一内部引线 1h、第二内部引线 1i 以及第二耦合部分 1r,第二耦合部分 1r 布置在第一和第二内部引线 1h、1i 的条引线 1f 侧前端和关联的条引线 1f 的之间。

[0112] 由于用于在第一和第二内部引线 1h、1i 之间进行耦合的第二耦合部分 1r 布置在内部引线 1a 的条引线 1f 侧前端与关联条引线 1f 之间,所以尽管内部引线 1a 的前端配置成会聚区域,仍然可以确保第一和第二内部引线 1h、1i 的前端侧的刚性。

[0113] 如图 6A 和图 6B 所示,第一和第二内部引线 1h、1i 的外部端(外部引线侧端)彼此分支开来,没有如在条引线 1f 侧那样的耦合。

[0114] 因此,在树脂模制工艺中,可以使得通过形成第一和第二内部引线 1h、1i 的区域的模制树脂的流动性(流体粘滞性)与通过形成其他内部引线 1a 的区域的模制树脂的流动性几乎彼此相等。即,模制树脂与在其他内部引线 1a 之间流动的模制树脂一起基本均匀

地在分支的第一和第二内部引线 1h、1i 之间流动,藉此可以使得模制树脂的流动性基本均匀。结果,就可以防止导线变形、垫片 1c 的变形以及空隙的形成。

[0115] 如图 3、6A、6B 所示,第二缝隙 1n 分别形成于四个悬挂引线 1e 中用于与条引线 1f 耦合的第一耦合部分 1j 的外侧的位置处。利用第二缝隙 1n,可以使得树脂注入时模制树脂的流动速度均匀,并且因此可以防止导线变形垫片 1c 的变形以及空隙的形成。

[0116] 更加具体而言,提供四个悬挂引线 1e 用于支撑该垫片 1c。然而,与垫片 1c 的尺寸(大小)大于半导体芯片 2 的尺寸(大小)的情况(大型垫片结构)相比,在如该实施方式中那样垫片 1c 的尺寸小于半导体芯片 2 的尺寸的情况(小垫片结构)下,每条悬挂引线 1e 的长度更大。如果,仅仅拉长了每条悬挂引线 1e 的形状,那么在该树脂密封工艺中,会出现因树脂注入的压力而引起的悬挂引线 1e 的偏斜,因此导致垫片的定位(位置)的改变。

[0117] 为了避免这种麻烦的出现,如图 6A 和图 6B 所示,形成每条该悬挂引线 1e 以便使其在宽度上更大,从而改善悬挂引线的刚性。另外,如图 3、6A 和 6B 所示,第二缝隙(通孔,孔)1n 形成在每条悬挂引线 1e 中。这是出于下列原因。

[0118] 在该实施方式中使用的引线框架 1 例如是由铜合金构成的薄板,并且引线框架 1 和模制树脂(密封体 3,树脂)之间的附着力比半导体芯片 2 和模制树脂之间的附着力更低。因此,如果悬挂引线 1e 仅仅在宽度上形成得大,会在树脂密封工艺中形成的密封体 3 和引线框架(尤其是悬挂引线 1e)之间的分界面处出现剥离,结果恶化了半导体器件的可靠性。如果缝隙(第二缝隙 1n)形成在每条悬挂引线 1e 中,形成在缝隙中的树脂显示了锚定效果,藉此密封体 3 和引线框架(悬挂引线 1e)之间的附着力得到提高。另外,通过在悬挂引线 1e 中形成这种缝隙,可以使得具有方形平面形状的半导体芯片 2 一侧附近的引线的密度和半导体芯片转角附近的引线的密度几乎均匀。因此,可以使在悬挂引线 1e 附近流动的树脂的流动速率以及在引线(内部引线 1a)附近流动的树脂的密度可以几乎均匀。因此,在两个流速之间没有出现显著差别,并且可以抑制树脂平衡的恶化。

[0119] 如果仅仅关注抑制上述树脂平衡的恶化,则可以在每条悬挂引线 1e 中形成仅仅一个比图 6A 所示的缝隙(第一缝隙 1g、第二缝隙 1n)更大的缝隙。然而,在如该实施方式中那样垫片 1c 的尺寸小于半导体芯片 2 的尺寸的情况,每条悬挂引线 1e 的长度变得比大型垫片结构中的更大。因此,在这种小垫片结构的引线框架 1 中,如果在每条悬挂引线 1e 中形成了一个大缝隙,则悬挂引线 1e 的刚性易于恶化。因此,通过如图 6A 所示在每条悬挂引线 1e 中形成多个缝隙,就可以抑制悬挂引线 1e 的刚性的恶化。

[0120] 这些缝隙(第一缝隙 1g,第二缝隙 1n)各自具有的宽度大于被所缝隙分割的每条悬挂引线 1e 的分割部分的宽度。因此,每条悬挂引线 1e 中被分割部分的形状可以与相邻内部引线 1a 的形状一致。结果,就可以抑制从内部引线 1a 朝着悬挂引线 1e(或者从悬挂引线 1e 朝着内部引线 1a)的树脂流动的流动速率的大的改变。

[0121] 条引线 1f 的表面涂镀有银,以用于压力键合导线 4,藉此形成了镀膜(镀层)1f'。该镀膜(镀层)1f'并未贯穿条引线 1f 的整个表面形成,而是仅仅局部形成(例如,在图 6A 和图 6B 中的条引线 1f 的外部)。镀到模制树脂上的银的附着力较低,但通过不是在条引线的 1f 的整个表面上而是仅仅在导线 4 所耦合的区域上形成镀膜 1f',如图 6A 和图 6B 所示,就可以改善模制树脂和条引线 1f 之间的附着力,并因此可以改善半导体器件的可靠性

和质量。

[0122] 更特别地,银镀层和模制树脂之间的附着力小于由铜合金形成的引线框架 1 和模制树脂之间的附着力,但是通过仅仅在导线 4 所耦合的区域内形成镀膜,就可以抑制模制树脂和引线框架(公共引线 1f)之间附着的恶化。

[0123] 如图 7 所示,在以四边形框架形状布置的四条条引线 1f 中除了条引线的两端之外没有与内部引线 1a 的前端耦合的条引线 1f 中,形成如图 8 中所示这种第二偏移部分 1p。

[0124] 第二偏移部分 1p 用作当内部引线 1a 在导线键合期间被夹持器 11 夹持时(见图 4 和图 6)的应变缓解部分。更具体地,在导线键合期间,如图 9 所示,没有通过夹持器 11 来夹持该条引线 1f,而是夹持了仅仅内部引线 1a。当夹持了内部引线 1a 时,四条条引线 1f 中耦合到内部引线 1a 的条引线 1f 将受到应变的影响是不同的。结果,应变集中到未耦合到内部引线 1a 的条引线 1f 上,导致条引线 1f 的变形,结果使得条引线 1f 自如图 10 所示的键合状态 10 漂移。

[0125] 作为针对这种条引线 1f 的漂移的对策,对于除了两端之外在任何其他部分都未耦合至内部引线 1a 的条引线 1f 执行如图 8 所示的偏移工作,藉此可以使得该条引线 1f 在导线键合期间与键合台 10 紧密接触。即,就可以确保条引线 1f 和键合台 10 之间的附着力。

[0126] 例如,优选的是,将偏移工作施加在条引线 1f 中条引线未与内引线 1a 耦合的区域中以形成第二偏移部分 1p。在图 7 示出的实例中,第二偏移部分 1p 形成在条引线 1f 的两端附近位置内侧的某处。

[0127] 在该实施方式中的 QFP6,在除了两端之外的任何其他位置处未与内部引线 1a 的前端耦合的条引线 1f 是四条条引线 1f 其中之一。

[0128] 图 8 中示出的条引线 1f 的每个第二偏移部分 1p 的偏移量(T)例如大约 0.05mm,其能够通过精压来实现。因此,条引线 1f 的每个第二偏移部分的偏移量(0.05mm)比每条悬挂引线 1e 的第一偏移部分 1m 的偏移量(0.24mm)小得多。

[0129] 在 QFP6 中,每条条引线 1f 的未与内部引线 1a 耦合的区域中的内部引线 1a 是用于信号的引线组,而耦合至外部的引线组布置在该区域内。因此在该区域内,就难以实现在条引线 1f 和内部引线 1a 之间的耦合。

[0130] 在 QFP6 中,如图 2 所示,耦合到相邻内部引线 1a 的相邻导线 4 或者耦合至条引线 1f 和内部引线 1a 的相邻引线 4 在环高度上是不同的。更具体地,在 QFP6 中,由于导线 4(第一导线 4a)越过每条条引线 1f 耦合至内部引线 1a,所以导线长度变大,易于出现导线接触缺陷。

[0131] 可以通过改变相邻导线之间的环高度来防止导线接触缺陷的出现。

[0132] 接着,将下面参考图 4 和图 5 的工艺流程图给出组装该实施方式中的 QFP 相关描述。

[0133] 首先,在图 4 中,在步骤 S1 中提供引线框架 1。引线框架 1 具有如图 6A 和图 6B 这样的结构。

[0134] 如在同一图中所示,四个条引线(公共引线)1f 布置在小型垫片 1c 周围,并且在各自两端耦合至悬挂引线 1e,第一缝隙 1g 分别形成在用于同悬挂引线 1e 耦合的第一耦合部分 1j 中。

[0135] 更具体地,如图 6A 和图 6B 所示,提供了引线框架 1,该引线框架 1 包括:芯片安装部分(垫片,管芯焊盘)1c;多个悬挂引线 1e,与该芯片安装部分 1c 集成形成,并且分别具

有缝隙（第一缝隙 1g）；布置在芯片安装部分 1c 周围的多条引线（内部引线 1a）；以及多条公共引线（条引线，汇流条引线）1f，每条均定位在芯片安装部分 1c 和引线（内部引线 1a）之间，并且与该悬挂引线 1e 集成形成。

[0136] 作为应力缓和装置的缝隙（第一缝隙 1g）形成在悬挂引线 1e 中公共引线 1f 的端部部分所耦合的部分。换言之，在悬挂引线 1e 中，作为应力缓和装置的缝隙（第一缝隙 1g）分别形成在由图 6B 中以虚线（双点划线）示出的公共引线 1f 的延长线上。

[0137] 在内部引线 1a 的键合部分的外侧，将环状带 1q 固定到内部引线 1a 上。

[0138] 四条引线 1f 中有三条每条都不是在两端而是在中心附近处通过第二耦合部分 1r 而耦合到多个内部引线 1a。剩余的一条条引线 1f 没有在中心耦合至任何内部引线 1a。如图 8 所示的第二偏移部分 1p 形成于未在中心处耦合至任何内部引线 1a 的条引线 1f 中。

[0139] 其条引线 1f 侧端通过第二耦合部分 1r 耦合到关联条引线 1f 的多条内部引线 1a 在与条引线 1f 相对侧在其端处分支。

[0140] 该悬挂引线 1e 各自形成有位于第一耦合部分 1j 内的第一偏移部分 1m，该第一耦合部分 1j 用于与条引线 1f 耦合。

[0141] 引线框架 1 是由例如铜合金形成的薄板元件。

[0142] 因此，在图 4 中的步骤 S2 执行管芯键合。首先，将银膏 5 从灌封（potting）喷嘴 7 中涂敷到垫片 1c 上。然后，将半导体芯片 2 传送到垫片 1c 上，同时通过吸盘装卡夹头 8 来吸盘装卡芯片的主表面 2a，并且将半导体芯片 2 通过银膏 5 固定到垫片 1c。如图 6A 和 6B 所示，第一偏移部分 1m 形成在用于与条引线 1f 耦合的第一耦合部分 1j 的内侧（在垫片 1c 侧），因此如果在向垫片 1c 上安装较大尺寸的半导体芯片 2 时使用了这种锥形夹头来保持该半导体芯片 2 的外部边沿，则存在夹头的一部分可能与第一偏移部分 1m 接触的顾虑。

[0143] 然而，如果使用了本实施方式中那样的吸盘装卡夹头 8，则可通过仅仅保持该芯片的主表面 2a 来传送半导体芯片 2，使得即使当使夹头 8 降低以将半导体芯片 2 安装到垫片 1c 上时，也不存在夹头的一部分与第一偏移部分 1m 接触的顾虑。

[0144] 随后在步骤 S3 执行导线键合。首先如图 10 所示，引线框架 1 放置在键合台 10 上，然后半导体芯片 2 的背部表面 2b 通过吸盘装卡孔 10a 被抽成真空，以将半导体芯片装卡和固定到键合台 10 上。与此同时，通过夹持器 11 的夹持部分 11a 从上向下压位于内部引线 1a 上的带 1q 以固定引线框架 1。夹持器 11 的夹持部分 11a 从上面从该带的整个周围向下按压该环状带 1q。

[0145] 简而言之，在该导线键合过程中，其上携带有半导体芯片 2 的引线框架 1 布置在加热的键合台 10 上并且利用夹持器 11 来夹持引线（内部引线 1a）。

[0146] 之所以未利用夹持器来夹持公共引线 1f 的原因在于，夹持器的向下引线保持部分以环状形状来形成。如果公共引线 1f 利用这种形状的夹持器 11 来夹持，则内部引线 1a 的前端部（导线耦合区域）以夹持器 11 覆盖，因此难以通过导线（第一导线 4a 和用于引线的导线）4 将半导体芯片 2 的焊盘（电极）2c 和内部引线 1a 彼此耦合。

[0147] 这样，在导线键合中所有的内部引线 1a 可以由夹持部分 11a 来夹持。在这种情况下，没有夹持四条条引线 1f，如图 9 和图 10 所示。

[0148] 在该状态下，使用如图 4 所示的毛细管来执行导线键合。例如，如图 10 所示，用于半导体芯片 2 的信号的焊盘 2c 以及用于信号的内部引线 1a 通过第一导线 4a 电耦合在一

起。另一方面,半导体芯片 2 中用于电源(或者地)的焊盘 2c 和条引线 1f 通过第二导线 4b 电耦合在一起。

[0149] 在这种情况下,使耦合到相邻内部引线 1a 的相邻导线 4 或者耦合到条引线 1f 和内部引线 1a 的相邻引线 4 在环高度上发生改变,并且在这种状态中执行导线键合。通过这样改变相邻导线之间的环高度,就可以防止导线接触缺陷的出现。

[0150] 在该实施方式中,将前述导线接触的出现考虑在内,半导体芯片 2 中用于电源(或者地)的焊盘 2c 和条引线 1f 通过小环高度的导线(第二导线 4b,用于公共引线的导线)电耦合在一起,然后用于半导体芯片 2 的信号的焊盘 2c 以及用于信号的内部引线 1a 通过大环高度的导线(第一导线 4a、用于引线的导线)电耦合在一起。

[0151] 在 QFP 6 中,四条条引线 1f 中有三条在接近中心处耦合到内部引线 1a 中。因此,在导线键合工艺中,这三条条引线 1f 不容易因热应变而产生变形,但是对于没有在中心处耦合到内部引线 1a 的条引线 1f,该热应变易于集中到其上,并且容易出现变形。然而,由于未在中心处耦合到内部引线 1a 的条引线 1f 形成有如图 8 中所示的第二偏移部分 1p,所以可以使该条引线 1f 在导线键合期间与键合台 10 紧密接触。

[0152] 在该实施方式的半导体器件(QFP 6)的组装中,由于第一缝隙 1g 形成在用于与悬挂引线 1e 耦合的条引线 1f 第一耦合部分 1j 中,所以即使因为在导线键合期间的热影响所导致的膨胀或者收缩(热应变)作用施加在了条引线 1f 上,也可以通过第一缝隙 1g 来缓解该作用。

[0153] 因此,就可以减小因条引线 1f 的膨胀或者收缩而引起的偏斜(变形),因此可以防止出现导线剥离。

[0154] 此后,在图 5 的步骤 S4 中执行树脂模制和烘烤。在该步骤中,例如通过利用密封树脂进行模制来密封半导体芯片 2、条引线 1f、内部引线 1a 和导线 4 以形成密封体 3。

[0155] 随后在步骤 S5 执行外部电镀。在该步骤中,针对从密封体 3 暴露的外部引线 1b 形成外部电镀 12。

[0156] 然后,在步骤 S6 中执行切割和形成。在该步骤中,切割外部引线 1b 并使其弯曲以便完成 QFP 6 的完整组装。

[0157] 现在将提供关于第一缝隙 1g 的重要性的相关描述,该缝隙形成在条引线 1f 的用于与该实施方式的 QFP 中的悬挂引线 1e 耦合的第一耦合部分 1j。

[0158] 本发明人已经发现,在将条引线 1f 应用至 QFP 6 的情况下,如果没有在条引线 1f 的用于与悬挂引线 1e 耦合的耦合部分中分别形成缝隙,则在下面要点中难以进行半导体器件(QFP 6)的制造。即,作为采用小型垫片结构的结果,每条悬挂引线 1e 的长度变得更大,因此悬挂引线 1e 变得更加容易偏斜。该问题的一个解决方案可以是增大每条悬挂引线 1e 的宽度,以增强其刚性。

[0159] 另一方面,在半导体器件需要大量用于电源或者 GND 焊盘以改善电特性时,外部端子的数量增加,并且封装尺寸变大。为了抑制封装尺寸的增加,需要使用条引线 1f。在这种情况下,由于条引线 1f 在导线键合期间不是通过夹具(夹持器 11)来夹持的,因此它们在两端被固定至悬挂引线 1e,从而确保条引线 1f 的稳定性。

[0160] 然而,由诸如铜合金的金属形成的引线框架 1 易于在热的影响下膨胀。因此,条引线自身在膨胀的作用下在其两端延伸。但是,此时,因为悬挂引线 1e 为了刚性改善而形成

得厚,因此阻碍了条引线 1f 的膨胀延长的趋势。

[0161] 结果,使条引线 1f 偏斜。

[0162] 通过在条引线 1f 的用于与悬挂引线 1e 耦合的第一耦合部分 1j 中分别形成第一缝隙 1g,就变得可以释放膨胀的条引线 1f 并因此可以防止条引线 1f 的偏斜(变形)。即,在使用引线框架 1 来制造多引脚半导体器件(QFP 6)时,重要的是分别在条引线 1f 的用于与悬挂引线 1e 耦合的第一耦合部分 1j 中形成第一缝隙 1g。

[0163] 因此,在该实施方式的 QFP 6 中,耦合至悬挂引线 1e 的条引线 1f 布置在垫片 1c 的外侧以便围绕该垫片,并且分别在条引线 1f 的用于与悬挂引线 1e 耦合的第一耦合部分 1j 中形成第一缝隙 1g,使得即使因热影响而导致的膨胀或者收缩(热应变)作用施加在条引线 1f 上时,该作用也可以通过第一缝隙 1g 来缓解。

[0164] 因此,就可以减小因条引线 1f 的膨胀或者收缩而引起的偏斜(变形),因此可以防止出现导线剥离。

[0165] 另外,通过加厚悬挂引线 1e,不仅阻碍了条引线 1f 的膨胀延长,而且易于在得到的密封体 3 的内部中形成空隙,这是因为在悬挂引线 1e 附近流动的树脂的流动性(流动速度)与在布置了内部引线 1a 的区域中的树脂流动性不同。

[0166] 然而,通过如该实施方式中那样形成第一缝隙 1g,可以从与内部引线 1a 几乎相等的厚度形成悬挂引线 1e,藉此在内部引线 1a 的区域中流动的树脂的流动性(流动速度)和在悬挂引线 1e 的区域中流动的树脂的流动性几乎可以彼此相等,并且因此可以抑制空隙的形成。

[0167] 因此,就可以实现至条引线 1f 的导线键合。

[0168] 结果,就可以实现使用引线框架 1 来制造多引脚 QFP 6。

[0169] 另外,可以通过利用引线框架 1 来制造 QFP 6 来降低其成本。

[0170] 另外,由于可以减少因条引线 1f 的膨胀或者收缩而导致的偏斜,所以可以降低导线短接的出现。结果,就可以提高 QFP 6 可靠性以及质量。

[0171] 接着,在下面将参考图 12 至图 14 给出与上述实施方式的变型相关的描述。

[0172] 图 14 示出了根据上述实施方式的变型的半导体器件。如图 12 所示,该半导体器件是大型垫片 1u 结构的 QFP13,其具有尺寸上大于半导体芯片 2 的芯片安装部分。

[0173] 在 QFP13 中,从半导体芯片 2 突出的大型垫片 1u 的突出部分 1w 用作公共引线。诸如电源和 GND 导线的导线 4 耦合至大型垫片 1u 的突出部分 1w,以实现引线的公共使用。

[0174] 更具体地,该变型的 QFP13 对应于如图 1 至图 3 所示的 QFP6,只是省略了条引线 1f 以完全防止由热应变引起的条引线 1f 的变形。作为条引线 1f 的替代,采用了大型垫片(比半导体芯片的尺寸更大)1u,其突出部分 1w 用作公共引线,诸如电源和 GND 导线的导线 4 耦合至突出部分 1w。

[0175] 在这种情况下,由铜合金制成的引线框架 1 和密封树脂之间附着力比由硅制成的半导体芯片 2 和密封树脂之间的附着力低,使得在大型垫片 1u 和密封树脂之间的分界面处易于出现剥离。因此,在大型垫片 1u 的情况下,大型垫片 1u 和密封树脂之间的接触区域大,并且半导体芯片 2 和密封树脂之间的接触区域比小型垫片结构中小,使得前述的剥离缺陷问题变得更加显著。鉴于这一点,如图 12 和图 13 所示,多个通孔 1v 形成在大型垫片 1u 中,并且密封树脂穿过该通孔 1v,增大了半导体芯片 2 和密封树脂之间的接触区域,藉此即使

在采用了大型垫片 1u 的情况下,也抑制了密封树脂和大型垫片 1u 之间的分界面处出现的剥离问题。

[0176] 尽管未示出,但对大型垫片 1u 的导线 4 耦合的区域镀银,以形成镀膜(镀层)。由于银镀层与模制树脂的附着力较低,因此未将其应用到垫片的整个表面,藉此就可以改善模制树脂和大型垫片 1u 之间的附着力,因此就可以改善半导体器件的可靠性和质量。

[0177] 因为在该变型的 QFP 13 中没有提供条引线 1f,用于电源或者 GND 的第二导线 4b 的耦合部分(突出部分 1w)可以防止偏斜。

[0178] 另外,由于如图 13 所示,通过将特定内部引线 1a 的前端耦合至大型垫片来固定该大型垫片 1u,所以可以防止该大型垫片 1u 在水平方向上旋转。

[0179] 尽管本发明已经通过其实施方式进行了具体描述,但是无需说明的是,本发明并不限于所描述的实施方式,而是可以在未脱离本发明思想的范围内做出各种改变。

[0180] 例如,尽管在上述实施方式中,参考了四条条引线 1f 中在中心附近耦合至内部引线 1a 的条引线 1f 的数量是 3,但是并未局限于此。这种条引线的数目可以是除 3 之外的任何数目。

[0181] 另外,尽管在上述实施方式中,半导体芯片 2 通过吸盘装卡夹头 8 来装卡,但是并不局限于此。在从条引线 1f 看半导体芯片 2 的尺寸相对较小的情况下,可以使用这样的夹头:该夹头具有用于保持半导体芯片 2 的锥形芯片保持部分。

[0182] 尽管在前述实施方式中,已经参考了小型垫片结构的半导体器件,但是并不局限于此。例如,如果仅仅关注抑制公共引线(条引线,汇流条引线)1f 的偏斜,则如图 17 和 18 所示的那种半导体器件可以通过使用如图 16 所示的那种引线框架 1 来构造。该引线框架 1 包括具有用于半导体芯片 2 的芯片支撑表面 1d 的芯片安装部分(垫片,管芯焊盘)1c,芯片支撑表面 1d 的尺寸比半导体芯片 2 的背部表面 2b 更大。

[0183] 尽管在前述实施方式中,已经参考了在每条悬挂引线 1e 中在公共引线 1f 的端部部分所耦合的部分中形成缝隙(第一缝隙 1g),并因此抑制了在键合台的热的影响下公共引线 1f 的偏斜,但是并不局限于此。例如,如图 19、20 和 21 所示,可以使用具有作为应力缓和装置的缝隙(通孔,孔)1s 的引线框架 1,每个缝隙形成在每条公共引线(条引线,汇流条引线)1f 的一部分(中心部分)中。在这种情况下,每条公共引线 1f 中允许耦合导线(第二导线 4b)4 的区域变得比前述实施方式中更小。然而,在半导体芯片 2 的焊盘(电极)2a 的数量小于前述实施方式中的数量的情况下,导线 4 可以在每个缝隙(第三缝隙 1s)旁侧耦合,如图 22、图 23 和图 24 所示。在图 24 中,省略了耦合至半导体芯片 2 的焊盘 2a 和内部引线 1a 的导线 4 的数量,以确保导线 4 在每个缝隙(第三缝隙 1s)的旁侧耦合。

[0184] 尽管在前述实施方式中,已经参考每个缝隙(第一缝隙 1g)形成在关联悬挂引线 1e 的公共引线 1f 的延长线中的情况,如图 6B 以双点虚线(双点划线)所示,但是并不局限于此。当在导线键合工艺中的导线键合台 10 的热低于前述实施方式中使用的温度时,与前述实施方式相比变得难以出现公共引线的膨胀 1f。例如如图 25 所示,因此,缝隙(第一缝隙 1g)可以形成在与公共引线 1f 的延长线上的位置相比更加远离垫片 1c 的位置。

[0185] 尽管在上述实施方式及变型中,已经参考了在悬挂引线 1e 或者公共引线 1f 中形成作为应力缓和装置的缝隙,但是并不局限于此。例如,如图 26 所示,每条公共引线 1f 的一部分可以曲折,或者如图 27 所示,每公共引线的两个端部部分都可以曲折。即使在这种

配置中,公共引线 1f 在热影响下膨胀,也因为以 1t 指示的曲折部分收缩而可以抑制公共引线 1f 的偏斜。

[0186] 尽管在前述实施方式中,已经参考了将本发明的配置应用于其中外部引线 1b 从密封体 3 的侧面突出的 QFP 型半导体器件以及用于该半导体器件的制造方法的情况,然而并不局限于此。例如,如图 28(a) 和 28(b)、28(c),本发明的配置可以应用于 QFN(四侧无引线扁平封装)15 型半导体器件,其中垫片 1c 和公共引线 1f 定位在密封体 3 的内部,仅仅多个引线(外部引线 1b)从密封体 3 的下面表面(部件侧,背部表面)暴露。

[0187] 尽管已经参考了将本发明的配置应用于其中沿着具有方形平面形状的密封体 3 的四侧布置多条引线的 QFP 型半导体器件以及用于该半导体器件的制造方法的情况,然而并不局限于此。例如,本发明的配置可以应用于 SOP(小外形封装)16 型半导体器件,其中垫片 1c 和公共引线 1f 定位在密封体 3 的内部,多条引线沿着密封体 3 的两侧布置,如图 29(a)、29(b) 和 29(c) 所示,或者可以应用于如图 30(a)、30(b) 和 30(c) 所示的 SON(小外形无引线封装)17 型半导体器件。

[0188] 另外,本发明的配置可以应用于 QFN(四侧无引线扁平封装)18 型半导体器件,其中垫片 1c 和公共引线 1f 以及多个引线(外部引线 1b)从密封体 3 的下面表面(部件侧,背部表面)暴露,如图 31(a)、31(b) 和 31(c)。同样,本发明的配置可以应用于 SON(小外形无引线封装)19 型半导体器件,其中垫片 1c 和公共引线 1f 以及多个引线(外部引线 1b)从密封体 3 的下面表面(部件侧,背部表面)暴露,如图 32(a)、32(b) 和 31(c)。

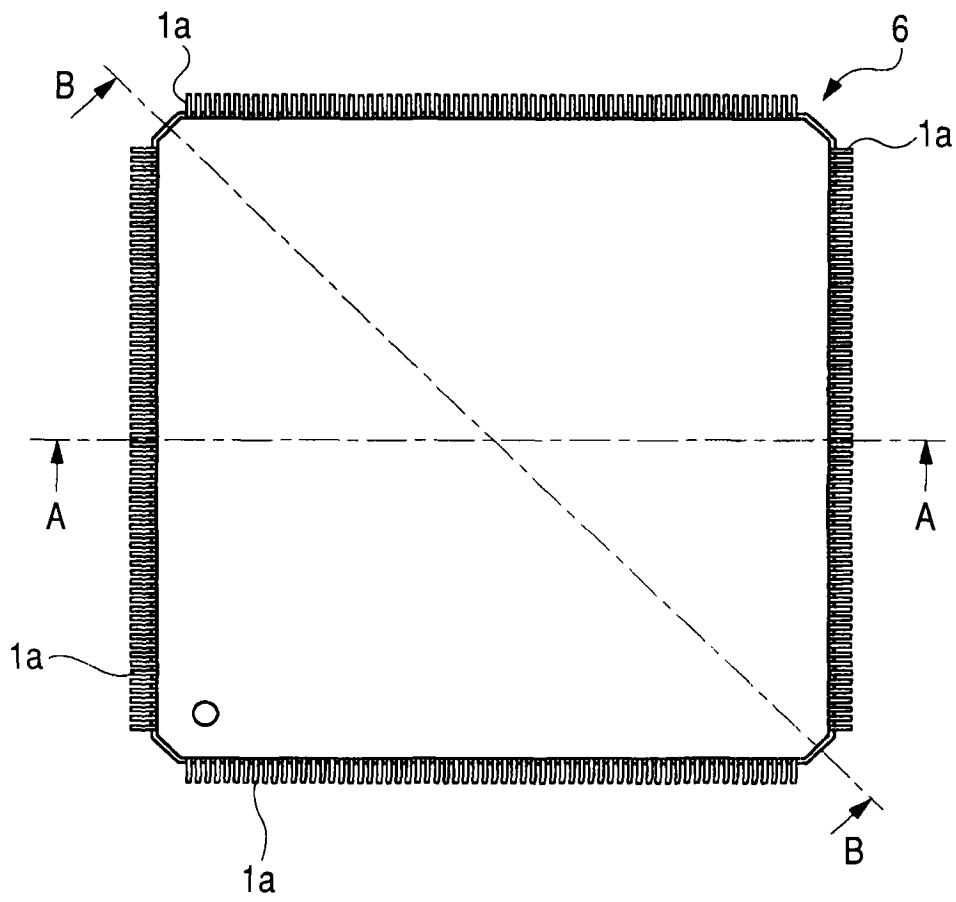


图 1

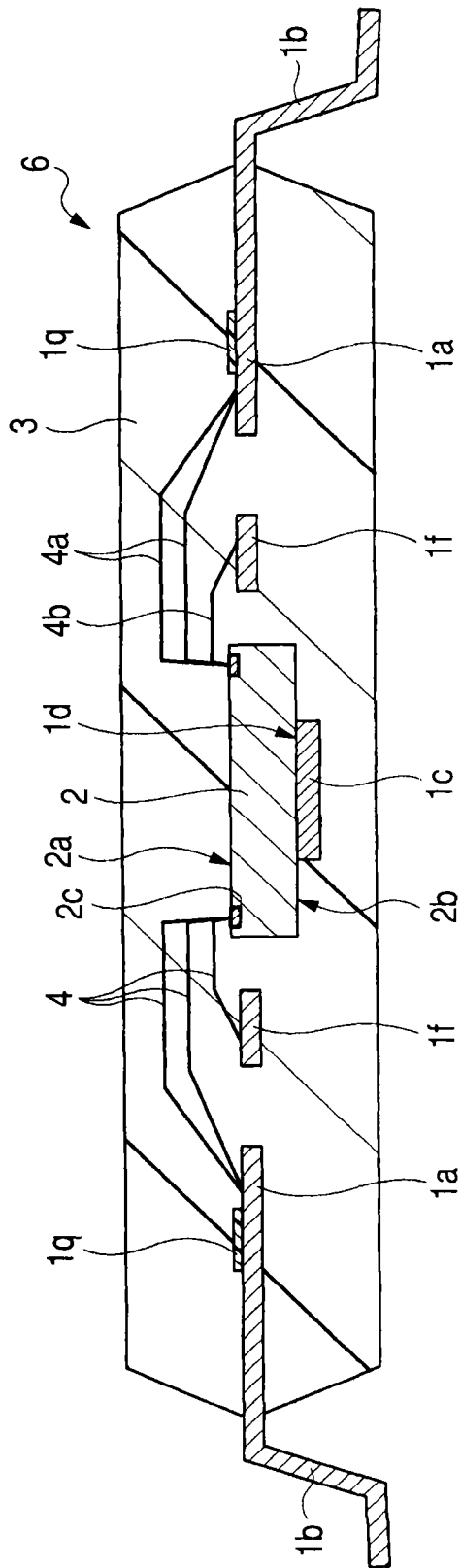


图 2

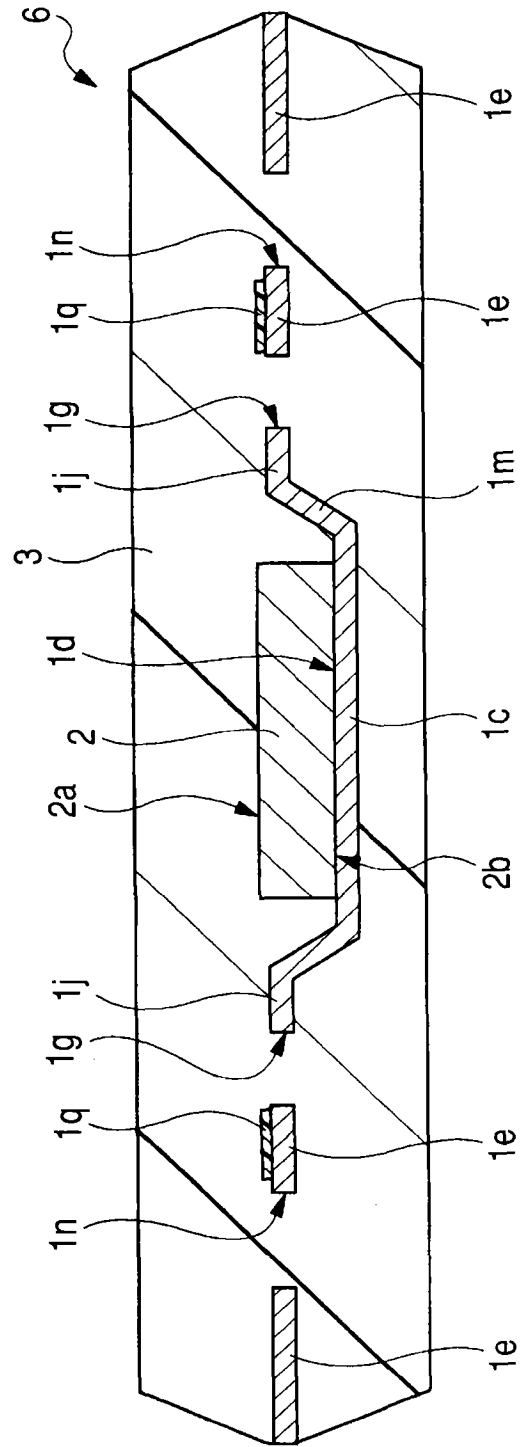


图 3

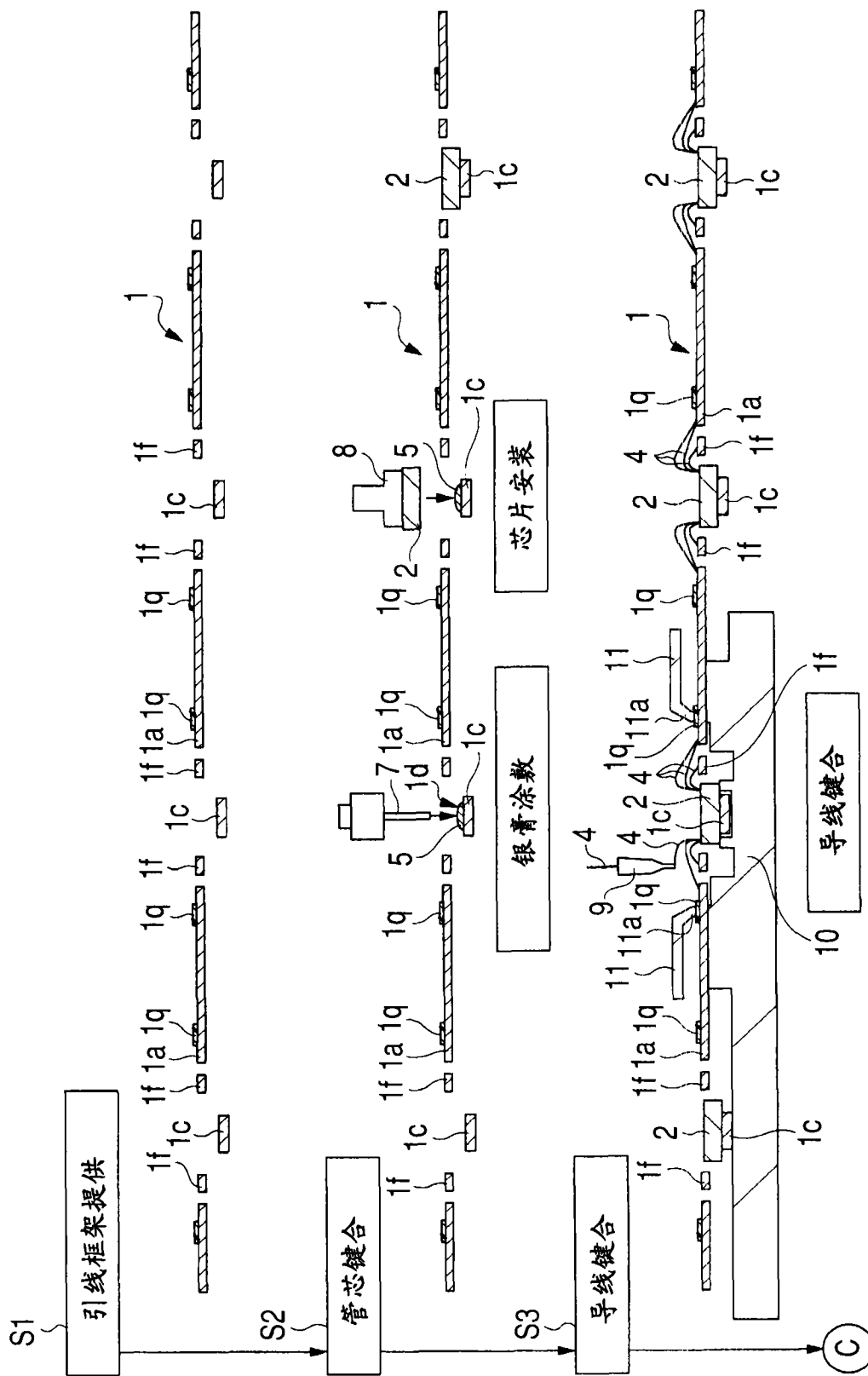


图 4

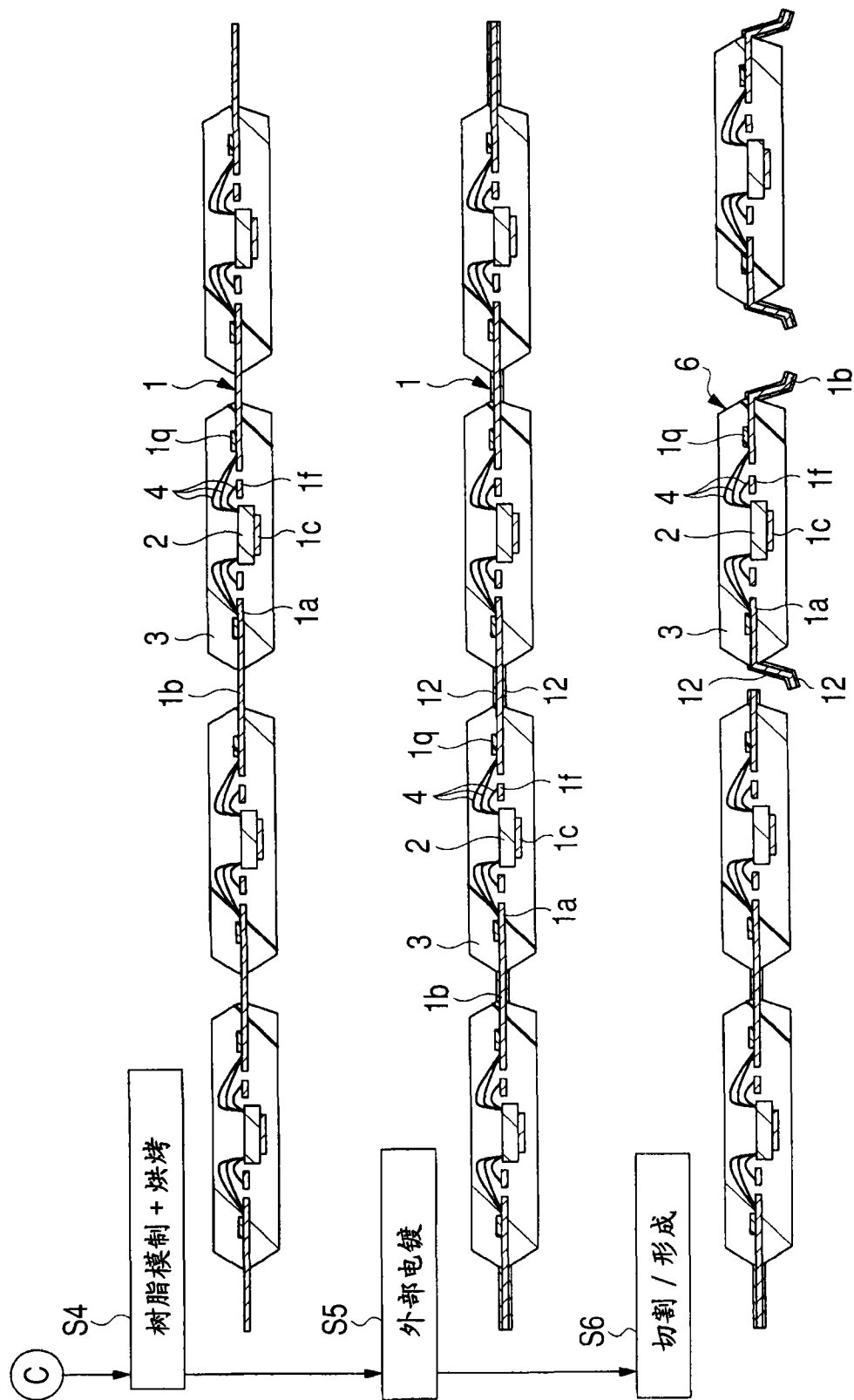


图 5

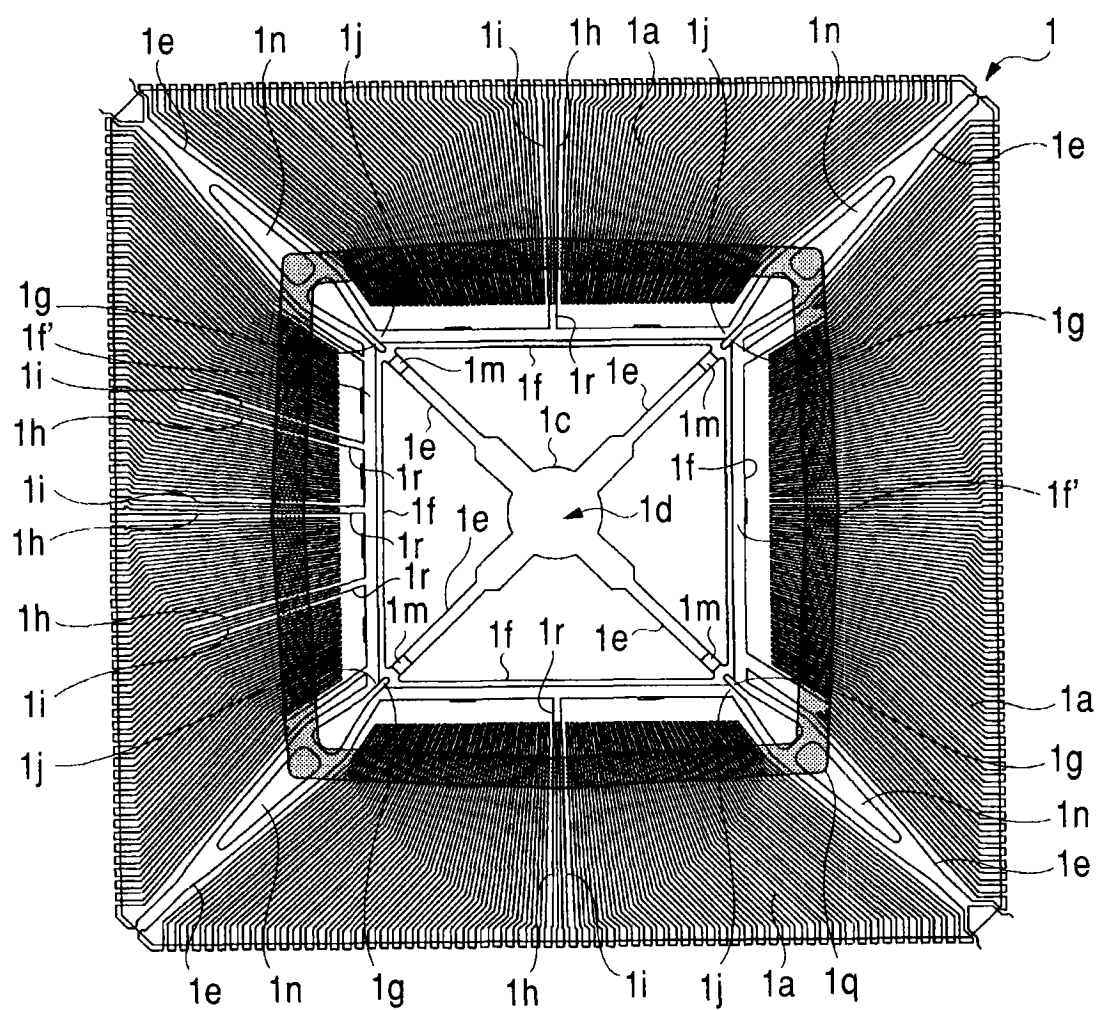


图 6A

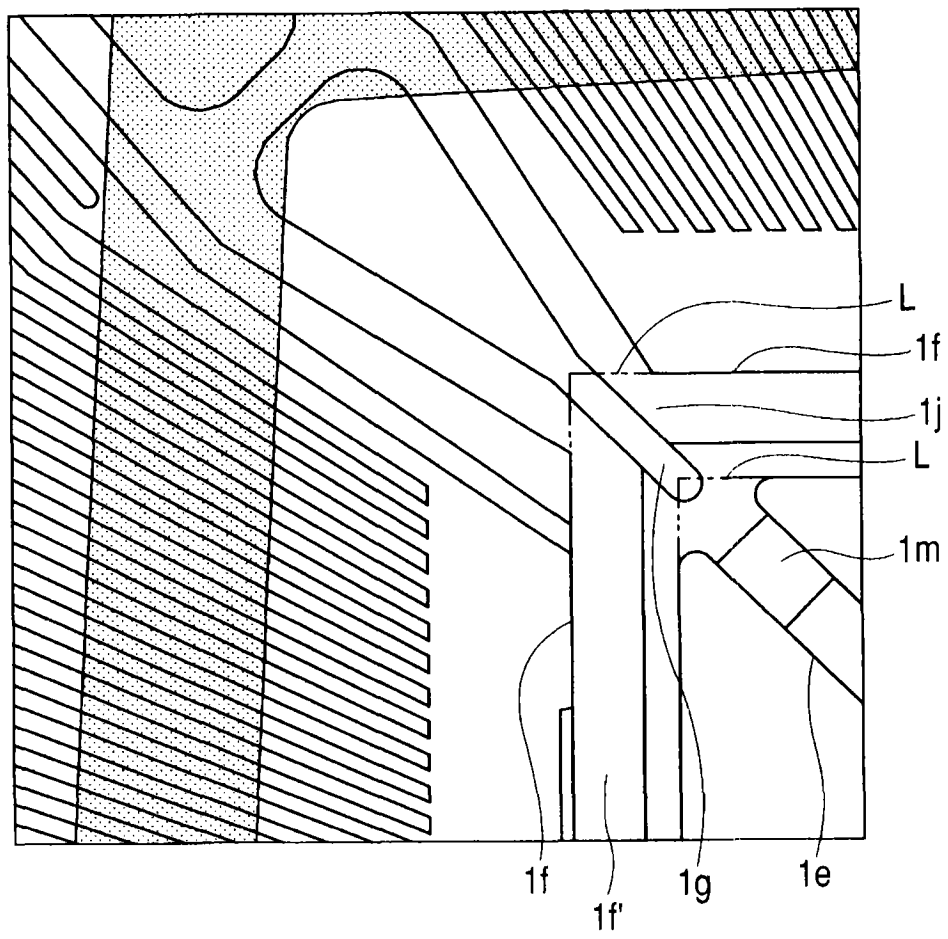


图 6B

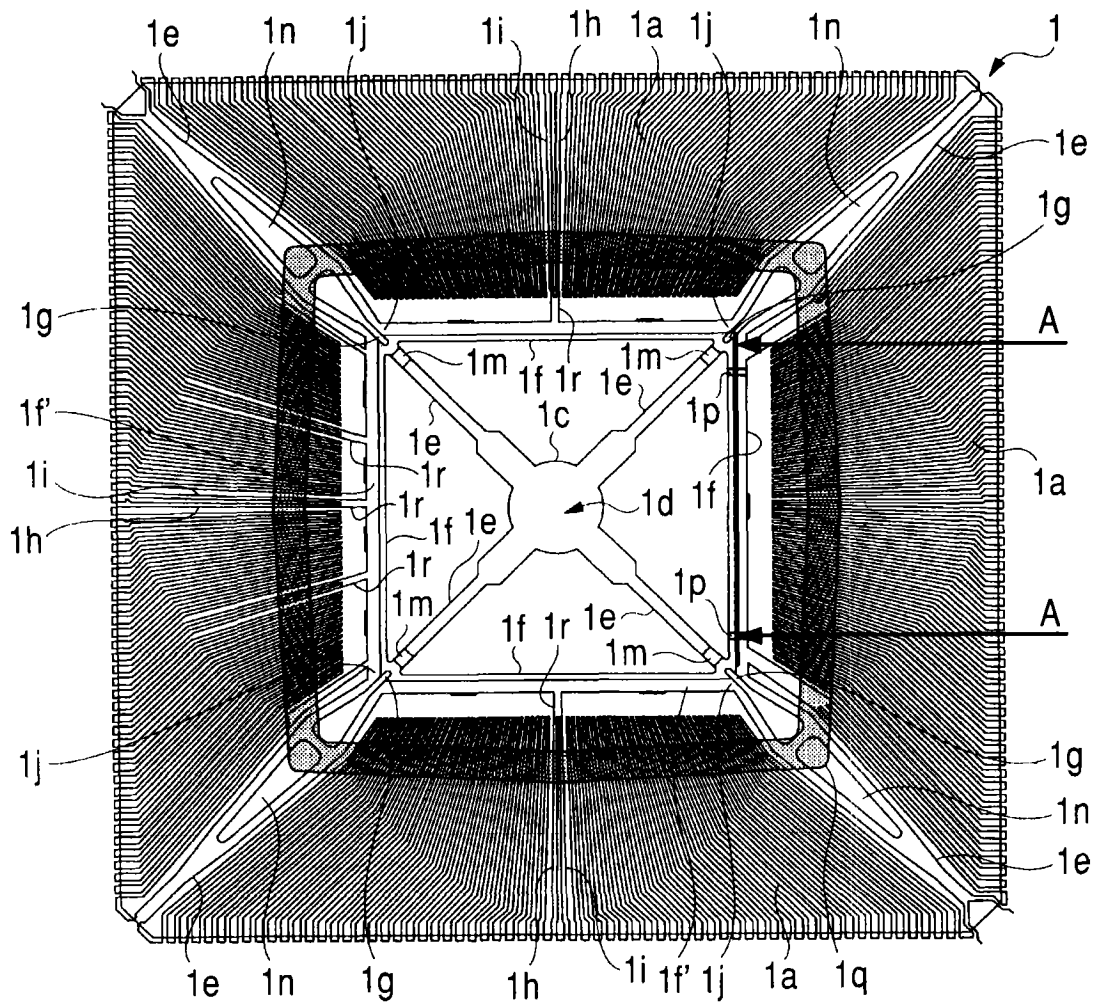


图 7

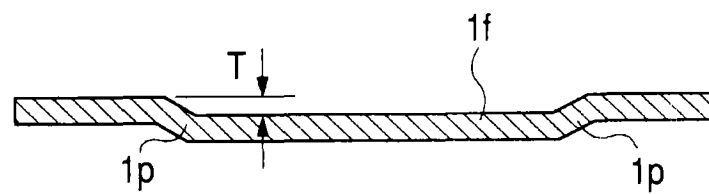


图 8

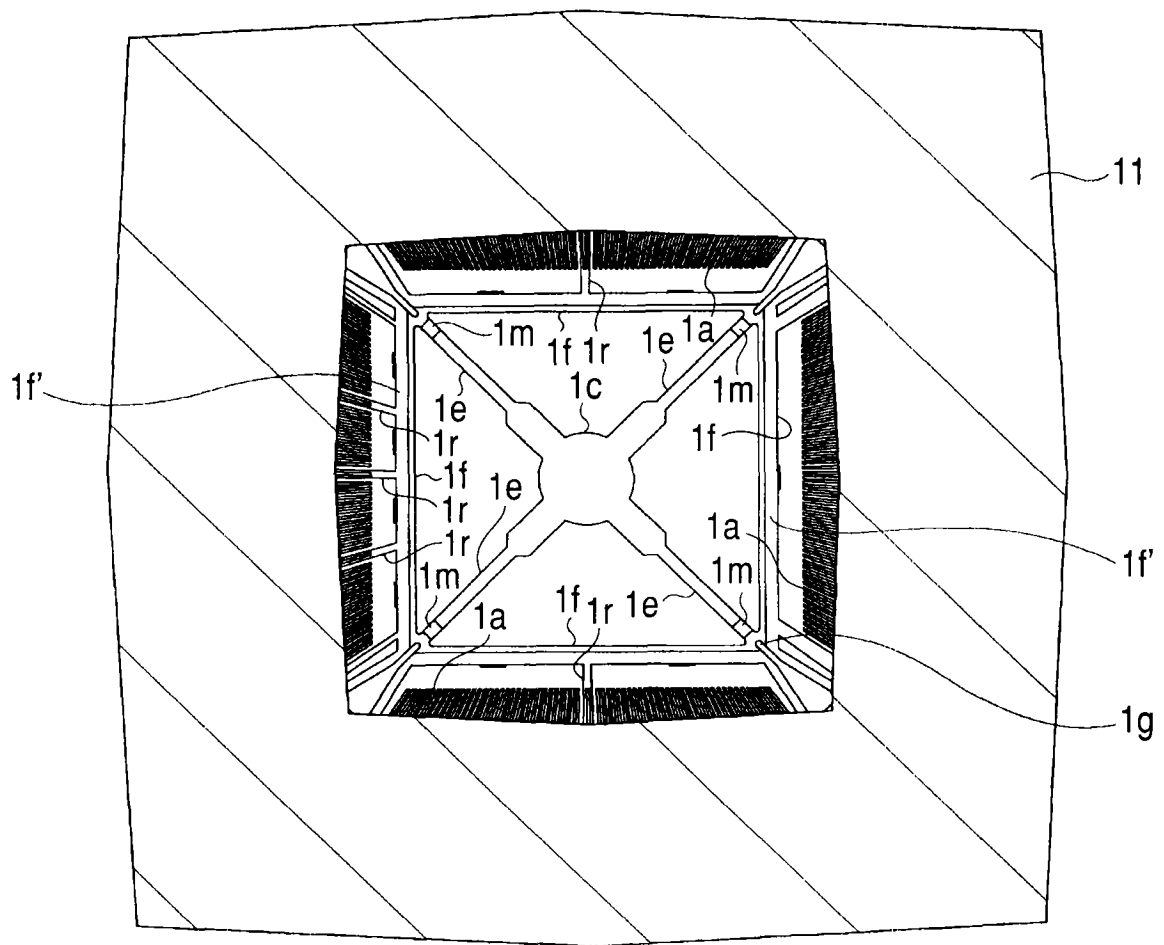


图 9

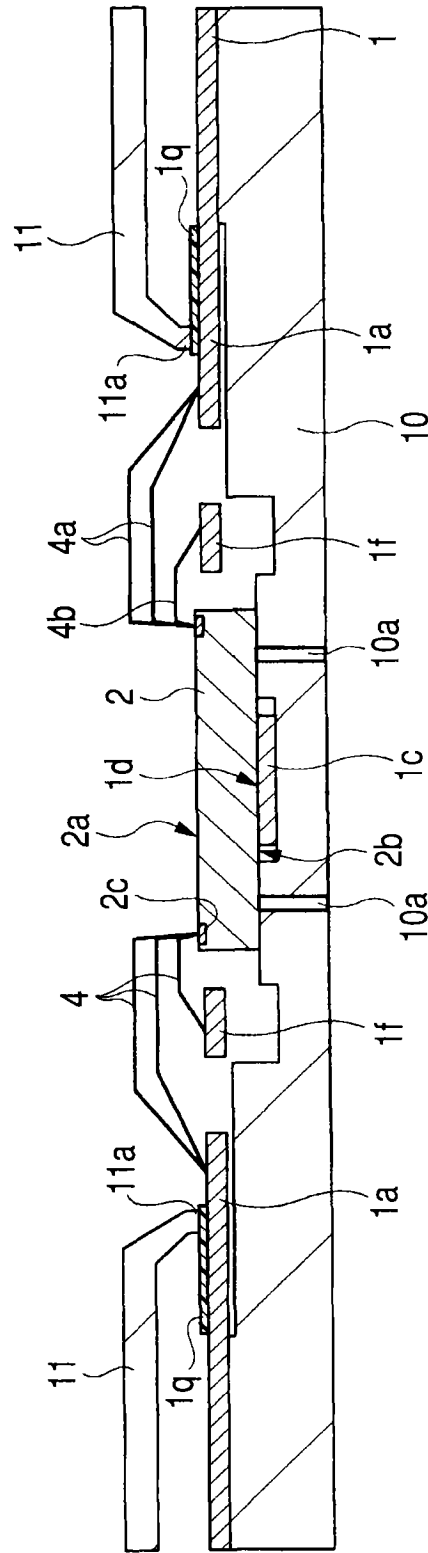


图 10

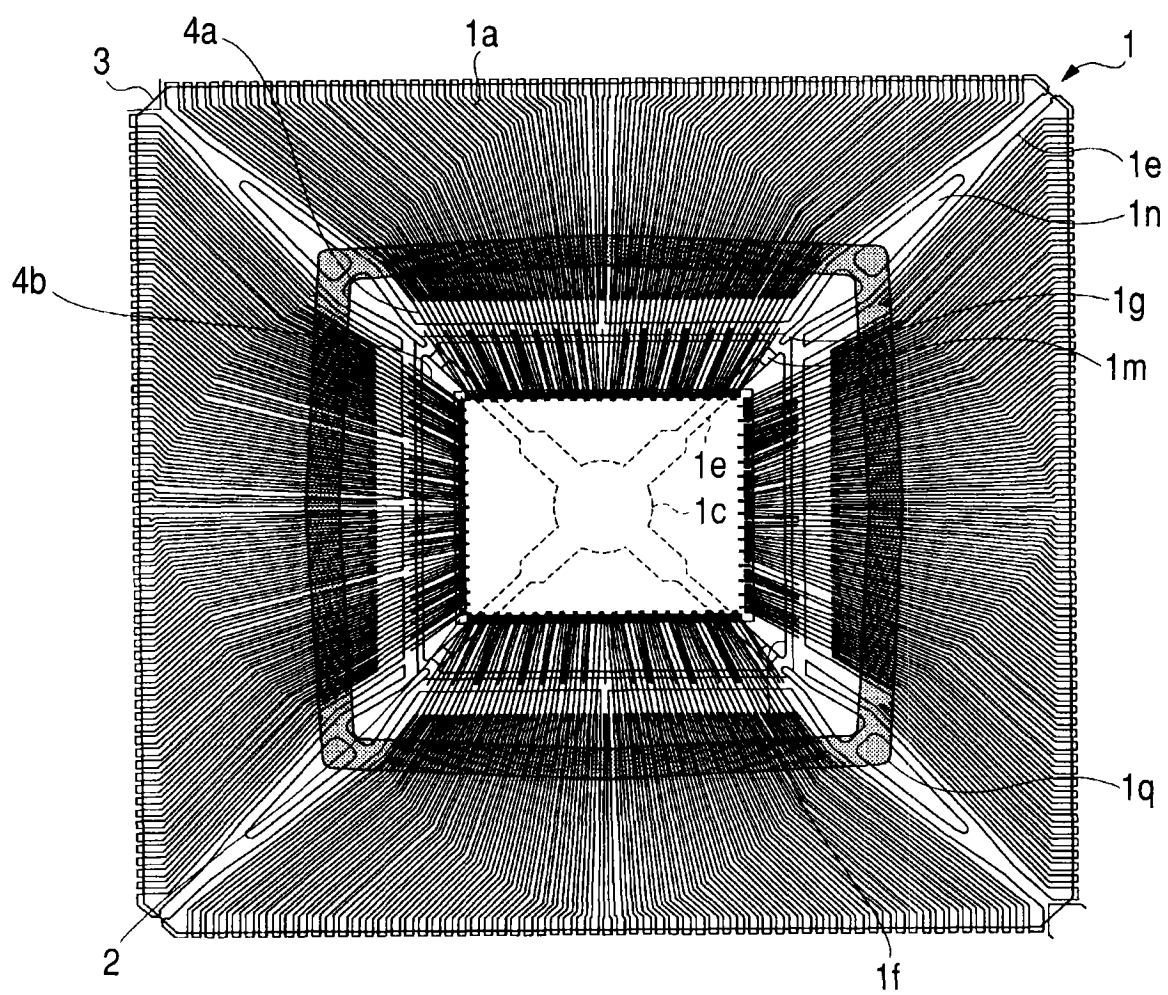


图 11

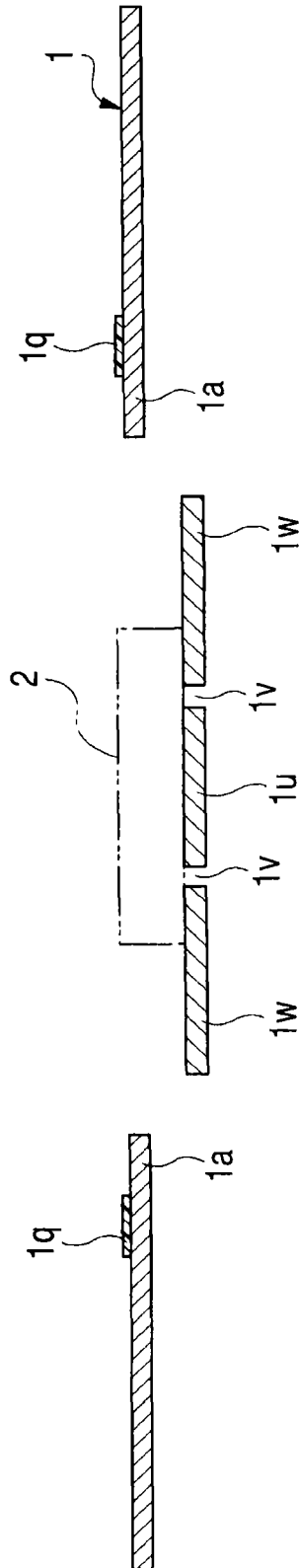


图 12

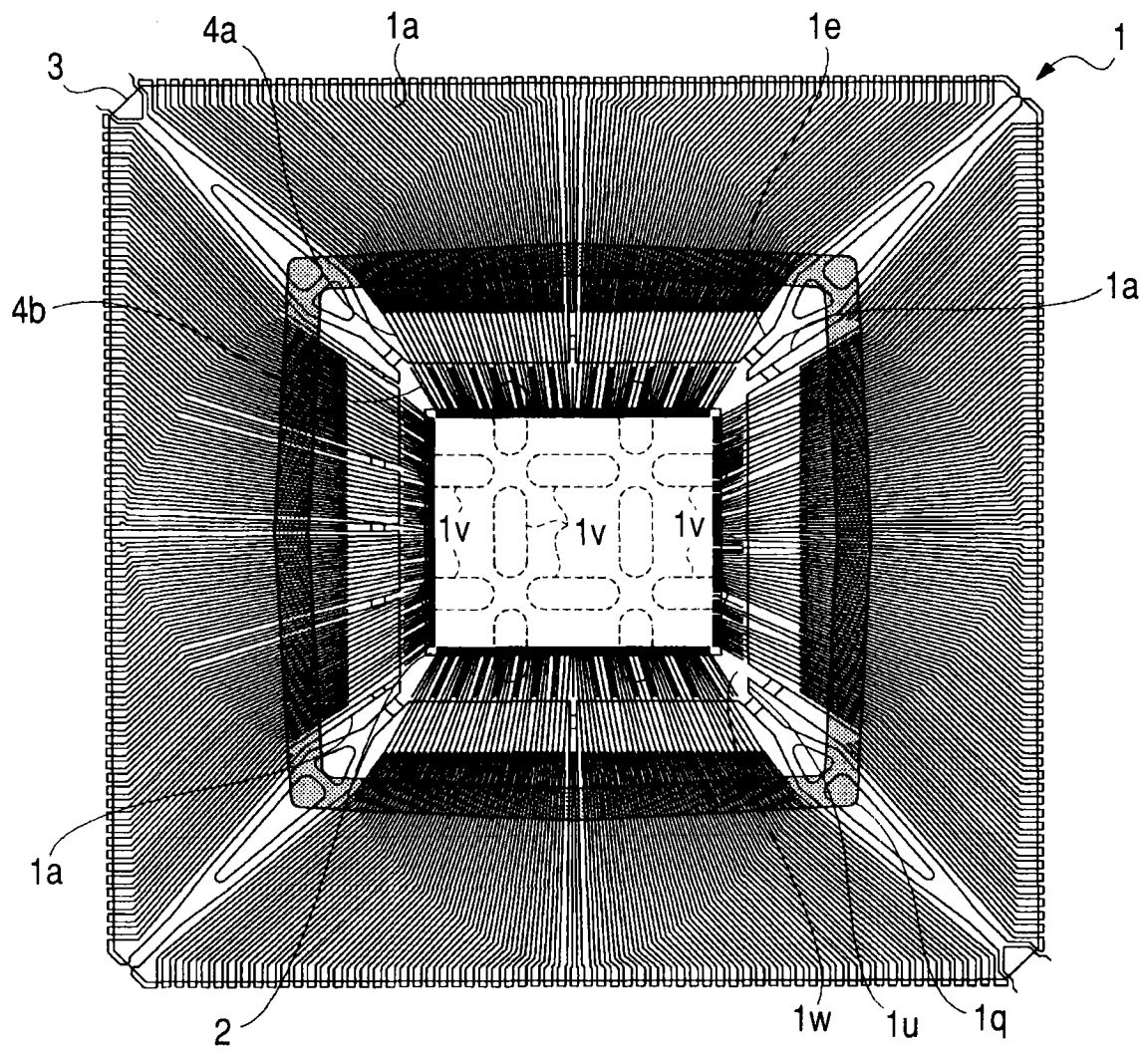


图 13

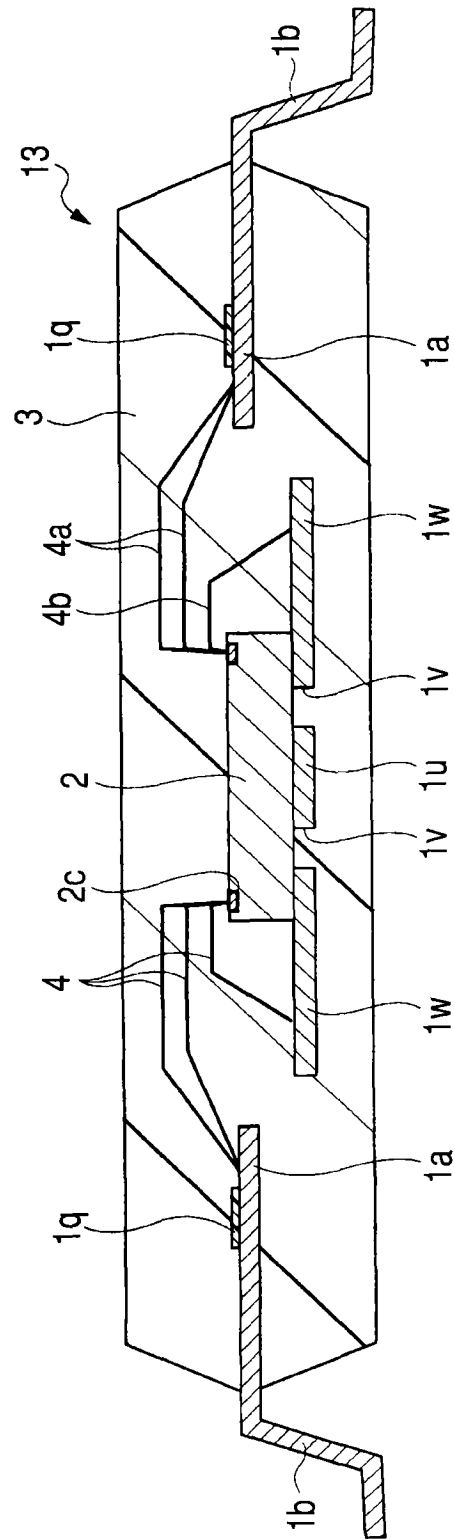


图 14

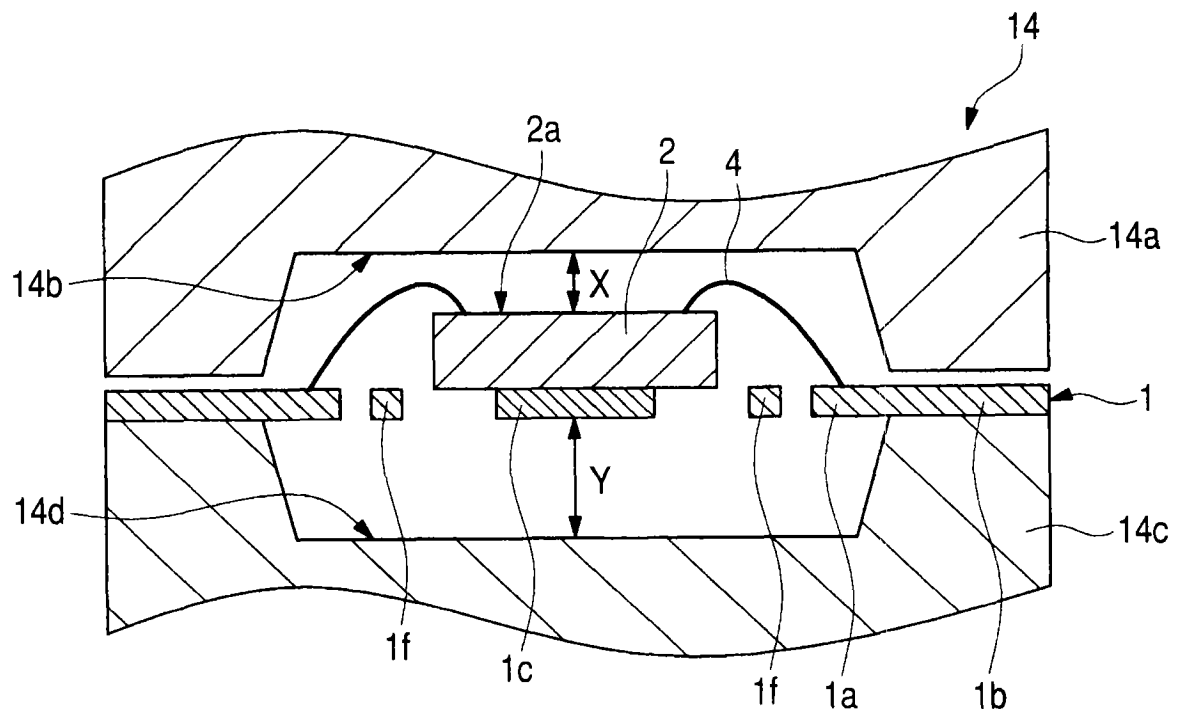


图 15

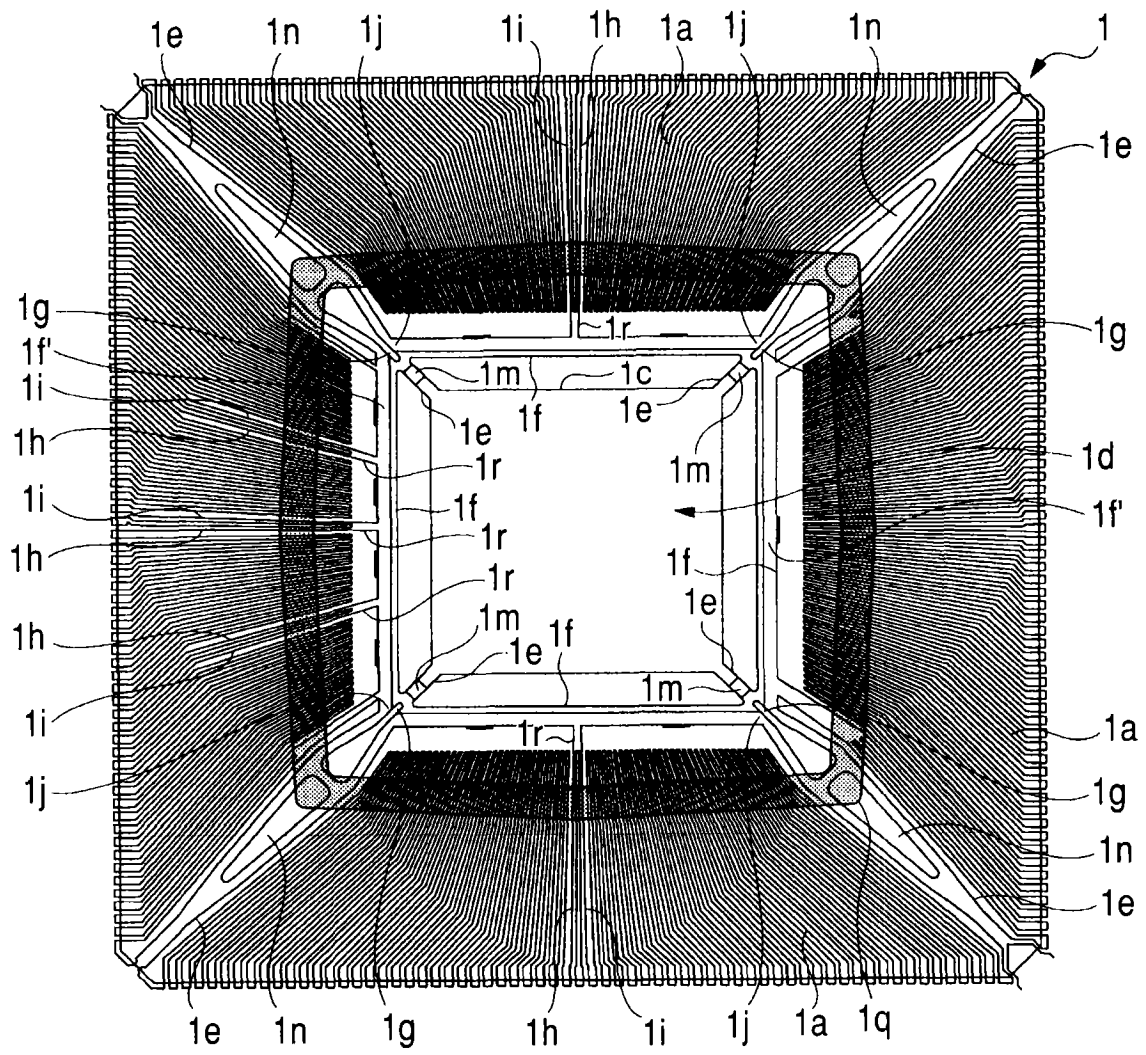


图 16

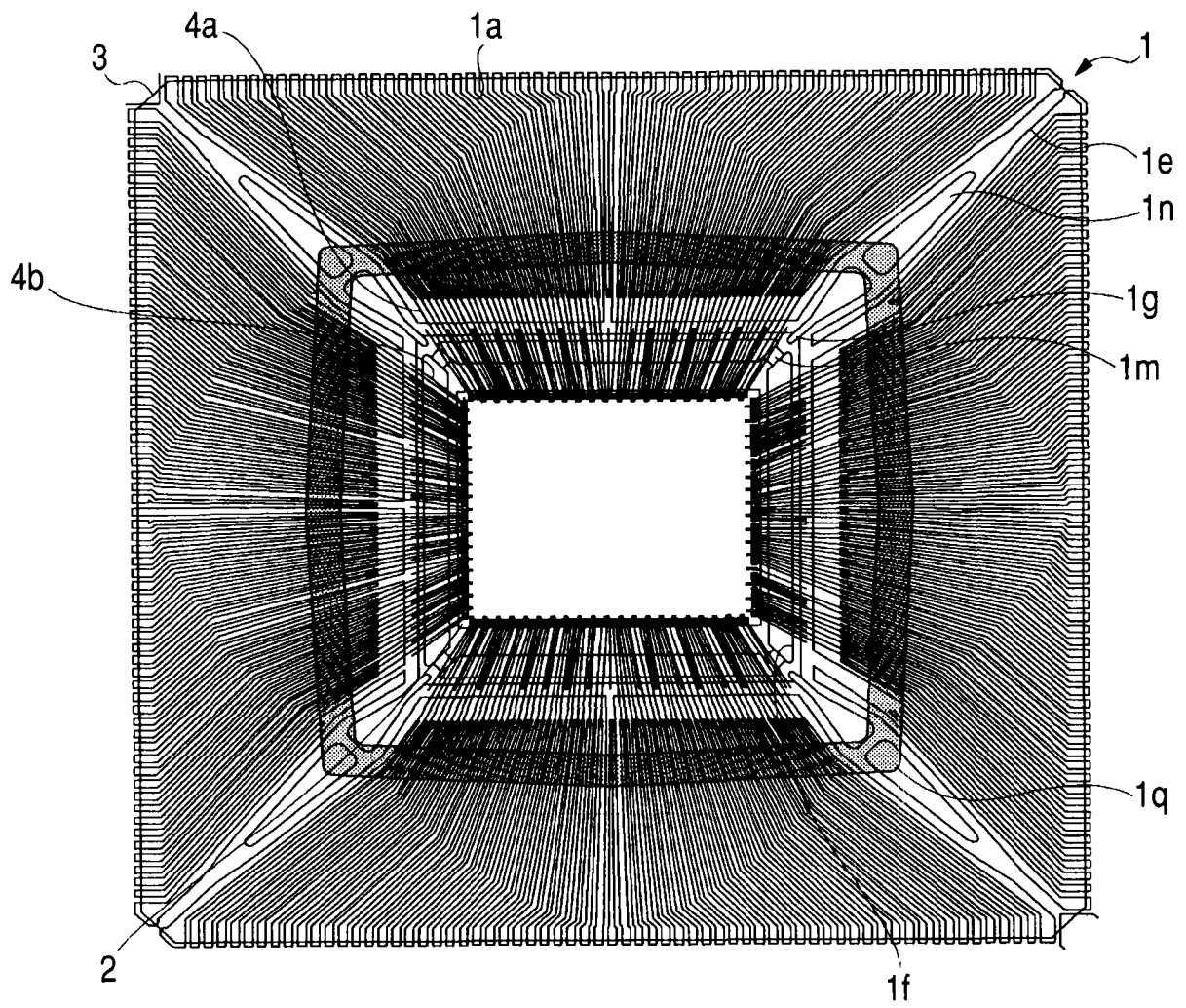


图 17

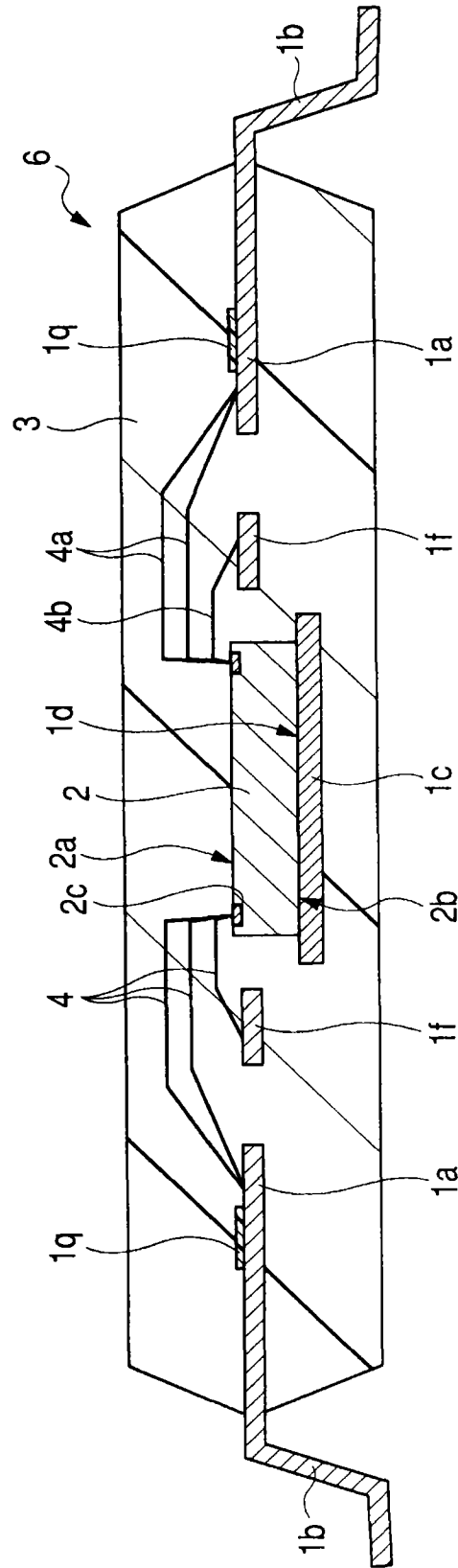


图 18

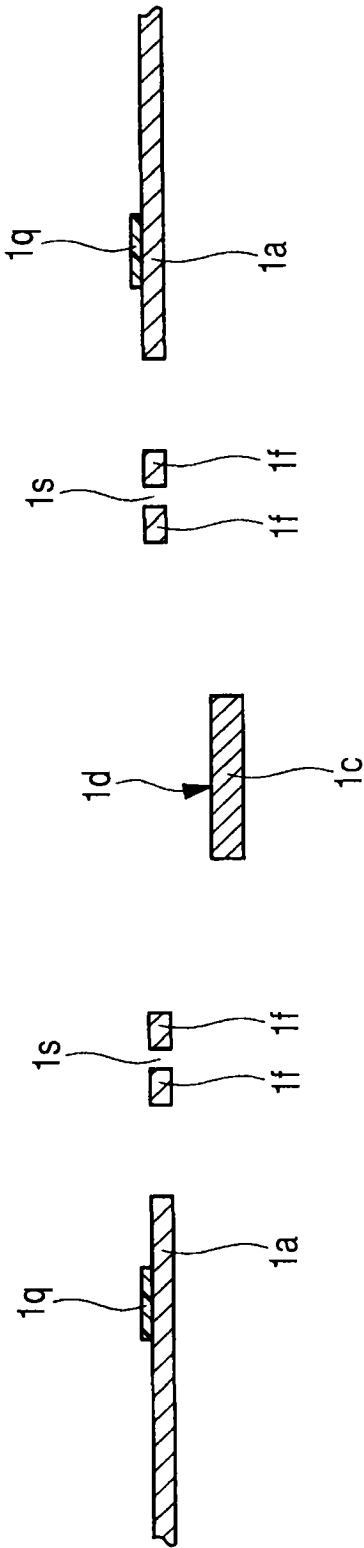


图 20

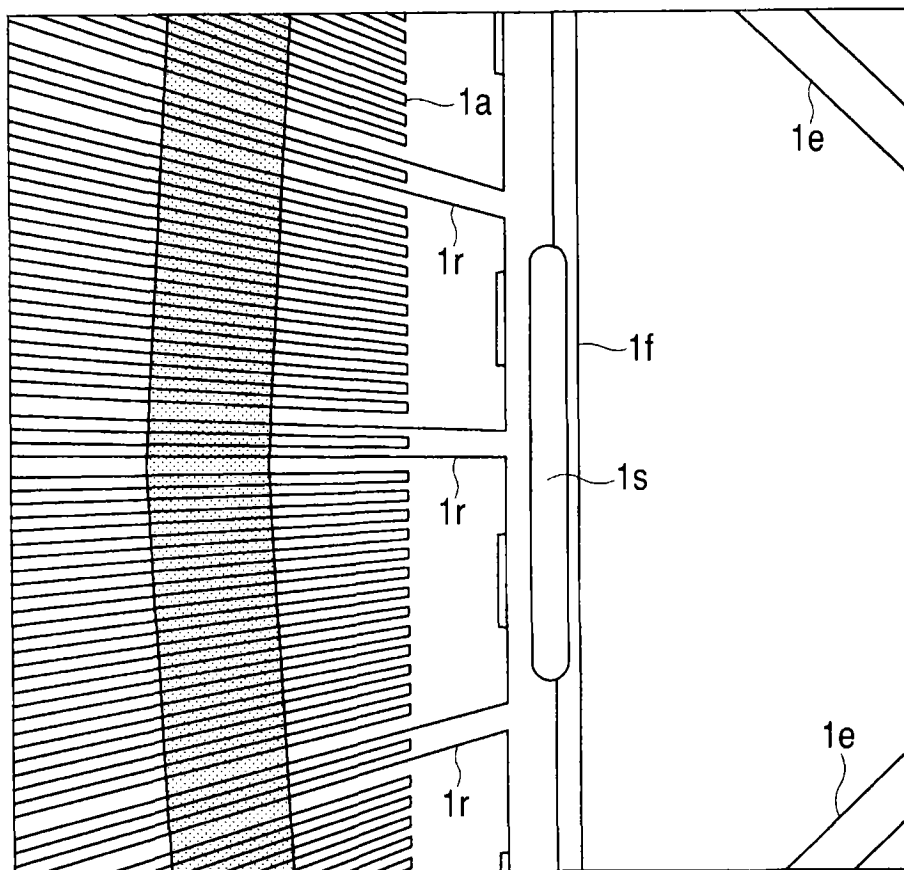


图 21

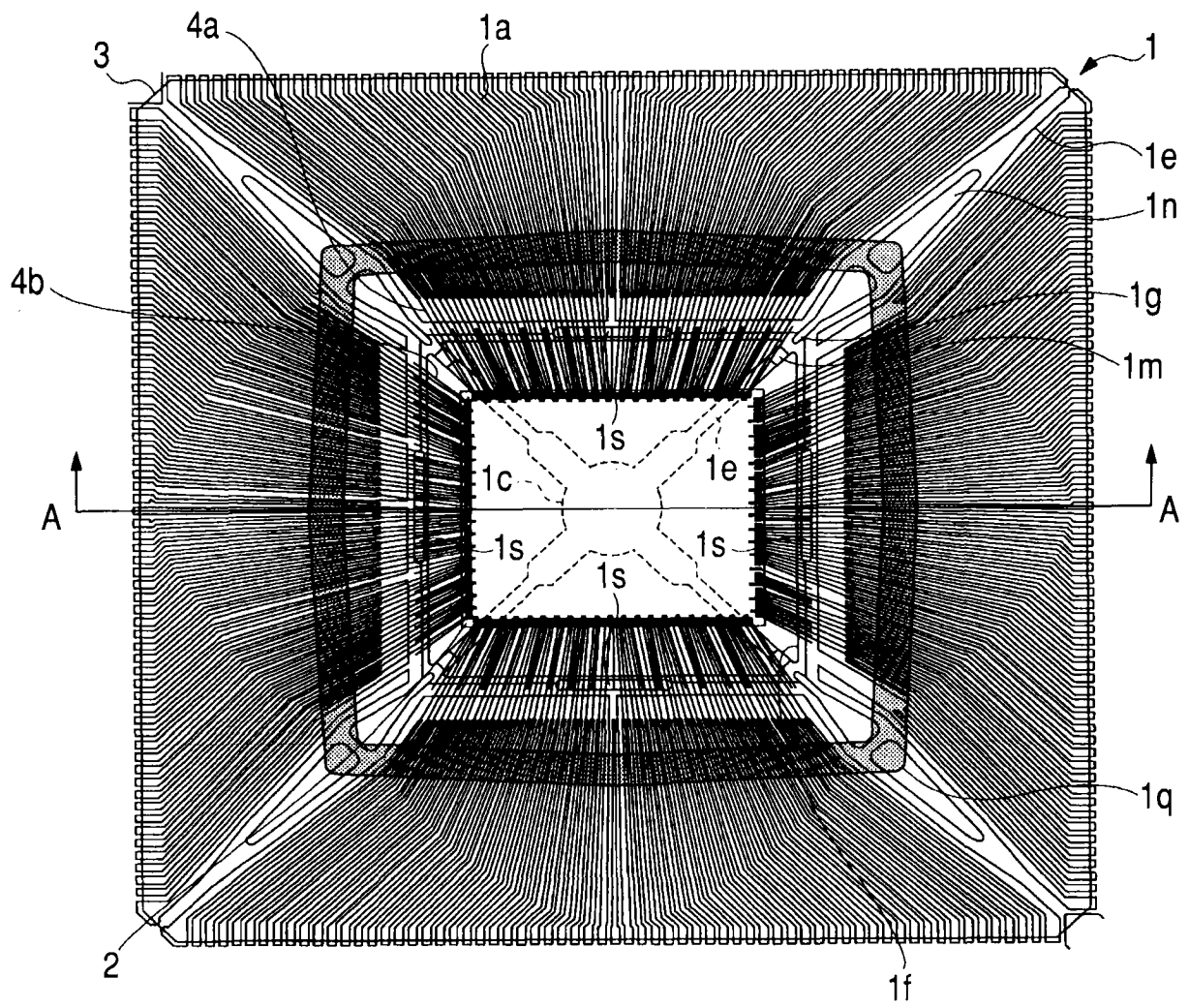


图 22

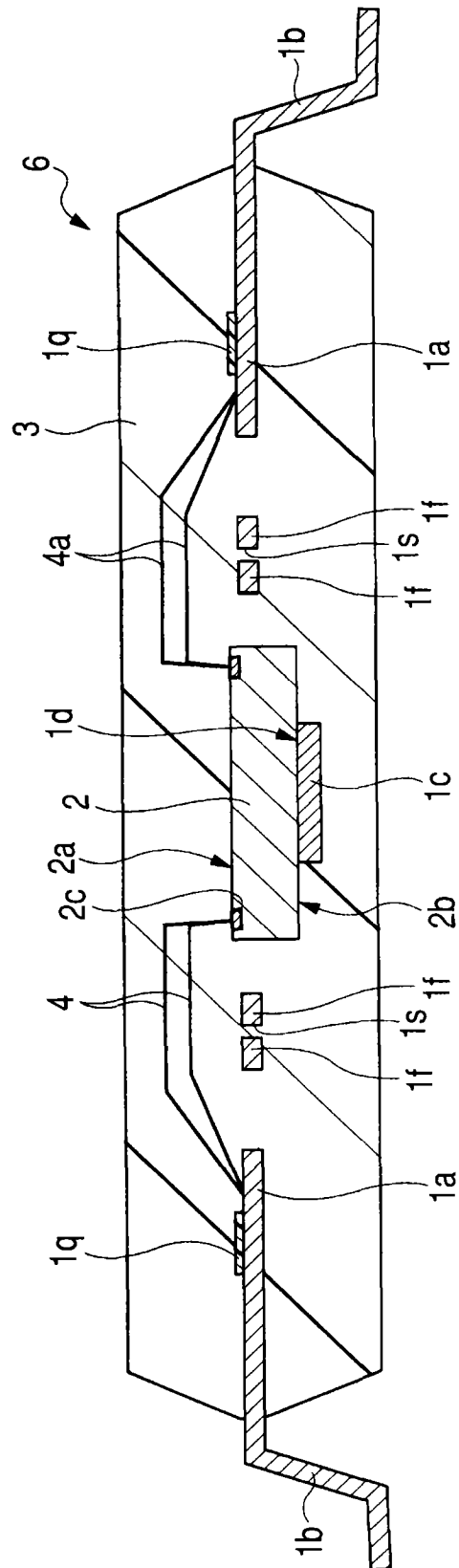


图 23

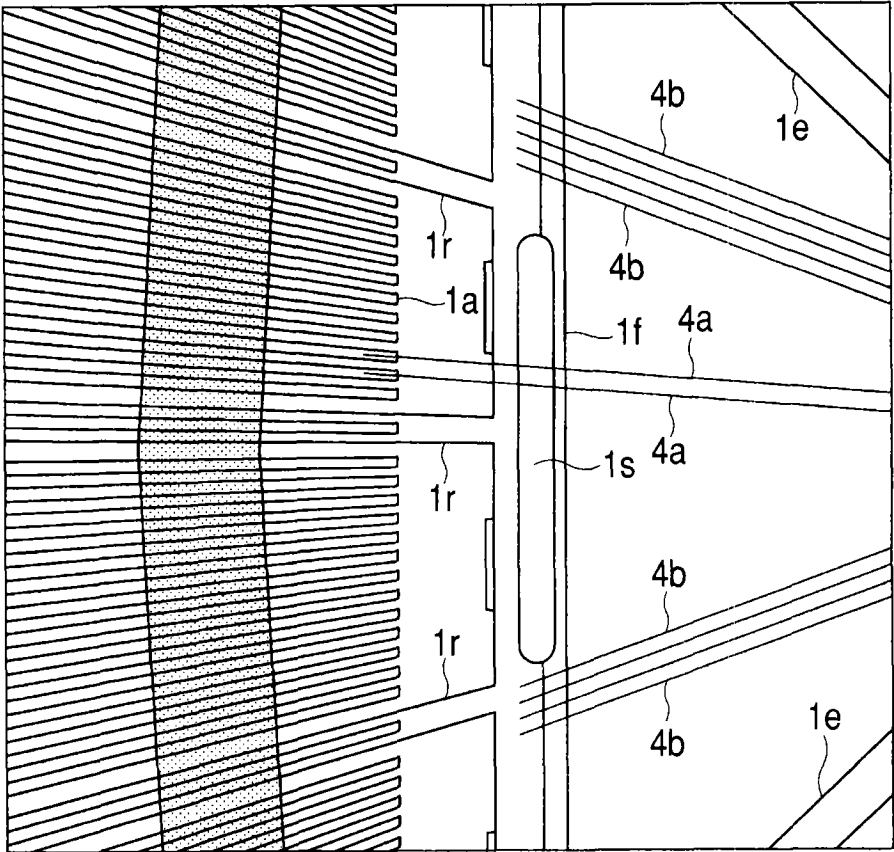


图 24

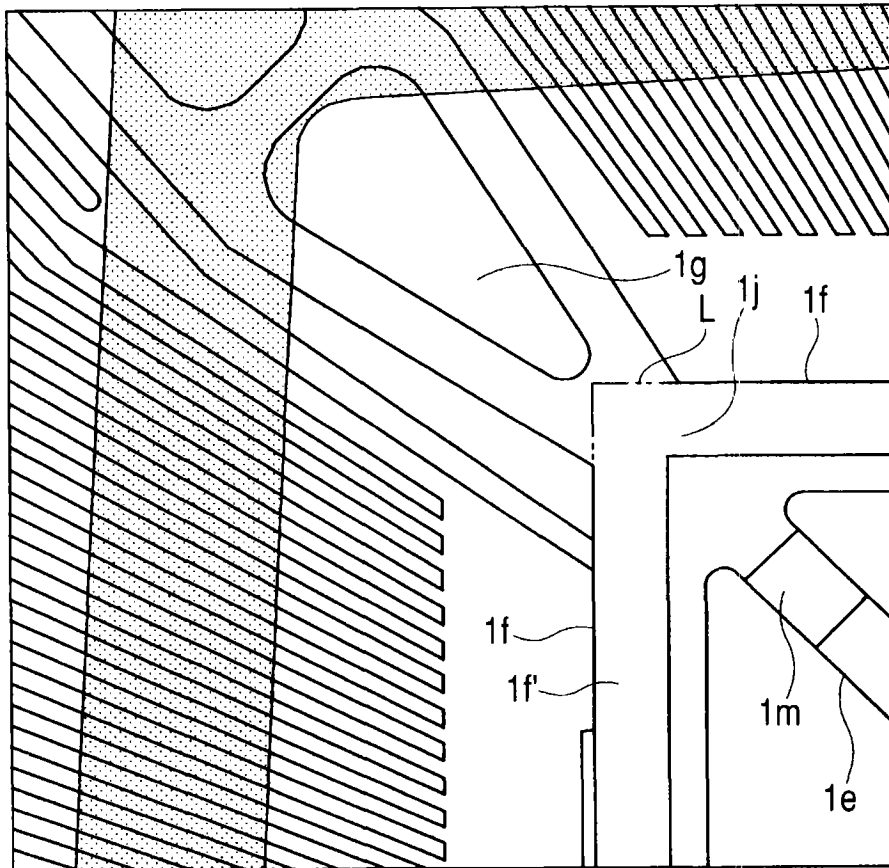


图 25

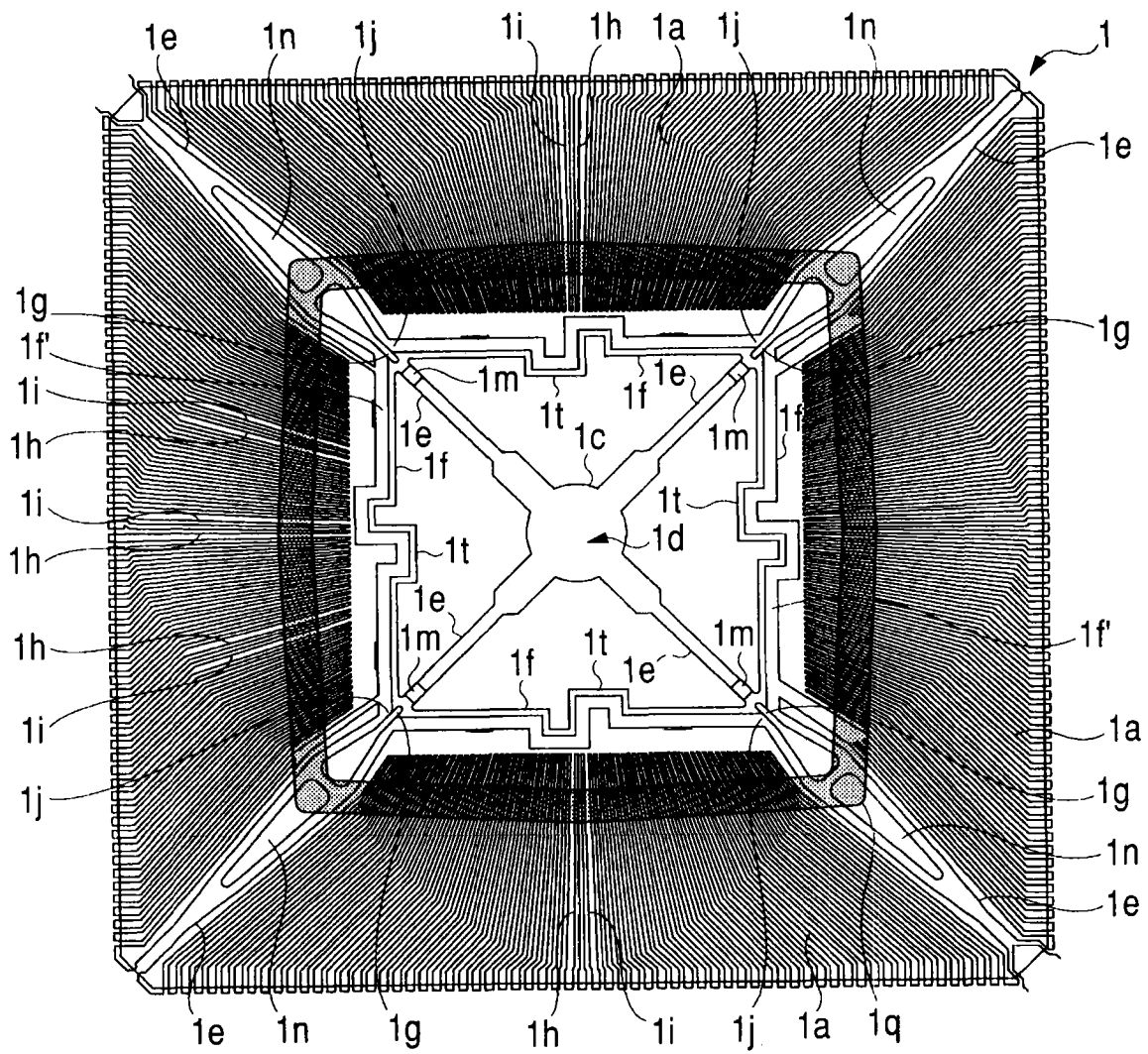


图 26

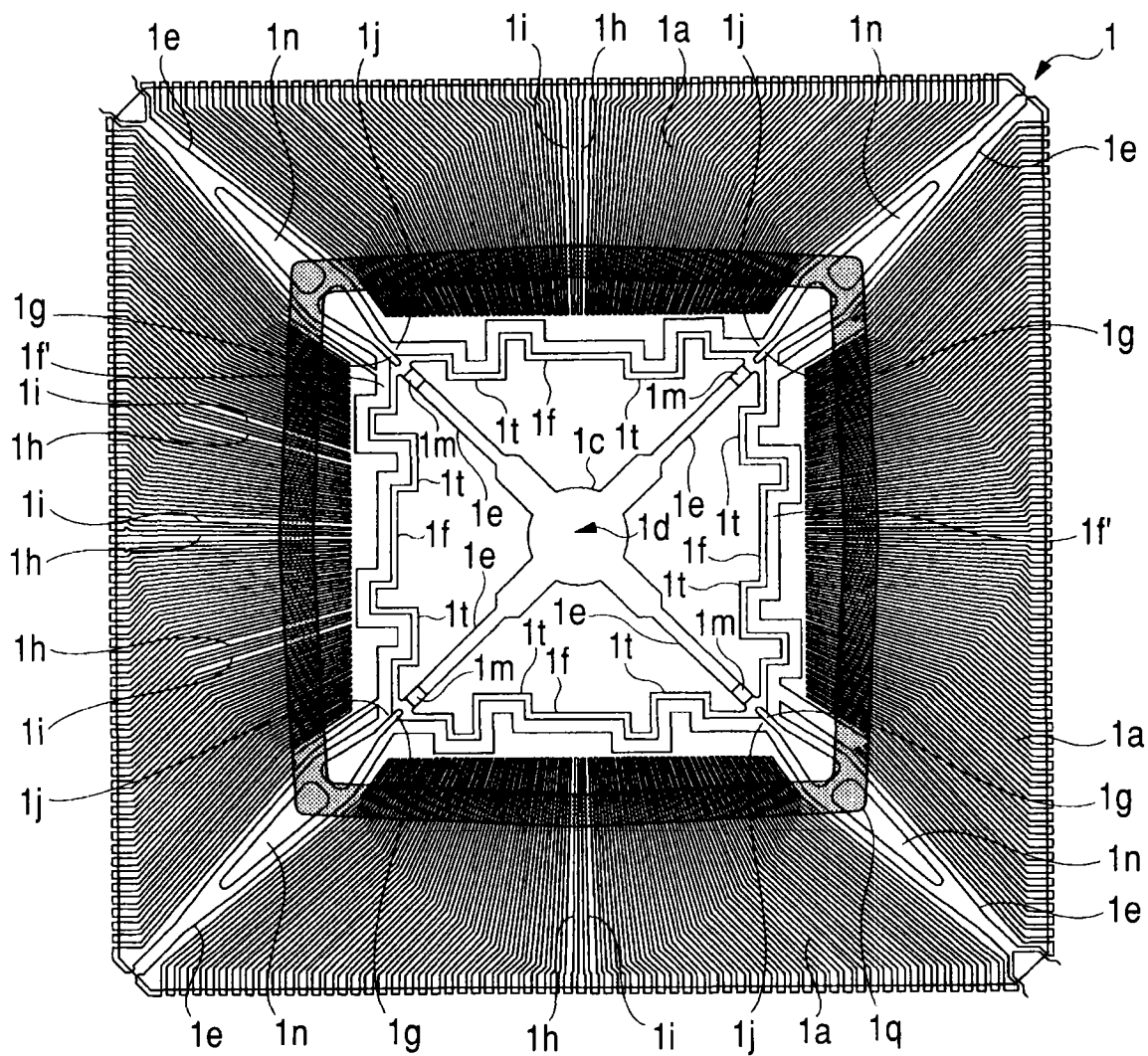


图 27

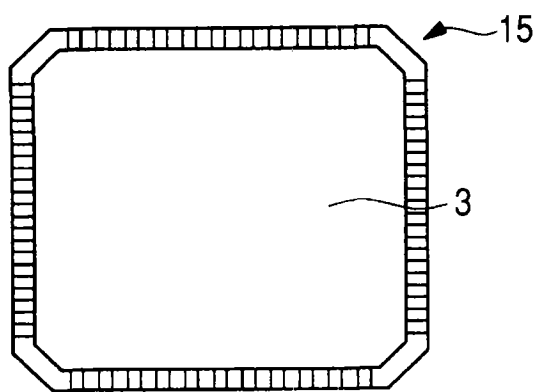


图 28(a)

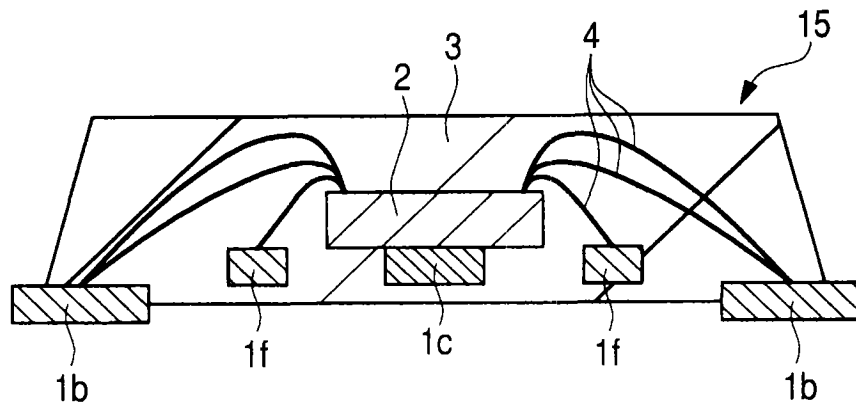


图 28(b)

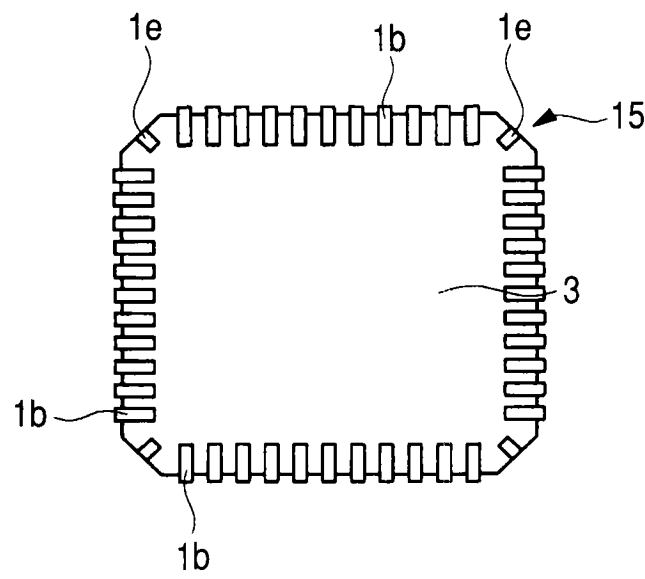


图 28(c)

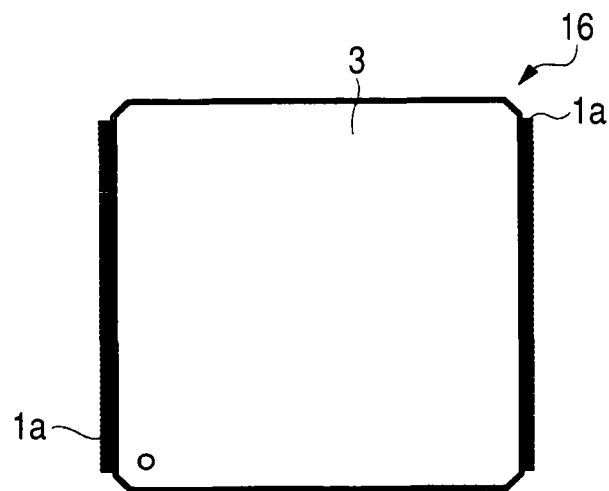


图 29(a)

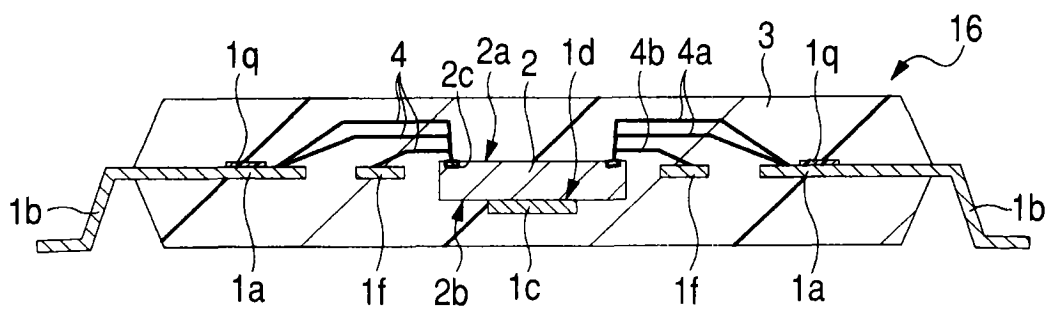


图 29(b)

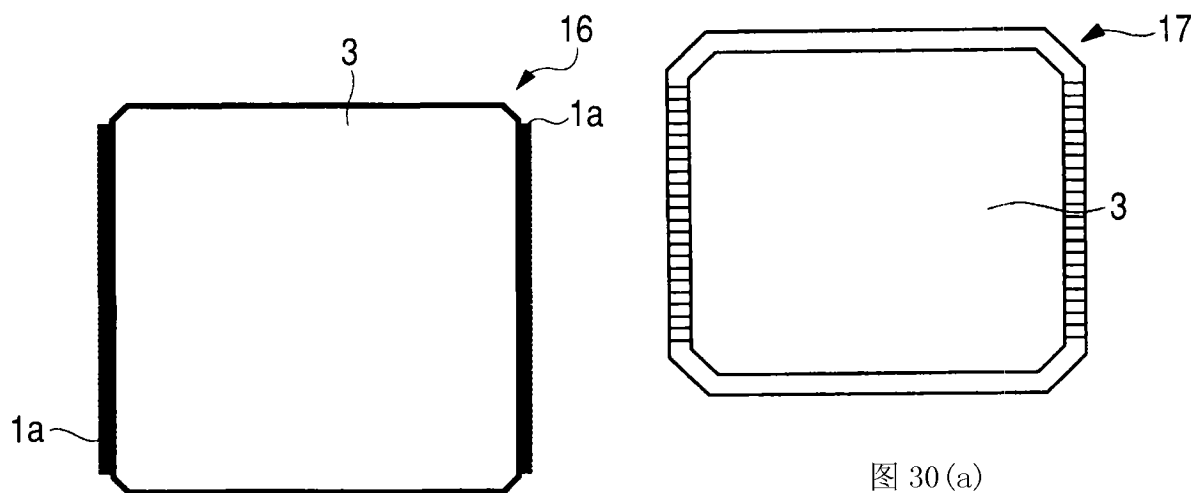


图 30(a)

图 29(c)

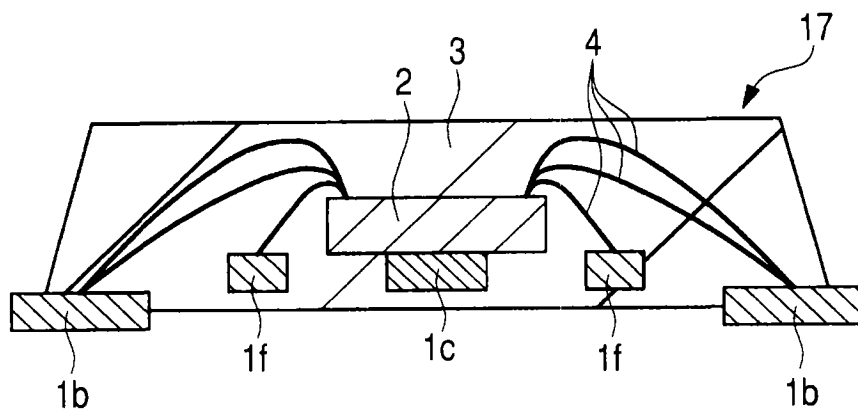


图 30(b)

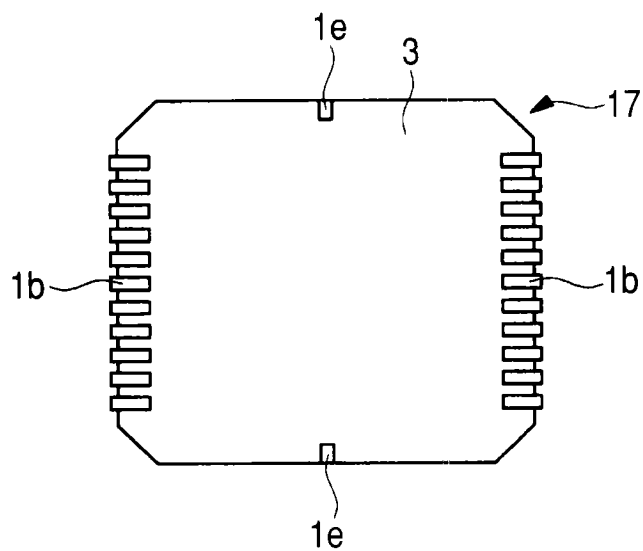


图 30(c)

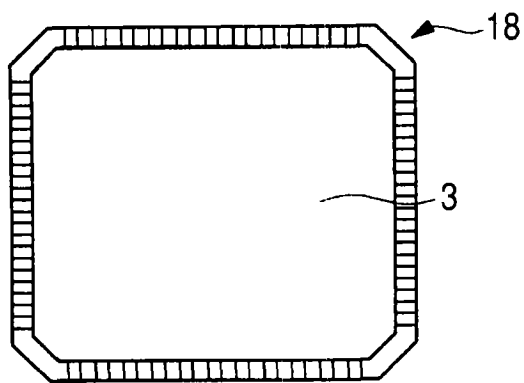


图 31(a)

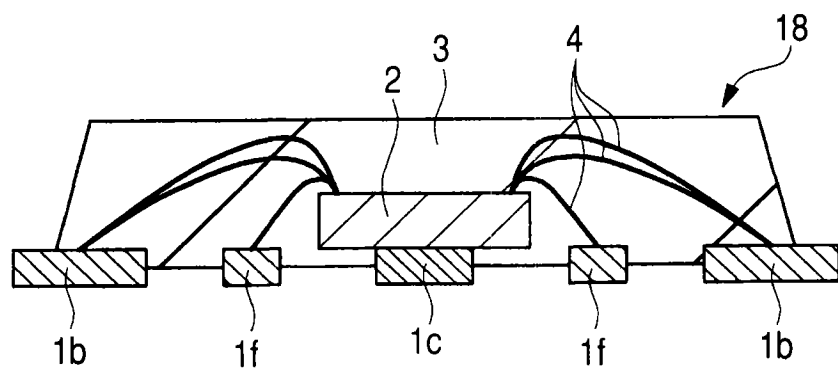


图 31(b)

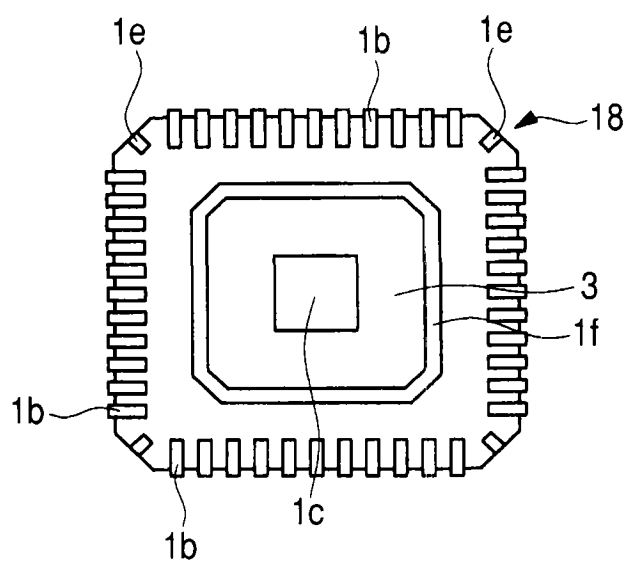


图 31(c)

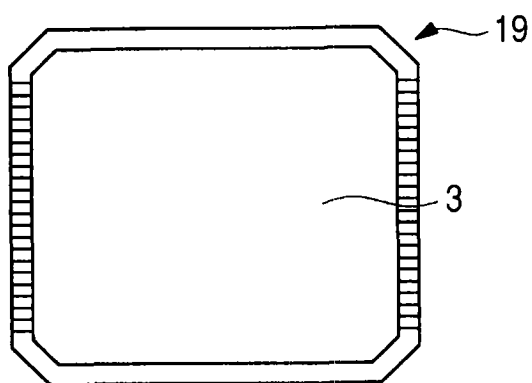


图 32(a)

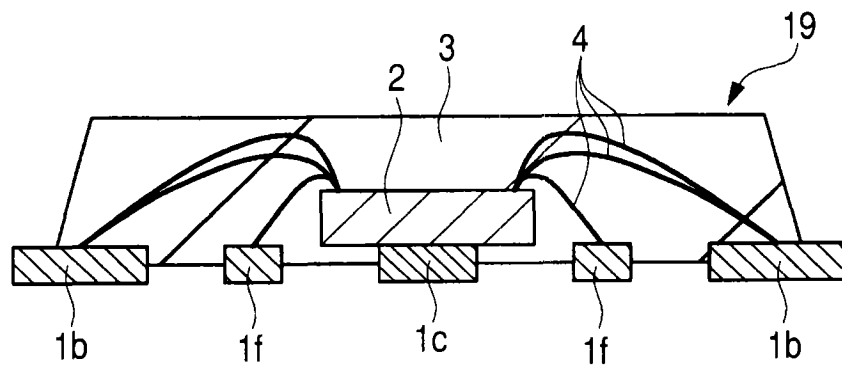


图 32(b)

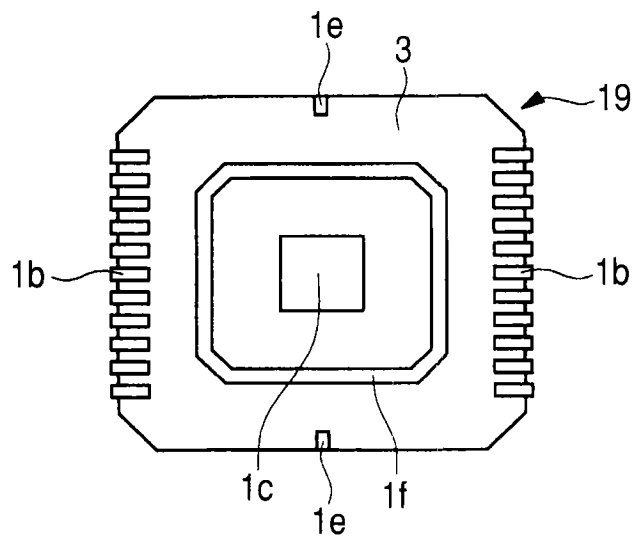


图 32(c)