(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H01L 29/78

(11) 공개번호 10-2004-0002665
(43) 공개일자 2004년01월07일

(21) 출원번호 10-2003-0041050
(22) 출원일자 2003년06월24일

(30) 우선권주장 JP-P-2002-00184292 2002년06월25일 일본(JP)

(71) 출원인
가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자
이찌노세가쯔히또
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내

오오쯔까후미오
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내

(74) 대리인
장수길
구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치

요약

변형된 기판의 소자 분리의 벽을 통해 흐르는 누설 전류를 저감하여, 소자 분리 특성을 향상시키는 것을 과제로 한다. 단결정 실리콘층(1a), SiGe층(1b) 및 이 SiGe층(1b) 상에 에피택셜 성장된 단결정 Si층(1c)으로 이루어지는 변형된 기판(1) 내에, 그 바닥부가 SiGe층(1b) 내에 위치하는 홈(2)을 형성하고, 홈(2)의 내벽에 단결정 Si을 에피택셜 성장 시킴으로써 Si막(3)을 형성하며, 또한, 이 Si막(3)의 일부를 산화하여 그 상부에 Si 산화막(열 산화막)(6)을 형성한 후, 홈(2)의 내부를 포함하는 기판(1) 상에, 절연막으로서 CVD법에 의해 산화실리콘막(7)을 퇴적하고, 그 표면을 CMP법에 의해 연마한다. 이와 같이 소자 분리 SGI와 SiGe층(1b)과의 사이에 Si막(3)을 개재시킴으로써 소자 분리 SGI의 벽을 따라 흐르는 누설 전류를 저감시킬 수 있다.

대표도

도 13

색인어

소자 분리, 누설 전류, 에피택셜 성장, CVD법, 변형된 기판, 절연막

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 2는 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 3은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 4는 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 5는 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 6은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 7은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 8은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 9는 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 10은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 11은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 12는 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 13은 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 14는 본 발명의 제1 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 평면도.

도 15는 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 반도체 집적 회로 장치를 도시한 기판의 주요부 단면도.

도 16은 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 반도체 집적 회로 장치를 도시한 기판의 주요부 단면도.

도 17은 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 반도체 집적 회로 장치를 도시한 기판의 주요부 단면도.

도 18은 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 반도체 집적 회로 장치를 도시한 기판의 주요부 평면도.

도 19는 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 반도체 집적 회로 장치를 도시한 기판의 주요부 평면도.

도 20은 본 발명의 제2 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 21은 본 발명의 제2 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 22는 본 발명의 제2 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 23은 본 발명의 제2 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 24는 본 발명의 제3 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 25는 본 발명의 제3 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 26은 본 발명의 제3 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 27은 본 발명의 제3 실시예에 따른 다른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 28은 본 발명의 제3 실시예에 따른 다른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 29는 본 발명의 제4 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 30은 본 발명의 제4 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 31은 본 발명의 제4 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 32는 본 발명의 제4 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

도 33은 본 발명의 제4 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 반도체 기판(기판, 변형된 기판)

1a, 1c : Si층(단결정 실리콘층)

1b : SiGe층

2 : 홈

3, 403 : Si막

4n : n형 웰

4p : p형 웰

6, 6a, 206, 402a, 406 : Si 산화막

6b, 402b : SiGe 산화막

7, 19, 21 : 산화실리콘막

8 : 게이트 산화막

9 : 다결정 실리콘막

11 : n^-형 반도체 영역

12 : p^-형 반도체 영역

13 : 측벽 스페이서

14 : n^+형 반도체 영역

15 : p^+형 반도체 영역

17 : $CoSi_2$막

22, 306, 306a : 질화실리콘막

60 : 단결정 실리콘층

203 : Si막(다결정 실리콘막)

C1 : 컨택트홀

G : 게이트 전극

H1 : 웰 내 분리폭

H2 : 웰간 분리폭

ISOp-p : 웰 내 분리

ISOn-p : 웰간 분리

M1 : 제1층 배선

p1 : 플러그

Qn : n 채널형 MISFET

Qp : p 채널형 MISFET

SGI : 소자 분리

nMIS-A : n 채널형 MISFET의 형성 영역

pMIS-A : p 채널형 MISFET의 형성 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치 및 그 제조 방법에 관한 것으로, 특히, 기판의 표면부에 응력이 가해진, 소위 변형된 기판을 이용한 반도체 집적 회로 장치 및 그 제조 방법에 적용하기에 유효한 기술에 관한 것이다.

반도체 기판의 주 표면에 형성되는 반도체 소자, 예를 들면, MISFET(Metal Insulator Semiconductor Field Effect Transistor)의 특성은, 여러 요인에 의해 결정되지만, 기판의 표면층에 인장 응력이 가해지고 있는 경우에는, 채널 영역의 전자의 이동도가 커져, MISFET의 전류 구동 능력을 향상시킬 수 있다.

이러한 기판은 변형된 기판이라 불리며, 예를 들면, Strained Si MOSFETs for High Performance CMOS Technology(2001 Symposium on VLSI Technology Digest p59 p60에, 이러한 기판을 이용한 MOSFET의 기재가 있다.

발명이 이루고자 하는 기술적 과제

본 발명자는 반도체 집적 회로 장치의 연구 및 개발에 종사하고 있으며, 특히 MISFET의 특성의 향상을 위해, 변형된 기판의 채용에 대하여 다각도로 검토하고 있다.

이 변형된 기판은, 예를 들면, Si 기판 상에 SiGe막을 에피택셜 성장시키고, 또한, 이 상부에 Si막을 에피택셜 성장시킴으로써 형성할 수 있다. 후술하는 바와 같이, Si과 Ge의 격자간 거리의 영향에 의해 최상층의 Si막에 인장 응력이 가해진다.

한편, 기판에는 복수의 소자가 형성되고, 이들 사이를 분리하기 위해서, 절연막으로 이루어지는 소자 분리가 형성된다. 이 소자 분리는, 예를 들면, 기판의 소자 분리 영역에 홈을 형성하고, 홈 내에 절연막을 매립함으로써 형성한다.

예를 들면, 홈의 내부를 포함하는 기판 상에 CVD(Chemical Vapor Deposition)법으로 산화실리콘막 등의 절연막을 퇴적하고, 홈 외부의 절연막을 CMP(Chemical Mechanical Polishing)법 등으로 제거함으로써, 홈 내에 절연막을 매립한다.

그러나, 홈 내에 직접 CVD 절연막을 매립하면, 홈(소자 분리의 벽)을 따라서 누설 전류가 흐르기 쉬어진다. 이것은, C

VD 절연막과 반도체 기판과의 사이에서 계면 준위 밀도가 높아지는 것이 원인이다.

따라서, 홈을 형성한 후에, 홈의 내벽을 열 산화한 후에, CVD 절연막을 매립하는 방법이 채용되고 있다.

그러나, SiGe막을 갖는 변형된 기판에서는, 홈의 내벽을 산화했을 때 생기는 SiGe 산화막이, Si 산화막에 비하여 계면 준위 밀도가 1자릿수 크다고 하는 성질을 갖는다.

따라서, 변형된 기판을 이용한 경우에는, Si 기판을 이용한 경우보다 누설 전류가 커지며, 또한, 소자 분리 특성이 열화한다는 문제가 생긴다.

따라서, 예를 들면, 일본 특허 공개 평5-275526호 공보(USP5266813)에는, 단결정 실리콘층(60)을 홈의 라이너(Groove Liner)로서 형성하고, 누설(leak)을 방지하는 기술이 개시되어 있다.

그러나, 반도체 집적 회로 장치의 특성의 향상이나 미세화의 요구에 수반하여 장치의 구성이 다른 현재 상황에서는, 상기 공보에 개시된 기술로는 누설 전류의 방지가 충분하지 않다. 이에 대해서는 후에 상세히 설명한다.

본 발명의 목적은, 변형된 기판의 소자 분리 특성을 향상시키는 기술을 제공하는 것에 있다. 특히, 웰이 고농도화하거나, 혹은 소자 분리 상에 도전성막이 배치되도록 한 경우에서도, 소자 분리의 벽을 통해 흐르는 누설 전류를 저감시키는 것에 있다.

또한, 본 발명의 다른 목적은, 변형된 기판의 소자 분리 특성을 향상시킴으로써, 이들 주 표면에 형성되는 반도체 집적 회로의 특성을 향상시키며, 또한, 장치의 수율을 향상시키는 것이다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부 도면에서 명백히 될 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

본 발명의 반도체 집적 회로 장치는, SiGe층과, 상기 SiGe층 상에 에피택셜 성장된 제1 Si층을 갖는 반도체 기판의 소자 분리로서, 그 바닥부가 SiGe층의 도중에 위치하는 소자 분리와 SiGe층과의 사이에 제2 Si층을 갖는 것이다.

본 발명의 반도체 집적 회로 장치의 제조 방법은, SiGe층과 그 위에 에피택셜 성장된 제1 Si층을 갖는 반도체 기판의 소자 분리 영역에, 제1 Si층을 관통하여 SiGe층까지 도달하는 홈을 형성한 후, 그 상부에 제2 Si층을 형성하며, 또한, 열 처리를 실시함으로써 이 제2 Si층 중 표면으로부터의 일정한 두께의 Si막을 제1 절연막으로 하고, 이 제1 절연막 상에 홈을 매립하는 정도의 제2 절연막을 형성하며, 홈 외부의 제2 절연막을 제거함으로써 소자 분리를 형성하는 것이다.

또한, 상기 제2 Si층을 형성하기 전에, 홈의 바닥부 및 측벽을 열 산화하여, SiGe 산화막 및 Si 산화막을 형성하고, SiGe 산화막만을 에칭으로 제거한 후, 노출한 SiGe층 상에만 제2 Si층을 형성하여도 된다.

또한, 본 발명에 따른 반도체 집적 회로 장치의 제조 방법은, (a) SiGe층과, 상기 SiGe층 상에 에피택셜 성장된 제1 Si층을 갖는 반도체 기판을 준비하는 공정과, (b) 상기 반도체 기판을 에칭함으로써 상기 반도체 기판의 소자 분리 영역에, 상기 제1 Si층을 관통하고 상기 SiGe층까지 도달하는 홈을 형성하는 공정과, (c) 상기 홈의 바닥부 및 측벽을 포함하는 상기 반도체 기판의 표면에 제2 Si층을 형성 하는 공정과, (d) 상기 제2 Si층에 열처리를 실시함으로써 상기 제2 Si층 중 표면으로부터 일정한 두께의 Si막을 제1 절연막으로 하는 공정과, (e) 상기 제1 절연막 상에, 상기 홈을 매립하는 정도의 제2 절연막을 형성하고, 홈 외부의 상기 제2 절연막을 제거함으로써 상기 소자 분리 영역에 형성된 소자 분리 및 상기 소자 분리에 의해 구획된 소자 형성 영역을 형성하는 공정과, (f) 상기 소자 형성 영역에, 반도체 소자를 형성하는 공정을 포함하는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 제2 Si층은 단결정 Si막이며, 상기 (c) 공정은, 상기 단결정 Si막을 에피택셜 성장에 의해 형성하는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 제2 Si층은 단결정 Si막이며, 상기 (c) 공정은, 상기 다결정 Si막을, 상기 홈의 바닥부 및 측벽을 포함하는 상기 반도체 기판의 표면에 퇴적하는 공정인 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 (d) 공정과 상기 (e) 공정과의 사이에, (g) 상기 제1 절연막 상에, 질화막을 형성하는 공정을 더 포함하는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 (d) 공정과 상기 (e) 공정과의 사이에, (g) 상기 제1 절연막 상에, 질화막을 형성한 후, 상기 질화막을 이방적으로 에칭함으로써, 상기 홈의 측벽에 질화막을 잔존시키는 공정을 더 포함하는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 (e) 공정의 상기 제2 절연막은 산화실리콘막이며, 상기 산화실리콘막은, 오존과 테트라에톡시실란을 원료로 한 CVD법에 의해 형성되는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 (e) 공정의 상기 제2 절연막은 산화실리콘막이며, 상기 산화실리콘막은, 오존과 테트라에톡시실란을 원료로 한 CVD법에 의해 퇴적한 막에, 열 처리를 실시함으로써 형성되는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 (f) 공정은, MISFET을 형성하는 공정으로서, 상기 (f) 공정은, 상기 소자 분리 영역에 상기 MISFET을 구성하는 게이트 전극과 동일한 층의 도전성막을 형성하는 공정을 포함하는 것을 특징으로 한다.

상기 본 발명의 반도체 집적 회로 장치의 제조 방법에서, 상기 반도체 집적 회로 장치의 완성 시에서, 상기 제2 Si층이 잔존되어 있는 것을 특징으로 한다.

또한, 본 발명의 반도체 집적 회로 장치의 제조 방법은, (a) SiGe층과, 상기 SiGe층 상에 에피택셜 성장된 제1 Si층을 갖는 반도체 기판을 준비하는 공정과, (b) 상기 반도체 기판을 에칭함으로써 상기 반도체 기판의 소자 분리 영역에, 상기 제1 Si층을 관통하여 SiGe층까지 도달하는 홈을 형성하는 공정과, (c) 상기 홈의 바닥부 및 측벽을 포함하는 상기 반도체 기판의 표면을 열 산화함으로써, 상기 홈의 바닥부 및 측벽으로부터 노출된 SiGe층의 표면에, SiGe 산화막을 형성하고, 상기 홈의 측벽으로부터 노출된 Si층의 표면에, Si 산화막을 형성하는 공정과, (d) 상기 SiGe 산화막을 상기 Si 산화막보다 고 선택비의 조건으로 에칭함으로써, 상기 홈의 바닥부 및 측벽에 SiGe층을 노출시키는 공정과, (e) 상기 (d) 공정에서 노출된 SiGe층의 표면에, 단결정인 제2 Si층을 에피택셜 성장에 의해 형성하는 공정과, (f) 상기 제2 Si층에 열처리를 실시함으로써 상기 제2 Si층 중 표면으로부터 일정한 두께의 Si막을 제1 절연막으로 하는 공정과, (g) 상기 제1 절연막 상에 상기 홈을 매립하는 정도의 제2 절연막을 형성하고, 홈 외부의 상기 제2 절연막을 제거함으로써 상기 소자 분리 영역에 형성된 소자 분리 및 상기 소자 분리에 의해 구획된 소자 형성 영역을 형성하는 공정과, (h) 상기 소자 영역에 반도체 소자를 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또, 원칙으로서 실시예를 설명하기 위한 전체 도면에서 동일 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복된 설명은 생략한다.

<제1 실시예>

이하, 본 실시예의 반도체 집적 회로 장치를 그 제조 방법에 따라서 설명한다.

도 1 내지 도 13은, 본 실시예의 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도이다. 또한, 도 14는 기판의 주요부 평면도이며, 각 단면도는 평면도의 A-A 단면부에 대응한다. 또한, nMIS-A는 n 채널형 MISFET의 형성 영역이고, pMIS-A는 p 채널형 MISFET의 형성 영역이다.

먼저, 도 1에 도시한 바와 같이, 단결정 실리콘(Si)층(1a), SiGe(실리콘 게르마늄)층(1b) 및 이 SiGe층 상에 에피택셜 성장된 단결정 Si층(1c)으로 이루어지 는 반도체 기판(이하, 간단히 '기판'이라 함)(1)을 준비한다.

이 기판(1)을 형성하기 위해서는, 먼저, 단결정 Si 기판(1a)의 표면에 SiGe층(1b)을, Si과 Ge의 조성비(Si:Ge)가, 예를 들면 0.8:0.2가 되도록, 에피택셜 성장에 의해 5㎛ 정도 형성한다. 계속해서, 이 SiGe층(1b) 상에 Si층(1c)을 에피택셜 성장에 의해 0.02㎛ 정도 형성한다.

이러한 기판(1)의 Si층(1c)에는 인장 응력이 인가된다. 이것은, SiGe층(1b)의 격자 간격이 Si의 단결정보다 넓기 때문에, SiGe층(1b) 상에 성장하는 Si층은 이 격자 간격의 영향을 받아 그 격자 간격이 넓어진다. 이 격자 간격은 막의 성장이 진행함에 따라서 완화되지만, 기판의 표면에서 Si층의 격자 간격이 통상의 Si의 결정의 격자 간격보다 넓으면, Si층(1c)에는 인장 응력이 인가되어, 캐리어의 이동도가 상승한다. 또, Si층(1c)의 하층은 Si보다 격자 간격이 넓은 결정으로, 그 표면으로부터 Si이 에피택셜 성장할 수 있는 층이면 된다. 또한, 이 기판(1)은 '변형된 기판', Si층(1c)은 '변형된 층'이라 불린다.

계속해서, 기판(1)에 소자 분리 SGI를 형성한다. 이 소자 분리 SGI를 형성하기 위해서는, 먼저, 도 2에 도시한 바와 같이, 기판(1)의 표면에 예를 들면, 10㎚ 정도의 산화실리콘막(21)을 형성하고, 또한, 이 상부에 질화실리콘(22)을 150㎚ 정도 퇴적한다.

계속해서, 포토레지스트막(도시 생략; 이하, 간단히 '레지스트막'이라 함)을 마스크로 하여, 기판(1)의 소자 분리 영역(ISOp-p, ISOp-n)의 질화실리콘막(22) 및 산화실리콘막(21)을 제거한다.

계속해서, 레지스트막을 제거하고, 질화실리콘막(22) 등을 마스크로 하여, 기판(1)을 에칭하여 홈(2)을 형성한다. 소자 분리 특성을 확보하기 위해, 홈(2)의 깊이는, 이 경우 300㎚ 정도 필요하다. 또한, 이 홈(2)은 Si층(1c)을 관통하고, SiGe층(1b)까지 도달한다. 또한, 홈(2)의 바닥부는 SiGe층(1b) 내에 위치한다.

따라서, 홈(2)의 측벽에는 Si층(1c) 및 SiGe층(1b)이 노출되며, 또한, 홈(2)의 바닥부에는 SiGe층(1b)이 노출되어 있다.

다음에, 환원 처리, 예를 들면, 수소 분위기 속에서의 열 처리를 행함으로써 홈(2)의 표면의 자연 산화막을 제거한다. 계속해서, 도 3에 도시한 바와 같이, 홈(2)의 측벽의 Si층(1c) 및 SiGe층(1b) 상, 또한, 홈(2)의 바닥부의 SiGe층(1b) 상에 단결정 Si을 에피택셜 성장시킴으로써, 막 두께 20㎚ 정도의 단결정 Si막(3)을 형성한다. 또, 홈(2)의 측벽 상부에서는, 단결정 Si의 성장이 기판에 대하여 수평 방향으로 성장할 뿐만 아니라, 수직 방향으로도 성장한다. 따라서, 홈의 측벽 상부에서는, 기판(1)의 표면보다 융기되도록 단결정 Si이 성장한다.

계속해서, 홈(2)의 내벽의 Si막(3)의 표면을 산화하고, Si 산화막(열 산화막)(6)을 형성하는 것이지만, 그 전에, 도 4에 도시한 바와 같이, 산화실리콘막(21)을 선택적으로 에칭함으로써 홈의 측벽부로부터 후퇴시킨다.

계속해서, 도 5에 도시한 바와 같이, 홈(2)의 내벽의 Si막(3)의 표면을 산화하고, Si 산화막(열 산화막)(6)을 형성한다. 이 Si 산화막(6)은, 1) 홈의 바닥부의 코너부(a1)에 위치하는 Si 산화막(6)을 라운드화하고, 코너부로의 응력 집중에 의한 결정 결함의 발생을 억제하는, 2) 홈의 측벽 상부의 코너부(a2)에 위치하는 Si 산화막(6)을 라운드화하고, 코너부로의 전계 집중에 의한 반도체 소자의 특성의 변동을 억제하는, 등을 위해 형성된다. 또한, 3) 홈 내부에 매립되는 CVD 절연막과 Si층(1a) 등이 직접 접촉하는 경우에는 계면 준위 밀도가 커지기 때문에, 접촉하여도 계면 준위 밀도를 낮게 억제하는 Si 산화막(열 산화막)(6)을 개재시킨다.

여기서, 본 실시예에 따르면, 산화실리콘막(21)을 홈(2)의 측벽부로부터 후퇴시킨 후(도 4), 산화 처리를 행하였기 때문에, 소위 버즈빅이 커져 코너부를 보다 완만히 할 수 있다. 따라서, 전계 집중을 보다 완화할 수 있다.

또한, 이 산화 처리 시에, Si막(3)의 표면으로부터 일정한 두께의 Si막을 산화하고, 이 산화 처리의 후에서도 Si막(3)을 잔존시킨다. 예를 들면, Si을 산화한 경우에는 그 체적이 2배인 Si 산화막이 형성되기 때문에, Si막(3)의 막 두께 20㎚ 중 10㎚를 산화하면, 20㎚ 정도의 Si 산화막(6)으로 되어 10㎚ 정도의 Si막(3)이 잔존하게 된다.

계속해서, 도 6에 도시한 바와 같이, 홈(2)의 내부(Si 산화막(6) 상)를 포함하는 기판(1) 상에, 절연막으로서 CVD(Chemical Vapor Deposition)법에 의해 산화실리콘막(7)을 퇴적한다. 이 산화실리콘막은, 예를 들면, 테트라에톡시 실란($Si(OC_2H_5)_4$)과 오존(O_3)을 원료로 한 CVD법으로 형성할 수 있다. 이러한 막을오존 TEOS(O_3-TEOS)막이라 한다. 계속해서, 산소 분위기 하에서 O_3-TEOS막에 열 처리를 실시하며(덴시파이, 소결), 막 내 불순물을 제거하고, 또한, 막을 치밀화한다. 또, 산화실리콘막(7)의 형성 방법은, 상기 방법에 한정되지 않고, HDP(High Density Plasma) CVD법을 이용하여 형성하여도 된다. 이 경우, 상기 덴시파이는 불필요해진다.

다음에, 도 7에 도시한 바와 같이, 산화실리콘막(7)을 질화실리콘막(22)이 노출될 때까지, 예를 들면 CMP(Chemical Mechanical Polishing)법에 의해 연마하고, 그 표면을 평탄화한다.

계속해서, 도 8에 도시한 바와 같이, 질화실리콘막(22)을 제거한다. 그 결과, 홈(2)의 내벽의 Si막(3)과, Si 산화막(6) 및 산화실리콘막(7)으로 이루어지는 소자 분리 SGI가 완성된다. 이 소자 분리 SGI에 의해 둘러싸인 영역이 소자 형성 영역이 된다(도 14 참조). 또, 질화실리콘막(22)의 제거 후에서는, 소자 분리 SGI 표면의 산화실리콘막(7)은 기판(1)의 표면보다 돌출되어 있지만, 그 후의, 기판의 세정이나 열 산화막의 제거 등의 공정에 의해 소자 분리 SGI의 표면은 서서히 후퇴한다.

여기서, 소자 분리 SGI 중, n 채널형 MISFET의 형성 영역(nMIS-A) 내의 소자 분리의 폭 H1보다, n 채널형 MISFET의 형성 영역(nMIS-A)과 p 채널형 MISFET의 형성 영역(pMIS-A)과의 경계부의 소자 분리의 폭 H2 쪽이 크다. 폭 H1의 소자 분리는, 후술하는 p형 웰(4p) 내의 분리로 되기 때문에, 웰 내 분리(ISOp-p)와, 또한, 폭 H2의 소자 분리는, p형 웰(4p)과 n형 웰(4n) 사이의 분리로 되기 때문에, 웰간 분리(ISOn-p)라 한다. 예를 들면, 웰 내 분리의 폭 H1은 0.2㎛ 정도, 웰간 분리의 폭 H2은 0.4㎛ 정도이다.

계속해서, 도 9에 도시한 바와 같이, 기판(1)의 n 채널형 MISFET 형성 영역(nMIS-A)에, p형 불순물로서 예를 들면 붕소를, 2×10 ^{13} ㎝ $^{-2}$ 정도 이온 주입한다. 또한, 기판(1)의 p 채널형 MISFET 형성 영역(pMIS-A)에, n형 불순물로서, 예를 들면 인을 2×10 ^{13} ㎝ $^{-2}$ 정도 이온 주입한 후 열 처리를 실시하여, 이들 불순물을 확산시킴으로써, n형 웰(4n) 및 p형 웰(4p)을 형성한다. 이 n형 웰(4n) 및 p형 웰(4p)의 깊이는 450㎚ 정도이고, n형 웰(4n) 및 p형 웰(4p)의 바닥부는 SiGe층(1b) 내에 위치한다. 또한, n형 웰(4n) 및 p형 웰(4p)의 바닥부는 소자 분리 SGI의 바닥부보다 깊은 위치에 있다. 이 경우, 웰의 최대 농도는 약 2×10 ^{18} ㎝ $^{-3}$ 로 된다.

다음에, 예를 들면 불산계의 세정액을 이용하여 기판(1)(p형 웰(4p) 및 n형 웰(4n))의 표면을 웨트 세정한 후, 열 산화에 의해 p형 웰(4p) 및 n형 웰(4n)의 각각의 표면에 2㎚ 정도의 게이트 산화막(게이트 절연막)(8)을 형성한다.

다음에, 게이트 산화막(8)의 상부에 도전성막으로서, 막 두께 150㎚ 정도의 저저항 다결정 실리콘막(9)을 CVD법에 의해 퇴적한다. 계속해서, 레지스트막(도시 생략)을 마스크로 하여, 다결정 실리콘막(9)을 에칭함으로써 게이트 전극 G을 형성한다.

여기서, 소자 분리 SGI(ISOp-p, ISOp-n) 상에도, 게이트 전극 G이 형성된다. 예를 들면, 다른 소자 형성 영역(도시 생략) 상의 게이트 전극이 소자 분리 SGTI 상까지 연장되어 있는 경우가 있다. 또한, 게이트 전극 G과 동층의 다결정 실리콘막(9)을, 배선이나 저항으로서 이용하여, 이들이 소자 분리 상에 형성되는 경우가 있다.

계속해서, 도 10에 도시한 바와 같이, p형 웰(4p)의 게이트 전극 G의 양측에 n형 불순물로서 예를 들면 비소(As)를 주입함으로써 n $^{-}$ 형 반도체 영역(11)을 형성한다. 또한, 마찬가지로, n형 웰(4n)의 게이트 전극 G의 양측에 p형 불순물을 주입하여, p $^{-}$ 형 반도체 영역(12)을 형성한다.

다음에, 도 11에 도시한 바와 같이, 기판(1) 상에 CVD법으로 70㎚ 정도의 질화실리콘막을 퇴적한 후, 이방적으로 에칭함으로써 게이트 전극 G의 측벽에 막 두께 50㎚ 정도의 측벽 스페이서(13)를 형성한다.

계속해서, p형 웰(4p) 상의 게이트 전극 G의 양측에 n형 불순물로서 예를 들면 비소를 주입한다. 또한, n형 웰(4n) 상의 게이트 전극 G의 양측에 p형 불순물로서 예를 들면 불화 붕소를 주입하고, 예를 들면, 1000℃, 1초의 열 처리를 실시함으로써 상기 불순물을 활성화시키고, n $^{+}$ 형 반도체 영역(14) 및 p $^{+}$ 형 반도체 영역(15)(소스, 드레인)을 형성한다.

이 n $^{+}$ 형 반도체 영역(14) 및 p $^{+}$ 형 반도체 영역(15)(소스, 드레인)은, SiGe층(1b)까지 연장되어 있다. 또, 이들 영역을 얕게 하고, Si층(1c) 내에 그 바닥부가 존재하여도 된다. 단, Si층(1c)의 인장 응력을 크게 하기 위해서는, 될 수 있는 한 Si층(1c)의 막 두께를 얇게 하는 것이 바람직하며, 이러한 경우에는, n $^{+}$ 형 반도체 영역(14) 및 p $^{+}$ 형 반도체 영역(15)(소스, 드레인)은 SiGe층(1b)까지 연장되 게 된다.

여기까지의 공정에서, LDD(Lightly Doped Drain) 구조의 소스, 드레인(n $^{-}$ 형 반도체 영역, n $^{+}$ 형 반도체 영역, p $^{-}$ 형 반도체 영역 및 p $^{+}$ 형 반도체 영역)을 구비한 n 채널형 MISFETQn 및 p 채널형 MISFETQp이 형성된다. 도 14에, 본 실시예의 반도체 집적 회로 장치의 기판의 주요부 단면도를 도시한다.

여기서, 본 실시예에서는, 변형된 기판(1) 상에 MISFET을 형성하였기 때문에, 채널 영역에서의 전자의 이동도를 향상시킬 수 있다. 그 결과, MISFET의 전류 구동 능력, 특히, n 채널형 MISFET의 전류 구동 능력을 향상시킬 수 있다.

또한, 본 실시예에서는, 소자 분리 SGI와 SiGe층(1b)과의 사이에 Si막(3)을 형성하였기 때문에, 소자 분리 SGI와 Si막(3)과의 계면에서의 전계 준위 밀도를 저감할 수 있다. 따라서, 이들 계면을 통하여 흐르는 누설 전류를 저감시킬 수 있다.

즉, 도 15에 도시한 바와 같이, 홈(2)의 측벽과 바닥부를 직접 산화하여, Si 산화막(6a) 및 SiGe 산화막(6b)을 형성하는 것도 가능하다. 그러나, SiGe 산화막(6b)은 Si 산화막에 비하여 계면 준위 밀도가 약 1자릿수 많아, 홈(2)의 내벽을 직접 산화하는 것만으로는 누설 전류 대책이 불충분하다. 즉, 도 15에 도시한 바와 같이, 소자 분리(SiGe 산화막(6b))의 주위에 전자가 트랩되기 쉬어져서, 소자 분리의 벽을 따라서 누설 전류가 흐른다.

이것에 대하여, 본 실시예에 따르면, 소자 분리 SGI와 SiGe층(1b)과의 계면 에는 SiGe 산화막(6b)이 존재하지 않기 때문에, 누설 전류를 저감시킬 수 있다. 또, 홈(2)의 내벽에 Si막(3)을 형성하고 이 층을 산화함으로써 Si 산화막(6)을 형성하였으므로, CVD 절연막(7)과 기판이 접촉하지 않아, 이들 사이의 계면 준위 밀도를 저감시킬 수 있다.

또한, 홈(2)의 내벽에 Si 산화막(6)의 형성 후에서도 Si막(3)을 잔존시켰기 때문에, Si 산화막(6)과 SiGe층(1b)이 접촉하지 않아, 이들 사이의 계면 준위 밀도를 저감시킬 수 있다.

또한, Si막(3)을 잔존시켰기 때문에, Si 산화막(6)의 형성 후의 열 처리, 예를 들면, O_3-TEOS막(7)의 덴시파이 처리나 소스, 드레인(14, 15)을 구성하는 불순물의 활성화 처리 등에 의해 Si 산화막(6)의 산화가 더욱 진행하여도, 잔존하는 Si막(3)이 수시로 산화되기 때문에, SiGe층(1b)의 산화를 방지할 수 있다. 따라서, SiGe 산화막에 의한 계면 준위 밀도의 상승을 억제할 수 있다.

또한, 본 실시예와 같이, 웰의 농도가 비교적 높은 경우(예를 들면, 1×10^{18} ㎝ $^{-3}$ 이상인 경우)나, 소자 분리 상에 도전성막(게이트 전극)이 형성되어 있는 경우에는, 도 16에 도시한 바와 같이, 소자 분리 SGI의 외주부에 전자가 트랩되기 쉬어진다.

이것은, 소자 분리 상에 도전성막(게이트 전극)과 소자 분리 SGI에 의해 기생의 M0S 트랜지스터가 구성되고, 도전성막에 전위가 인가되면 소자 분리의 외벽에 전자가 축적되며, 또한, 도전성막에 기생 MOS의 임계값 전위(Vt) 이상의 전위가 인 가되면, 이 기생 MOS 트랜지스터가 온 상태로 된다. 또한, 웰 농도가 높으면, 그 표면에 형성한 열 산화막의 계면 준위 밀도가 높아지는 것이 일반적으로 알려져 있다.

따라서, 본 실시예는, 이와 같은 경우(웰의 농도가 비교적 높은 경우나, 소자 분리 상에 게이트 전극이 형성되어 있는 경우)에 이용하기에 보다 효과적이다.

한편, 도 17에 도시한 바와 같이, 소자 분리 SGI(6, 7)의 외주가, Si막(3)으로 덮여 있는 경우에도, 소자 분리 SGI가 SiGe층(1b)보다 깊게 형성되어 있는 경우에는 누설 전류의 경로가 제한된다.

즉, 소자 분리 SGI와 SiGe층(1b)과의 계면에 트랩된 전자는, 도 18의 사선부를 통하여 흐르게 된다. 도 18은 도 17에 도시한 반도체 집적 회로 장치의 기판의 주요부 평면도이고, 도 17은 도 18의 A-A 단면부에 대응한다.

이것에 대하여, 본 실시예와 같이, 소자 분리 SGI의 바닥부가, SiGe층(1b) 내에 위치하는 경우(도 1 참조)에는, 도 19의 사선부에 도시한 바와 같이, 소자 분리 SGI의 바닥부를 통한 누설 전류도 생길 수 있기 때문에, 누설 전류의 대책이 보다 중요해진다.

또한, 소자 분리 SGI는 소자의 미세화에 수반되어 얕아지는 경향에 있다. 이것은 패턴 면적이 작아지면, 어스펙트비(홈 깊이/패턴 폭)가 커지고, 절연막의 매립 특성이 열화하는 등의 이유에 의한 것이다.

따라서, 소자 분리 SGI의 바닥부가, SiGe층(1b) 내에 위치하는 경우에는 본 실시예를 이용하기에 적합하다.

이 후, 도 12에 도시한 바와 같이, 기판(1) 상에 금속막으로서 예를 들면, Co(코발트)막을 퇴적하여 열 처리를 실시함으로써, 이러한 막과, 게이트 전극 G 및 기판(1)과의 접촉부에서 실리사이드화 반응을 일으켜, 자기 정합적으로 $CoSi_2$ (코발트 실리사이드막)(17)을 형성한다. 계속해서, 미반응의 Co막을 제거하고, 열 처리를 더 실시한다.

계속해서, 도 13에 도시한 바와 같이, 기판(1) 상에 층간 절연막으로서 예를 들면 산화실리콘막(19)을 CVD법으로 퇴적하고, 필요에 따라서 그 상부를 평탄화한다. 계속해서, MISFET(Qn, Qp)의 소스, 드레인(15, 14) 및 게이트 전극 상의 산화실리콘막(19)을 에칭함으로써, 컨택트홀 C1을 형성한다. 또, 게이트 전극 상의 컨택트홀의 도시는 생략한다.

계속해서, 컨택트홀 C1 내를 포함하는 산화실리콘막(19) 상에 도전성막으로서 예를 들면 W(텅스텐막)을 퇴적하고, 컨택트홀 C1 외부의 W막을 CMP법 등을 이용하여 연마 제거함으로써 플러그 P1를 형성한다.

계속해서, 플러그 P1 상을 포함하는 산화실리콘막(19) 상에, 도전성막으로서 예를 들면 W막을 퇴적하고, 원하는 형상으로 패터닝함으로써 제1층 배선 M1을 형성한다.

계속해서, 층간 절연막, 플러그 및 배선의 형성 공정을 반복함으로써, 또한, 다층의 배선을 형성할 수 있지만, 그 도시 및 상세한 형성 공정의 설명은 생략한다.

이 후, 예를 들면, 최상층 배선 상에 패드부가 개구된 보호막을 형성하고, 웨이퍼 상태의 기판(1)이 다이싱되어, 복수의 칩이 형성된다.

또한, 패드부와 외부 리드를 범프 전극이나 와이어 등을 이용하여 접속하고, 또한, 필요에 따라 수지 등을 이용하여 칩의 주변을 밀봉함으로써 반도체 집적 회로 장치가 완성된다.

여기서, Si막(3)은 반도체 집적 회로 장치의 완성 후에서도 잔존되어 있는 것이 바람직하다.

<제2 실시예>

제1 실시예에서는, Si막(3)을 단결정 Si막으로 하고, 에피택셜 성장에 의해 형성하였지만, 이 막을 다결정 실리콘막으로 하여도 된다.

이하, 본 실시예의 반도체 집적 회로 장치를 그 제조 방법을 따라서 설명한다.

도 20 내지 도 23은, 본 실시예의 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도이다. 또, 홈(2)의 형성 공정까지는, 도 1 및 도 2를 참조하여 설명한 제1 실시예의 경우와 마찬가지이기 때문에 그 설명은 생략한다.

즉, 홈(2)이 형성된 변형된 기판(1) 상에 도 20에 도시한 바와 같이, CVD법을 이용하여 막 두께 20㎚ 정도의 다결정 실리콘막(203)을 퇴적한다. 참조 부호(21)는 산화실리콘막, 참조 부호(22)는 질화실리콘막이다.

계속해서, 도 21에 도시한 바와 같이, 다결정 실리콘막(203)의 표면을 산화하고, Si 산화막(열 산화막)(206)을 형성한다. 이 산화 처리 시에 Si막(203)의 표 면으로부터 일정한 두께의 Si막을 산화하고, 이 산화 처리의 후에서도 Si막(203)을 잔존시킨다. 예를 들면, Si막(203)의 막 두께 20㎚ 중 10㎚을 산화하고, 20㎚ 정도의 Si 산화막(206)으로 하여, 10㎚ 정도의 Si막(203)을 잔존시킨다. 또한, 이 산화 처리에 의해 홈의 바닥부의 코너부(a1)에 위치하는 Si 산화막(6)이 라운드화한다. 그 결과, 코너부로의 응력 집중에 의한 결정 결함의 발생을 억제할 수 있다.

계속해서, 도 22에 도시한 바와 같이, 홈(2)의 내부를 포함하는 기판(1) 상(Si 산화막(206) 상)에 절연막으로서 CVD법에 의해 산화실리콘막(7)을 퇴적한다. 이 산화실리콘막은, 예를 들면, 제1 실시예에서 설명한 O_3-TEOS막이다. 계속해서, 산소 분위기 하에서 O_3-TEOS 막에 열 처리를 실시하고, 막 내의 불순물을 제거하며, 또한, 막을 치밀화한다.

다음에, 도 23에 도시한 바와 같이, 산화실리콘막(7)을 질화실리콘막(22)이 노출될 때까지, 예를 들면 CMP법에 의해 연마하고, 그 표면을 평탄화한다. 계속해서, 질화실리콘막(22)을 제거한다.

그 결과, 홈(2)의 내벽의 Si막(203)과, Si 산화막(206) 및 산화실리콘막(7)으로 이루어지는 소자 분리 SGI가 완성된다. 이 소자 분리 SGI에 의해 둘러싸인 영역이 소자 형성 영역이 된다(도 14 참조). 또, 소자 분리 SGI의 표면은 서서히 후퇴한다. 또한, 웰 내 분리(ISOp-p)의 폭 H1은, 예를 들면 0.2㎛ 정도이고, 웰간 분리(ISOn-p)의 폭 H2은 폭 H1보다 크며, 예를 들면 0.4㎛ 정도이다.

이 후, 소자 형성 영역에 MISFET(Qn, Qp) 등을 형성하는 것이지만, 이후의 형성 공정은, 제1 실시예에서 도 9 내지 도 14를 참조하여 설명한 제1 실시예의 경우와 마찬가지이기 때문에 그 상세한 설명은 생략한다.

본 실시예에서도, 제1 실시예와 마찬가지의 효과를 발휘한다. 또, 소자 분리 SGI와 기판(1) 사이의 계면 준위는, 다결정 실리콘막을 개재하는 것보다, 제1 실시예의 단결정의 Si막을 개재하는 편이 그 밀도가 작다고 생각된다.

<제3 실시예>

제1 실시예 및 제2 실시예에서는, Si 산화막(6, 206) 상에 직접 CVD 절연막(7)을 퇴적하였지만, 이들 막 사이에, 질화실리콘막을 형성하여도 된다.

이하, 본 실시예의 반도체 집적 회로 장치를 그 제조 방법을 따라서 설명한다. 도 24 내지 도 28은 본 실시예의 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도이다. 또, Si 산화막(6)의 형성 공정까지는, 도 1 내지 도 5를 참조하여 설명한 제1 실시예의 경우와 마찬가지이기 때문에 그 설명은 생략한다. 또한, 제1 실시예(도 5)에서 상세히 설명한 바와 같이, 홈의 바닥부의 코너부(a1)나 홈의 측벽 상부의 코너부(a2)에 위치하는 Si 산화막(6)은 라운드화하고 있지만, 도 24에서는 이러한 부분의 도면을 간략화하여 기재하고 있다.

(1) 즉, Si 산화막(6)이 형성된 변형된 기판(1) 상에, 도 24에 도시한 바와 같이, CVD법을 이용하여 막 두께 10㎚ 정도의 질화실리콘막(306)을 퇴적한다. 또, 참조 부호(21)는 산화실리콘막, 참조 부호(22)는 질화실리콘막이다.

계속해서, 도 25에 도시한 바와 같이, 홈(2)의 내부를 포함하는 기판(1) 상(질화실리콘막(306) 상)에, 절연막으로서 CVD법에 의해 산화실리콘막(7)을 퇴적한다. 이 산화실리콘막은, 예를 들면, 제1 실시예에서 설명한 O_3-TEOS막이다. 계속해서, 산소 분위기 하에서 O_3-TEOS막에 열 처리를 실시하고, 막 내의 불순물을 제거하며, 또한, 막을 치밀화한다.

다음에, 도 26에 도시한 바와 같이, 산화실리콘막(7)을 질화실리콘막(22)이 노출될 때까지, 예를 들면 CMP법에 의해 연마하고, 그 표면을 평탄화한다. 계속해서, 질화실리콘막(22)을 제거한다.

그 결과, 홈(2)의 내벽의 Si막(3)과, Si 산화막(6), 질화실리콘막(306) 및 산화실리콘막(7)으로 이루어지는 소자 분리 SGI가 완성된다. 이 소자 분리 SGI에 의해 둘러싸인 영역이 소자 형성 영역이 된다(도 14 참조). 또, 소자 분리 SGI의 표면은 서서히 후퇴한다. 또한, 웰 내 분리(ISOp-p)의 폭 H1은, 예를 들면 0.2㎛ 정도이고, 웰간 분리(ISOn-p)의 폭 H2은 폭 H1보다 크며, 예를 들면 0.4㎛ 정도이다.

이 후, 소자 형성 영역에 MISFET(Qn, Qp) 등을 형성하는 것이지만, 이후의 형성 공정은, 제1 실시예에서, 도 9 내지 도 14를 참조하여 설명한 제1 실시예의 경우와 마찬가지이기 때문에 그 상세한 설명은 생략한다.

본 실시예에서도, 제1 실시예와 마찬가지의 효과를 발휘한다. 또한, Si 산화막(6) 상에 질화실리콘막(306)을 형성하였기 때문에, Si 산화막(6)의 형성 후의 열 처리, 예를 들면, 제1 실시예에서 상세히 설명한 O_3-TEOS막(7)의 덴시파이 처리 나 소스, 드레인(14, 15)을 구성하는 불순물의 활성화 처리 등에 의한, Si 산화막(6)의 산화 진행을 억제할 수 있다. 따라서, Si막(3)의 산화를 억제할 수 있어, Si막(3)의 잔류를 확실하게 할 수 있다. 또, Si 산화막(6)의 산화가 진행되면, 체적 팽창이 발생하여 소자 분리에 응력이 인가되고, 결정 결함이 생기기 쉬어진다. 따라서, 질화실리콘막(306)을 형성함으로써, 응력의 영향을 작게 할 수 있어, 결정 결함의 발생을 억제할 수 있다.

(2) 또한, Si 산화막(6)이 형성된 변형된 기판(1) 상에, CVD법을 이용하여 막 두께 10㎚ 정도의 질화실리콘막(306)을 퇴적한 후, 도 27에 도시한 바와 같이, 질화실리콘막을 이방적으로 에칭함으로써 홈(2)의 측벽부에만 질화실리콘막(306a)을 잔존시켜도 된다. 또, 홈의 코너부(a1, a2)에 위치하는 Si 산화막(6)은 라운드화하고 있지만, 도 27에서는 이러한 부분의 도면을 간략화하여 기재하고 있다.

이 후, 상기 (1)의 경우와 마찬가지로, 홈(2)의 내부를 포함하는 기판(1) 상에 절연막으로서 CVD법에 의해 산화실리콘막(7)을 퇴적하고, 산화실리콘막(7)을 질화실리콘막(22)이 노출될 때까지 연마하여, 그 표면을 평탄화한다(도 28). 계속해서, 질화실리콘막(22)을 제거한다.

이와 같이, 질화실리콘막(306a)을 홈의 측벽부에만 남기더라도, Si 산화막(6)의 산화 진행을 억제할 수 있다. 즉, 홈의 바닥부는, 두꺼운 산화실리콘막(7)으로 덮여지기 때문에, Si 산화막(6)의 산화 진행은 느리다고 생각된다. 따라서, 산화의 영향이 큰, 홈의 측벽부에만 질화실리콘막(306a)을 잔존시킴으로써, Si막(3)의 산화를 억제할 수 있다. 또한, 결정 결함을 저감시킬 수 있다.

또, 본 실시예에서는, 제1 실시예를 참조하여 Si 산화막(6) 상에 질화막을 형성하는 경우에 대하여 설명하였지만, 제2 실시예의 Si 산화막(206) 상에도 마찬가지의 공정에 의해 질화막을 형성할 수 있다.

<제4 실시예>

이하, 본 실시예의 반도체 집적 회로 장치를 그 제조 방법을 따라서 설명한다. 도 29 내지 도 33은 본 실시예의 반도체 집적 회로 장치의 제조 방법을 도시한 기판의 주요부 단면도이다. 또, 홈(2)의 형성 공정까지는, 도 1 및 도 2를 참조하여 설명한 제1 실시예의 경우와 마찬가지이기 때문에 그 설명은 생략한다.

먼저, 홈(2)이 형성된 변형된 기판(1)의 표면을 산화함으로써, 도 29에 도시한 바와 같이, Si 산화막(402a)과 SiGe 산화막(402b)을 형성한다. 이들 산화막의 막 두께는 20㎚ 정도이다.

계속해서, 도 30에 도시한 바와 같이, 예를 들면, H_2O(물)를 이용하여 SiGe 산화막(402b)만을 선택적으로 제거하고, Si 산화막(402a)은 잔존시킨다. 즉, SiGe 산화막(402b)을 Si 산화막에 대하여 고 선택비의 조건으로 에칭한다. SiGe 산화막은 물에 용해되는 성질을 갖기 때문에, 용이하게 제거 가능하다.

그 결과, 홈(2)의 내벽 중, SiGe층(1b)만이 노출되고, Si층(1c) 상은 Si 산화막(402a)으로 덮여진다.

계속해서, 환원 처리, 예를 들면, 수소 분위기 속에서의 열 처리를 행함으로써, 홈부로부터 노출된 SiGe층(1b) 상의 표면의 자연 산화막을 제거한다. 계속해 서, 도 31에 도시한 바와 같이, 노출된 SiGe층(1b) 상에 단결정 Si을 에피택셜 성장시킴으로써 막 두께 20㎚ 정도의 Si막(403)을 형성한다. 여기서, 홈 측벽의 Si 층(1c) 상에는 Si 산화막(402a)이 잔존하고 있기 때문에, Si은 성장하지 않는다.

계속해서, 도 32에 도시한 바와 같이, 홈(2)의 내벽의 Si막(403)의 표면을 산화하여, Si 산화막(열 산화막)(406)을 형성한다.

계속해서, 도 33에 도시한 바와 같이, 홈(2)의 내부(Si 산화막(402a 및 406) 상)를 포함하는 기판(1) 상에 절연막으로서 CVD법에 의해 산화실리콘막(7)을 퇴적한다. 이 산화실리콘막은, 예를 들면, 제1 실시예에서 설명한 O_3-TEOS 막이다. 계속해서, 산소 분위기 하에서 O_3-TEOS 막에 열 처리를 실시하고, 막 내의 불순물을 제거하며, 또한, 막을

치밀화한다.

다음에, 산화실리콘막(7)을 질화실리콘막(22)이 노출될 때까지, 예를 들면 CMP법에 의해 연마하고, 그 표면을 평탄화한다. 계속해서, 질화실리콘막(22)을 제거한다.

그 결과, 홈(2)의 내벽의 Si막(403)과, Si 산화막(402a, 406) 및 산화실리콘막(7)으로 이루어지는 소자 분리 SGI가 완성된다. 이 소자 분리 SGI에 의해 둘러싸인 영역이 소자 형성 영역이 된다(도 14 참조). 또, 소자 분리 SGI의 표면은 서서히 후퇴한다. 또한, 웰 내 분리(ISOp-p)의 폭 H1은, 예를 들면 0.2㎛ 정도이고, 웰간 분리(ISOn-p)의 폭 H2은 폭 H1보다 크며, 예를 들면 0.4㎛ 정도이다.

이 후, 소자 형성 영역에 MISFET(Qn, Qp) 등을 형성하는 것이지만, 이후의 형성 공정은, 제1 실시예에서, 도 9 내지 도 14를 참조하여 설명한 제1 실시예의 경우와 마찬가지이기 때문에, 그 상세한 설명을 생략한다.

본 실시예에서도, 제1 실시예와 마찬가지의 효과를 발휘한다. 또한, 본 실시예에서는, Si 산화막(402a)을 마스크로 하여, 홈(9) 내부의 SiGe(1b) 상에만 Si을 에피택셜 성장시켰기 때문에, Si막(403) 내에는 Si층(1c)으로부터 성장한 부분과 SiGe층(1b)으로부터 성장한 부분과의 경계가 없어(도 3 참조), 막질을 향상시킬 수 있다.

즉, Si층 내에 상기 경계가 존재하면 결정 격자의 불연속면이 형성되고, 결정 결함을 발생시킬 우려가 있다.

그러나, 본 실시예에 따르면, Si막(403) 내에 불연속면이 형성되는 것을 회피할 수 있어, 잔존하는 Si막(403)의 결정 결함을 저감시킬 수 있다.

또, 본 실시예에 제3 실시예를 적용하여도 된다. 즉, 본 실시예의 Si 산화막(406) 상에 질화실리콘막을 형성하여도 된다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

특히, 상기 실시예에서는, MISFET을 형성하는 경우에 대하여 설명하였지만, 이 밖에 반도체 소자, 예를 들면, 바이폴라 트랜지스터 등, 기판 표면의 전류 경로(채널) 및 소자 분리를 갖는 반도체 집적 회로 장치에 널리 적용 가능하다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면, 이하와 같다.

SiGe층과, 그 상부에 에피택셜 성장된 제1 Si층을 갖는 변형된 기판의, 소자 분리 영역에 형성된 홈과 그 내부의 절연막으로 이루어지는 소자 분리로서, 제1 Si 층을 관통하고, SiGe층의 도중에 그 바닥부를 갖는 소자 분리와, SiGe층과의 사이에 제2 Si층을 형성하였기 때문에, 변형된 기판의 소자 분리 특성을 향상시킬 수 있다. 또한, 변형된 기판의 주 표면에 형성되는 반도체 집적 회로의 특성을 향상시킬 수 있으며, 장치의 수율도 향상시킬 수 있다.

특히, 웰이 고농도화하거나, 혹은 소자 분리 상에 도전성막이 배치되도록 한 경우에서도, 소자 분리를 통해 흐르는 누설 전류를 저감시킬 수 있어, 소자 분리 특성이 향상된다.

(57) 청구의 범위

청구항 1.

(a) SiGe층과, 상기 SiGe층 상에 에피택셜 성장된 제1 Si층을 갖고, 소자 분리 영역에 의해 구획된 소자 형성 영역을 갖는 반도체 기판과,

(b) 상기 소자 분리 영역에 형성된 홈과 그 내부의 절연막으로 이루어지는 소자 분리로서, 상기 홈은, 상기 제1 Si층을 관통하고, 상기 SiGe층의 도중에 그 바닥부를 갖는 소자 분리와,

(c) 상기 소자 분리와 상기 SiGe층과의 사이에 형성된 제2 Si층과,

(d) 상기 소자 형성 영역의 반도체 기판의 주 표면에 형성된 반도체 소자

를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2.
제1항에 있어서,

상기 소자 형성 영역은, 제1 도전형 혹은 상기 제1 도전형과 역도전형인 제2 도전형의 반도체 영역의 상기 반도체 기판으로부터의 노출 영역이며,

상기 반도체 영역의 바닥부는, 상기 SiGe층의 도중에 위치하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3.
제2항에 있어서,

상기 반도체 영역의 바닥부는, 상기 소자 분리의 바닥부보다 깊은 위치에 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4.
제1항에 있어서,

상기 반도체 집적 회로 장치는, 제1 내지 제3의 상기 소자 형성 영역을 갖고고,

제1 및 제2 소자 형성 영역은, 제1 도전형의 제1 반도체 영역의 상기 반도체 기판으로부터의 노출 영역이며,

제3 소자 형성 영역은, 상기 제1 도전형과 역도전형인 제2 도전형의 제2 반도체 영역의 상기 반도체 기판으로부터의 노출 영역이고,

상기 제1 및 제2 소자 형성 영역 간의 소자 분리 영역의 최소 폭(H1)보다, 상기 제3 및 상기 제1 혹은 제2 소자 형성 영역 간의 소자 분리 영역의 최소 폭(H2)이 크며,

상기 제1 및 제2 반도체 영역의 바닥부는, 상기 SiGe층의 도중에 위치하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5.
제4항에 있어서,

상기 제1 및 제2 반도체 영역의 바닥부는, 상기 소자 분리의 바닥부보다 깊은 위치에 위치하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6.
제1항에 있어서,

상기 절연막은, 상기 홈의 내벽에 형성된 열 산화막과, 그 내부의 제2 절연 막으로 구성되는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7.
제6항에 있어서,

상기 열 산화막과 제2 절연막과의 사이에는, 질화막이 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 8.
제7항에 있어서,

상기 질화막은, 상기 홈의 측벽부에 형성되며, 상기 홈의 바닥부 상에는 형성되어 있지 않은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 9.
제6항에 있어서,

상기 제2 절연막은, 오존과 테트라에톡시실란을 원료로 한 CVD법에 의해 형성된 산화실리콘막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 10.

제1항에 있어서,

상기 제2 Si층은, 상기 소자 분리를 덮도록 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 11.

제1항에 있어서,

상기 제2 Si층은, 단결정의 Si으로 이루어지는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 12.

제1항에 있어서,

상기 제2 Si층은, 다결정의 Si으로 이루어지는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 13.

제1항에 있어서,

상기 제2 Si층은, 상기 소자 분리와 상기 SiGe층과의 사이에 형성되며, 상기 소자 분리와 상기 제1 Si층과의 사이에는 형성되어 있지 않은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 14.

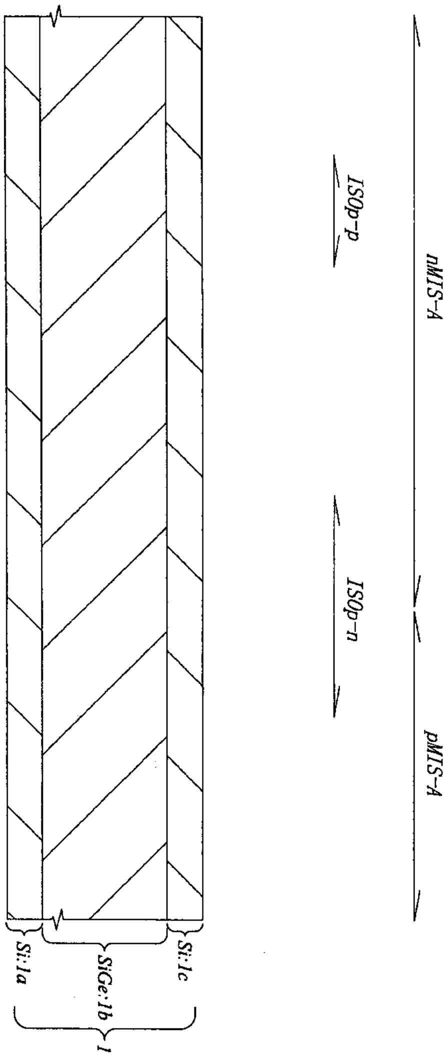
제1항에 있어서,

상기 반도체 소자는 MISFET이며, 상기 MISFET은, 상기 반도체 기판 상에 게이트 절연막을 개재하여 형성된 게이트 전극과, 상기 게이트 전극의 양측의 상기 반도체 기판 내에 형성된 소스, 드레인 영역을 갖고,

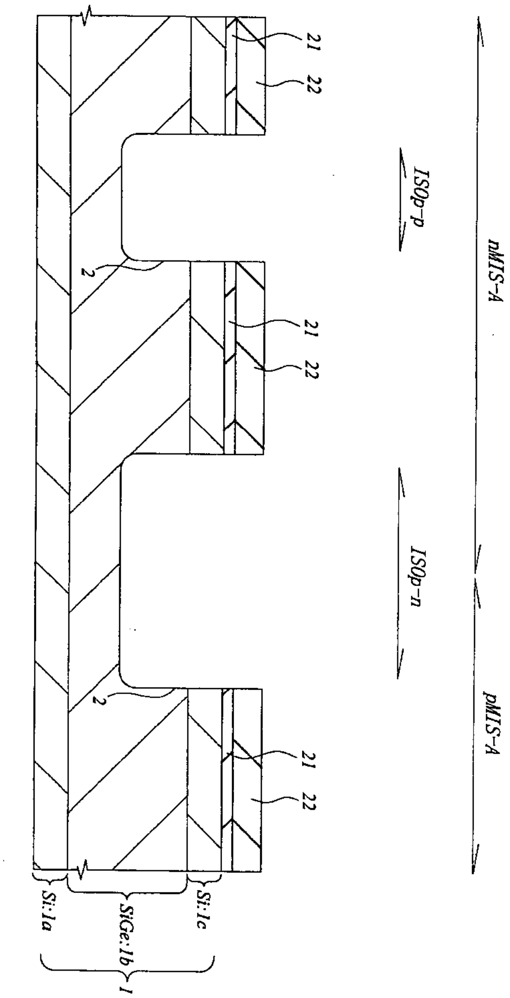
상기 반도체 기판의 상기 소자 분리 영역 상에는, 상기 게이트 전극과 동일한 층의 도전성막이 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

도면

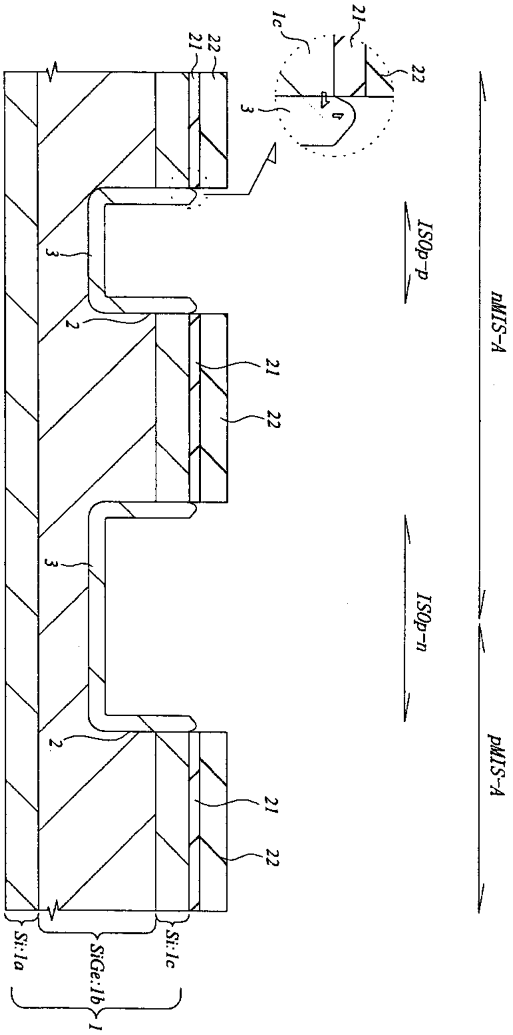
도면1



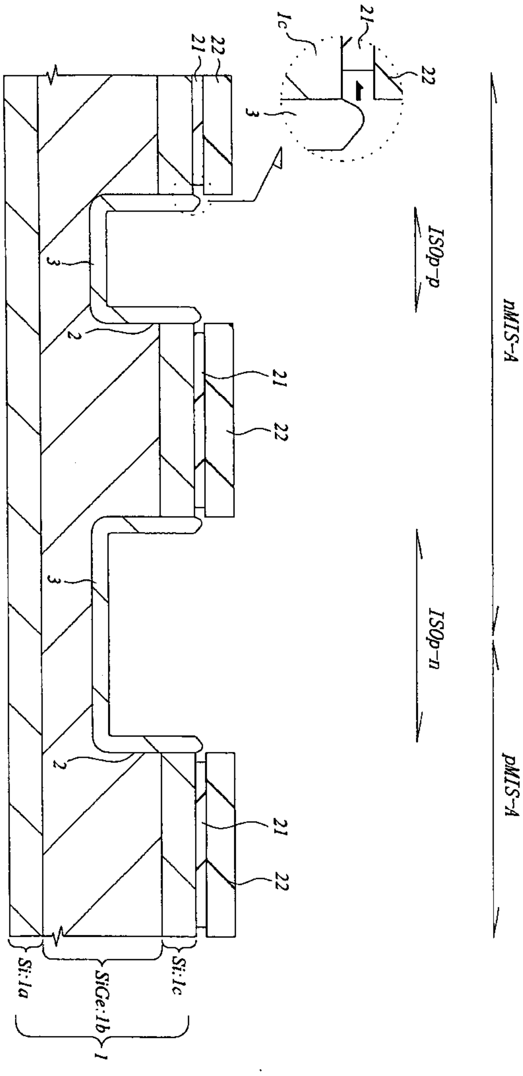
도면2



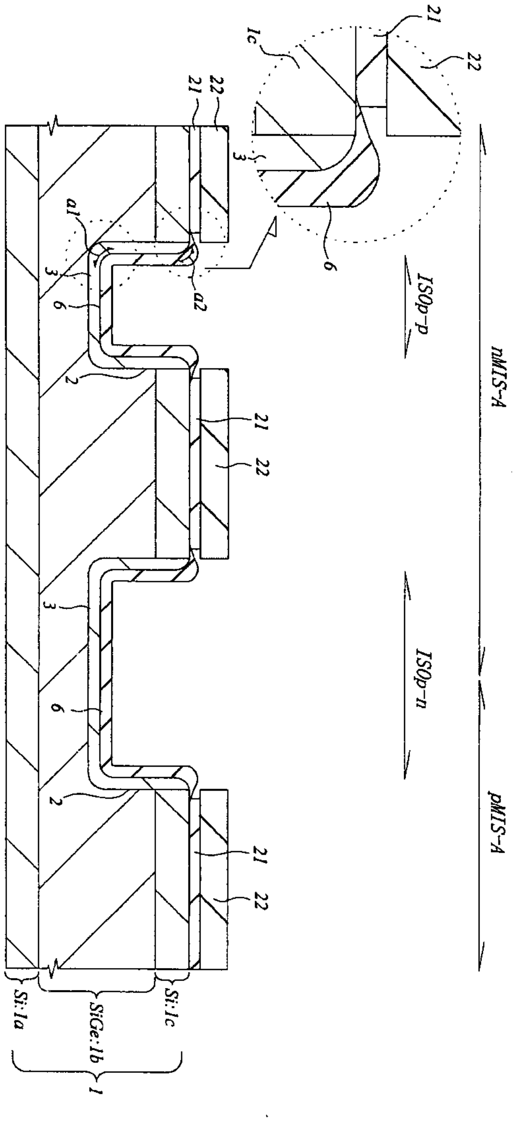
도면3


1c
21
22
3
22
21
3
2
21
22
3
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

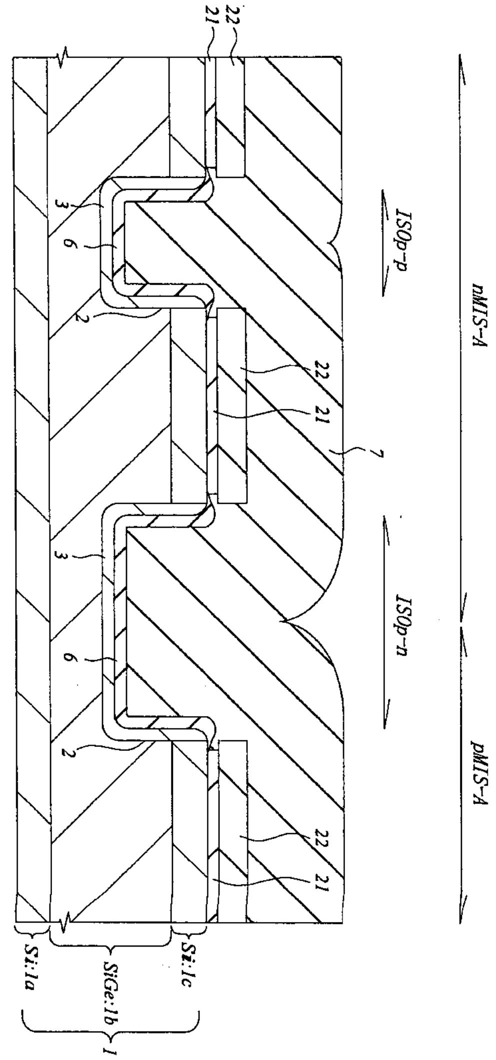
도면4


1c
21
22
3
22
21
ISOp-p
nMIS-A
3
2
21
22
3
ISOp-n
2
pMIS-A
21
22
Si:1a
SiGe:1b
Si:1c
1

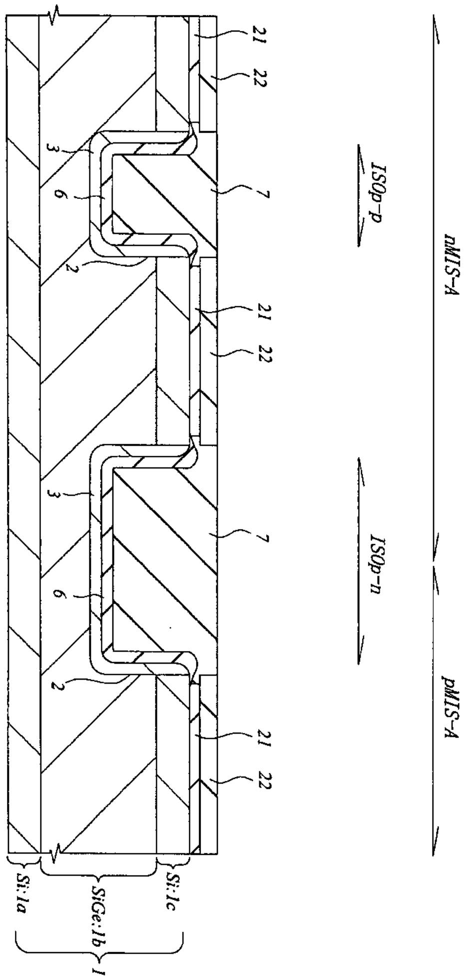
도면5


1c
21
22
21
22
3
a1
3
6
a2
6
2
21
22
3
6
2
21
22
ISOp-p
nMIS-A
ISOp-n
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

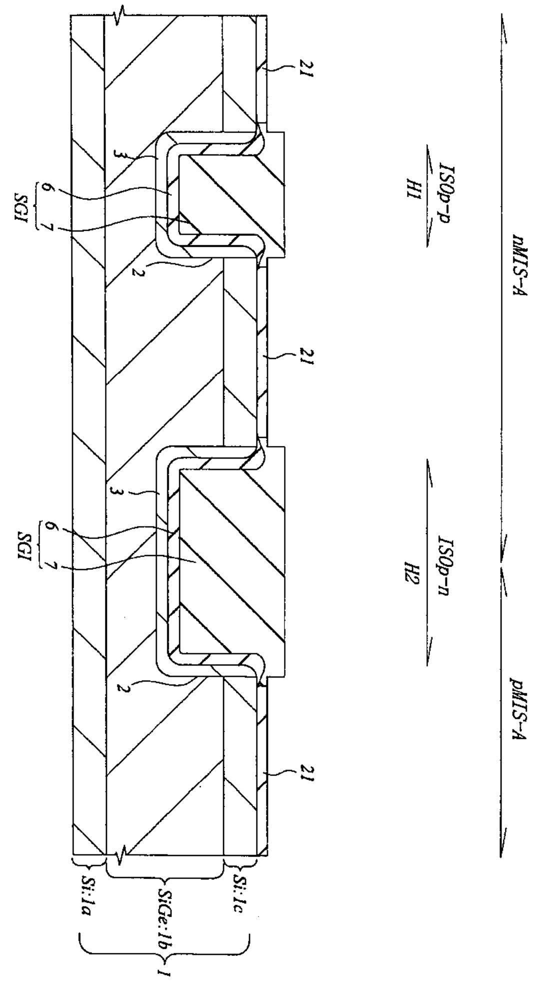
도면6


22
21
3
6
2
22
21
7
3
6
2
22
21
ISOp-p
nMIS-A
ISOp-n
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

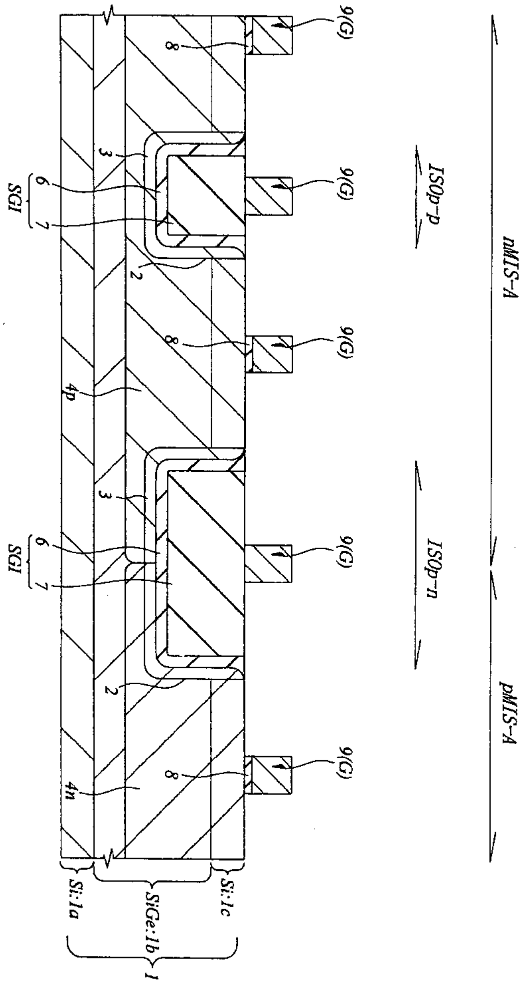
도면7


21
22
3
6
7
2
21
22
3
7
6
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

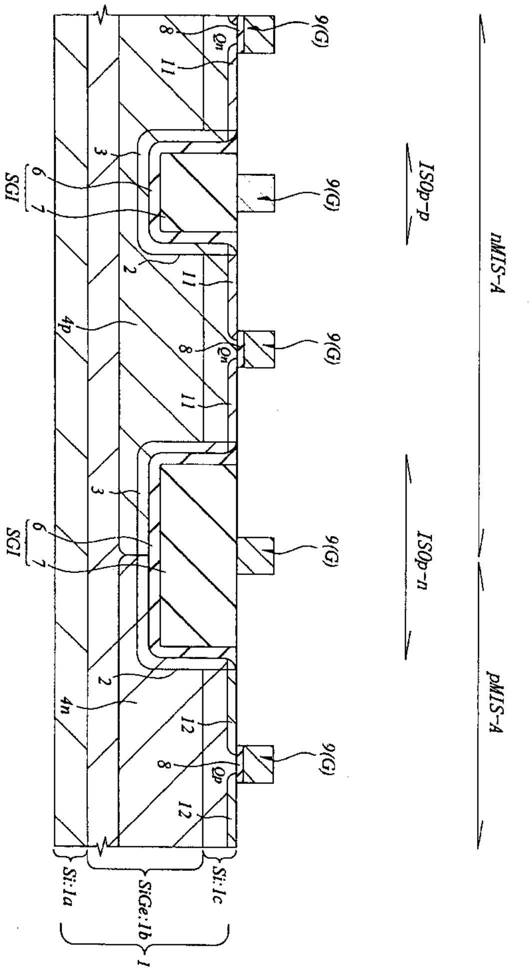
도면8


21
3
6
7
SGI
2
ISOp-p
H1
nMIS-A
21
3
6
7
SGI
2
ISOp-n
H2
pMIS-A
21
Si:1a
SiGe:1b
Si:1c
1

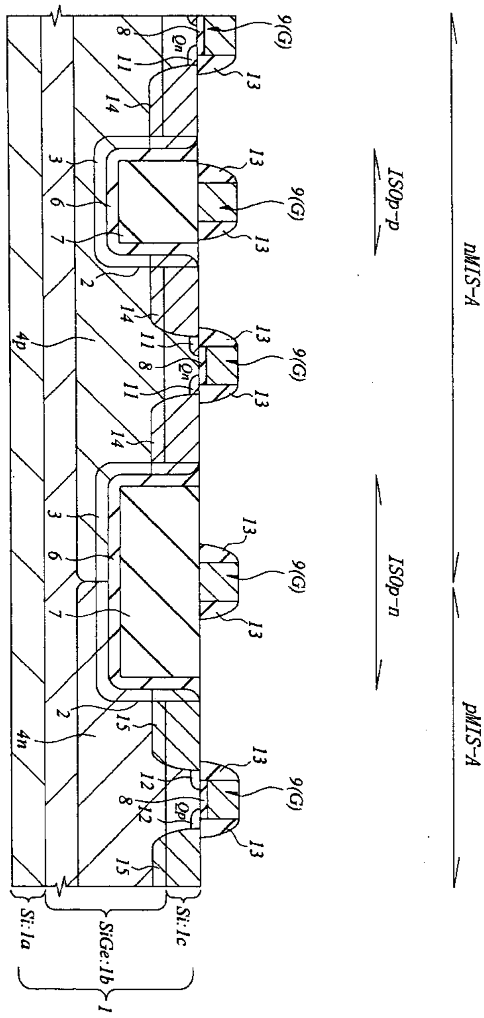
도면9


9(G)
9(G)
9(G)
9(G)
9(G)
8
8
8
3
3
6
7
SGI
6
7
SGI
2
2
4p
4n
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

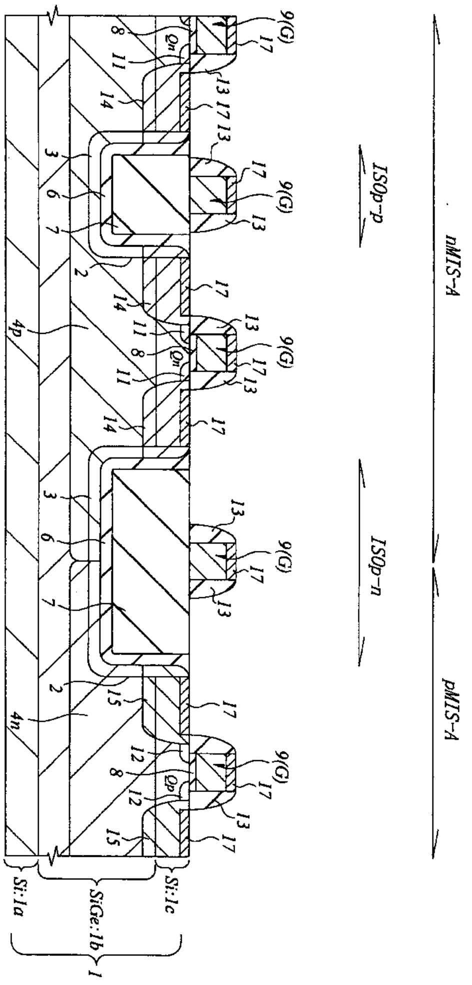
도면10


9(G)
8
Qn
11
3
6
7
SGI
2
4p
11
9(G)
8
Qn
11
9(G)
ISOp-p
nMIS-A
3
6
7
SGI
2
4n
12
8
Qp
12
9(G)
9(G)
ISOp-n
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

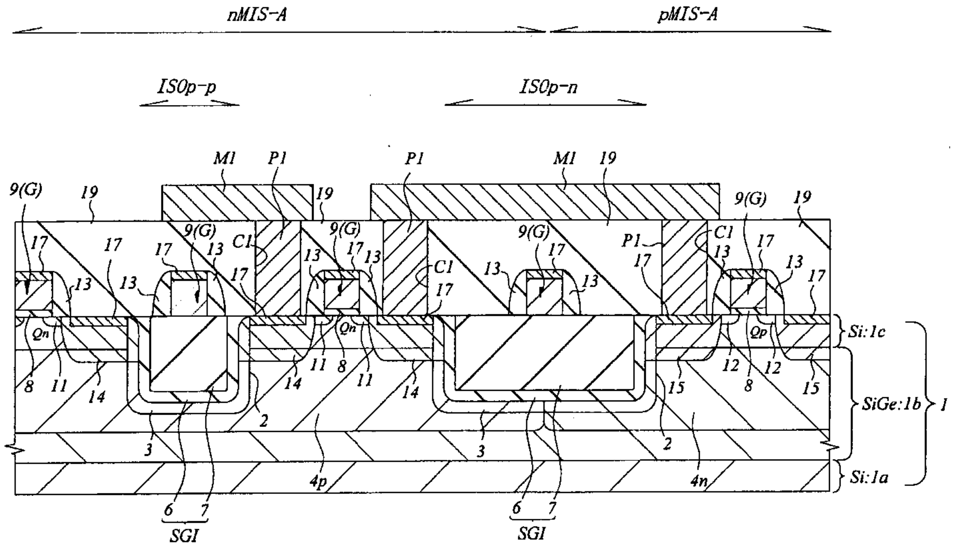
도면11


9(G)
13
8
11
14
Qn
3
6
7
2
4p
12
15
Qp
4n
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

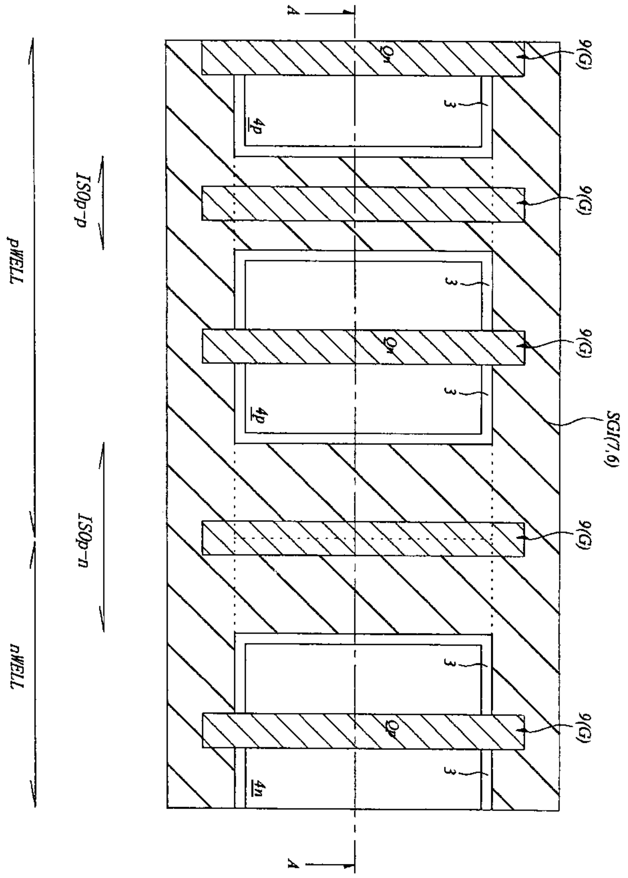
도면12


9(G)
17
13
Qn
8
11
14
13
17
13
3
6
7
2
ISOp-p
nMIS-A
4p
ISOp-n
pMIS-A
15
12
Qp
4n
Si:1a
SiGe:1b
Si:1c
1

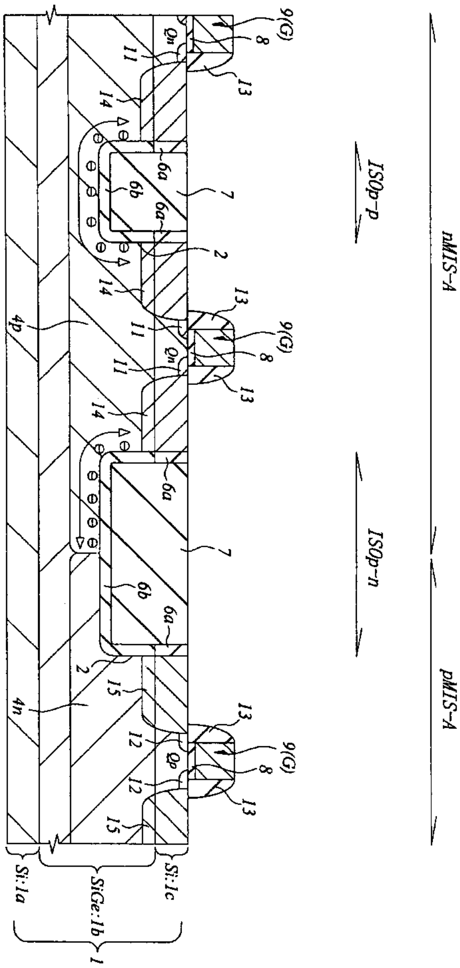
도면13


nMIS-A
pMIS-A
ISOp-p
ISOp-n
M1
P1
M1
19
9(G)
19
19
9(G)
19
17
17
17
9(G)
13
C1
9(G)
17
13
13
13
17
C1
17
9(G)
17
P1
17
13
13
C1
13
17
13
17
Qn
Qn
Qp
8
11
14
11
8
11
14
2
3
3
2
15
12
8
12
15
4p
4n
6
7
SGI
6
7
SGI
Si:1c
SiGe:1b
Si:1a
1

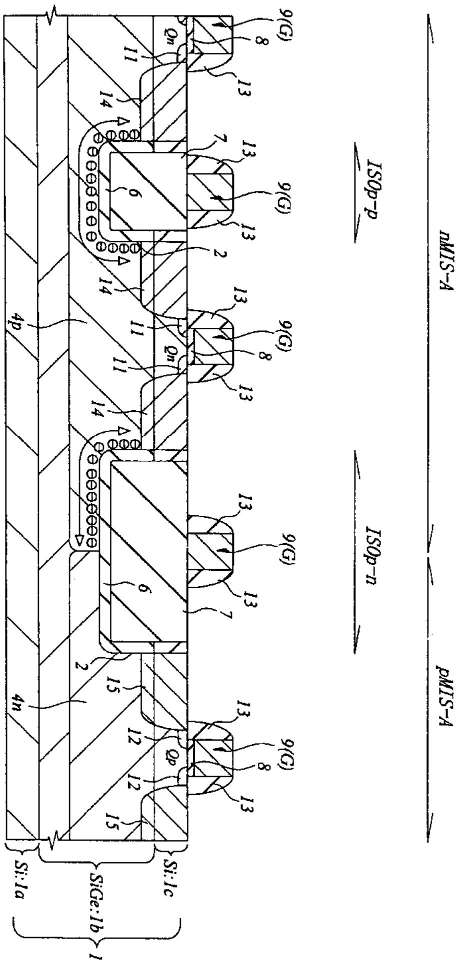
도면14


A
9(G)
Qn
3
4p
9(G)
3
9(G)
Qn
3
4p
SGI(7,6)
9(G)
3
9(G)
Qp
3
4n
A
ISOp-p
ISOp-n
pWELL
nWELL

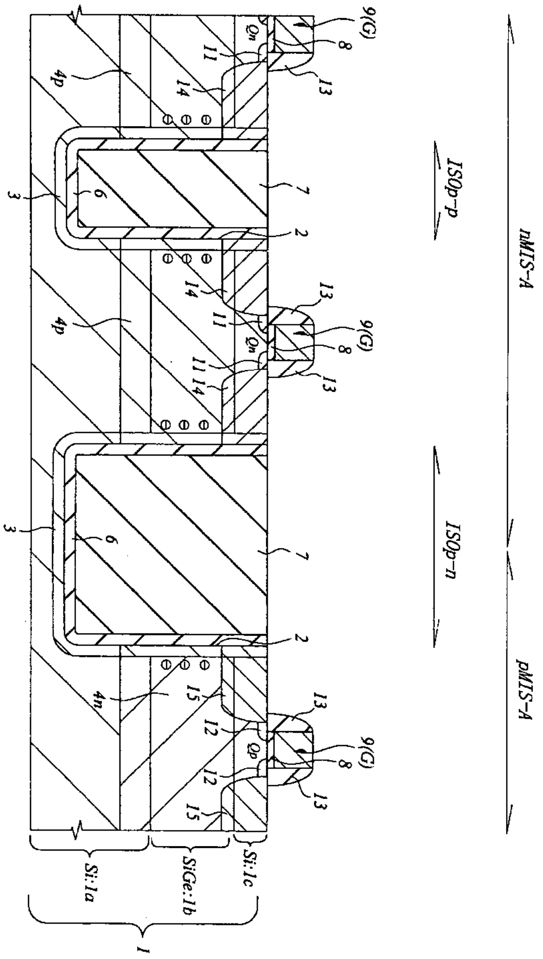
도면15


9(G)
8
13
Qn
11
14
6a
6b
7
2
4p
4n
Qp
12
15
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

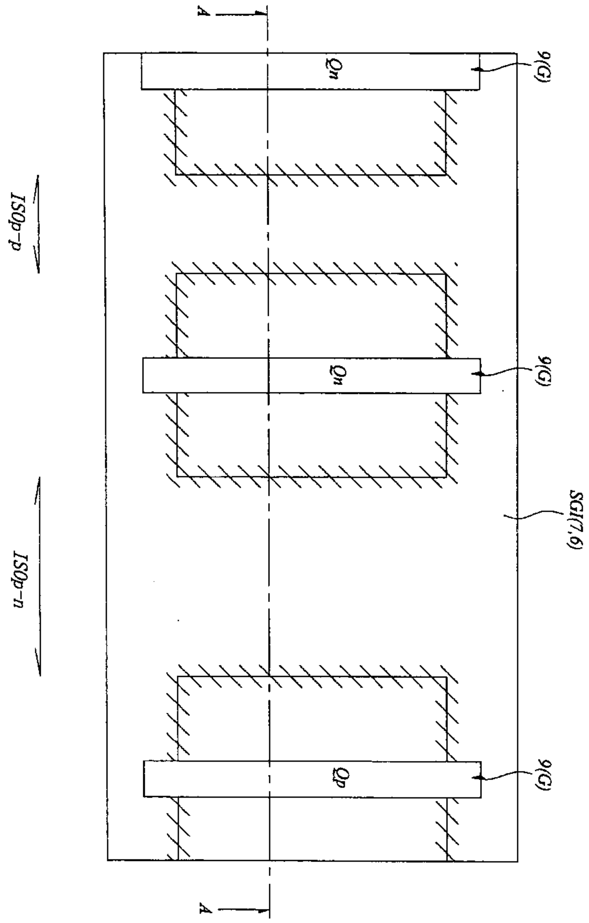
도면16


9(G)
8
13
Qn
11
14
7
6
2
4p
ISOp-p
nMIS-A
ISOp-n
15
4n
12
Qp
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

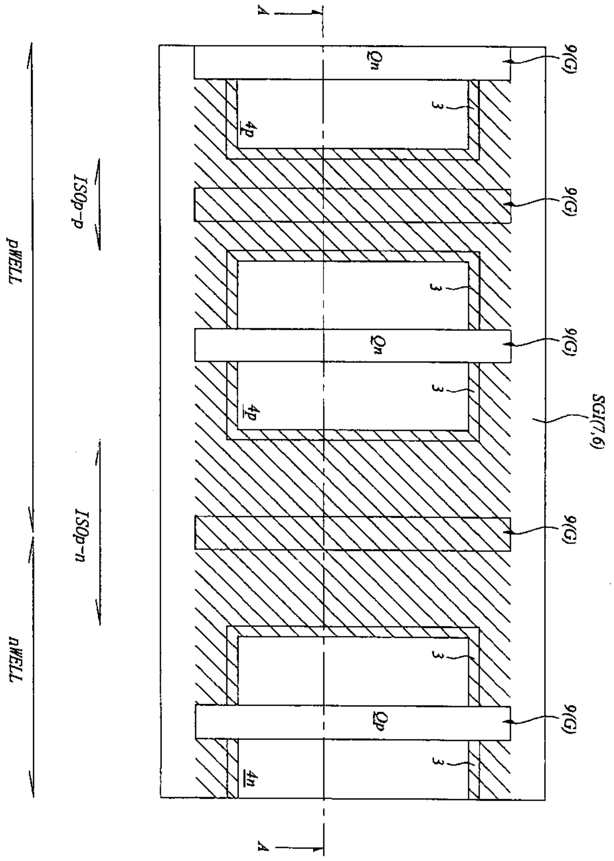
도면17


9(G)
8
13
Qn
11
14
4p
7
2
6
3
ISOp-p
nMIS-A
11 14
ISOp-n
pMIS-A
4n
15
12
Qp
Si:1a
SiGe:1b
Si:1c
1

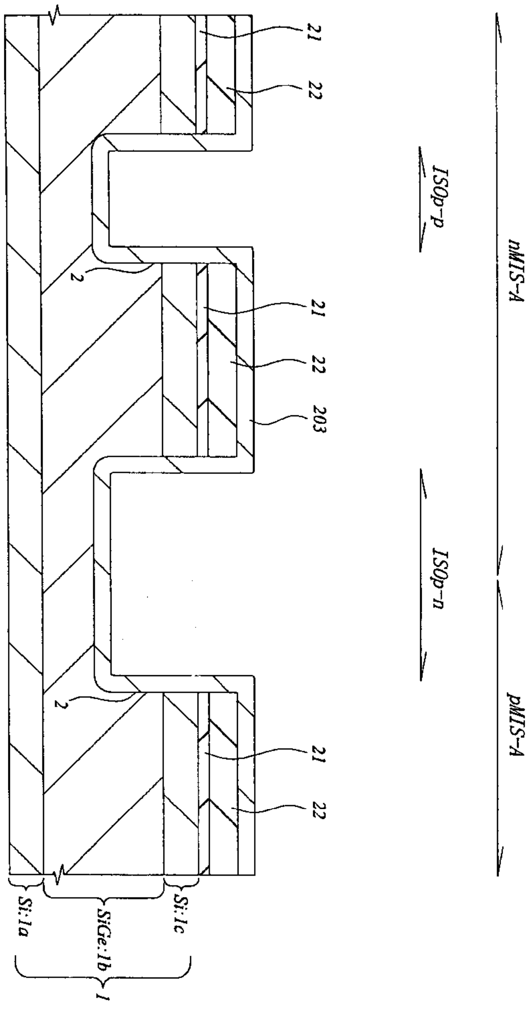
도면18


A
Qn
9(G)
ISOp-p
Qn
9(G)
SGI(7,6)
ISOp-n
Qp
9(G)
A

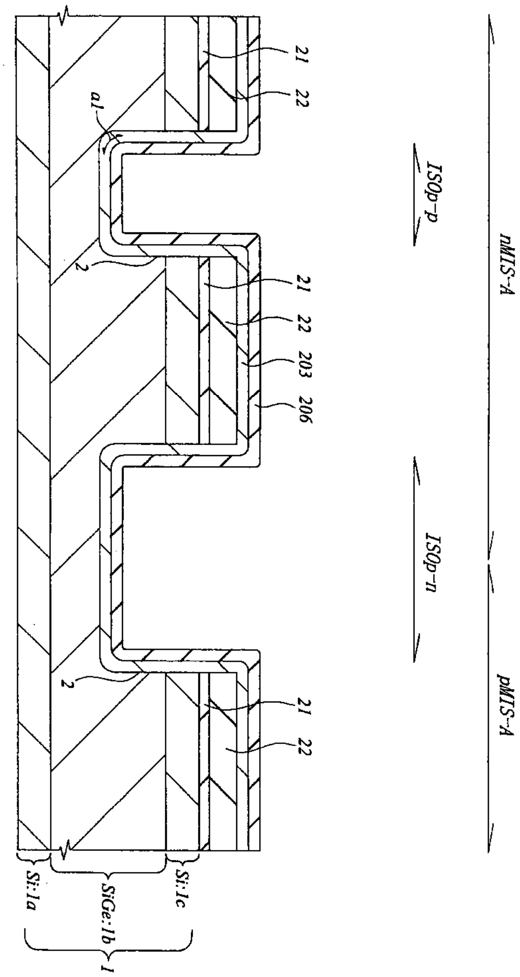
도면19


A
Qn
9(G)
3
4p
9(G)
ISOp-p
pWELL
3
Qn
9(G)
3
4p
SGI(7,6)
9(G)
ISOp-n
nWELL
3
Qp
9(G)
3
4n
A

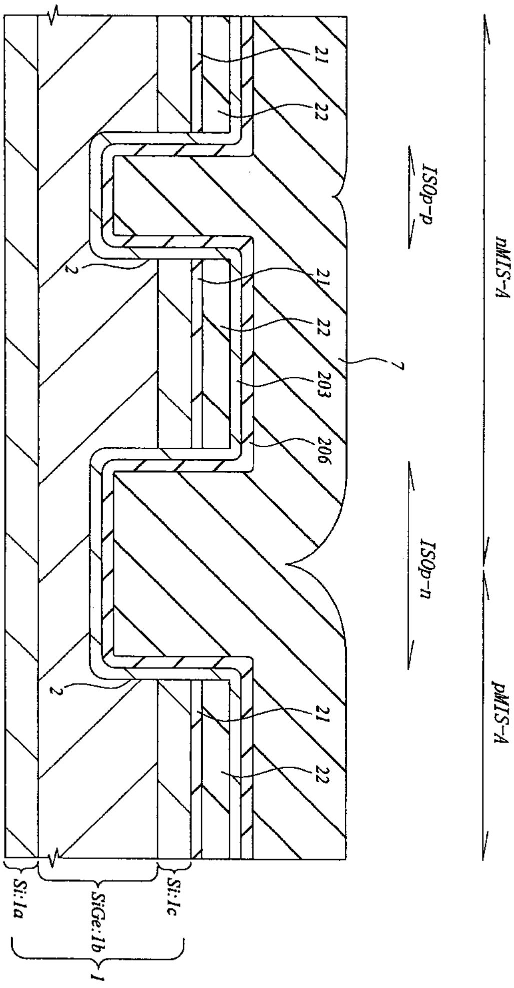
도면20


21
22
21
22
203
21
22
2
2
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

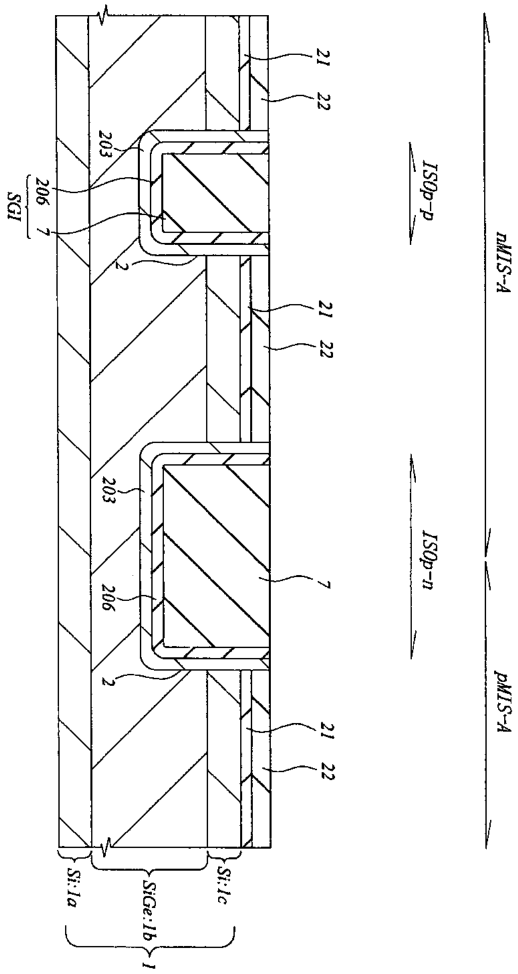
도면21


21
22
a1
2
21
22
203
206
ISOp-p
nMIS-A
ISOp-n
2
21
22
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

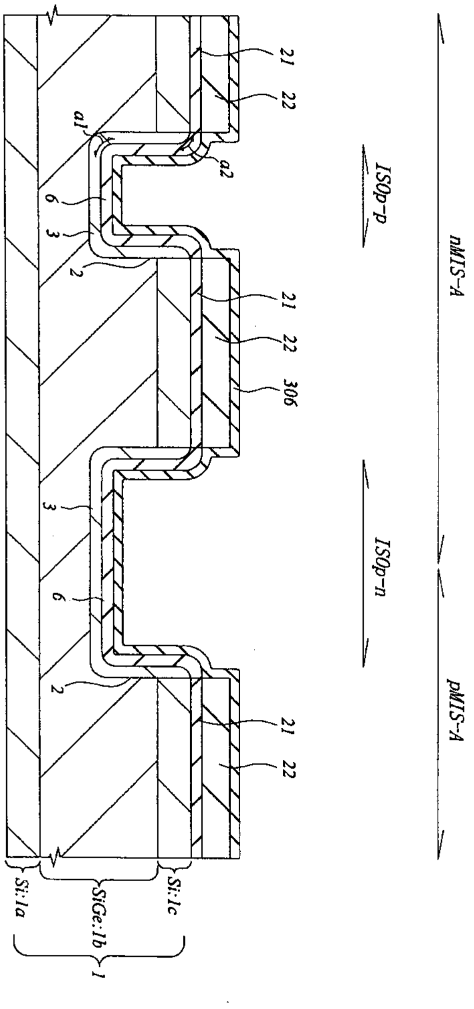
도면22


21
22
ISOp-p
nMIS-A
2
21
22
203
7
206
ISOp-n
pMIS-A
2
21
22
Si:1a
SiGe:1b
Si:1c
1

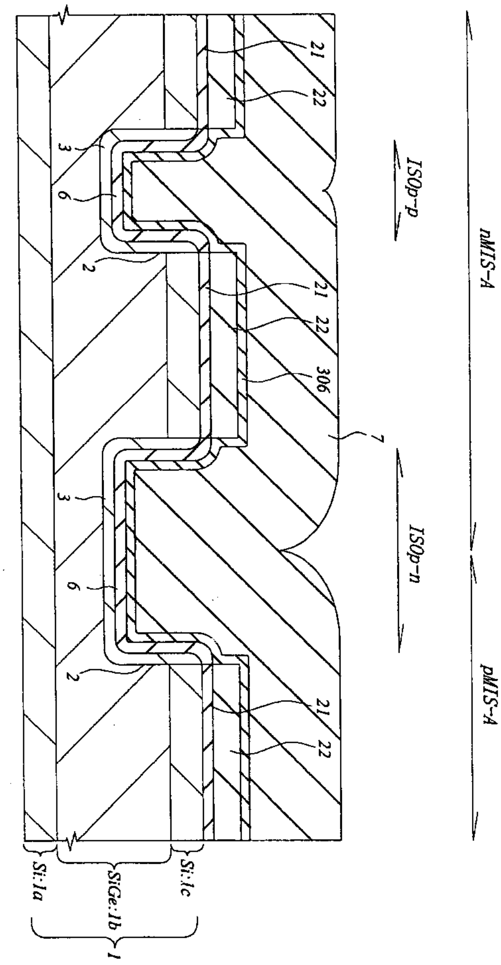
도면23


21
22
203
206
7
SGI
2
ISOp-p
nMIS-A
21
22
203
ISOp-n
206
7
2
pMIS-A
21
22
Si:1a
SiGe:1b
Si:1c
1

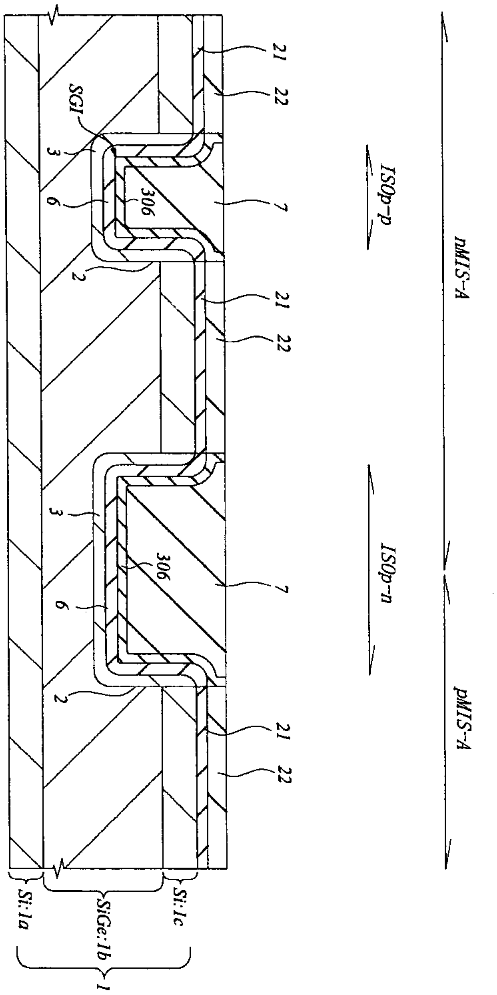
도면24


21
22
a1
a2
6
3
2
21
22
306
3
6
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

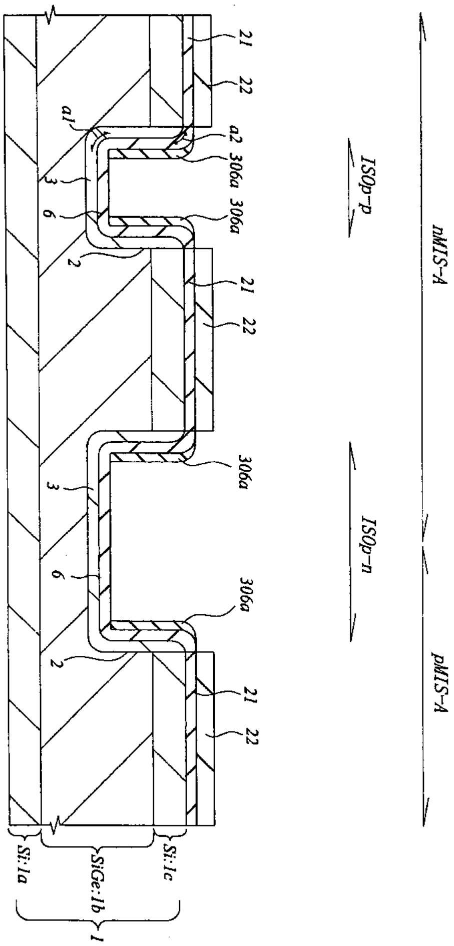
도면25


21
22
3
6
2
21
22
306
7
3
6
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

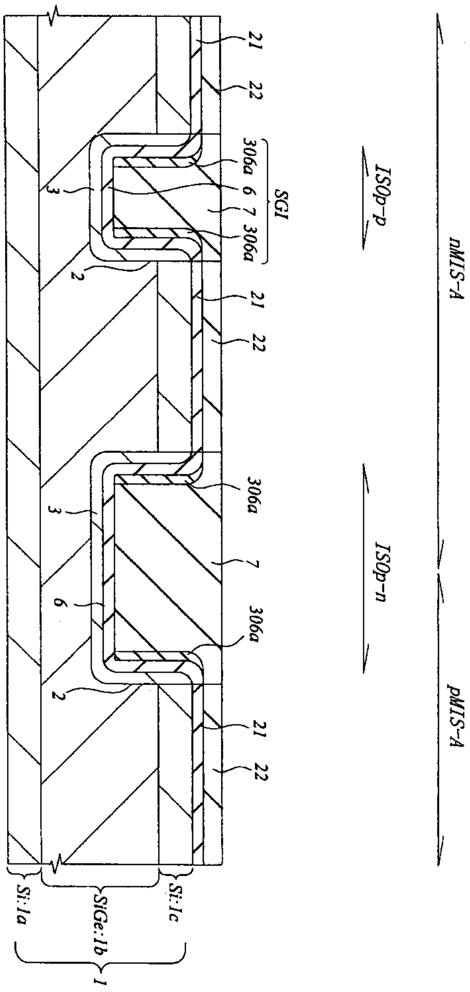
도면26


21
22
SGI
3
6
306
7
2
21
22
3
306
7
6
2
21
22
ISOp-p
nMIS-A
ISOp-n
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

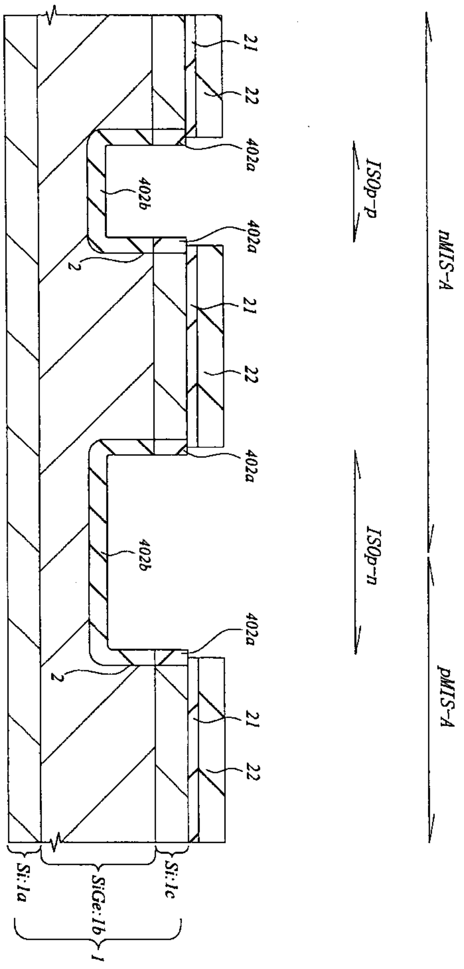
도면27


21
22
a1
a2
306a
306a
3
6
2
21
22
306a
3
6
306a
2
21
22
Si:1a
SiGe:1b
Si:1c
1
ISOp-p
ISOp-n
nMIS-A
pMIS-A

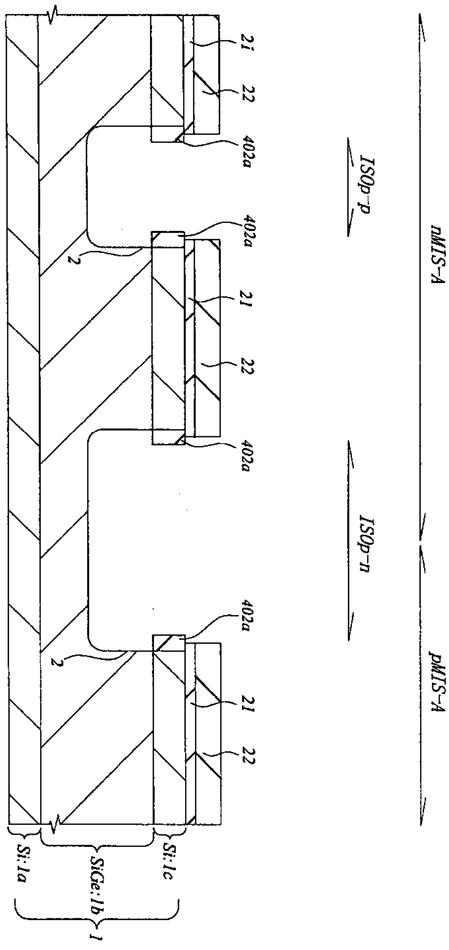
도면28


21
22
306a
6
7
306a
SGI
ISOp-p
nMIS-A
3
2
21
22
306a
3
7
ISOp-n
6
306a
2
21
22
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

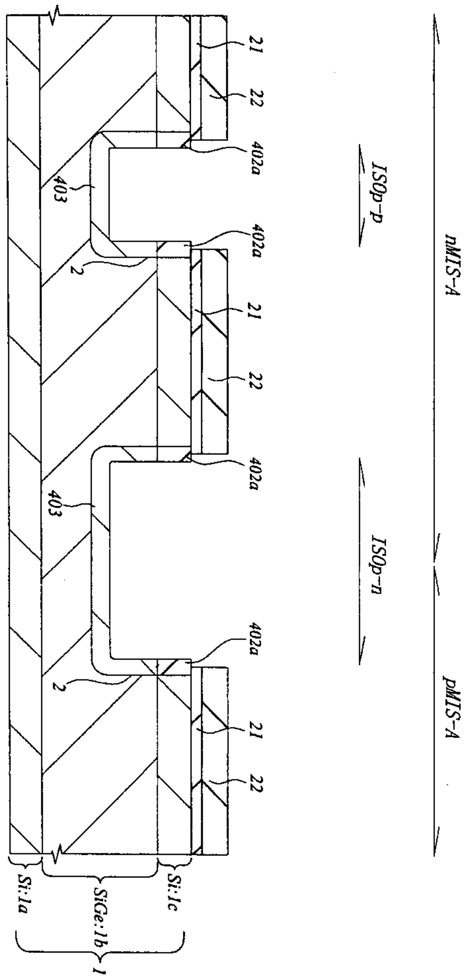
도면29


21
22
402a
402b
2
402a
21
22
402a
402b
402a
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

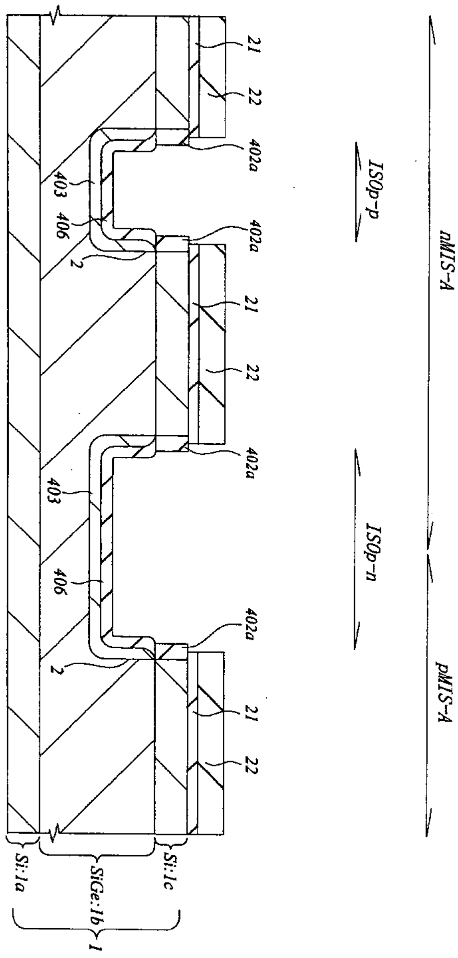
도면30


21
22
402a
ISOp-p
402a
2
21
22
402a
ISOp-n
nMIS-A
402a
2
pMIS-A
21
22
Si:1a
SiGe:1b
Si:1c
1

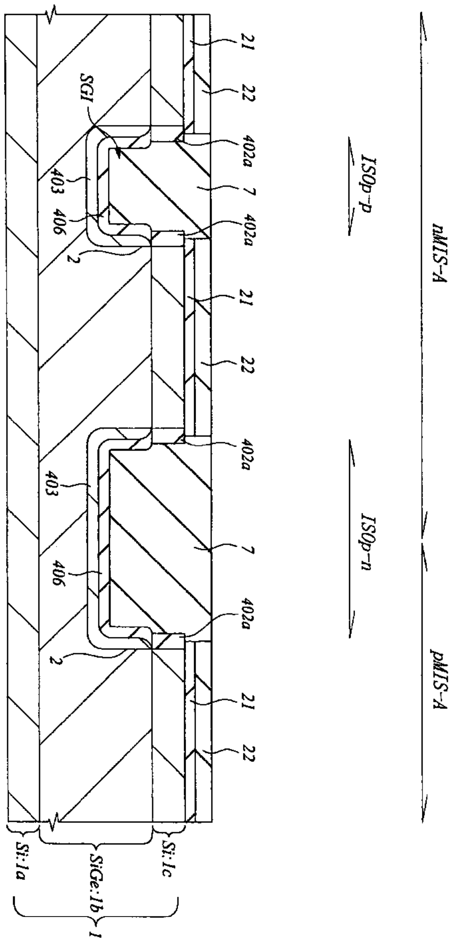
도면31


21
22
402a
403
402a
2
21
22
402a
403
402a
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

도면32


21
22
402a
403
406
2
402a
21
22
402a
403
406
402a
2
21
22
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1

도면33


21
22
402a
7
402a
21
22
402a
7
402a
21
22
SGI
403
406
2
403
406
2
ISOp-p
ISOp-n
nMIS-A
pMIS-A
Si:1a
SiGe:1b
Si:1c
1