

公告本

473723

申請日期	89. 8. 30
案 號	89117591
類 別	G11C11/4

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	EEPROM使用之單一電晶體記憶胞
	英 文	1 TRANSISTOR CELL FOR EEPROM APPLICATION
二、發明 創作人	姓 名	瑞維·尚卡瓦利
	國 籍	印度國
	住、居所	美國·加州 95051·聖他克拉諾·胡弗特 49 大道·1901 號
三、申請人	姓 名 (名稱)	高級微裝置公司
	國 籍	美國
	住、居所 (事務所)	美國·加州 94088-3453 桑尼威·第 1AMD 區·郵政信箱 3453 號
	代 表 人 姓 名	理查·J·諾迪

裝

訂

線

473723

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C分類：

本案已向：

美國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

1999年9月2日 09/389,161 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明背景]

[發明領域]

本發明係關於微電子電路之技術，尤甚者，本發明係關於快閃記憶體裝置之結構。再尤甚者，本發明係關於快閃記憶體裝置之結構其使用可刪除一個位元或位元組或字元之單一電晶體記憶胞。

[相關技藝之討論]

微電子快閃或區塊電子式可清除程式化唯讀記憶體(快閃 EEPROM)包含有可獨立程式化和讀取之記憶胞的陣列。各記憶胞之大小及其所形成之記憶體可藉由省略所謂的選擇電晶體而將其變小，其中此電晶體可使記憶胞獨立清除。因此，可將所有的記憶胞當作一個區塊而將其刪除。

此種形式之記憶體包含有個別的金氧半導體(MOS)場效電晶體記憶胞，各記憶胞包含有包含有源級、汲極、浮動閘極和控制閘極，在此可藉由提供各種的電壓給這些極以便將此記憶胞程式化為二進位的 1 或 0，或者將整個區塊之記憶胞刪除。

將記憶胞連接成由行列構成之陣列，在此各列中之記憶胞之控制閘極是連接至各字元線且將在同一行中之記憶胞之汲極連接至各位元線。記憶胞之源極是連接在一起的。此一配置已知為 NOR 記憶體結構。

藉由提供導致熱電子從汲極空乏區注入浮動閘極之電壓可將此記憶胞程式化，通常提供給控制閘極之電壓為 9 伏特，提供給汲極和接地源極之電壓大約為 5 伏特。一旦

五、發明說明(2)

將程式化電壓移除，所注入之電子將由浮動閘極捕獲且在其中產生負電荷，此會將記憶胞之臨界電壓值增加至超過4伏特。

藉由提供5伏特電壓給控制閘極，提供1伏特電壓給與汲極相連接之位元線、源極接地，和感測位元線之電流可讀取此記憶胞。假如記憶胞已程式化且其臨界電壓相當高(約4伏特)，則位元線電流將會是零或至少相當的低。假如記憶胞尚未程式化或刪除，則其臨界電壓將相當低(2伏特)，控制閘極電壓會增強通道，且位元線電流將會相當高。

有幾種方法可清除記憶胞。其中一種配置中，是藉由提供相當高之電壓，通常為12伏特之電壓給源極、將控制閘極接地、且使汲極浮動而將記憶胞清除。此導致在程式化期間注入浮動閘極之電子遭遇從浮動閘極經過薄透納氧化層至源極之Fowler-Norheim穿隧。亦可藉由提供大約為-10伏特之負電壓給控制閘極、提供5伏特電壓給源極、且使汲極浮動而將記憶胞清除。另一個清除記憶胞之方法為提供5伏特電壓給P-井和-10伏特電壓給控制閘極且在此同時使源極/汲極浮動。

清除程序將導致在透納氧化層中發生電子捕獲。除此之外，清除不足和清除過多程序亦將導致在透納氧化層中發生電子捕獲。雖然在每個程式化/清除週期僅增加很小量的電子捕獲，但累計的電子捕獲將隨著程式化/清除週期之完成而增加，因此使清除時間逐漸惡化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

因為先前技藝中之快閃記憶體裝置必須整個區塊刪除，所以就算僅需將一個記憶胞從已程式化狀態改變為未程式化狀態，亦須要刪除整個記憶體裝置。每次刪除記憶體裝置時，如上所述其聚集之捕獲電子將隨著各刪除/程式化週期之完成而增加，所以將使記憶胞之操作惡化。

因此，所須要的記憶體裝置是由單一電晶體記憶體胞製成，其可允許一次刪除此記憶體裝置的一個位元、一個位元組或一個字元。

[發明概論]

依據本發明，藉由使用單一電晶體快閃記憶胞之記憶體裝置可獲得前述的及其他的目的和優點。

依據本發明之一個概念，允許逐位元刪除所選擇記憶胞之使用單一電晶體記憶胞之記憶體裝置將其記憶胞連接成由行列構成之陣列，在此記憶胞之控制閘極是連接至字元線、汲極是連接至位元線、且在同一行中之記憶胞之源極是連接至各源極位元線。

依據本發明另一概念，位元線驅動器控制位元線和源極位元線而字元線驅動器控制字元線。電源供應器提供電力給位元線驅動器和字元線驅動器。控制器控制電源供應器之輸出、位元線驅動器之輸出和字元線驅動器之輸出。

依據本發明又一概念，允許刪除所選擇之多位元字元之使用單一電晶體記憶胞之記憶體裝置將其記憶胞連接成由行列構成之陣列，在此記憶胞之控制閘極是連接至字元線、在同一行中之汲極是連接至位元線、且組成多位元字

五、發明說明(4)

元之源極是連接至個別源極連接線，而構成多位元字元之一行的源極連接線是連接至源極位元線。

依據本發明再一概念，位元線驅動器控制位元線和源極位元線而字元線驅動器控制字元線。電源供應器提供電力給位元線驅動器和字元線驅動器。控制器控制電源供應器之輸出、位元線驅動器之輸出和字元線驅動器之輸出。

依據本發明其他概念，多位元字元可以是8位元、16位元、32位元或64位元。

由上述裝置所提供的快閃記憶體裝置在一實施例中允許對此記憶體裝置進行逐位元之刪除而在另一實施例中允許刪除裝置之多位元字元。

由參考下列之詳細說明及所伴隨圖式將可更瞭解本發明。因為從下列說明中具此方面技藝者將可更瞭解，所以在此所顯示和說明之本發明實施例僅是用於說明可實現本發明之最佳模式。可瞭解的是本發明可以是其他的實施例且其許多細節是可以各種明顯的概念修正而不會偏離本發明之目標。因此圖式和詳細說明僅是作為說明用而非限制用。

[圖式之簡要說明]

在所附申請專利範圍中設定任何可視為本發明特性之新性質。可是藉由參考下列對所顯示實施例所做之詳細說明及其所伴隨之圖式將可更加瞭解本發明本身及所使用之最佳模式和其進一步之目的和優點，其中：

第1A圖係顯示先前技藝之快閃EEPROM之簡化電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

極
力
器

之使
由行
線、

五、發明說明 (5)

圖；

第 1B 圖係顯示與第 1A 圖類似但所顯示之先前技藝之快閃 EEPROM 具有配置成兩頁或庫之記憶胞；

第 2 圖係顯示在先前技藝中的六個記憶胞及此六個記憶胞之控制閘極、源極、和汲極之連接；

第 3 圖係顯示部分的記憶體裝置，此裝置顯示依據本發明之記憶體裝置中其記憶胞之控制閘極、源極、和汲極之連接，其中在同一列中之記憶胞的多個源極是連接至源極位元線；

第 4 圖係顯示與第 3 圖中相類似之記憶體裝置部分，其顯示依據本發明另一實施例之記憶體裝置中其記憶胞部分之控制閘極、源極、和汲極之連接，其中在同一列中之記憶胞之各源極是連接至分離的源極位元線；

第 5 圖係顯示與第 1 圖中所顯示快閃 EEPROM 相類似但在同一列中之各記憶胞之源極是連接至分離的源極位元線之快閃 EEPROM 之簡化電路圖；

第 6 圖與第 5 圖相類似但顯示在同一列中之多個記憶胞之源極是連接至一個源極位元線；

第 7 圖係顯示先前技藝之記憶體裝置之部分的配置圖，其顯示記憶胞之源極是連接至共同源極位元線；

第 8 圖係顯示記憶體裝置之部分的配置圖，其顯示在同一列中之記憶胞之各源極是連接至分離的源極位元線；

第 9 圖係顯示記憶體裝置之部分的配置圖，其顯示在同一列中之記憶胞之源極是連接至一個源極位元線；

五、發明說明(6)

[元件符號說明]

100、110	快閃 EEPROM 記憶體
102、502、602	位元線驅動器
104、116、118、504、604	字元線驅動器
106、506、606	電源供應器
108、508、608	控制器
112、114 記憶胞庫(頁)	120、122 區段解碼器
124 共用源極電壓 V_{SS1}	126 共用源極電壓 V_{SS2}
200、300、400、500、600、700、800、900	記憶體裝置部分
202、204、206、208、210、212、302、304、306、	
308、310、312、314、316、402、404、406、408	記憶胞
410、412、414、416	記憶胞
214、216、218、318、320、322、324、418、420、422、424	汲極位元線
2、3、220、222、224、326、328、330、426、430、432	源極位元線
702-712、802、804、806、808、826、828、830、	
832、902、904、906、908、910、912、914、916、918	接觸點
714、810、816、820、824	源極區
716、718、812、814、818、822、920、922、924、926	連接線

[詳細說明]

現所參考的是本發明之特定實施例之詳細說明，所顯示的這些實施例為發明者預期中可用於實現本發明之最佳模式。

第 1A 圖係顯示先前技藝之 NOR 型快閃電子式可清除程式化唯讀記憶體(快閃 EEPROM)100 之基本結構。快閃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

記憶體 100 包含有複數個核心或記憶胞，這些記憶胞是排列成正方形矩陣或行列陣列。每一列具有一個字元線(WL)，而每一行則具有一個字元線(BL)。

假設在此有 n 行 m 列，其位元線是以 BL_0 至 BL_n 標示而字元線則是以 WL_0 至 WL_m 標示。位元線驅動器 102 提供適當的電壓給位元線，而字元線驅動器 104 則提供適當的電壓給字元線。由驅動器 102 和 104 所提供之電壓是在控制器 108 之控制下由電源供應器 106 產生的，此控制器通常為晶片內建式邏輯電路。控制器 108 亦將以下文中所說明的方式控制驅動器 102 和 104 以便個別地或集體地呼叫這些記憶胞。

記憶胞是位於字元線和位元線之各接點上。各記憶胞包含有一個金屬氧化半導體(MOS)場效電晶體(FET)，具有形成於半導體基體上之源極和汲極、浮動閘極、和利用氧化層與浮動閘極分隔之控制閘極。值得注意的是快閃 EEPROM 記憶胞與傳統 FET 不同處是在快閃 EEPROM 包含有浮動閘極和放置在控制閘極和半導體基體間之透納氧化層，在此基體上形成有源極和汲極。

第 1A 圖中所顯示之記憶胞是以記號 T_{nm} 表示，在此 m 表示列(字元線)的數目而 n 表示行(位元線)之數目。如圖所示，記憶胞之控制閘極是連接至個別之字元線，而記憶胞之汲極是連接至個別之位元線。所有記憶胞之源極是連接至電源 106。

第 1B 圖係顯示另一個快閃記憶體 110，其與記憶體

五、發明說明 (8)

100 相類似，除了將記憶胞分割成庫(即所謂的頁或區塊)，在第 1B 圖中顯示有兩個區塊，其每一個均可獨立程式化、刪除、和讀取。記憶體 110 包含有第一記憶胞庫或頁 112 和第二記憶胞庫或頁 114。將以如第 1A 圖中之相同方式標示在第一庫 112 中之記憶胞，而對第二記憶庫 114 中之記憶胞之標示增加撇符號。庫 112 和 114 之字元線是分別連接至分離之字元線驅動器 116 和 118。

除了記憶胞之外，庫 112 和 114 均包含有用於各位元線之選擇電晶體。用於庫 112 和 114 之選擇電晶體分別標示為 S_0 至 S_n 和 S'_0 至 S'_n 。選擇電晶體之汲極是連接至各位元線，而選擇電晶體之源極則連接至字元線 W_{L0} 至 W_{Lm} 和 W_{L0}' 至 W_{Lm}' 用之電晶體的汲極。

選擇電晶體與記憶胞電晶體之不同在於其是傳統的 MOSFETs 故因此缺少浮動閘極。選擇電晶體是切換元件而非記憶體元件。用於庫 112 之選擇電晶體的閘極是連接至區段解碼器 120 之庫選 BS_1 ，而用於庫 114 之選擇電晶體的閘極是連接至區段解碼器 122 之庫選輸出 BS_2 。

在庫 112 中之記憶胞之源極是連接至共用源極電壓 V_{ss1} 124 而在庫 114 中之記憶胞之源極是連接至共用源極電壓 V_{ss2} 126。

藉由提供高邏輯位準之訊號給庫選擇線 BS_1 可選擇庫 112，此庫選擇線 BS_1 可使電晶體 S_0 至 S_n 導通，且將位元線 B_{L0} 至 B_{Lm} 連接至其下的記憶胞。藉由提供低邏輯位準訊號給庫選擇線 BS_1 可不選擇庫 112，此庫選擇線 BS_1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

可關斷電晶體 S_0 至 S_n 且將切斷位元線與記憶胞之連接。可以本質上相同方式利用庫選擇線 BS_2 和選擇電晶體 S_0' 至 S_n' 而可選擇和不選擇庫 114。記憶體 110 之操作本質上與記憶體 100(第 1A 圖)之操作相同,除了可在庫 112 和 114 上獨立執行程式化、刪除和讀取操作。

第 2 圖係顯示記憶體裝置之部分 200 的詳細圖,圖中顯示在先前記憶中的六個單一電晶體快閃記憶胞 202、204、206、208、210 和 212 及此六個記憶胞之控制閘極、源極和汲極之電氣連接。此六個記憶胞 202、204、206、208、210 和 212 是排列成兩列和三行且可注意的是亦可使用未顯示在此之其他記憶胞。記憶胞 202、204、和 206 之控制閘極是連接至字元線 WL_0 而記憶胞 208、210 和 212 之控制閘極是連接至字元線 WL_1 。如在前文中參考第 1A 圖所討論的,字元線 WL_0 和 WL_1 是連接至字元線驅動器 104(第 1A 圖)。記憶胞 202 和 208 之汲極是連接至汲極位元線 214、記憶胞 204 和 210 之汲極是連接至汲極位元線 216、而記憶胞 206 和 212 之汲極是連接至汲極位元線 218。記憶胞 202 和 208 之源極是連接至源極線 220、記憶胞 204 和 210 之源極是連接至源極線 222、而記憶胞 206 和 212 之源極是連接至源極線 224。源極線 220、222 和 224 均連接至 V_{ss} , 其是連接至電源 106(第 1A 圖)。值得注意的是所有記憶胞 202、204、206、208、210 和 212 之源極在任何時間均是處於相同的電氣位準。亦可注意到的是可藉由選擇字元線和位元線而選擇特殊的記憶胞,且因而選

五、發明說明 (10)

擇位於所選擇字元線和位元線接點處的記憶胞，且將電壓提供給所選擇記憶胞之控制閘極和汲極，此電壓不同於出現在未選擇記憶胞之控制閘極和汲極之電壓。可是，因為所有記憶胞之源極均連接至共同端，所以無法使提供至特殊記憶胞源極之電壓不同於在其他記憶胞源極所出現之電壓。此外，因為通常是藉由提供相當高之電壓給要刪除之記憶胞之源極、將控制閘極接地、和使汲極浮動而將其刪除，第 2 圖所顯示之先前記憶之結構可避免刪除個別的記憶胞。

第 3 圖係顯示記憶體裝置之部分 300 之詳圖，圖中所顯示之記憶胞 302、304、306 和 308 之控制閘極是連接至 WL_1 而記憶胞 310、312、314 和 316 之控制閘極是連接至 WL_2 。值得注意的是記憶胞 302、304、306 和 308 代表一個“字元”且此字元可以是任意長度，舉例而言，此字元可以是 4 位元、8 位元、16 位元、32 位元或更長或者是任意長度。記憶胞 302 和 310 之汲極是連接至汲極位元線 318、記憶胞 304 和 312 之汲極是連接至汲極位元線 320、記憶胞 306 和 314 之汲極是連接至汲極位元線 322、而記憶胞 308 和 316 之汲極則是連接至汲極位元線 324。記憶胞 302、304、306 和 308 之源極是連接至共用源極線 326。應該注意的是在記憶胞 306 和 308 間之任何記憶胞之源極亦是連接至共用源極線 326。同樣地，記憶胞 310、312、314 和 316 之源極是連接至共用源極線 328。在記憶胞 314 和 316 間之任何記憶胞之源極亦是連接至共用源極線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

328。共用源極線 326 和 328 是連接至源極位元線 330。此源極位元線是連接至位元線驅動器 102(第 1A 圖)，可依據本發明將位元線驅動器 102 修正為驅動源極位元線。在下文中將參考第 5 圖討論修正過之位元線驅動器。

可注意到的是，在如記憶胞 310、312、314 和 316 等之陣列中可不考慮其他的記憶胞而單獨刪除記憶胞 302、304、306 和 308，因為可將高電壓提供給記憶胞 302、304、306 和 308 之源極且提供給記憶胞 302、304、306 和 308 之控制閘極和汲極之電壓可以不同於提供給其他記憶胞(未選擇記憶胞)之控制閘極和汲極之電壓。因此，在提供刪除脈衝給記憶胞 302、304、306 和 308 之期間，其他(未選擇)記憶胞之狀態將不會受影響。

第 4 圖係顯示記憶體裝置之部分 400 之詳圖，圖中所顯示之記憶胞 402、404、406 和 408 之控制閘極是連接至 WL_1 而記憶胞 410、412、414 和 416 之控制閘極是連接至 WL_2 。值得注意的是以 402 至 408 表示之所有記憶胞均連接至 WL_1 。記憶胞 402 和 410 之汲極是連接至汲極位元線 418、記憶胞 404 和 412 之汲極是連接至汲極位元線 420、記憶胞 406 和 414 之汲極是連接至汲極位元線 422、而記憶胞 408 和 416 之汲極則是連接至汲極位元線 424。記憶胞 402 和 410 之源極是連接至源極位元線 426、記憶胞 404 和 412 之源極是連接至源極位元線 428，記憶胞 406 和 414 之源極是連接至源極位元線 430、而記憶胞 408 和 416 之源極是連接至源極位元線 432。源極位元線 426、428、430

五、發明說明 (12)

和 432 是連接至位元線驅動器 102(第 1A 圖)，可依據本發明將位元線驅動器 102 修正為驅動源極位元線。在下文中將參考第 5 圖討論修正過之位元線驅動器。

第 5 圖係顯示 NOR 型快閃電子式可清除程式化唯讀記憶體(快閃 EEPROM)之基本結構，其在字元線上用於各記憶胞之源極位元線是依據本發明而建構的。快閃記憶體 500 包含有複數個核心或記憶胞，將其排列成由行列構成之方形矩陣或陣列。每一列具有一個字元線(WL)，而每一行具有一個位元線(BL)。此外，每一行亦具有一個源極位元線(SBL)。

假設在此有 n 行和 m 列，其位元線是以 BL_0 至 BL_n 標示、源極位元線是以 SBL_0 至 SBL_n 標示而字元線則以 WL_0 至 WL_m 表示。位元線驅動器 502 提供適當的電壓給位元線和源極位元線，而字元線驅動器 504 則提供適當電壓給字元線。由驅動器 502 和 504 所提供之電壓是在控制器 508 之控制下由電源 506 產生的，其通常為晶片內建式邏輯電路。控制器 508 亦控制驅動器電路 502 和 504，以便個別地或集體地呼叫這些記憶胞。

如在先前技藝中所顯示，記憶胞是位於字元線和位元線之接點上。各記憶胞包含有金氧半導體(MOS)場效電晶體，其具有在半導體基體上形成之源極和汲極、浮動閘極、和利用氧化層與浮動閘極分隔之控制閘極。值得注意的是快閃 EEPROM 之記憶胞與傳統 FET 不同處是在快閃 EEPROM 包含有浮動閘極和設置在控制閘極和半導體基體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

間之透納氧化層，在此基體上形成有源極和汲極。

第 5 圖中所顯示之記憶胞是以記號 T_{nm} 表示，在此 m 表示列(字元線)的數目而 n 表示行(位元線)之數目。如圖所示，記憶胞之控制閘極是連接至個別字元線，而記憶胞之汲極是連接至個別位元線。記憶胞之源極則是連接至個別源極位元線。

第 6 圖係顯示 NOR 型快閃電子式可清除程式化唯讀記憶體(快閃 EEPROM)之另一個基本結構，其依據本發明將多記憶胞之源極建構成是連接至源極位元線。連接至源極位元線之多記憶胞的數目為一個“字元”，其可以是 8 位元、16 位元、32 位元、或任何其他較高或較低的位元數。快閃記憶體 600 包含有複數個核心或記憶胞，將其排列成由行列構成之方形矩陣或陣列。每一列具有一個字元線(WL)，而每一行具有一個位元線(BL)。此外，在同一列中之多記憶胞之源極是連接至源極位元線。

假設在此有 n 行和 m 列，其位元線是以 BL_0 至 BL_n 標示、源極位元線是以 SBL 標示。位元線驅動器 602 提供適當的電壓給位元線和源極位元線，而字元線驅動器 604 則提供適當電壓給字元線。由驅動器 602 和 604 所提供之電壓是在控制器 608 之控制下由電源 606 產生的，此控制器 608 通常為晶片內建式邏輯電路。此控制器 608 亦控制驅動器 602 和 604 以便個別地或集體地呼叫這些記憶胞。

如在先前技藝中所顯示，記憶胞是位於字元線和位元線之接點上。各記憶胞包含有金氧半導體(MOS)場效電晶

五、發明說明 (14)

體，其具有在半導體基體上所形成之源級和汲極、浮動閘極、和利用氧化層與浮動閘極分隔之控制閘極。值得注意的是快閃 EEPROM 之記憶胞與傳統 FET 不同處是在快閃 EEPROM 包含有浮動閘極和設置在控制閘極和半導體基體間之透納氧化層，在此基體上形成有源極和汲極。

第 7 圖係顯示先前技藝之記憶體裝置之部分 700 之配置圖，圖中顯示記憶胞之源極是連接至共用源極線。在圖例用記憶體裝置之部分 700 中顯示有四個字元線 WL_2 至 WL_5 ，其與三個位元線 BL_2 至 BL_4 相交。如上所述，有電晶體形成於字元線與位元線相交處。這些電晶體是由記號 T_{nm} 表示，在此 m 表示列(字元線)的數目而 n 表示行(位元線)之數目。舉例而言，在 WL_2 和 BL_2 之相交處所形成之電晶體是以 T_{22} 標示。在此所顯示之汲極接觸點有 702 至 712。為每一個電晶體形成源極區 S ，舉例而言，為電晶體 T_{22} 形成源極區 714。源極連接線 716 連接電晶體 T_{22} 、 T_{32} 、 T_{42} 、 T_{33} 、和 T_{42} 之源極區。同樣地，源極連接線 718 連接電晶體 T_{24} 、 T_{34} 、 T_{25} 、 T_{35} 、和 T_{45} 之源極區。源極連接線 716 和 718 具有共同端，此共同端連接至電源 106(第 1A 圖)。值得注意的是在具有部分 700 之先前技藝的記憶體裝置中所有的源極是連接至與電源 106 相連接之共用端。

第 8 圖係顯示記憶體裝置之部分 800 之配置圖，圖中顯示在同一行中之各記憶胞之源極是連接至源極位元線。在所顯示之記憶體裝置之部分 800 中顯示有四條字元線 WL_2 至 WL_5 ，其與二條位元線 BL_2 至 BL_3 相交。如上所述，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

有電晶體形成於字元線與位元線相交處。這些電晶體是由記號 T_{nm} 表示，在此 m 表示列(字元線)的數目而 n 表示行(位元線)之數目。舉例而言，在 WL_2 和位元線 2 之相交處所形成之電晶體是以 T_{22} 標示。在此顯示有汲極接觸點 802、804、806 和 808。為每一個電晶體形成源極區 S ，舉例而言，為電晶體 T_{22} 形成源極區 810。除此之外，在此亦顯示有源極位元線 2 和 3。源極連接線 812 將電晶體 T_{22} 之源極區 810 連接源極位元線 2。源極連接線 814 將電晶體 T_{32} 之源極區 816 連接源極位元線 3。源極連接線 818 將電晶體 T_{24} 之源極區 820 連接源極位元線 2。源極連接線 822 將電晶體 T_{34} 之源極區 824 連接源極位元線 3。可利用任何已知之半導體製造方法形成源極連接線 812、814、818、和 822，這些方法包含有 SAS(自我對準源極)、擴散、金屬連接、和藉由形成內部的區域連接。所有的這些方法在半導體製造技術中均是眾所皆知因此將不詳加討論。在此顯示有源極接觸點 826、828、830、和 832。此源極接觸點係用於連接第一金屬層上之結構與不同金屬層上之結構。位元線和源極位元線是連接至位元線驅動器 602，其控制提供給位元線和源極位元線之電壓。因為如同位元線和字元線，亦可個別選擇源極位元線，所以可以選擇和程式化、讀取或刪除各記憶胞。舉例而言，藉由提供適當的電壓給 WL_2 、位元線 2、和源極位元線 2，可將電晶體 T_{22} 程式化、讀取、或刪除。

第 9 圖係顯示記憶體裝置之部分 900 之配置圖，圖中

五、發明說明 (16)

顯示在同一列中之多記憶胞之源極是連接至源極位元線。在所顯示之記憶體裝置之部分 900 中顯示有四條字元線 WL_2 至 WL_5 ，其與三條位元線 2 至 4 相交。如上所述，有電晶體形成於字元線與位元線相交處。這些電晶體是由記號 T_{nm} 表示，在此 m 表示列(字元線)的數目而 n 表示行(位元線)之數目。舉例而言，在 WL_2 和位元線 2 之相交處所形成之電晶體是以 T_{22} 標示。在此顯示有汲極接觸點 902、904、906、908、910、912、914、916 和 918。為每一個電晶體形成源極區 S ，舉例而言，為電晶體 T_{22} 形成源極區 914。電晶體 T_{22} 、 T_{32} 、 T_{42} 、 T_{23} 、和 T_{43} 之源極連接至源極連接線 920，而電晶體 T_{24} 、 T_{34} 、 T_{44} 、 T_{25} 、 T_{35} 和 T_{45} 之源極連接至源極連接線 922。源極連接線 920 和 922 是經由源極連接線 924 和 926 連接至源極位元線 1。在前文中已參考第 8 圖討論形成源極連接線 920 和 922 之方法。如在半導體製造技術中眾所皆知的，將源極連接線 924 和 926 建構為，譬如介層，用於連接在一金屬層上之結構與不同金屬層上之結構。位元線和源極位元線是連接至位元線驅動器 602(第 6 圖)，其控制提供給位元線和源極位元線之電壓。注意雖然在此僅顯示字元線上的三個交點(因此僅只有三個電晶體)，可是在此字元線上可以有任意數目的電晶體其源極是連接至源極連接線 920 和 922。如上所述，在同一字元線上具有共同源極之電晶體數目可以是一個位元組、16 位元的字元、32 位元的字元或任何其他數目之電晶體。因為由字元線驅動器 604(第 6 圖)提供適當電壓給所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

選擇字元線時，位元線驅動器可提供適當的電壓給所選擇源極位元線和所選擇之位元線，所以可刪除連接至如源極連接線 920 和 922 等之適當源極連接線之多電晶體而不必如先前技藝需刪除整個記憶體裝置。

總而言之，至此應可更瞭解此記憶體裝置之結果和優點。所述裝置所提供之快閃記憶體裝在其中一實施例中可允許逐位元地刪除此記憶體裝置而在另一個實施例則允許刪除裝置之多位元的字元。

為了舉例和說明在前文中已將提出之本發明實施例的前述說明。在此並不希望本發明徹底的限制在所揭發之明確型式中。依照上述技術可對本發明進行各種修正和變動。在此所選擇和說明之實施例是希望能對本發明之原則和其實際應用作最詳細之說明以便使據此方面技藝者能夠利用本發明之各種修正和各種變動而應用於特殊的設計需求。所有的這些修正和變動均是在本發明由所附申請專利範圍定義之目的中，這些申請專利範圍均是依據本發明之簡潔、合法和公平定義之廣泛性而說明的。

四、中文發明摘要 (發明之名稱: EEPROM 使用之單一電晶體記憶胞)

本發明提供一種具有單一電晶體快閃記憶胞之記憶體裝置，在其中一實施例中可允許逐位元地刪除此記憶體裝置，而在另一實施例中則允許刪除裝置之多位元字元。此字元可以是 8 位元、16 位元、32 位元、64 位元或任何大小之字元。此記憶體裝置利用連接至位元線驅動器之源極位元線控制位元線。位元線驅動器和字元線驅動器控制提供給所選擇位元線、源極位元線之電壓，而字元驅動器則控制提供給所選擇之字元線之電壓以便可允許對所選擇之記憶胞進行程式化、刪除、或讀取。

英文發明摘要 (發明之名稱: 1 TRANSISTOR CELL FOR EEPROM APPLICATION)

Memory devices having 1-transistor flash memory cells that in one embodiment allows bit-by-bit erase and in other embodiments allows erase of a multi-bit word. The word can be 8 bits, 16 bits, 32 bits, 64 bits or any size word. The memory devices have source bitlines that are connected to the bitline driver that controls the bitlines. The bitline driver and a wordline driver controls the voltages applied to selected bitlines, source bitlines while the wordline driver controls the voltage applied to selected wordlines to allow selected memory cells to be programmed, erased, or read.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種允許逐位元刪除所選擇記憶胞之使用單一電晶體記憶胞之記憶體裝置，包含有：

多個單一電晶體記憶胞，以行和列之陣列連接之各記憶胞具有汲極、源極浮動閘極、和控制閘極，其中在同一列中之記憶胞的控制閘極是連接至個別之字元線且在同一行中之記憶胞的汲極是連接至個別之位元線；和

同一行中之記憶胞的源極是連接至個別源極位元線。

2. 如申請專利範圍第 1 項之記憶體裝置，更包含有：

位元線驅動器，其中位元線和源極位元線是連接至此位元線驅動器；和

字元線驅動器，其中字元線是連接至此字元線驅動器。

3. 如申請專利範圍第 2 項之記憶體裝置，更包含有提供電源給位元線驅動器和字元線驅動器之電源供應器。

4. 如申請專利範圍第 3 項之記憶體裝置，更包含有控制器，以便控制電源供應器之輸出、位元線驅動器之輸出、和字元線驅動器之輸出。

5. 一種允許將所選擇之多位元字元刪除之使用單一電晶體記憶胞之記憶體裝置，包含有：

多個單一電晶體記憶胞，以行和列之陣列連接之各記憶胞具有汲極、源極浮動閘極、和控制閘極，其中在同一列中之記憶胞的控制閘極是連接至個別字元線且

六、申請專利範圍

在同一行中之記憶胞的汲極是連接至個別位元線；

在各列中形成多位元字元之記憶胞的源極是連接至源極連接線；和

形成多位元字元之行之源極連接線是連接至源極位元線。

6. 如申請專利範圍第 5 項之記憶體裝置，更包含有：

位元線驅動器，其中位元線和源極位元線是連接至此位元線驅動器；和

字元線驅動器，其中字元線是連接至此字元線驅動器。

7. 如申請專利範圍第 6 項之記憶體裝置，更包含有提供電源給位元線驅動器和字元線驅動器之電源供應器。

8. 如申請專利範圍第 7 項之記憶體裝置，更更包含有控制器以便控制電源供應器之輸出、位元線驅動器之輸出和字元線驅動器之輸出。

9. 如申請專利範圍第 8 項之記憶體裝置，其中此多位元字元為具有 8 位元之字元。

10. 如申請專利範圍第 8 項之記憶體裝置，其中此多位元字元為具有 16 位元之字元。

11. 如申請專利範圍第 8 項之記憶體裝置，其中此多位元字元為具有 32 位元之字元。

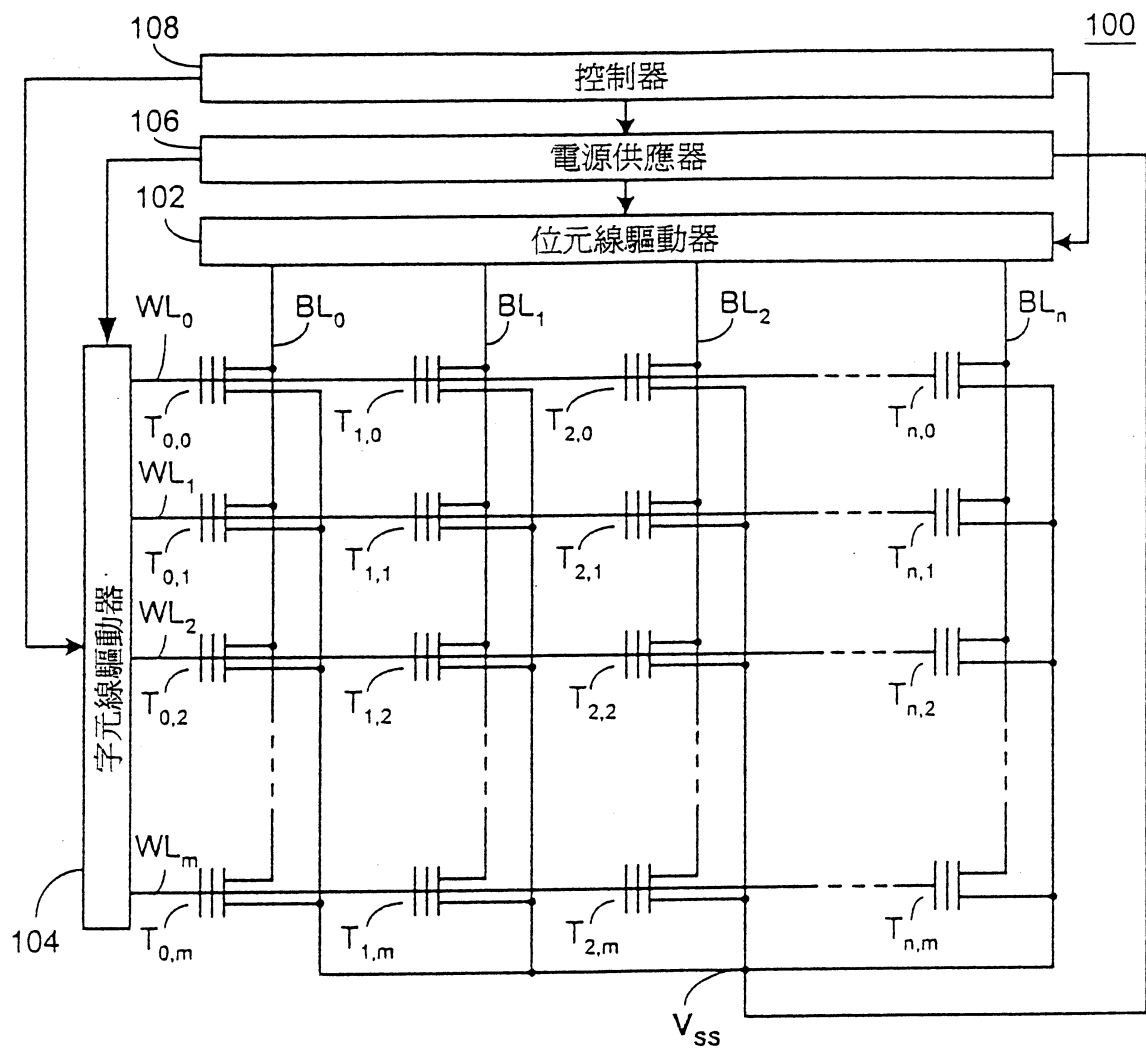
12. 如申請專利範圍第 8 項之記憶體裝置，其中此多位元字元為具有 64 位元之字元。

(請先閱讀背面之注意事項再填寫本頁)

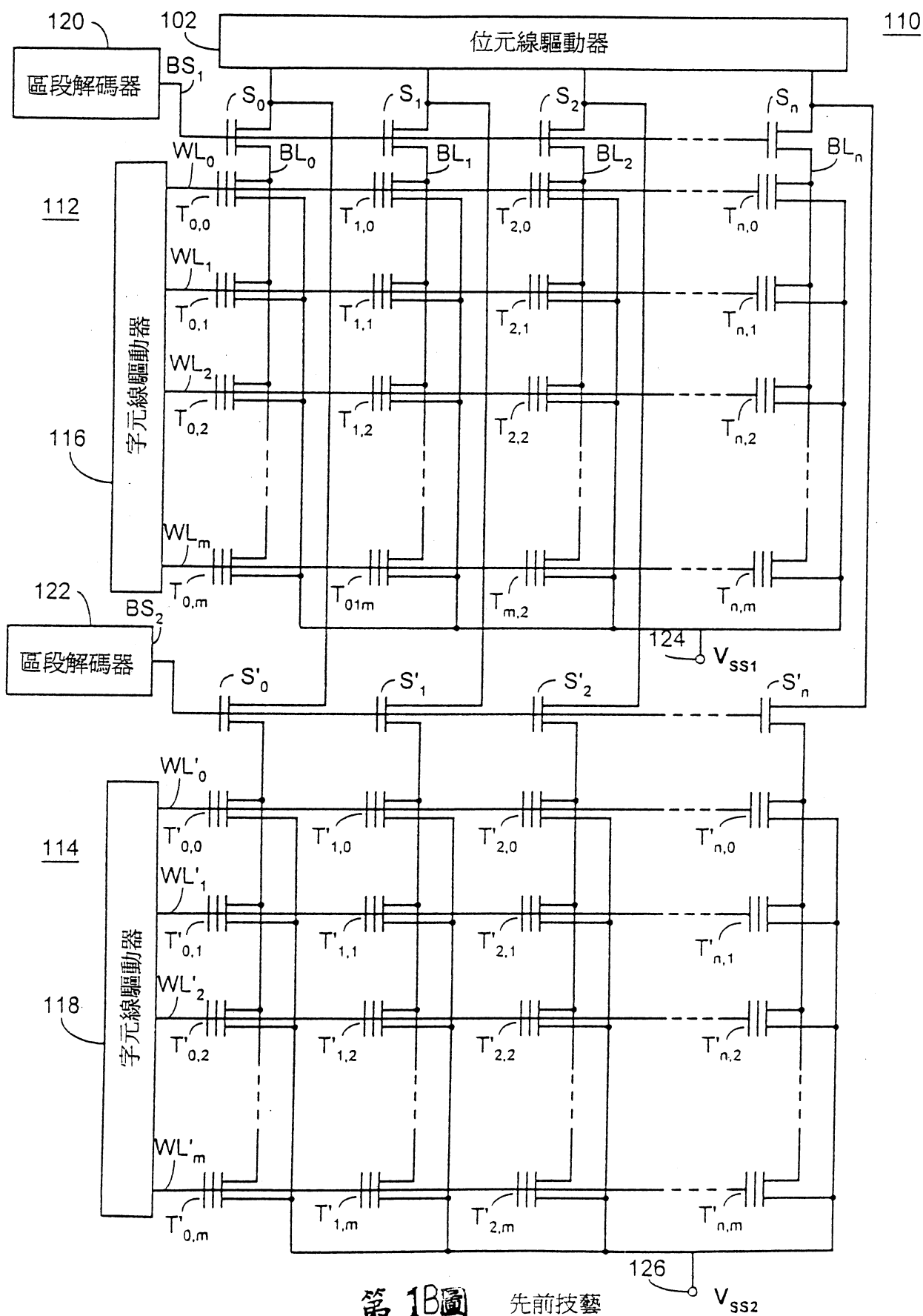
裝

訂

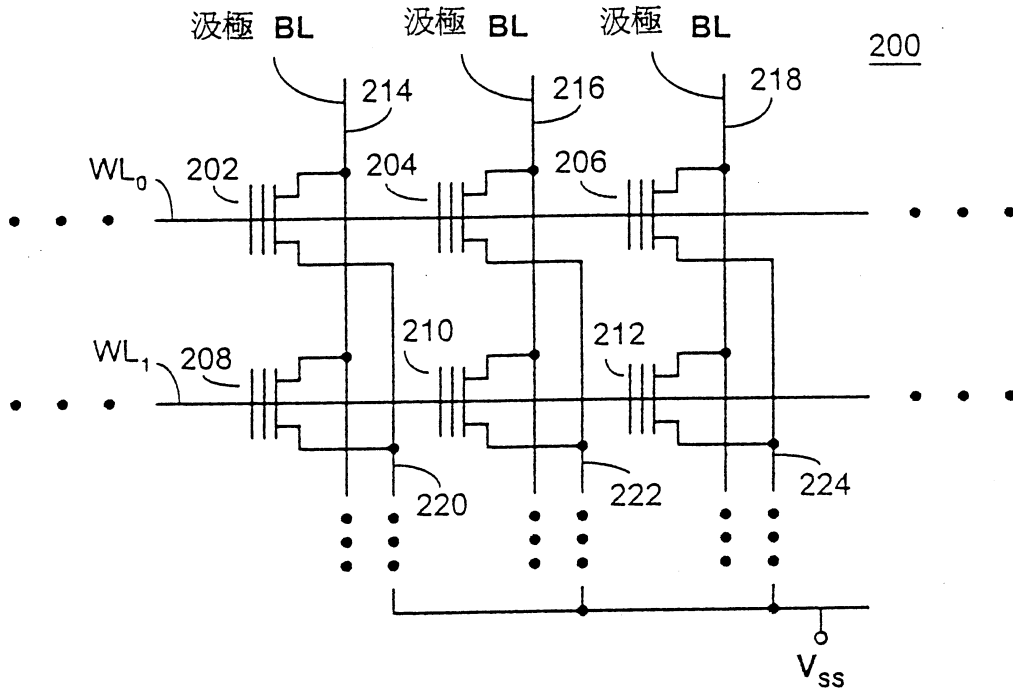
線



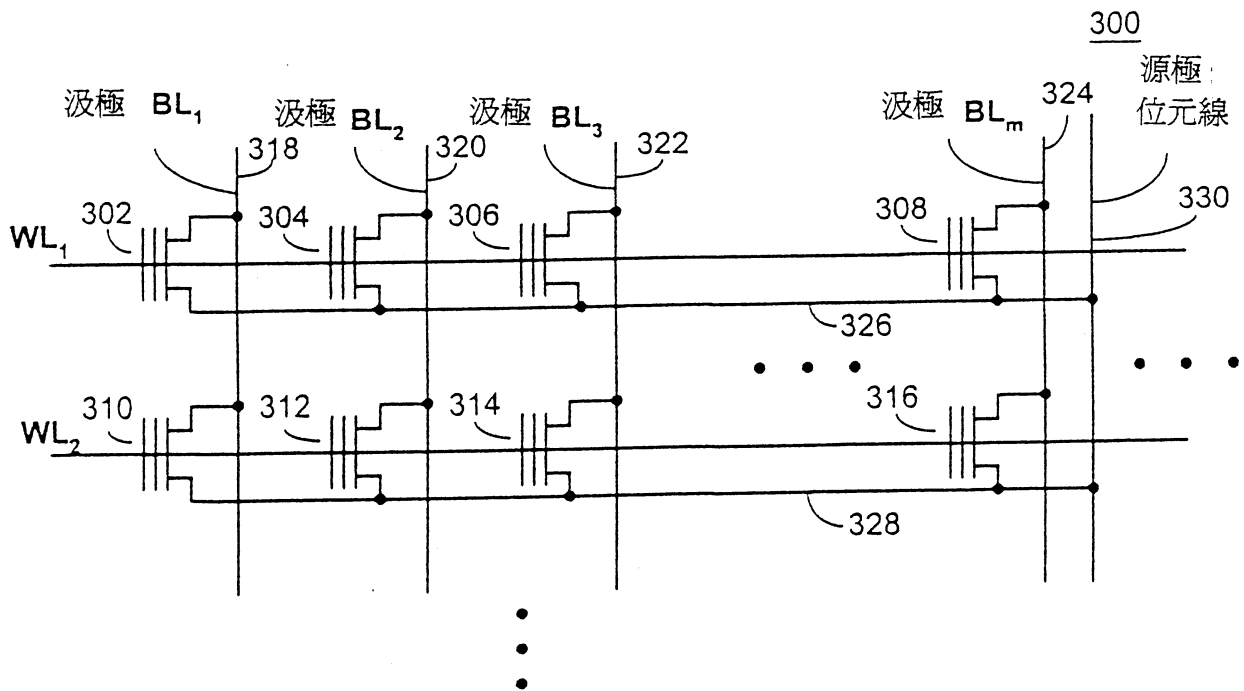
第 1A圖 先前技藝



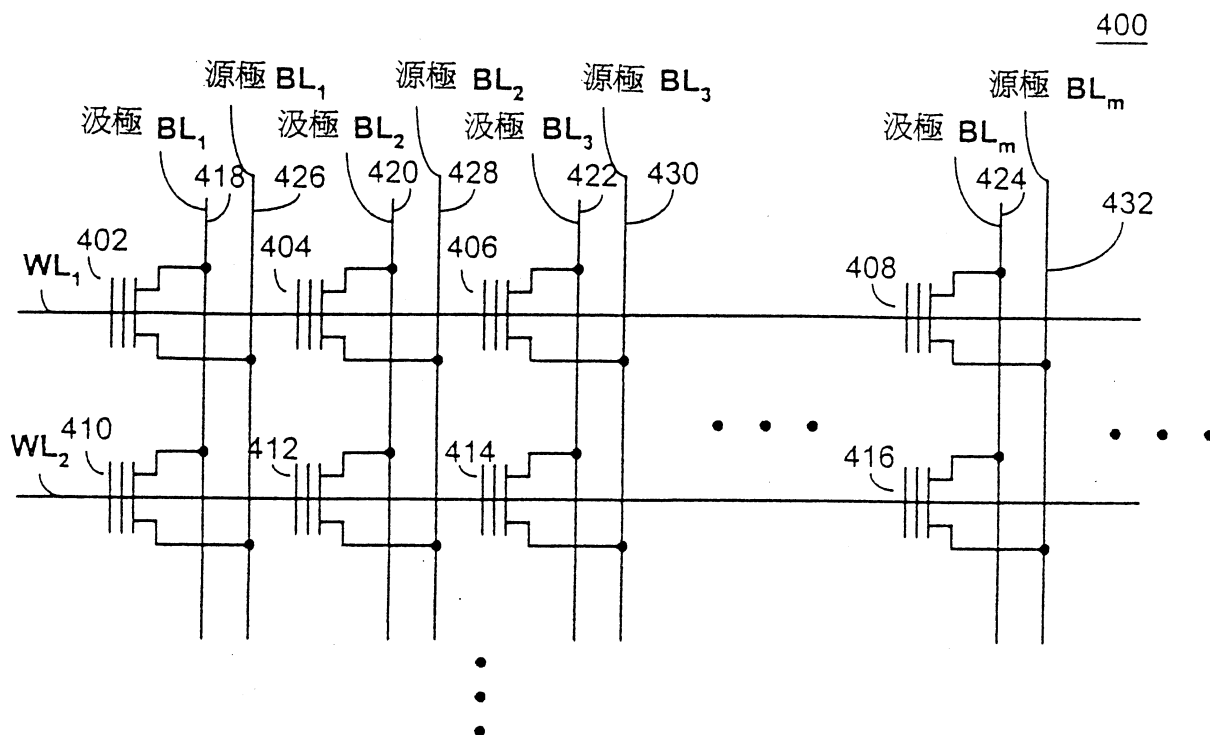
第1B圖 先前技藝



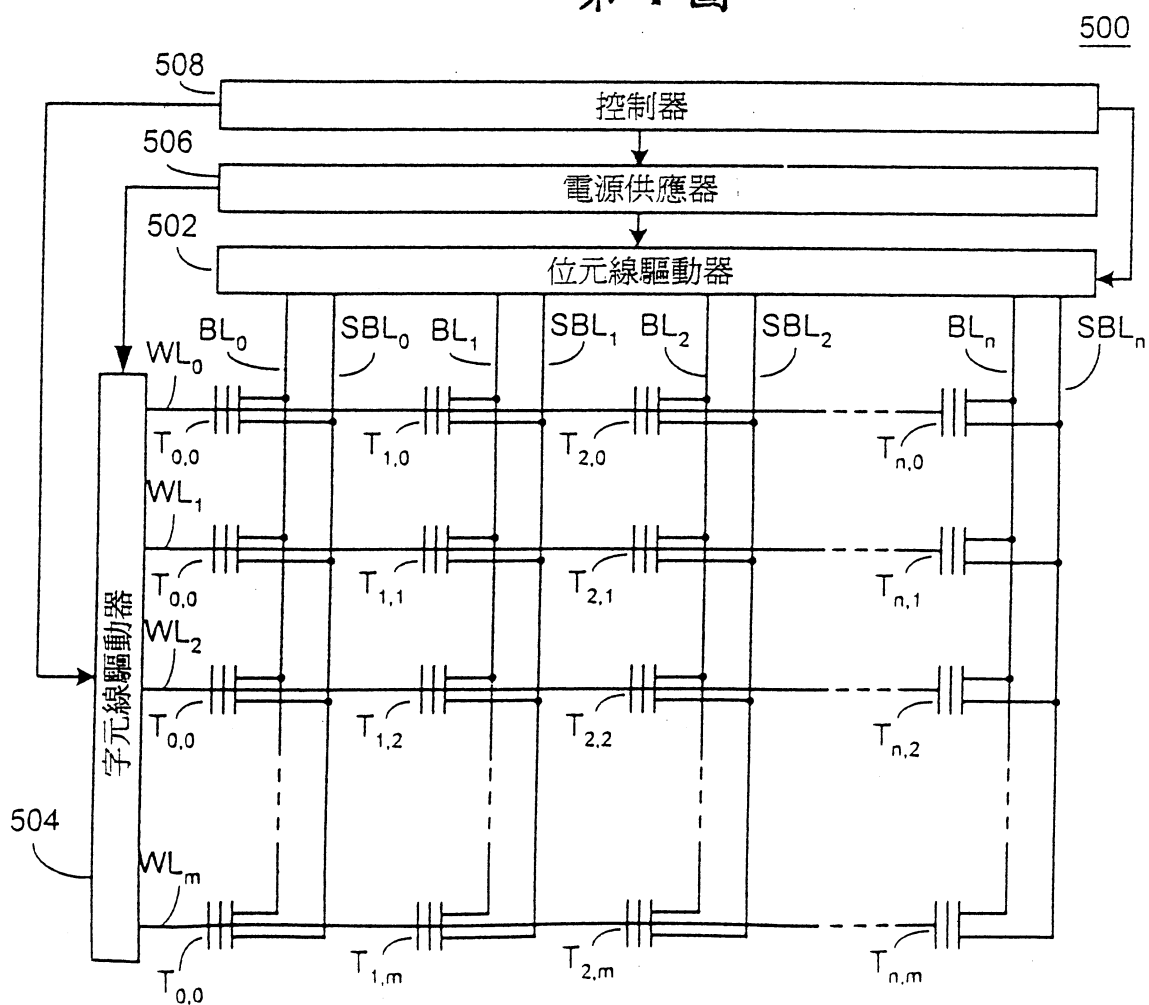
第 2 圖 先前技藝



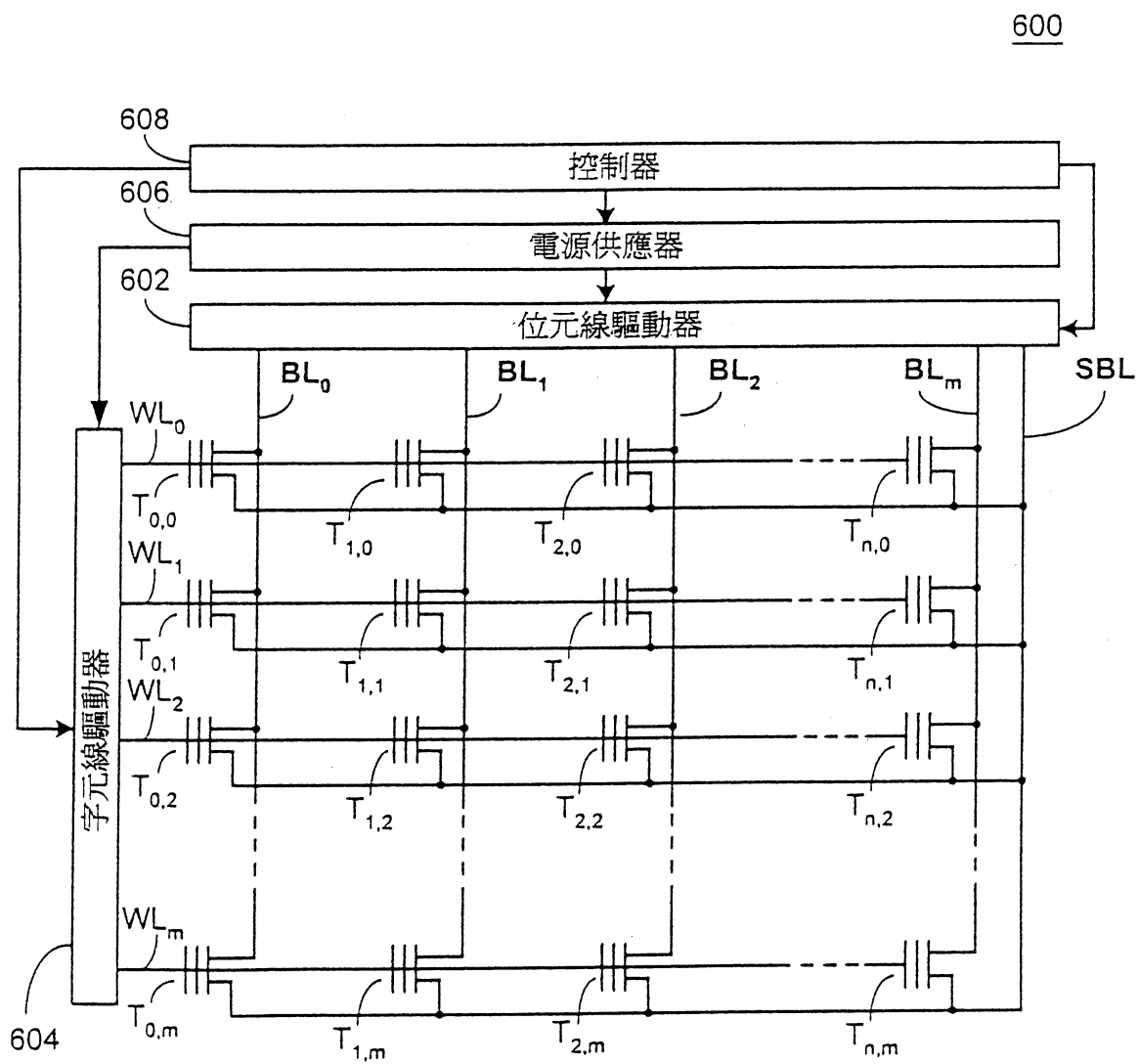
第 3 圖



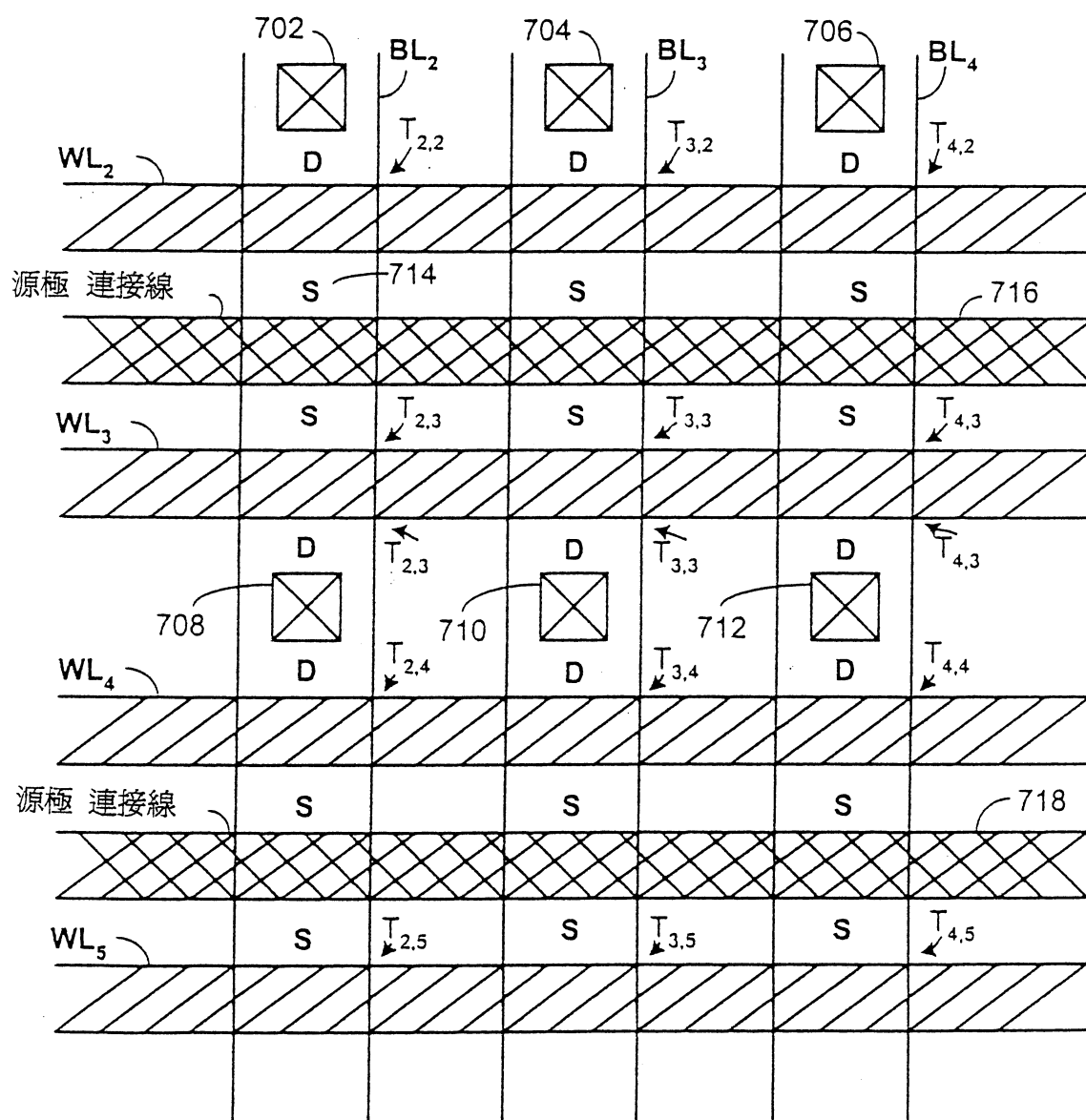
第 4 圖



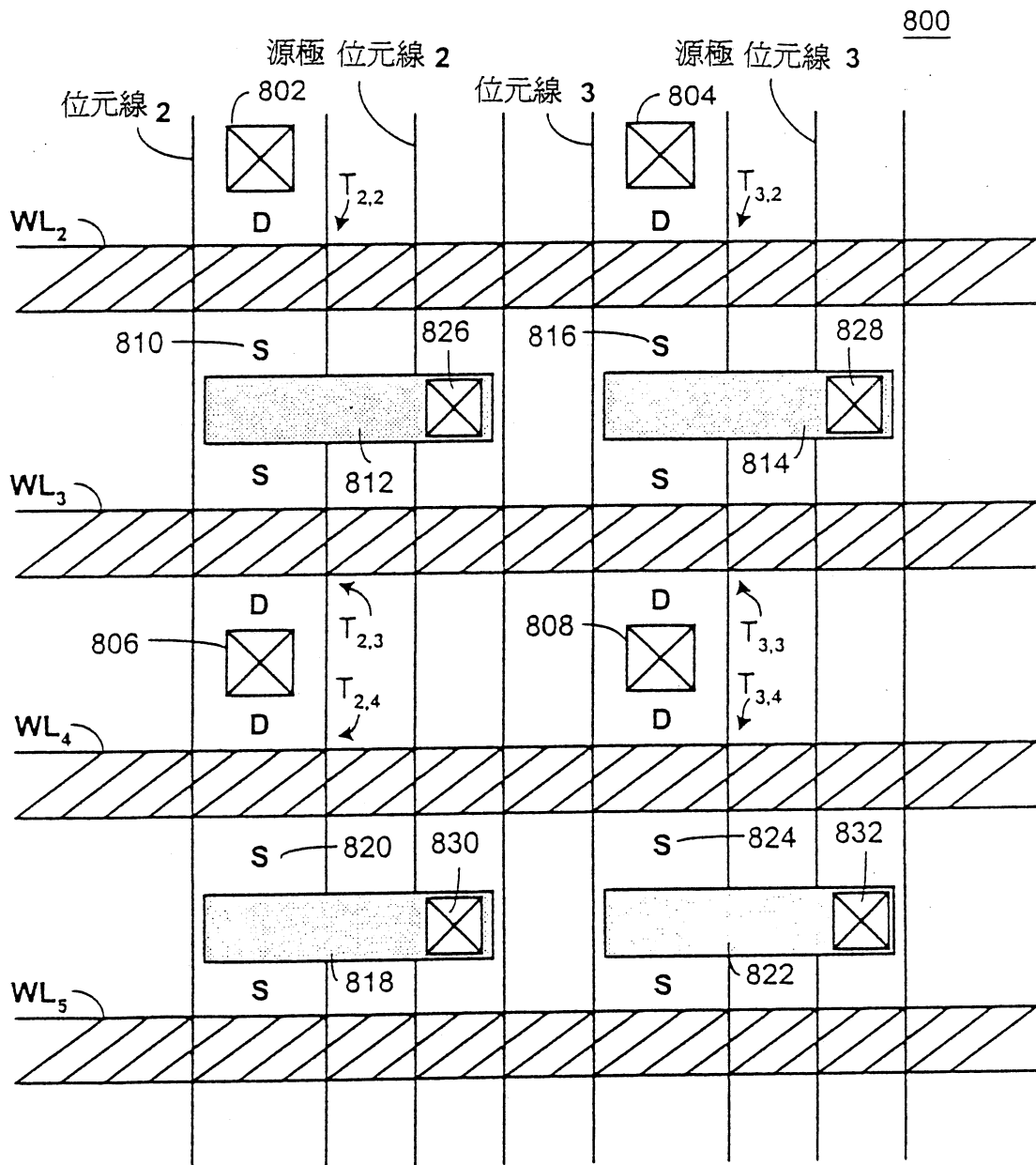
第 5 圖



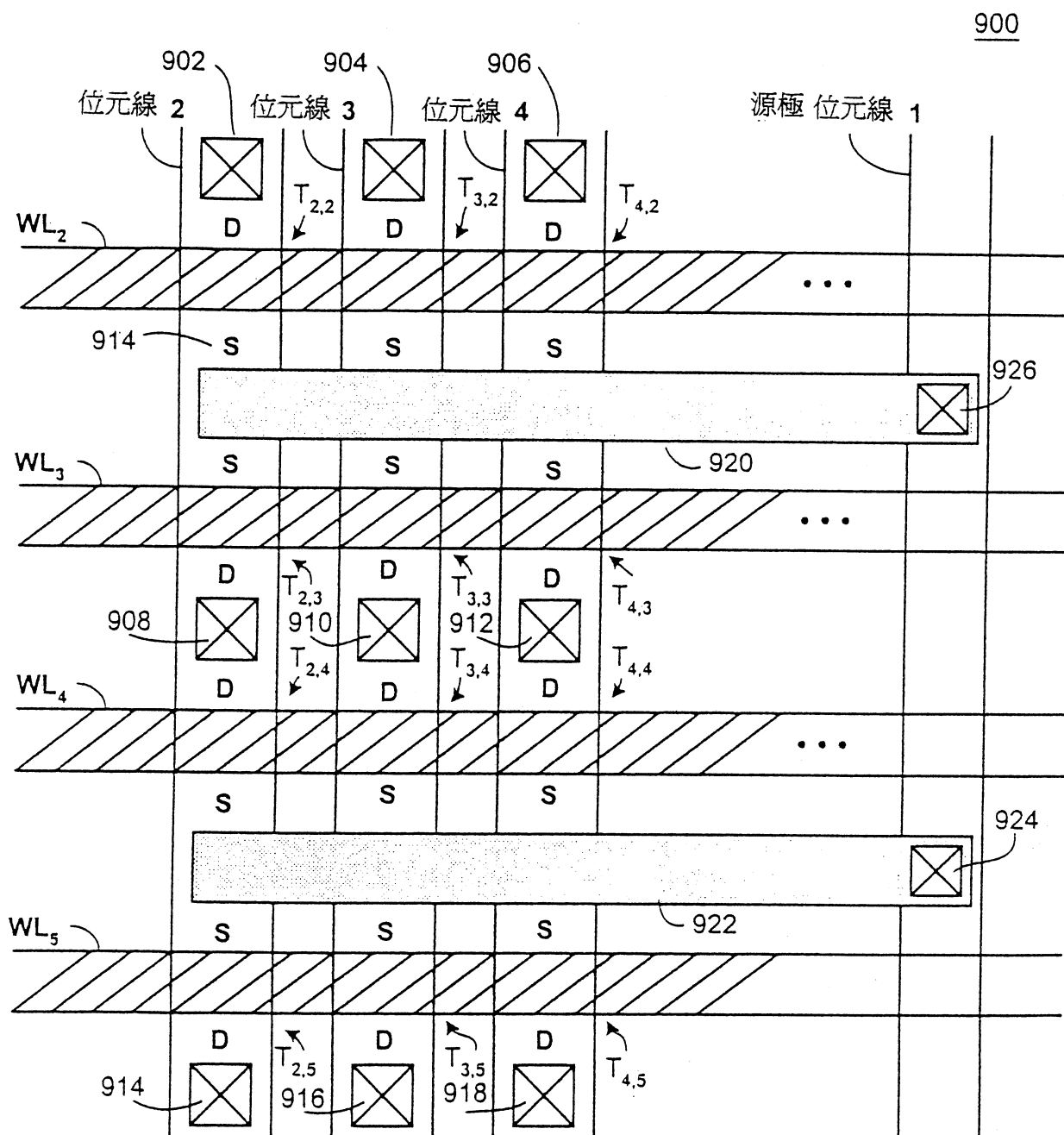
第 6 圖



第 7 圖 先前技藝



第 8 圖



第 9 圖