

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5852431号  
(P5852431)

(45) 発行日 平成28年2月3日 (2016.2.3)

(24) 登録日 平成27年12月11日 (2015.12.11)

(51) Int. Cl.

F I

G O 6 F 1/26 (2006.01)

G O 6 F 1/30 (2006.01)

G O 6 F 1/32 (2006.01)

G O 6 F 1/26 3 3 4 C

G O 6 F 1/30 L

G O 6 F 1/32 B

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2011-270616 (P2011-270616)	(73) 特許権者	000001007
(22) 出願日	平成23年12月9日 (2011.12.9)		キヤノン株式会社
(65) 公開番号	特開2013-122673 (P2013-122673A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年6月20日 (2013.6.20)	(74) 代理人	100076428
審査請求日	平成26年12月9日 (2014.12.9)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 画像処理装置、その制御方法、及びプログラム

(57) 【特許請求の範囲】

【請求項 1】

画像処理装置であって、  
電源スイッチと、  
前記電源スイッチが操作された後に第1時間が経過した場合、前記画像処理装置への電力供給を強制的に停止する電源遮断手段と、

前記電源スイッチが操作された場合に、前記画像処理装置のCPUがワーク領域として使用する第1記憶手段の記憶内容を第2記憶手段に退避させるハイバネーション処理を実行する処理手段と、

前記第1時間が経過する前に前記ハイバネーション処理が完了するか否かを判定する判定手段と、

前記判定手段によって前記第1時間が経過する前に前記ハイバネーション処理が完了しないと判定された場合、前記処理手段による前記ハイバネーション処理を中断させて、前記画像処理装置のシャットダウン処理を実行する制御手段と、

を備えることを特徴とする画像処理装置。

【請求項 2】

前記シャットダウン処理が実行された前記画像処理装置が起動される場合にコールドブートを実行する起動手段、をさらに備えることを特徴とする請求項1に記載の画像処理装置。

【請求項 3】

10

20

前記判定手段は、前記ハイパネーション処理を開始してから現在までの経過時間と、前記経過時間で終了したハイパネーション処理の進捗と、に基づいて、前記第1時間が経過する前に前記ハイパネーション処理が完了するか否かを判定する、ことを特徴とする請求項1又は2に記載の画像処理装置。

【請求項4】

前記判定手段は、前記第1時間が経過する前に、前記ハイパネーション処理が完了するか否かを判定する、ことを特徴とする請求項1乃至3の何れか1項に記載の画像処理装置。

【請求項5】

前記処理手段は、

前記第1記憶手段の複数のメモリブロックのうち、前記第2記憶手段へ記憶内容を退避させるメモリブロックを選択する選択手段と、

前記選択手段によって選択されたメモリブロックの情報を示す管理情報を生成する生成手段と、

前記選択手段によって選択されたメモリブロックの記憶内容と、前記生成手段によって生成された管理情報とを前記第2記憶手段へ格納する退避手段と、

を備えることを特徴とする請求項1乃至4に記載の画像処理装置。

【請求項6】

前記判定手段は、前記生成手段によって生成された前記管理情報を参照して、目標時間内に、前記処理手段による前記ハイパネーション処理が完了するか否かを判定する、ことを特徴とする請求項5に記載の画像処理装置。

【請求項7】

前記電源スイッチが操作されてからの経過時間を計時する計時手段、をさらに備え、

前記制御手段は、前記計時手段によって前記第1時間よりも短い第2時間が計時されると、前記画像処理装置のシャットダウン処理を実行する、ことを特徴とする請求項1乃至6の何れか1項に記載の画像処理装置。

【請求項8】

電源スイッチを備える画像処理装置の制御方法であって、

電源遮断手段が、前記電源スイッチが操作された後に第1時間が経過した場合、前記画像処理装置への電力供給を強制的に停止する電源遮断ステップと、

処理手段が、前記電源スイッチが操作された場合に、前記画像処理装置のCPUがワーク領域として使用する第1記憶手段の記憶内容を第2記憶手段に退避させるハイパネーション処理を実行する処理ステップと、

判定手段が、前記第1時間が経過する前に前記ハイパネーション処理が完了するか否かを判定する判定ステップと、

制御手段が、前記判定ステップで前記第1時間が経過する前に前記ハイパネーション処理が完了しないと判定された場合、前記処理ステップによる前記ハイパネーション処理を中断させて、前記画像処理装置のシャットダウン処理を実行する制御ステップと、

を実行することを特徴とする画像処理装置の制御方法。

【請求項9】

請求項8に記載の画像処理装置の制御方法における各ステップをコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像処理装置、その制御方法、及びプログラムに関するものである。

【背景技術】

【0002】

現行の画像処理装置は高機能化に伴い、ユーザが電源スイッチをONしてから操作可能となるまでの起動時間が増加する傾向にある。これに対し、ユーザが電源OFF操作をし

10

20

30

40

50

た際に主記憶メモリを通电させるサスペンド方式による起動時間の高速化手法がある。しかし、サスペンド方式は、メインメモリが一般的なＤＲＡＭ等である場合には通电を継続する必要があり、待機電力を増大するという問題がある。このような待機電力をゼロにする技術がハイバネーション方式であり、サスペンド方式に対して復帰時間は掛かるが、より省電力性能を向上させたい場合に採用する技術である。例えば、特許文献１には、ＯＦＦ／ＯＮの状態を有する物理的な電源スイッチ（トグル型スイッチ）をハイバネーション機能として割り当てた技術が開示されている。また、特許文献２には、バッテリー残量が少なくなった場合にハイバネーション動作を行い、その際にバッテリーが切れるとハイバネーション移行中の電源断が発生することを回避する技術が開示されている。

【先行技術文献】

10

【特許文献】

【０００３】

【特許文献１】特開２００２－７３２２０号公報

【特許文献２】特開平１１－３１５１号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかしながら、上記従来技術には以下に記載する問題がある。例えば、特許文献１では、画像処理装置の電源スイッチが物理的なＯＦＦ／ＯＮの状態を有する（トグル型）スイッチであるため、スイッチのＯＦＦ／ＯＮ状態と本体の電源のＯＦＦ／ＯＮ状態を合わせる必要がある。つまり、スイッチがＯＦＦなのに本体電源が切れていないという状態が発生してはならない。これを回避するために、電源スイッチがＯＦＦされた際に、ソフトウェア制御とは別に電源装置に保護タイマを設定して一定時間後に電源が必ずＯＦＦになっていることを保証する必要がある。しかし、電源スイッチをハイバネーション機能として割り当てた場合であって、さらにハイバネーション移行処理が間に合わなかった場合に、ハイバネーション移行中に強制的に上記保護タイマにより電源がＯＦＦされる障害が発生してしまう。

20

【０００５】

本発明は、上述の問題に鑑みて成されたものであり、電源スイッチをＯＦＦにすることより一定時間後に必ず電源が切れる構成を有する場合であっても、安全にハイバネーション移行処理を実行するとともに、電源供給の停止までに要する時間を好適に短縮する仕組みを提供することを目的とする。

30

【課題を解決するための手段】

【０００６】

本発明は、例えば、画像処理装置であって、電源スイッチと、前記電源スイッチが操作された後に第１時間が経過した場合、前記画像処理装置への電力供給を強制的に停止する電源遮断手段と、前記電源スイッチが操作された場合に、前記画像処理装置のＣＰＵがワーク領域として使用する第１記憶手段の記憶内容を第２記憶手段に退避させるハイバネーション処理を実行する処理手段と、前記第１時間が経過する前に前記ハイバネーション処理が完了するか否かを判定する判定手段と、前記判定手段によって前記第１時間が経過する前に前記ハイバネーション処理が完了しないと判定された場合、前記処理手段による前記ハイバネーション処理を中断させて、前記画像処理装置のシャットダウン処理を実行する制御手段と、を備えることを特徴とする。

40

【発明の効果】

【０００７】

本発明は、電源スイッチをＯＦＦにすることより一定時間後に必ず電源が切れる構成を有する場合であっても、安全にハイバネーション移行処理を実行するとともに、電源供給の停止までに要する時間を好適に短縮する仕組みを提供できる。

【図面の簡単な説明】

【０００８】

50

【図 1】本実施形態に係る画像処理システムの構成例を示す図。

【図 2】本実施形態に係るコントローラ部の構成例を示すブロック図。

【図 3】本実施形態に係る電源構成の一例を示す図。

【図 4】本実施形態に係るシャットダウン時の処理フローを示すフローチャート。

【図 5】本実施形態に係るハイパネーションを説明する図。

【図 6】本実施形態に係るシステム中断時の処理フローを示すフローチャート。

【図 7】本実施形態に係る 2 次記憶デバイスを示す図。

【図 8】正常な時と不具合が発生するケースを示すタイミングチャート。

【図 9】本実施形態に係るタイミングチャート。

【図 10】本実施形態に係るシステム保護タイマを示すタイミングチャート。

【図 11】本実施形態に係る処理フローを示すフローチャート。

【発明を実施するための形態】

【0009】

以下、本発明を実施するための形態について図面を用いて説明する。尚、以下の実施形態は特許請求の範囲に係る発明を限定するものでなく、また実施形態で説明されている特徴の組み合わせの全てが発明の解決手段に必須のものとは限らない。

【0010】

< 画像処理装置の構成 >

まず、図 1 を参照して、本実施形態における画像処理システムの構成について説明する。図 1 に示すように、画像処理システムは、画像処理装置 100 と、当該画像処理装置 100 に LAN 108 を介して接続されたコンピュータ 109 を含んで構成される。なお、このシステム構成は、一例であり、本発明を限定する意図はない。例えば、他の画像処理装置や、他のコンピュータを含んで構成されてもよい。

【0011】

画像処理装置 100 は、スキャナ装置 102、コントローラ 103、プリンタ装置 104、操作部 105、ハードディスク 106、及び FAX 装置 107 を備える。スキャナ装置 102 は、原稿から光学的に画像を読み取りデジタル画像に変換する。プリンタ装置 104 は、デジタル画像を紙媒体に出力する。操作部 105 は、ユーザによって画像処理装置 100 を操作するためのインタフェースである。ハードディスク 106 は、デジタル画像や制御プログラム等を記憶する。FAX 装置 107 は、電話回線等にデジタル画像を送信したり、電話回線等からデジタル画像を受信したりする。コントローラ 103 は、上述の各モジュールとそれぞれ接続され、各モジュールに指示を出すことで画像処理装置 100 上でジョブを実行する。

【0012】

画像処理装置 100 は、LAN 108 経由でコンピュータ 109 からデジタル画像の入出力、ジョブの発行や機器の指示等も行なうことが可能である。スキャナ装置 102 は、自動的に原稿束を自動的に逐次入れ替えることが可能な原稿給紙ユニット 121、原稿を光学スキャンしデジタル画像に変換することが可能なスキャナユニット 122 を備える。変換された画像データは、コントローラ 103 に送信される。プリンタ装置 104 は、紙束から一枚づつ逐次給紙可能な給紙ユニット 142、給紙した紙に画像データを印刷するためのマーキングユニット 141、印刷後の紙を排紙するための排紙ユニット 143 を備える。

【0013】

画像処理装置 100 は多彩なジョブを実行可能である。一例を以下に記載する。

・複写機能

スキャナ装置 102 から読み込んだ画像をハードディスク 106 に記録し、同時にプリンタ装置 104 を使用して印刷を行なう。

・画像送信機能

スキャナ装置 102 から読み込んだ画像を LAN 108 を介してコンピュータ 109 に送信する。

10

20

30

40

50

・画像保存機能

スキャナ装置 102 から読み込んだ画像をハードディスク 106 に記録し、必要に応じて画像送信や画像印刷を行なう。

・画像印刷機能

コンピュータ 109 から送信された例えばページ記述言語を解析し、プリンタ装置 104 で印刷する。

【0014】

＜コントローラの構成＞

次に、図2を参照して、コントローラ103の構成例について説明する。コントローラ103はメインボード200と、サブボード220から構成される。メインボード200は10  
いわゆる汎用的なCPUシステムであり、CPU201、ブートROM202、メモリ203、バスコントローラ204、不揮発性メモリ205、ディスクコントローラ206、フラッシュディスク207、USBコントローラ208、タイマ210を備える。CPU201は、ボード全体を統括的に制御する。ブートROM202は、初期起動時のプログラムであるブートプログラムを格納する。メモリ203は、CPU201によってワーク領域として使用される主記憶メモリである。バスコントローラ204は、外部バスとのブリッジ機能を有する。不揮発性メモリ205は、電源断された場合でも記憶内容が消えないメモリである。ディスクコントローラ206は、ストレージ装置を制御する。フラッシュディスク(SSD等)207は、半導体デバイスで構成された比較的小容量なストレージ装置である。USBコントローラ208は、USBデバイス(ここでは、USBメモリ209)を制御する。タイマ210は、計時手段として機能するシステム保護タイマである。また、メインボード200には外部に、USBメモリ209、操作部105、ハードディスク106等が接続される。

【0015】

サブボード220は、比較的小さな汎用CPUシステムと、画像処理ハードウェアから構成される。サブボード220は、CPU221、メモリ223、バスコントローラ224、不揮発性メモリ225、画像処理部227、及びデバイスコントローラ226、228を備える。CPU221は、ボード全体を統括的に制御する。メモリ223は、CPU221によってワークメモリとして使用される。バスコントローラ224は、外部バスとのブリッジ機能を有する。不揮発性メモリ225は、電源断された場合でも記憶内容が消えない。画像処理部227は、リアルタイムデジタル画像処理を行なう。デバイスコントローラ228、226は、それぞれ、外部のスキャナ装置102や、プリンタ装置104とデジタル画像データの受け渡しを行なう。なお、FAX装置107についてはCPU221が直接制御を行なう。

【0016】

なお、図2はブロック図であり簡略化している。例えばCPU201、CPU221等にはチップセット、バスブリッジ、クロックジェネレータ等のCPU周辺ハードウェアが多数含まれているが、説明を容易にするため簡略化しており、このブロック構成が本発明を制限するものではないことを理解されたい。

【0017】

ここで、コントローラ103の動作について、紙媒体による画像複写を例に説明する。ユーザが操作部105から画像複写を指示すると、CPU201は、CPU221を介してスキャナ装置102に原稿の画像読取命令を送る。スキャナ装置102は、紙原稿を光学スキャンしデジタル画像データに変換してデバイスコントローラ228を介して画像処理部227に40  
入力する。画像処理部227はCPU221を介してメモリ223にDMA転送を行いデジタル画像データの一時保存を行なう。

【0018】

CPU201はデジタル画像データがメモリ223に一定量もしくは全て入ったことが確認できると、CPU221を介してプリンタ装置104に画像出力指示を出す。CPU221は、画像処理部227にメモリ223に格納された画像データの位置(アドレス)50

を教える。プリンタ装置 104 からの同期信号に従ってメモリ 223 上の画像データは画像処理部 227 とデバイスコントローラ 226 を介してプリンタ装置 104 に送信され、プリンタ装置 104 において紙媒体にデジタル画像データが印刷される。複数部の印刷を行なう場合には、CPU 201 は、メモリ 223 の画像データをハードディスク 106 に保存する。したがって、2 部目以降はスキャナ装置 102 から画像をもらわずともプリンタ装置 104 に画像を送ることが可能である。

#### 【0019】

##### < 電源スイッチの構成 >

次に、図 3 を参照して、本実施形態に係る画像処理装置 100 における電源スイッチの構成について説明する。図 3 に示す 301 はトグル型の電源スイッチである。302 は電源ユニットである。303 は AC - DC コンバータである。304 は AC 電源入力部である。305 はプリンタ装置 104 に対して DC 電源を供給する電源ケーブルである。306 はコントローラ 103 に対して電源を供給する電源ケーブルである。307 はトグル型スイッチ 301 の状態をコントローラに通知するラインである。308 は AC - DC コンバータの出力を制御することの可能な電源リモート信号である。309 はトグル型スイッチ 301 が電源供給を停止するように操作されてから所定時間が経過するまでに確実に電源供給の停止を保障するための電源保護タイマである。310 は AC - DC コンバータの出力を制御することが可能なりモート線である。

#### 【0020】

操作者はトグル型スイッチ 301 を操作することで画像処理装置 100 を ON / OFF することが可能である。トグル型スイッチ 301 は ON 時に AC - DC コンバータに接続されており電源の通電状態を制御することができる。また、OFF 時はコントローラ 103 がシステムのシャットダウン（画像処理装置 100 の終了処理）が完了するまで 306 の電源供給を停止してはならない。つまり、307 のラインを介してトグル型スイッチ 301 の状態を通知し、シャットダウンが完了後に電源リモート信号 308 を用いて DC 電源供給 306 を OFF にするようになっている。このように、画像処理装置 100 の電源構成は、シャットダウンが必要な一般的な機器が持っている電源構成と同様である。

#### 【0021】

トグル型スイッチ 301 は ON / OFF の状態のどちらか一方の状態をメカ的に保持し続けるスイッチである。操作者は ON / OFF のいずれか側にスイッチを倒すことで電源の状態を入力することができる。タイマ 309 は、トグル型スイッチ 301 の OFF に連動して時間を計測し、一定時間後に 310 のリモート信号を変化させ、AC - DC コンバータ 303 の出力を強制的に OFF できるようになっている。つまり、トグル型スイッチ 301 が OFF された時間を計測し、一定時間後に AC - DC コンバータ 303 を OFF にすることで、一定時間後に装置電源を完全に落とす機能を備えた電源となっている。

#### 【0022】

また、コントローラ 103 は電源リモート信号 308 を用いることで自分自身の電源を落とすことが可能である。その場合トグル型スイッチ 301 の物理的な OFF / ON 状態との不一致を防止するために、コントローラ 103 は、307 による電源 OFF 通知がなされた場合は、電磁石を用いたソレノイド等を用いてトグル型スイッチ 301 を自動的に OFF することができる。

#### 【0023】

つまり、図 3 に示す電源が電力を供給する「コントローラ 103、プリンタ装置 104、スキャナ装置 102」への電源供給を止める方法は以下の 2 つの方法がある。

(1) スwitch 301 の OFF を 307 経由でコントローラ 103 が受信、シャットダウン後に電源リモート信号 308 を用いて「コントローラ 103、プリンタ装置 104、スキャナ装置 102」の電源を落とす方法。

(2) スwitch 301 の OFF 状態をタイマ 309 が一定時間 (120 s) の時間計測する。電源リモート信号 308 において一定時間 (120 s) が経過する間に OFF が発生しなかった場合、リモート制御信号 310 が変化して、「コントローラ 103、プリンタ

10

20

30

40

50

装置 104、スキャナ装置 102」の電源を落とす方法。

上記(2)はトグル型スイッチ 301 が OFF されているにも関わらず、「コントローラ 103、プリンタ装置 104、スキャナ装置 102」の電源が切れないことを防止するための電源保護回路となる。

#### 【0024】

<シャットダウン時の処理フロー>

次に、図4を参照して、トグル型スイッチ 301 が OFF された場合の処理フローについて説明する。ここでは、操作者が本体を終了させる時の動作について説明する。本体電源スイッチに相当するトグル型スイッチ 301 が OFF されたことを検知すると、CPU 201 は以下の処理を実行する。またこの時タイマ 309 は電源保護回路のための時間測定を開始する。以下で説明する処理は、CPU 201 が不揮発性メモリ 205 や HDD 106 等に格納された制御プログラムをメモリ 203 に読み出して実行することにより実現される。

#### 【0025】

S401において、CPU 201 は、トグル型スイッチ 301 が OFF に操作されると、操作部 105 上にシステム終了中の画面を表示する。続いて、S402において、CPU 201 は、現在行っているサービス等の中断・終了処理を行う。終了処理は複数のプロセスで平行に実行されているため、S403において、CPU 201 は終了処理が完了したか否かを判定する。終了している場合は S404 に進み、終了していない場合は S403 の判定を定期的に繰り返す。

#### 【0026】

S404において、CPU 201 は、メモリの値をストレージにシンク (SYNC) する。ここで「シンクする (SYNC)」とは、例えば DRAM 上にキャッシュしたストレージバッファの内容をストレージへ同期させるために、当該ストレージへバッファの内容を格納する処理を示す。続いて、S405において、CPU 201 は、Kernel のシャットダウン I/F を呼び、カーネルのソフトウェア最終終了処理を行う。その後、S406において、CPU 201 は、電源リモート信号 308 経路で AC-DC コンバータ 303 を OFF させ、装置全体の電源が落ちる。装置全体の電源が落ちることにより、タイマ 309 自体の電源も落ち、電源保護タイマは機能を停止する。

#### 【0027】

仮になんからの不具合により、図4に示すフローチャート内のいずれかで処理が停止した場合は、コントローラ 103 は、電源リモート信号 308 を変化させないことになる。しかしながら、その場合はタイマ 309 がリモート制御信号 310 を用いて AC-DC コンバータ 303 の出力を落とすことで強制的に電源が落とされる。

#### 【0028】

<ハイバネーション>

次に、図5を参照して、本実施形態で用いるハイバネーションの方法について説明する。ハイバネーションとは、装置の電源を切る直前の状態を保存し、次に電源を ON したときに電源を切る直前の状態から動作を再開する機能を示す。したがって、電源 OFF 時にハイバネーションを用いるためには、電源断時の所定のメモリの状態 (内容) を保持しておく必要がある。CPU 201 上で動作する一般的なカーネルはメモリ 203 を一定サイズ毎に「ページ」で管理している。ページには、

A. 破棄しても良い状態のメモリ (有効ではないメモリ)

B. 破棄してはならない状態のメモリ (有効メモリ)

の2状態が存在する。

#### 【0029】

A は、例えば、ディスクキャッシュとして動作している状態で外部のディスクと中身が同期されていることが分かっているページ、又は、未使用のメモリ等である。B は、例えば、ユーザにより外部ディスクに対する変更要求をメモリにキャッシュしたが、まだ同期がなされていない状態のものや、カーネル自体のメモリ等である。A のメモリは破棄して

も構わないためハイパネーション対象として保存しなければならないメモリはBだけで良いことになる。また、有効メモリであっても全ての領域にゼロが格納されているメモリは削除しても構わないカーネルもある。有効メモリ判断部510は、選択手段として機能し、このような有効メモリを判断するが、カーネルの種類や方式により判断条件は異なる。

#### 【0030】

本実施形態では501～509のうち、501～503と505～506はBの有効メモリとし、有効メモリだけをハイパネーション方式を用いてディスクに保存し、また、復帰させることで画像処理装置100を同じ状態に戻すことができる。ハイパネーションはおおよそBIOSで行うものと、ソフトウェアが制御するものの2通りある。前者の方式は有効なメモリを限定する手段がないため全メモリ領域を保存・復帰する必要があった。近年主流となりつつあるのは後者の方式であり、カーネル内部で動作するためメモリの必要な部分だけを保存・復帰すれば、短い時間でハイパネーション処理を終了させることができる。近年、後者の（本実施形態では以降ソフトハイパネーションと称する。）ソフトハイパネーション方式がよく扱われている。本実施形態はソフトハイパネーション方式で説明するが、本発明はハイパネーションの方式を限定するものではない。

#### 【0031】

##### <ハイパネーション移行処理>

次に、図6を参照して、ハイパネーション終了する際の移行処理について説明する。ここでは、図5に示す例を用いて説明する。以下で説明する処理は、CPU201が不揮発性メモリ205やHDD106等に格納された制御プログラムをメモリ203に読み出して実行することにより実現される。

#### 【0032】

S601において、CPU201は、ハイパネーション移行処理を開始すると、操作部105に「システム終了処理中」を示すメッセージを出力する。続いて、S602において、CPU201は、ボードの電源を落とすため、現在動作しているハードウェアデバイスのドライバを中断させ、動作しない状態とする。

#### 【0033】

次に、S603において、CPU201は、メモリ203の501～509を逐次読み込み、有効メモリ判断部510によって必要なメモリだけを判断する。図5における有効メモリは、501～503、505～506となる。S604において、CPU201は、有効メモリページ管理情報を生成する。本実施形態では511のように、有効メモリページ管理情報は、有効なメモリが開始される先頭のブロックの情報と、有効なメモリブロックが連続するブロック数の情報とを含む。この管理情報はこの2つの情報に加えて、例えば、物理メモリのアドレス、仮想メモリ上のアドレス、メモリの使用用途、ストレージ上の保存位置等、必要に応じて必要な情報を追加で含んでもよい。このように、本実施形態における有効メモリページ管理情報とは、ストレージに退避したメモリブロックを、メインメモリに復元するために参照するための管理情報を意味する。

#### 【0034】

S605において、CPU201は、有効メモリページ管理情報の一要素である例えば512に示す情報に従って、501から3ブロックのメモリをディスクコントローラ206を介してフラッシュディスク207に保存する。S606において、CPU201は、有効メモリページ管理情報でリストアップされた、退避が必要な全てのメモリブロックを保存するまでループする。メモリ203から511に従って513のようなデータ転送が発生する。

#### 【0035】

全ての有効なメモリをフラッシュディスク207へ退避する処理が完了すると、S607において、CPU201は、有効メモリページ管理情報511自身を保存し、S608で全てのメモリ値をストレージ（フラッシュディスク207）にシンクさせる。その後、CPU201は、電源リモート信号308を用いてシステムの電源を落とす。

#### 【0036】



### < 2 次記憶デバイス >

次に、図 7 を参照して、2 次記憶デバイスとしてのフラッシュディスク 2 0 7 上のメモリマップについて説明する。7 0 1 は、M B R ( M a s t e r B o o t R e c o r d ) である。7 0 2 がシステムのロードである。7 0 3 は論理パーティション群である。7 0 4 は、ハイバネーション用に作られた領域を示し、ハイバネーションヘッダ 7 0 5、データ領域 7 0 6、及び有効メモリページ管理情報 7 0 7 を含む。データ領域 7 0 6 には、5 0 1 ~ 5 0 3 及び 5 0 5 ~ 5 0 6 のメモリに含まれた情報が格納される。なお、このようなメモリマップは、一例であり、本発明を限定する意図はない。

### 【 0 0 3 7 】

#### < タイミングチャート >

以下では、図 8 を参照して、ハイバネーション移行処理が正常に行われるケース 8 2 0 と、C P U 2 0 1 の強制電源遮断が発生してしまうケース 8 1 0 とについて説明する。まず、ケース 8 1 0 について説明する。8 0 1 は図 3 の電源保護タイマ 3 0 9 のカウンタアップ状態を示す。8 0 2 は A C - D C コンバータ 3 0 3 の電圧出力である。8 0 3 は図 2 の C P U 2 0 1 の実行している処理内容を示す。横軸は時間であり、8 0 0 に示すトグル型スイッチ 3 0 1 が O F F されるタイミングから、8 0 1 ~ 8 0 3 の動作状況を記載したものである。

### 【 0 0 3 8 】

操作者が 8 0 0 地点でトグル型スイッチ 3 0 1 を O F F にすると、電源保護タイマ 3 0 9 は電源を保護する目的でカウンタアップを開始する。本実施形態ではこの電源保護タイマ 3 0 9 の測定時間を 1 2 0 秒とする。即ち、本実施形態の場合、1 2 0 秒後に電源 O F F が保障される。

### 【 0 0 3 9 】

8 0 3 に示すように、C P U 2 0 1 は、図 6 を用いて説明したシステム中断処理（ハイバネーション移行処理）を実行する。電源保護タイマ 3 0 9 は電源を保護するための 1 2 0 秒を測定する。仮に 8 0 3 に示すように、C P U 2 0 1 ( C a s e 1 ) のシステム中断処理が 1 2 0 秒以上の時間を必要とする場合、8 0 4 のタイミングでリモート制御信号 3 1 0 が O F F となり、8 0 2 の A C - D C コンバータ 3 0 3 の電源供給が停止される。これによりコントローラ 1 0 3 の電源が O F F されることになり、C P U 2 0 1 がハイバネーション処理を実行しているにもかかわらず電源が強制的に落ちることになる。ハイバネーションはメモリの値をストレージに書き込むため、ストレージアクセス中の O F F となるため、ストレージ内のデータ破損を招く可能性もある。

### 【 0 0 4 0 】

ケース 8 2 0 について説明する。C P U 2 0 1 ( C a s e 2 ) のシステム中断処理が 1 2 0 秒以内に終了する場合はシャットダウン 8 0 7 が実行され、8 0 6 に示すようにハイバネーションの処理が完了後、A C - D C コンバータ 3 0 3 の電源を自発的に切ることができ、システムは正常に終了する。

### 【 0 0 4 1 】

ハイバネーション移行処理にかかる時間は、変動する複数の要因が存在し、その変動幅も大きい。例えば、

- ・メモリ 2 0 3 が汚れてくることによりハイバネーション対象となるデータ量が大幅に増えた

- ・データ領域 7 0 6 へ書き込む際のストレージのアクセス速度の一時的な低下、等が考えられる。また、遅延が外部のデバイス要因の場合、実際にアクセスするまで所要時間は分からないため、事前に計算することはできない。

### 【 0 0 4 2 】

#### < 処理フロー >

本発明は上述のような一定時間内に装置を終了させる必要がある状況下における、ハイバネーション移行処理の方法を提案するものである。以下では、図 9 乃至図 1 1 を参照して、本発明におけるトグル型スイッチ 3 0 1 が O F F された場合の処理フロー及びタイミン

10

20

30

40

50

グについて説明する。図 9 は、本実施形態におけるハイバネーション移行処理を実行した際のタイミングチャートを示し、図 11 は、本実施形態におけるハイバネーション移行処理の処理フローを示す。以下で説明する処理は、CPU 201 が不揮発性メモリ 205 や HDD 106 等に格納された制御プログラムをメモリ 203 に読み出して実行することにより実現される。

#### 【0043】

図 9 の 901 は電源保護タイマ 309 のカウントアップ状態を示す。902 の縦軸は CPU 201 が S606 ~ S607 の処理を実行中に、データ領域 706 に書き込む必要のある全ページ数の進捗を 100 に正規化したものである。つまり、データ領域 706 に書き込むべきデータの保存処理の進捗を示すためのグラフを形成している。

10

#### 【0044】

操作者がトグル型スイッチ 301 を OFF にした場合、本実施形態によれば、図 11 の 1101 のフローチャートが実行される。S1102 において、CPU 201 は、ハイバネーション移行処理タスク（図 6 のフローチャートを実行するタスク）を起動し、S1103 でシステム保護タイマタスク（図 11 のフローチャート 1121 を実行するタスク）を起動する。さらに、S1104 において、CPU 201 は、ハイバネーション進捗管理タスク（図 11 のフローチャート 1111 を実行するタスク）を起動して、処理を終了する。これら 3 つのフローチャートは独立したスレッドで CPU 201 上で仮想的に並行して実行される。

#### 【0045】

20

上述したように、図 6 のフローチャートはハイバネーション対象となる全メモリページを算出し、データ領域 706 に逐次書き込んでいく。書き込みが完了すると、シャットダウンを行うハイバネーション移行処理を実行する。フローチャート 1111 は、ハイバネーション処理実行中においても並行で動作するハイバネーションの進捗を管理するためのタスクによって実行される。具体的には目標時間 909 までに図 6 のフローチャートが完了するか否かを監視する。

#### 【0046】

まず図 6 のフローチャートにおいて実行されるハイバネーション保存処理（ハイバネーション処理）が図 9 の 910 の実線のように動作した場合の正常終了ケースについてフローチャート 1111 を用いて説明する。S1112 において、CPU 201 は、一定時間 903 区間の待機を実施する。続いて、S1113 において、CPU 201 は、現在までの経過時間  $t$ （グラフ 902 における横軸上のポイント）を取得する。さらに、S1114 において、CPU 201 は、メモリページにおける全ページ数と現在終了したページ数を取得する。

30

#### 【0047】

次に、S1115 において、CPU 201 は、目標時間 909 までに現在のハイバネーションのメモリページ保存処理が完了するか否かを判定する。演算方法はいろいろあるが、例えば、以下の式を用いて計算することができる。

$$(\text{式 1}) \text{ 進捗} = \text{書きこみ完了したメモリページ数} / \text{書き込みが必要なメモリページ数} * 100$$

40

上記式 1 により 902 の縦軸、つまり書き込み処理完了を 100% とした現在の時間  $t$  における進捗 [%] を得ることができる。

#### 【0048】

次に、S1116 において、現在の進捗において目標時間 909 に間に合うか否かを、例えば以下の条件式を用いて判定する。

$$(\text{式 2}) (\text{進捗} * \text{目標時間 } 909) / t > 100$$

上記式 2 を評価することにより、目標時間内 909 にハイバネーションの保存処理が完了するか否かの判断を行うことができる。

#### 【0049】

実線 910 の場合、破線 912 のように進捗すると予想できるため、目標時間 909 ま

50

でに全ページの保存処理が完了できると判断され、S 1 1 1 2 のウェイト処理に処理を戻す。S 1 1 1 2 で待機した後に再び同様の評価が行われる。このようなループ処理を何度か繰り返すと、問題が無ければ破線 9 1 2 の進捗状態を推移し、上記 S 6 0 8 の処理でストレージがシンクされ、A C - D C コンバータ 3 0 3 は O F F となりボード電源が落ちる。これが正常ケースの処理フローとなる。

#### 【 0 0 5 0 】

次に、図 6 のフローチャートのハイバネーション保存処理が実線 9 1 1 のように動作する、ハイバネーション中断の終了ケースについて記載する。実線 9 1 0 のときと同様に S 1 1 1 2 乃至 S 1 1 1 6 が実行される。S 1 1 1 6 の演算を行った結果、現在の進捗率では目標時間 9 0 9 までに処理が完了しないことが予想できる。そこで S 1 1 1 7 に進み、C P U 2 0 1 は、図 6 のフローチャートのハイバネーション処理を中断させ、7 0 5 ~ 7 0 7 のハイバネーション領域の情報のケア（中間データを破棄など）を行う。続いて、S 1 1 1 8 において、C P U 2 0 1 は、電源制御手段として機能し、システムをシャットダウンさせて、電源を切る。これは図 9 における 9 0 7 のシャットダウン動作となり、9 0 8 に示すようにシャットダウン完了後にボード電源が落ちることになる。

#### 【 0 0 5 1 】

このように本発明を実施することにより、所定時間内にハイバネーション保存処理が完了しない場合には、目標時間 9 0 9 まで待つことなく、短い時間でシステムを終了することが可能である。また、目標時間 9 0 9 を適切に設定することにより、外部に電源を強制的に O F F する構成のタイマ装置がついている電源供給源であったとしても、ハイバネーション動作中に電源が落とされるリスクを回避することが可能となる。

#### 【 0 0 5 2 】

ただし、これはハイバネーションの処理を行う C P U 2 0 1 の処理が正常に動作している場合に有効となる方法である。一方でフローチャート 1 1 1 1 が正常に動作しなくなった場合や、図 1 0 に示す 1 0 0 3 のタイミングでハイバネーションを実行中のプロセスが固まって動作しなくなった場合なども考えられる。このような場合には S 1 1 1 6 乃至 S 1 1 1 8 までの処理を判断・実行すらできずに強制的に電源が落とされることとなる。そこで、本実施形態によれば、システム保護タイマタスクによって、これらの異常状態でも正常に終了させるための仕組みを提供する。具体的な処理について、図 1 0 のタイミングチャートと図 1 1 のフローチャート 1 1 2 1 を参照して、説明する。

#### 【 0 0 5 3 】

まず、S 1 1 2 2 において、C P U 2 0 1 は、システム保護タイマ 2 1 0 の設定を行う。設定する時間は、

( 式 3 ) タイマ 2 1 0 時間 < ( タイマ 3 0 9 時間 - シャットダウン 1 0 0 5 時間 )

かつ、タイマ 2 1 0 時間 > ( 目標時間 9 0 9 + シャットダウン 1 0 0 5 時間 )

とする。即ち、タイマ 2 1 0 に設定される時間（第 2 時間）は、シャットダウン処理に要する時間をタイマ 3 0 9 に設定する時間（第 1 時間）から減算した時間より短く、かつ、シャットダウン処理に要する時間を目標時間 9 0 9 に加算した時間よりも長くなるように設定される。このように設定することで、タイマ 3 0 9 の時間が経過する前に C P U 2 0 1 にイベントを発行し、イベント受信からシャットダウン処理 1 0 0 5 を行ったとしても電源保護タイマ 3 0 9 の時間に間に合うように制御することが可能となる。このように、上記式 3 の条件により求められるタイマ 2 1 0 の設定時間が S 1 1 2 2 で設定される。

#### 【 0 0 5 4 】

S 1 1 2 3 において、C P U 2 0 1 は、タイマ 2 1 0 の割り込みが発生したか否かを判定する。発生していない場合には、定期的に S 1 1 2 3 の判定を繰り返す。一方、割り込みが発生すると、S 1 1 2 4 に進む。図 1 0 の 1 0 0 4 のタイミングでタイマ 2 1 0 が満了すると S 1 1 2 4 に進み、C P U 2 0 1 は、強制終了手段として機能し、シャットダウン処理 1 0 0 5 を行い、その後、電源保護タイマ 3 0 9 の時間が満了する前にボードの電源を落とす。この制御はハイバネーションを実行しているプロセス（ソフトウェア資源）と異なるプロセスやカーネルモード等の特権モードで動作するシステムに構築することで

、より強い強制力を持ってシステムの正常終了処理を実行することが可能となる。

【 0 0 5 5 】

また、本実施形態によれば、ハイパネーションが行われなかった場合は、次回電源ＯＮ時にシステムのコールドブートが行われる。したがって、前回の終了前状態に復帰することはできない、また起動時間の低下が発生したりするものの、正常に装置を制御することが可能である。

【 0 0 5 6 】

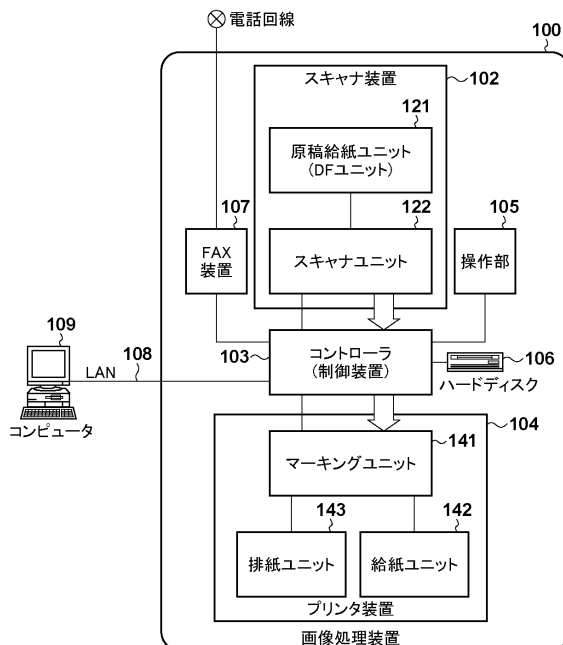
以上説明したように、本実施形態によれば、トグル型スイッチ３０１のＯＦＦをトリガに外部より強制的に電源供給を停止する時限タイマを有する画像処理装置において、時間変動要因の大きいハイパネーションのデータ保存処理を安全に行うことが可能となる。また、データ保存処理が間に合わない場合には、最小の時間であきらめることが可能であり、スイッチＯＦＦから実際に電源が切れるまでの時間（システム終了時間）を短縮することが可能である。

【 0 0 5 7 】

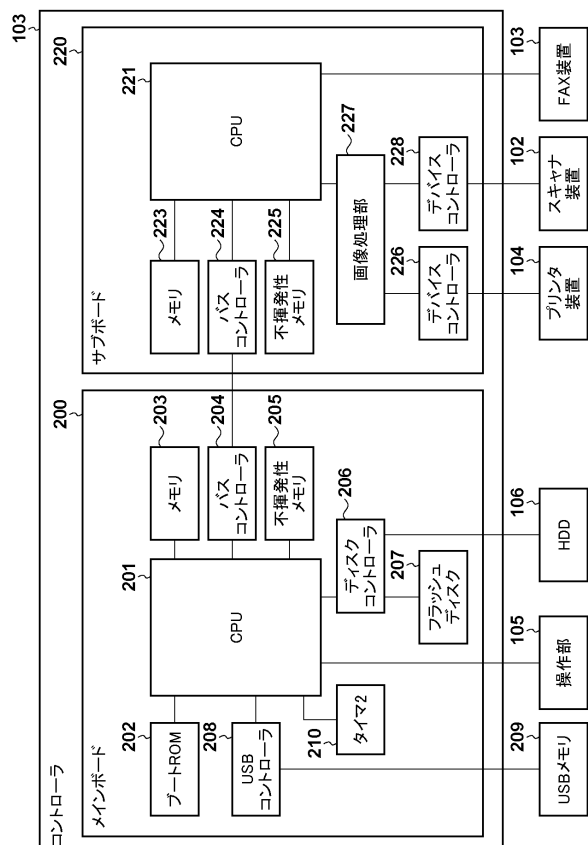
< その他の実施形態 >

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア（プログラム）を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ（又はＣＰＵやＭＰＵ等）がプログラムを読み出して実行する処理である。

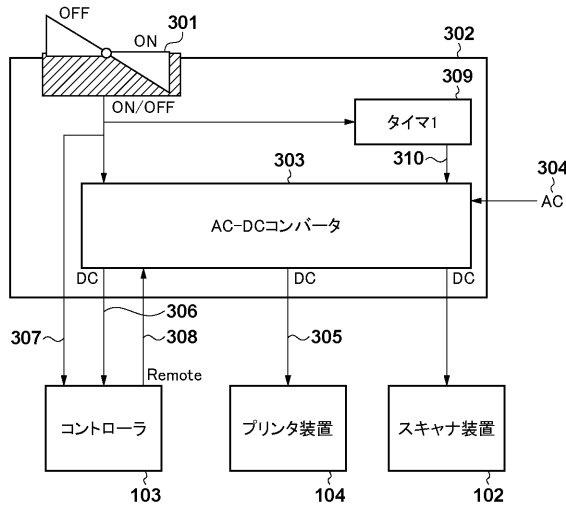
【 図 １ 】



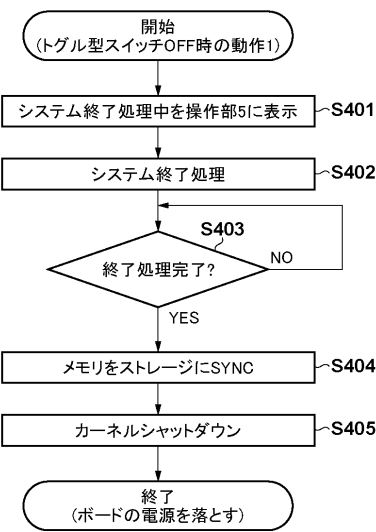
【 図 ２ 】



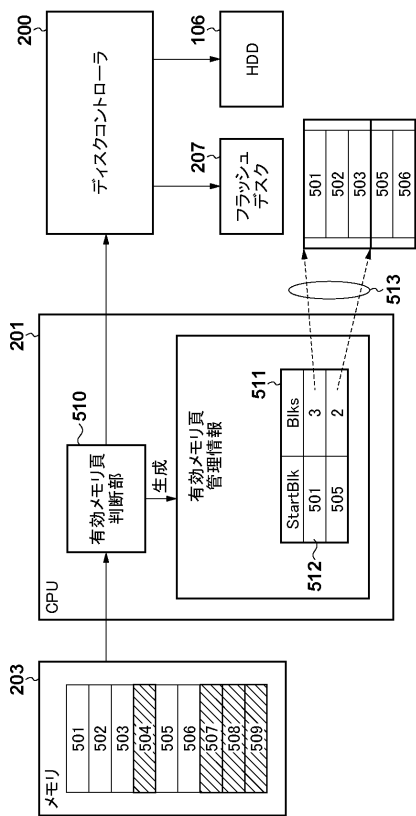
【図 3】



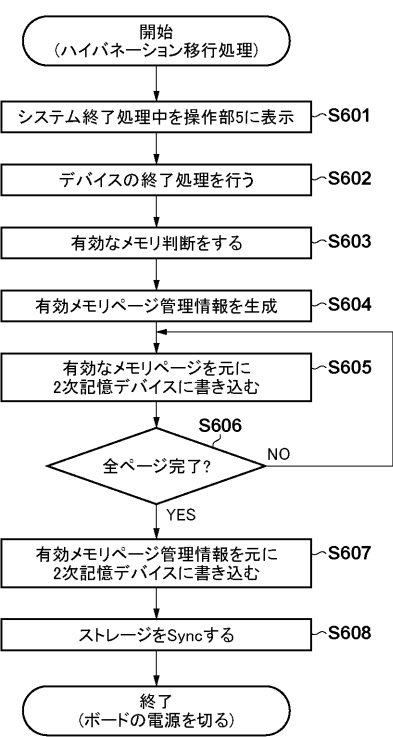
【図 4】



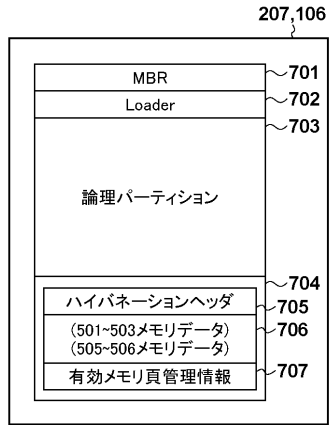
【図 5】



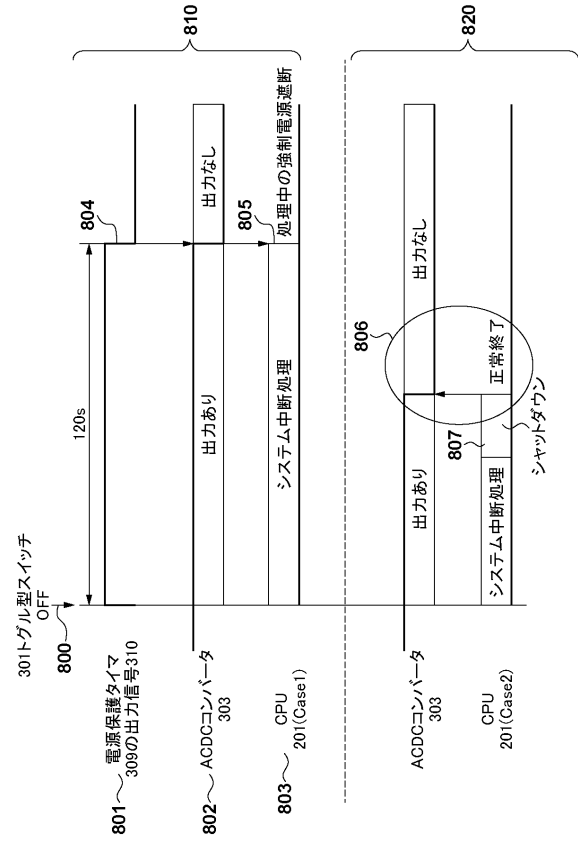
【図 6】



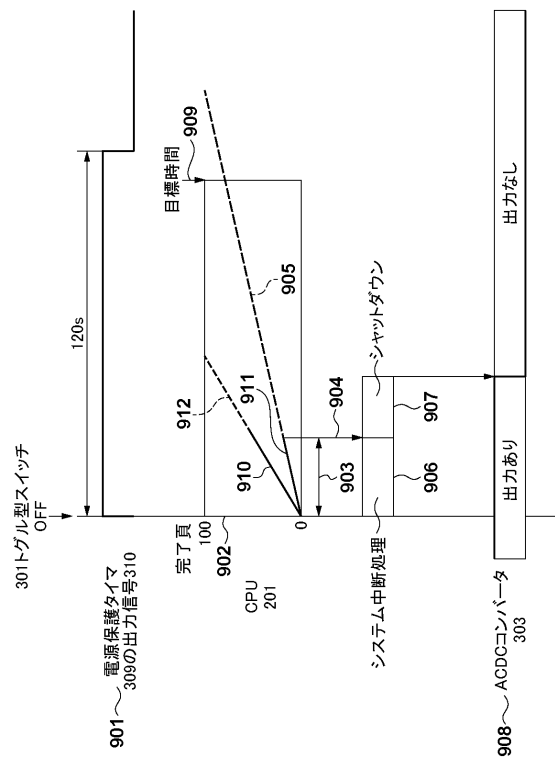
【 図 7 】



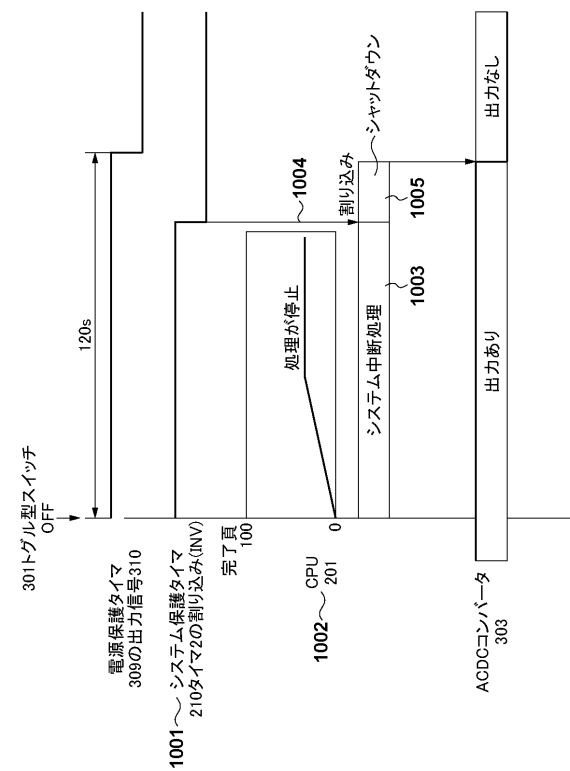
【 図 8 】



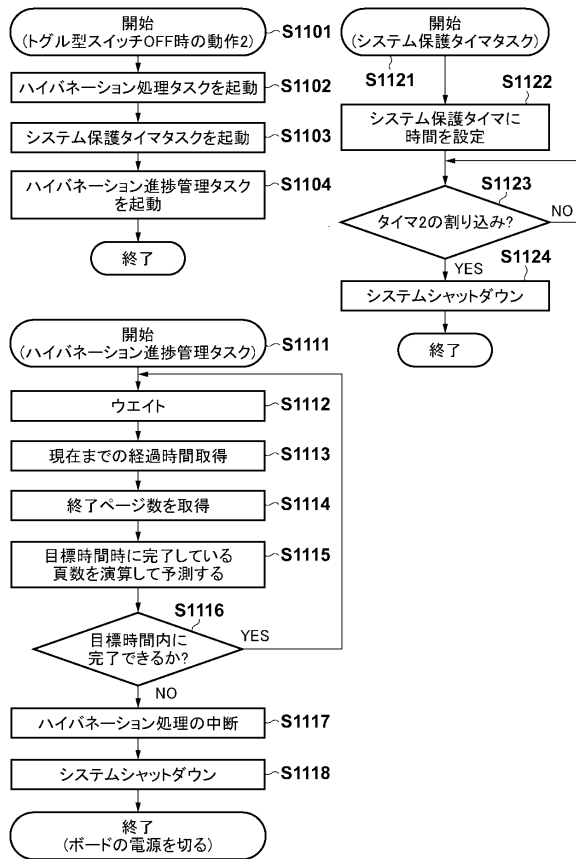
【 図 9 】



【 図 1 0 】



【図 11】



---

フロントページの続き

(72)発明者 原 健二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 西村 直史

(56)参考文献 特開2009-003588(JP,A)

特開2004-262065(JP,A)

特開平10-222310(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/26

G06F 1/30

G06F 1/32