

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-353626

(P2005-353626A)

(43) 公開日 平成17年12月22日(2005.12.22)

(51) Int.Cl.<sup>7</sup>

H01L 27/14  
H01L 27/146  
H04N 5/335  
H04N 9/07

F I

H01L 27/14  
H04N 5/335  
H04N 9/07  
H01L 27/14

D  
U  
A  
F

テーマコード (参考)

4M118  
5C024  
5C065

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号 特願2004-169458 (P2004-169458)  
(22) 出願日 平成16年6月8日(2004.6.8)

(71) 出願人 000005201  
富士写真フイルム株式会社  
神奈川県南足柄市中沼210番地  
(74) 代理人 100105647  
弁理士 小栗 昌平  
(74) 代理人 100105474  
弁理士 本多 弘徳  
(74) 代理人 100108589  
弁理士 市川 利光  
(74) 代理人 100115107  
弁理士 高松 猛  
(74) 代理人 100090343  
弁理士 濱田 百合子

最終頁に続く

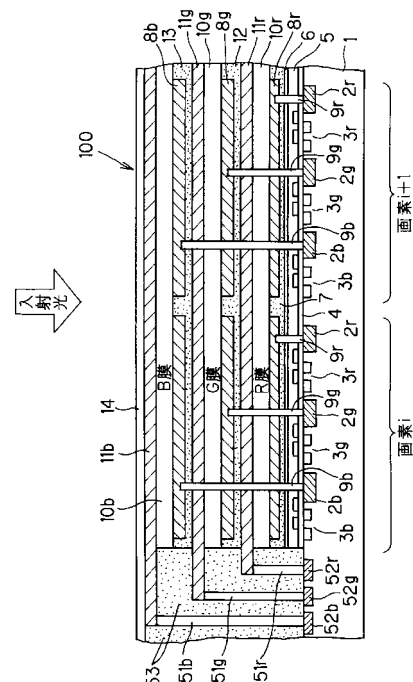
(54) 【発明の名称】 光電変換膜積層型固体撮像素子及びその製造方法

## (57) 【要約】

【課題】 光電変換膜積層型固体撮像素子の共通電極膜へ均一なバイアス電位を印加する配線を容易に製造可能とする。

【解決手段】 共通電極膜11r, 11g, 11bと画素対応の画素電極膜8r, 8g, 8bとによって挟まれた光電変換膜10r, 10g, 10bが絶縁層12, 13を介して半導体基板1の上に複数層積層される光電変換膜積層型固体撮像素子100において、光電変換膜積層型固体撮像素子の周辺部にて共通電極膜11r, 11g, 11bを前記周辺部に沿うフラット状の配線51r, 51g, 51bにより半導体基板1に形成されている配線用高濃度不純物領域52r, 52g, 52bに接続する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

共通電極膜と画素対応の画素電極膜とによって挟まれた光電変換膜が絶縁層を介して半導体基板の上に複数層積層される光電変換膜積層型固体撮像素子において、該光電変換膜積層型固体撮像素子の周辺部に前記共通電極膜を前記周辺部に沿うフラット状の配線により前記半導体基板に形成されている配線用高濃度不純物領域に接続したことを特徴とする光電変換膜積層型固体撮像素子。

**【請求項 2】**

赤色検出用、緑色検出用、青色検出用の 3 つ光電変換膜を検出波長の短い順に上から順に備え、3 つの光電変換膜のうち 2 つの光電変換膜に設ける前記共通電極膜を共用したことを特徴とする請求項 1 に記載の光電変換膜積層型固体撮像素子。 10

**【請求項 3】**

赤色検出用、緑色検出用、青色検出用、エメラルド色検出用の 4 つの光電変換膜を検出波長の短い順に上から備え、4 つの光電変換膜のうちの隣接する 2 つの光電変換膜に設ける前記共通電極膜を共用したことを特徴とする請求項 1 に記載の光電変換膜積層型固体撮像素子。

**【請求項 4】**

前記光電変換膜の材料として無機材料を用いたことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の光電変換膜積層型固体撮像素子。

**【請求項 5】**

前記光電変換膜の材料として有機材料を用いたことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の光電変換膜積層型固体撮像素子。 20

**【請求項 6】**

請求項 1 乃至請求項 5 のいずれかに記載の光電変換膜積層型固体撮像素子の製造方法において、前記画素電極膜及び前記光電変換膜を積層し前記共通電極膜を積層する前または前記共通電極膜を積層した後に、前記周辺部において前記フラット状の配線を蒸着して前記共通電極膜を前記配線用高濃度不純物領域に接続することを特徴とする光電変換膜積層型固体撮像素子の製造方法。

**【請求項 7】**

前記フラット状の配線の蒸着によって前記共通電極膜上または前記光電変換膜上に前記配線材料が盛り上がり形成された場合には、該盛り上がり部分をポリッシングして平坦化することを特徴とする請求項 6 に記載の光電変換膜積層型固体撮像素子の製造方法。 30

**【請求項 8】**

前記共通電極膜が複数存在し各共通電極膜に接続される前記フラット状の配線を複数重ねて設ける場合には各フラット状の配線間に絶縁材を形成して電氣的に分離することを特徴とする請求項 6 または請求項 7 に記載の光電変換膜積層型固体撮像素子の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、信号読出回路が表面に形成された半導体基板の上に光電変換膜を積層して構成される光電変換膜積層型固体撮像素子及びその製造方法に関する。 40

**【背景技術】****【0002】**

光電変換膜積層型固体撮像素子の原型的な素子として、例えば下記特許文献 1 に記載のものがある。この固体撮像素子は、半導体基板の上に感光層を 3 層積層し、各感光層で検出された赤色 (R)、緑色 (G)、青色 (B) の夫々の電気信号を、半導体基板表面に形成されている MOS 回路で読み出すという構成になっている。

**【0003】**

斯かる構成の固体撮像素子が過去に提案されたが、その後、半導体基板表面部に多数の受光部 (フォトダイオード) を集積すると共に各受光部上に赤色 (R)、緑色 (G)、青 50

色 ( B ) の各色カラーフィルタを積層した C C D 型イメージセンサや C M O S 型イメージセンサが著しく進歩し、現在では、数百万もの受光部 ( 画素 ) を 1 チップ上に集積したイメージセンサがデジタルスチルカメラに搭載される様になっている。

【 0 0 0 4 】

しかしながら、C C D 型イメージセンサや C M O S 型イメージセンサは、その技術進歩が限界近くまで進み、1つの受光部の開口の大きさが  $2\mu\text{m}$  程度と、入射光の波長オーダに近づいており、製造歩留まりが悪いという問題に直面している。

【 0 0 0 5 】

また、微細化された 1つの受光部に蓄積される光電荷量の上限は、電子 3 0 0 0 個程度と少なく、これで 2 5 6 階調を綺麗に表現するのが困難にもなっている。このため、画質や感度の点で今以上のイメージセンサを C C D 型や C M O S 型で期待するのは困難になっている。

【 0 0 0 6 】

そこで、これらの問題を解決する固体撮像素子として、特許文献 1 で提案された固体撮像素子の構造が見直されるようになり、特許文献 2 や特許文献 3 に記載されているイメージセンサが新たに提案される様になっている。その他にも、特許文献 4 , 5 に記載されたものもある。

【 0 0 0 7 】

特許文献 2 に記載されたイメージセンサは、シリコンの超微粒子を媒質内に分散して光電変換層とし、超微粒子の粒径を変えた複数の光電変換層を半導体基板の上に 3 層積層し、夫々の光電変換層で、赤色、緑色、青色の夫々の受光量に応じた電気信号を発生させる様になっている。

【 0 0 0 8 】

特許文献 3 に記載されたイメージセンサも同様であり、粒径の異なるナノシリコン層を半導体基板の上に 3 層積層し、夫々のナノシリコン層で検出された赤色、緑色、青色の各電気信号を、半導体基板の表面部に形成されている蓄積ダイオードに読み出すようになっている。

【 0 0 0 9 】

図 2 6 は、この従来の光電変換膜積層型固体撮像素子の 2 画素分の断面模式図である。

図 2 6 において、n 型シリコン基板に形成された P ウェル層 1 の表面部には、赤色信号電荷蓄積用の高濃度不純物領域 2 r と、赤色信号読出用の M O S 回路 3 r と、緑色信号電荷蓄積用の高濃度不純物領域 2 g と、緑色信号読出用の M O S 回路 3 g と、青色信号電荷蓄積用の高濃度不純物領域 2 b と、青色信号読出用の M O S 回路 3 b とが形成されている。尚、r , g , b の添え字は、以下も同様であるが、夫々、3 原色の赤色 ( R ) , 緑色 ( G ) , 青色 ( B ) に対応する。

【 0 0 1 0 】

各 M O S 回路 3 r , 3 g , 3 b は、半導体基板表面に形成されたソース用、ドレイン用の不純物領域と、ゲート絶縁膜 4 を介して形成されたゲート電極とから成る。これらのゲート絶縁膜 4 及びゲート電極の上部には絶縁膜 5 が積層されて平坦化され、その上に、遮光膜 6 が積層される。遮光膜 6 は、多くの場合、金属薄膜で形成されるため、更にその上に絶縁膜 7 を形成する。

【 0 0 1 1 】

上述した色信号電荷蓄積用の高濃度不純物領域 2 r , 2 g , 2 b に蓄積された信号電荷量に応じた信号は、M O S 回路 3 r , 3 g , 3 b によって外部に読み出される。

【 0 0 1 2 】

図 2 6 に示す絶縁膜 7 の上に、画素毎に区分けされた画素電極膜 8 r が形成される。各画素毎の画素電極膜 8 r は、夫々各画素用の赤色信号電荷蓄積用高濃度不純物領域 2 r に柱状電極 9 r によって導通される。この柱状電極 9 r は、画素電極膜 8 r 及び高濃度不純物領域 2 r 以外とは電氣的に絶縁される。

【 0 0 1 3 】

10

20

30

40

50

各画素電極膜 8 r の上部には、赤色検出用の光電変換膜 1 0 r が形成され、更にその上部に透明の共通電極膜 1 1 r が形成される。これらの光電変換膜 1 0 r 及び共通電極膜 1 1 r は、画素毎に区分して設ける必要はなく、半導体基板上の全面に夫々一枚構成で形成される。

#### 【 0 0 1 4 】

同様に、共通電極膜 1 1 r の上部には例えば  $\text{SiO}_2$  等の透明の絶縁膜 1 2 が形成され、その上部に、各画素毎に区分けされた透明の画素電極膜 8 g が形成される。各画素毎の画素電極膜 8 g と対応する各画素毎の緑色信号電荷蓄積用高濃度不純物領域 2 g とは柱状電極 9 g によって導通される。この柱状電極 9 g は、画素電極膜 8 g 及び高濃度不純物領域 2 g 以外とは電氣的に絶縁される。各画素電極膜 8 g の上部には緑色検出用の光電変換膜 1 0 g が光電変換膜 1 0 r と同様に一枚構成で形成され、その上部に、透明の共通電極膜 1 1 g が形成される。

10

#### 【 0 0 1 5 】

共通電極膜 1 1 g の上部には透明の絶縁膜 1 3 が形成され、その上部に、各画素毎に区分けされた画素電極膜 8 b が形成される。各画素毎の画素電極膜 8 b は、対応する各画素毎の青色信号電荷蓄積用高濃度不純物領域 2 b に柱状電極 9 b によって導通される。この柱状電極 9 b は、画素電極膜 8 b 及び高濃度不純物領域 2 b 以外とは電氣的に絶縁される。画素電極膜 8 b の上部には青色検出用の光電変換膜 1 0 b が形成され、その上部に、透明の共通電極膜 1 1 b が形成され、最上層には透明の保護膜 1 4 が形成される。

#### 【 0 0 1 6 】

20

入射光がこの固体撮像素子に入射すると、青色光，緑色光，赤色光の各入射光量に応じた光電荷が各光電変換膜 1 0 b，1 0 g，1 0 r において励起され、共通電極膜 1 1 b，1 1 g，1 1 r と画素電極膜 8 b，8 g，8 r との間に電圧が印加されることで、夫々の光電荷が高濃度不純物領域 2 b，2 g，2 r に流れ、MOS 回路 3 b，3 g，3 r によって外部に青色信号，緑色信号，赤色信号として読み出される。

#### 【 0 0 1 7 】

尚、図 2 6 に示す光電変換膜積層型固体撮像素子は、信号読出回路を MOS 回路で構成しているが、CCD 型イメージセンサと同様に、電荷結合素子による垂直転送路，水平転送路で信号読出回路を構成する場合もある。

#### 【 0 0 1 8 】

30

【特許文献 1】特開昭 5 8 1 0 3 1 6 5 号公報

【特許文献 2】特許第 3 4 0 5 0 9 9 号公報

【特許文献 3】特開 2 0 0 2 8 3 9 4 6 号公報

【特許文献 4】特表 2 0 0 3 5 0 2 1 2 0 号公報

【特許文献 5】特表 2 0 0 3 5 0 2 8 4 7 号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【 0 0 1 9 】

光電変換膜積層型固体撮像素子を製造する場合、半導体基板側の信号読出回路の製造は、従来の CCD 型や CMOS 型のイメージセンサと同じであり、半導体装置の製造技術そのまま利用することができる。また、半導体基板の上に積層する光電変換膜 1 0 r，1 0 g，1 0 b や光電変換膜を挟む電極膜 1 1 r，1 1 g，1 1 b，8 r，8 g，8 b 及び絶縁膜 7，1 2，1 3 も、印刷技術を用いた成膜方法やスプレー法、真空蒸着法，スパッタ法，CVD 法等を利用することで容易に製造することができる。

40

#### 【 0 0 2 0 】

しかし、光電変換膜積層型固体撮像素子の本体部分を製造しても、本体部分に接続する配線の製造を安価且つ確実に行う必要が生じる。光電変換膜積層型固体撮像素子は、半導体ウェハ上に集積回路技術を用いて各光電変換膜積層型固体撮像素子毎の信号読出回路を形成し、その上に、画素毎の柱状電極 9 r，9 g，9 b を信号読出回路に接続しながら各光電変換膜 1 0 r，1 0 g，1 0 b，電極膜 1 1 r，1 1 g，1 1 b，8 r，8 g，8 b

50

、絶縁膜 7 , 1 2 , 1 3 を積層していくことになる。

【 0 0 2 1 】

このうち、共通電極膜 1 1 r , 1 1 g , 1 1 b には、画素位置にかかわらず均一なバイアス電位  $V_b$  を印加する必要があるため、バイアス電位を共通電極膜に印加する配線の形状や設ける場所、設ける工程などを工夫する必要がある。

【 0 0 2 2 】

本発明の目的は、共通電極膜に均一なバイアス電位を印加する配線を安価且つ確実に製造することができる光電変換膜積層型固体撮像素子及びその製造方法を提供することにある。

【課題を解決するための手段】

10

【 0 0 2 3 】

本発明の光電変換膜積層型固体撮像素子は、共通電極膜と画素対応の画素電極膜とによって挟まれた光電変換膜が絶縁層を介して半導体基板の上に複数層積層される光電変換膜積層型固体撮像素子において、該光電変換膜積層型固体撮像素子の周辺部に前記共通電極膜を前記周辺部に沿うフラット状の配線により前記半導体基板に形成されている配線用高濃度不純物領域に接続したことを特徴とする。

【 0 0 2 4 】

この構成により、共通電極膜に印加するバイアス電位を所定電位に均一にすることが可能となる。

【 0 0 2 5 】

20

本発明の光電変換膜積層型固体撮像素子は、赤色検出用、緑色検出用、青色検出用の 3 つ光電変換膜を検出波長の短い順に上から順に備え、3 つの光電変換膜のうち 2 つの光電変換膜に設ける前記共通電極膜を共用したことを特徴とする。

【 0 0 2 6 】

この構成により、3 原色の色信号を検出することが可能になると共に共通電極膜数を低減でき、これにより共通電極膜への配線数も減らすことが可能となる。

【 0 0 2 7 】

本発明の光電変換膜積層型固体撮像素子は、赤色検出用、緑色検出用、青色検出用、エメラルド色検出用の 4 つの光電変換膜を検出波長の短い順に上から備え、4 つの光電変換膜のうちの隣接する 2 つの光電変換膜に設ける前記共通電極膜を共用したことを特徴とする。

30

【 0 0 2 8 】

この構成により、人間の視感度に応じた色信号を検出することが可能になると共に共通電極膜数を低減でき、これにより共通電極膜への配線数も減らすことが可能となる。

【 0 0 2 9 】

本発明の光電変換膜積層型固体撮像素子は、前記光電変換膜の材料として無機材料を用いたことを特徴とし、あるいは、前記光電変換膜の材料として有機材料を用いたことを特徴とする。

【 0 0 3 0 】

本発明の光電変換膜積層型固体撮像素子の構造は、光電変換膜の材料に依存せず、どのような材料でも使用可能である。

40

【 0 0 3 1 】

本発明の光電変換膜積層型固体撮像素子の製造方法は、上記の光電変換膜積層型固体撮像素子において、前記画素電極膜及び前記光電変換膜を積層し前記共通電極膜を積層する前または前記共通電極膜を積層した後に、前記周辺部において前記フラット状の配線を蒸着して前記共通電極膜を前記配線用高濃度不純物領域に接続することを特徴とする。

【 0 0 3 2 】

この構成により、フラット状の配線を蒸着によって形成するため、製造が容易で安価に形成可能となる。

【 0 0 3 3 】

50

本発明の光電変換膜積層型固体撮像素子の製造方法は、前記フラット状の配線の蒸着によって前記共通電極膜上または前記光電変換膜上に前記配線材料が盛り上がり形成された場合には、該盛り上がり部分をポリッシングして平坦化することを特徴とする。

【0034】

この構成により、不要部分をポリッシングで除去するため、製造が容易且つ安価となる。

【0035】

本発明の光電変換膜積層型固体撮像素子の製造方法は、前記共通電極膜が複数存在し各共通電極膜に接続される前記フラット状の配線を複数重ねて設ける場合には各フラット状の配線間に絶縁材を形成して電氣的に分離することを特徴とする。

10

【0036】

この構成により、個々の共通電極膜のバイアス電位を夫々制御可能となる。尚、複数の共通電極膜を同一バイアス電位にする場合には、各フラット状配線を同一の配線用高濃度不純物領域に接続する構成でもよく、各フラット状配線を電氣的に絶縁する必要はない。

【発明の効果】

【0037】

本発明によれば、光電変換膜積層型固体撮像素子の共通電極膜に均一なバイアス電位を印加する配線を容易且つ確実に製造することが可能となる。

【発明を実施するための最良の形態】

【0038】

20

以下、本発明の一実施形態について、図面を参照して説明する。

【0039】

図1は、本発明の一実施形態に係る光電変換膜積層型固体撮像素子の平面模式図であり、図2は、図1のII-II線断面模式図である。光電変換膜積層型固体撮像素子100は、本体部100-1と、本体部100-1の左側に沿って設けられた共通電極膜配線部100-2と、本体部100-1の右側に沿って設けられた行選択走査部100-3と、本体部100-1の下辺側に設けられた画像信号出力部100-4とを備える。行選択走査部100-3と画像信号出力部100-4とは、CMOS型イメージセンサに設けられるものと同じである。

【0040】

30

本体部100-1には多数の画素101がアレイ状に配列形成されており、その積層構造は、図26に示す構造と同一であるため、同一部材には同一符号を付してその説明は省略する。

【0041】

共通電極膜配線部100-2には、本体部100-1の3枚の共通電極膜11r, 11g, 11bに夫々接続される配線51r, 51g, 51bが設けられる。各配線51r, 51g, 51bは、本体部100-1と同一幅に設けられるため、フラット状（布状）となっている。そして、半導体基板の表面部には、各配線51r, 51g, 51bとオーミックコンタクトされる配線用高濃度不純物領域52r, 52g, 52bが設けられ、各配線51r, 51g, 51bの周りはSiO<sub>2</sub>等の絶縁物53で埋められる。

40

【0042】

図3は、本発明の別実施形態に係る光電変換膜積層型固体撮像素子110の断面模式図である。本実施形態の構成は、図2に示す構成と殆ど同じであり、同一部材には同一符号を付してその説明は省略する。

【0043】

本実施形態では、青色光電変換膜10bの下側、この例では、緑色用の共通電極膜11gの上に、イエロ（Ye）色のカラーフィルタ15を積層し、緑色光電変換膜10gの下側、この例では、赤色用の共通電極膜11rの上に、赤色（R）カラーフィルタ16を積層し、図2に示す遮光膜6の代わりにIR（赤外線）カットフィルタを積層し、最上層14の代わりに、あるいは最上層14と図示しないレンズとの間に、紫外線カットフィルタ

50

を積層した点が異なる。

【0044】

入射光中に含まれる紫外線が青色光電変換膜10bに入射すると、紫外線量に応じた光電荷が青色光電変換膜10bで発生し、青色光の光量に応じた光電荷が増量してしまう虞がある。そこで、本実施形態では、紫外線カットフィルタを設ける。

【0045】

イエロカラーフィルタ15は、3原色のうち、緑色(G)と赤色(R)を透過し、青色(B)の透過を遮断するカラーフィルタである。入射光のうち青色光の殆どは青色光電変換膜10bによって吸収され光電変換されるが、緑色に近い青色部分が透過してしまう虞がある。また、製造上、青色光電変換膜10bの膜厚を十分にとれない場合にも青色光の一部が透過してしまう虞がある。

10

【0046】

青色光電変換膜10bを透過した青色光は、緑色光電変換膜10gで光電変換される虞があるため、色分離を劣化させる原因となる。そこで、本実施形態では、青色光電変換膜10bの下層にイエロカラーフィルタ15を挿入することで青色光の緑色光電変換膜10gへの入射を阻止し、青色と緑色との色分離を良好にしている。イエロカラーフィルタ15に入射する青色光の光量は少ないため、カラーフィルタを使うことによる光利用効率の低下は小さい。

【0047】

赤色カラーフィルタ16は、赤色光を透過し、緑色光の透過を遮断する。この赤色カラーフィルタ16を設ける理由はイエロカラーフィルタ15を設ける理由と同じであり、緑色光電変換膜10gを透過する虞のある赤に近い緑色を遮断して緑色と赤色の色分離を良好にするためである。

20

【0048】

IRカットフィルタ17は、半導体基板中に赤外線が入射しないようにするために設ける。シリコン半導体に形成した信号読出回路には部分的にPN接合が形成され、ここに赤外線が入射すると光電荷が発生し、これがノイズ成分となってしまう。これを阻止するために、IRカットフィルタ17を設ける。

【0049】

図2の遮光膜6であっても、赤外線の半導体基板側への入射を阻止できるが、遮光膜6は金属膜を使用することが多く、遮光膜6で反射した赤外線が再び赤色光電変換膜10rに入射して赤色の光電荷量を増量させてしまう虞がある。そこで、本実施形態では、IRカットフィルタ17を用い、IRカットフィルタ17で赤外線を吸収してしまう構成にする。尚、IRカットフィルタを設ける場所は、この実施形態の様に半導体基板表面直近でなくても、光路中のどこでもよい。

30

【0050】

図4は、本発明の更に別実施形態に係る光電変換膜積層型固体撮像素子111の断面模式図である。基本構成は図2、図3の光電変換膜積層型固体撮像素子100、110と同じであり、同一部材に同一符号を付けてその説明は省略する。

【0051】

本実施形態は、赤色光電変換膜10rに設ける共通電極膜と、緑色光電変換膜10gに設ける共通電極膜と共用して共通電極膜11rgとし、更に、共通電極膜11rgを共用した関係で、緑色光電変換膜10gの上側に緑色用の画素電極膜8gを設けた点が異なる。

40

【0052】

これにより、共通電極膜が全体として2枚で済み、図4の左側に示す様に、共通電極膜11rに接続する配線52bと、共通電極膜11rgに接続する配線52rgの2つの配線でバイアス電位を印加できるという利点がある。

【0053】

図5は、本発明の更に別実施形態に係る光電変換膜積層型固体撮像素子112の断面模

50

式図である。図 2 , 図 3 , 図 4 に示した実施形態は、赤色 ( R ) , 緑色 ( G ) , 青色 ( B ) の 3 原色を検出する光電変換膜積層型固体撮像素子の例であるが、本実施形態の光電変換膜積層型固体撮像素子 1 1 2 では、4 色を検出できる構成にしている。

#### 【 0 0 5 4 】

即ち、本実施形態では、図 4 の構成に対し、緑色 ( G ) と青色 ( B ) の中間色 ( E : エメラルド色 ) を検出する光電変換膜 1 0 e を積層している点が異なる。また、エメラルド色光電変換膜 1 0 e と青色光電変換膜 1 0 b とで共通電極膜 1 1 e b を共用している関係で、4 色を検出する構成にも関わらず、2 枚の共通電極膜で済み、図 5 の左側に示す様に、共通電極膜 1 1 e b に接続する配線 5 1 e b と、共通電極膜 r g に接続する配線 5 1 r g の 2 つで済むという利点がある。

10

#### 【 0 0 5 5 】

本実施形態では、エメラルド色光電変換膜 1 0 e に設ける画素画素電極膜 8 e に、柱状電極 9 e を立設し、この柱状電極 9 e を接続する色信号電荷を蓄積する高濃度不純物領域 2 e と、信号読出用の M O S 回路 3 e とを設けている。その他の構成部材は図 4 の光電変換膜積層型固体撮像素子 1 1 1 と同じであるので、同一部材には同一符号を付してその説明を省略する。

#### 【 0 0 5 6 】

例えば、波長 4 8 0 ~ 5 2 0 n m のエメラルド ( E ) 色を検出する利点は、人間の視感度に応じて赤色を補正するためである。人間の視感度は、図 6 に , , として示す様に、緑色 ( G ) , 赤色 ( R ) , 青色 ( B ) で負の感度を持っている。このため、固体撮像素子で R , G , B の正の感度のみ検出して色再現を行っても、人間の見た画像を再現することはできない。そこで、負感度の一番大きい すなわち赤の負感度を光電変換膜 1 0 r によって検出し、光電変換膜 1 0 r で検出した赤の感度から、この負感度分を差し引くことで、人間の赤色に対する感度を再現することができる。

20

#### 【 0 0 5 7 】

尚、上述した各実施形態において、透明な電極膜の材料としては、酸化錫 ( S n O <sub>2</sub> ) 、酸化チタン ( T i O <sub>2</sub> ) 、酸化インジウム ( I n O <sub>2</sub> ) 、酸化インジウム - 錫 ( I T O ) 薄膜を用いるが、これに限るものではない。例えば、高濃度不純物を注入したポリシリコンを柱状電極や電極膜材料としてもよい。電極膜の形成方法としては、レーザアブレーション法やスパッタ法など、従来の成膜技術を使用して製造する。

30

#### 【 0 0 5 8 】

また、光電変換膜 1 0 r , 1 0 g , 1 0 b , 1 0 e の積層方法は特に限定するものではなく、スパッタ法やレーザアブレーション法、印刷技術、スプレー法等で積層する。材料としては、無機材料でも有機材料でよく、無機材料の場合は、例えば、G a A l A s , S i , I n G a A l P , G a P A s , I n A l P を用いることができる。また、有機材料の場合には、例えば、Z n P c ( 亜鉛フタロシアニン ) / A l q 3 ( キノリノールアルミ錯体 ) , R 6 G / P M P S ( rhodamine 6G (R6G)-doped polymethylphenylsilane ) , C 6 / P H P P S ( coumarin 6 (C6)-doped poly(m-hexoxyphenyl)phenylsilane ) 等を用いることができる。

40

#### 【 0 0 5 9 】

次に、図 7 ~ 図 1 4 を使い、図 4 に示す光電変換膜積層型固体撮像素子 1 1 1 における共通電極膜の配線 5 1 r g 及び配線 5 1 b の製造方法を説明する。尚、図 2 , 図 3 , 図 5 の光電変換膜積層型固体撮像素子 1 0 0 , 1 1 0 , 1 1 2 における共通電極膜の配線の製造方法も同様である。

#### 【 0 0 6 0 】

図 7 に示す様に、光電変換膜積層型固体撮像素子 1 1 1 の画素部分が形成された本体部分 1 1 1 1 の赤色光電変換膜 1 0 r までの積層を行う。この積層方法は特に限定されるものではないが、本体部分以外の、高濃度不純物領域 5 2 b , 5 2 r g が形成された領域をマスクして行うのが良い。

#### 【 0 0 6 1 】

50



赤色光電変換膜 10 r までの積層が終了した後は、高濃度不純物領域 5 2 r g の表面をエッチングにより綺麗にし、その上に、図 7 に示す様に、マスク穴を通して金属たとえばアルミニウムによる配線 5 1 r g を蒸着によって高く形成する。そして、図 8 に示す様に、配線 5 1 r g をエッチングによって所定厚に削り、その後、低温 C V D 等によって、配線 5 1 r g と本体部分 1 1 1 の側面との間の空間を S i O<sub>2</sub> 等の絶縁材 5 3 で埋める。

【 0 0 6 2 】

次に、図 9 に示す様に、配線 5 1 r g 及び絶縁材 5 3 の頭頂部分をポリッシングしてこれらの高さを赤色光電変換膜 10 r の高さに合わせ、図 10 に示す様に、共通電極膜 1 1 r g を積層する。これにより、高濃度不純物領域 5 2 r g と共通電極膜 1 1 r g とがフラット状の配線 5 1 r g によって電氣的に接続される。 10

【 0 0 6 3 】

次に、本体部分 1 1 1 の青色光電変換膜 10 b までの積層を行い、また、高濃度不純物領域 5 2 b の表面をエッチングにより綺麗にする。そして、図 11 に示す様に、高濃度不純物領域 5 2 b の上にマスク穴を通してアルミニウムによる配線 5 1 b を蒸着して高く形成する。次に、図 12 に示す様に、配線 5 1 b をエッチングによって所定厚に削った後、低温 C V D 等によって、配線 5 1 b と本体部分 1 1 1 の側面との間の空間を S i O<sub>2</sub> 等の絶縁材 5 3 で埋める。

【 0 0 6 4 】

次に、図 13 に示す様に、配線 5 1 b 及び絶縁材 5 3 の頭頂部分をポリッシングしてこれらの高さを青色光電変換膜 10 b の高さに合わせ、図 14 に示す様に、共通電極膜 1 1 b を積層する。これにより、高濃度不純物領域 5 2 b と共通電極膜 1 1 b とがフラット状の配線 5 1 b によって電氣的に接続される。その後、配線 5 1 b の左側の空間を絶縁材で埋める。 20

【 0 0 6 5 】

この様に、フラット状の配線 5 1 b , 5 1 r g によって共通電極膜 1 1 r , 1 1 r g を半導体基板の配線用高濃度不純物領域 5 2 b , 5 2 r g に接続したため、この光電変換膜積層型固体撮像素子 1 1 1 を検査する場合に、この検査を半導体ウェハ上で行うことが可能となる。

【 0 0 6 6 】

尚、本実施形態では、配線 5 1 b と配線 5 1 r g とを電氣的に分離して共通電極膜 1 1 r , 1 1 r g のバイアス電位を別々に制御する構成としたが、2 枚の共通電極膜 1 1 r , 1 1 r g に同一バイアス電位を印加する場合には、配線用高濃度不純物領域を 1 つとし、これに配線 5 1 b , 5 1 r g を共通に接続する構成としてもよい。これは、他の光電変換膜積層型固体撮像素子 1 0 0 , 1 1 0 , 1 1 2 でも同様である。 30

【 0 0 6 7 】

図 15 ~ 図 22 は、図 4 に示す光電変換膜積層型固体撮像素子 1 1 1 における共通電極膜の配線 5 1 r g 及び配線 5 1 b の製造方法の別実施形態を説明する図である。

【 0 0 6 8 】

本実施形態では、本体部分 1 1 1 の共通電極膜 1 1 r g までの積層が終了した後、図 15 に示す様に、高濃度不純物領域 5 2 r g の端部分から赤色光電変換膜 10 r の上縁まで達する例えば S i O<sub>2</sub> でなる絶縁材 5 3 を低温 C V D 等で形成する。次に、高濃度不純物領域 5 2 r g 表面をエッチングして綺麗にした後、図 16 に示す様に、金属材例えばアルミニウムを蒸着し、高濃度不純物領域 5 2 r g と共通電極膜 1 1 r g を電氣的に接続する配線 5 1 r g を形成する。 40

【 0 0 6 9 】

次に、図 17 に示す様に、配線 5 1 r g の頭頂部をポリッシングして共通電極膜 1 1 r g の高さに合わせる。そして、図 18 に示す様に、絶縁材 5 3 を低温 C V D 等で形成して配線 5 1 r g を覆う。このとき、本体部分 1 1 1 をマスクで覆い、絶縁材 5 3 が共通電極膜 1 1 r g の上にかからないようにする。 50

## 【0070】

次に、本体部分111の共通電極膜11bまでの積層を行った後、図19に示す様に、高濃度不純物領域52bの端から青色光電変換膜10bの上端まで達する絶縁材53を形成し、この絶縁材53の上にアルミニウムを蒸着することで、図20に示す様に、高濃度不純物領域52bと共通電極膜11bとを電氣的に接続する配線51bを形成する。

そして、図21に示す様に、配線51bの頭頂部をポリッシングし、図22に示す様に、配線51bを絶縁材53で覆う。

## 【0071】

上述した実施形態では、2つの配線51b, 51rgを本体部分111の左側に並列に並べて設けたが、例えば、図23に示す様に、配線51bと配線51rgの幅を夫々半分にし、本体部分111の左側に一列に設けることでもよい。或いは、図24に示す様に、配線51b, 51rgの一方を本体部分111の上辺に沿って設け、他方を本体部分111の左辺に沿って設けても良い。

## 【0072】

以上は、共通電極膜を2枚設けた光電変換膜積層型固体撮像素子111, 112の例であるが、共通電極膜を3枚設けた光電変換膜積層型固体撮像素子100, 110の場合には、共通電極膜に接続する配線51r, 51g, 51bの3つが必要となる。この場合には、図23と図24の構成を組み合わせることで3つの配線51r, 51g, 51bを配置しても良い。

## 【0073】

また、図25に示す様に、各配線51r, 51g, 51bを本体部分100の右辺, 上辺, 左辺に沿って設けることも可能である。しかし、右辺に配線51rを設ける場合、この例では右辺に設けた行選択走査部1003を本体部分100との間に挟む位置に設ける必要がある。行選択走査部1003は、各画素101直下に設けた各画素用信号読出回路と多数のメタル配線で接続されるため、このメタル配線とフラット状配線51rとが交差ししない様にするためである。

## 【0074】

尚、図1, 図23~図25の配線51r, 51g, 51b, 51rgの配置例は、信号読出回路がMOSトランジスタ回路の場合であり、信号読出回路がCCD型の場合には転送電極に転送パルス印加する端子があれば良く行選択走査部1003は存在しないため、各配線51r, 51g, 51b, 51rgの配置位置の制約はなくなる。

## 【0075】

また、上述した実施形態では、例えば、配線51b, 51g, 51rを夫々本体部の1辺にのみ設けたが、夫々の配線51b, 51g, 51rを本体部の2辺, 3辺あるいは4辺全てに設け、各配線にバイアス電位を印加する構成にしてもよい。これにより、共通電極膜のバイアス電位が画素の位置にかかわらず更に均一となり、各画素の駆動条件を同一にすることが可能となる。

## 【産業上の利用可能性】

## 【0076】

本発明による共通電極膜への配線構造によれば、製造が容易且つ確実となり、品質の高い光電変換膜積層型固体撮像素子を安価に製造可能となり、従来のCCD型イメージセンサやCMOS型イメージセンサに代わる固体撮像素子を安価に提供できる。

## 【図面の簡単な説明】

## 【0077】

【図1】本発明の一実施形態に係る光電変換膜積層型固体撮像素子の平面模式図である。

【図2】図1に示す光電変換膜積層型固体撮像素子のII-II線断面模式図である。

【図3】本発明の別実施形態に係る3層構造の光電変換膜積層型固体撮像素子の2画素分の断面模式図である。

【図4】本発明の更に別実施形態に係る3層構造の光電変換膜積層型固体撮像素子の2画素分の断面模式図である。

10

20

30

40

50

【図 5】本発明の更に別実施形態に係る 4 層構造の光電変換膜積層型固体撮像素子の 2 画素分の断面模式図である。

【図 6】人間の視感度を示すグラフである。

【図 7】図 4 に示す光電変換膜積層型固体撮像素子の製造手順の説明図である。

【図 8】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 7 の次の手順説明図である。

【図 9】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 8 の次の手順説明図である。

【図 10】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 9 の次の手順説明図である。

【図 11】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 10 の次の手順説明図である。

【図 12】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 11 の次の手順説明図である。

【図 13】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 12 の次の手順説明図である。

【図 14】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 13 の次の手順説明図である。

【図 15】図 4 に示す光電変換膜積層型固体撮像素子の別実施形態に係る製造手順の説明図である。

【図 16】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 15 の次の手順説明図である。

【図 17】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 16 の次の手順説明図である。

【図 18】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 17 の次の手順説明図である。

【図 19】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 18 の次の手順説明図である。

【図 20】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 19 の次の手順説明図である。

【図 21】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 20 の次の手順説明図である。

【図 22】図 4 に示す光電変換膜積層型固体撮像素子の製造手順のうち図 21 の次の手順説明図である。

【図 23】図 4 に示す光電変換膜積層型固体撮像素子の变形例の平面模式図である。

【図 24】図 4 に示す光電変換膜積層型固体撮像素子の更に別变形例の平面模式図である。

【図 25】図 1 に示す光電変換膜積層型固体撮像素子の变形例の平面模式図である。

【図 26】従来の 3 層構造の光電変換膜積層型固体撮像素子の 2 画素分の断面模式図である。

【符号の説明】

【0078】

1 P ウェル層 (半導体基板)

2 r , 2 g , 2 b , 2 e 高濃度不純物領域

3 r , 3 g , 3 b , 3 e MOS 回路

7 , 12 , 13 絶縁膜

8 r , 8 g , 8 b , 8 e 画素電極膜

11 r , 11 g , 11 b , 11 r g , 11 e b 共通電極膜

10 r , 10 g , 10 b , 10 e 光電変換膜

51 r , 51 g , 51 b , 51 r g 共通電極膜への配線

10

20

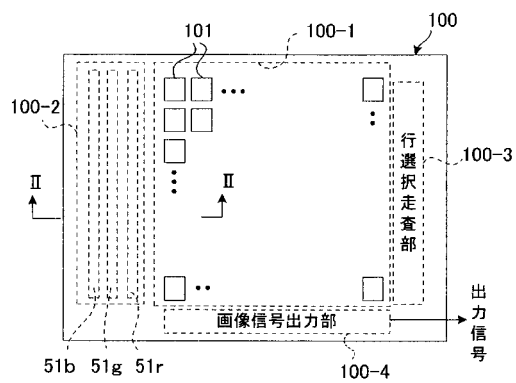
30

40

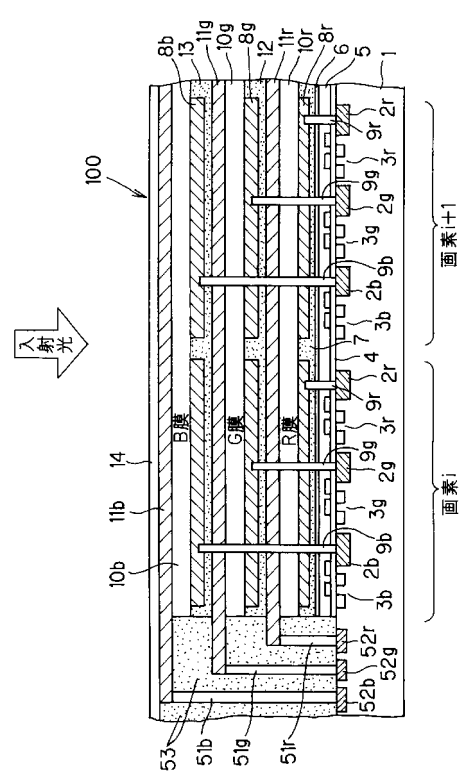
50

5 2 r , 5 2 g , 5 2 b , 5 2 r g , 5 2 e b 高濃度不純物領域  
 5 3 絶縁材  
 1 0 0 , 1 1 0 , 1 1 1 , 1 1 2 光電変換膜積層型固体撮像素子  
 1 0 0 1 , 1 1 1 1 本体部分  
 1 0 0 3 , 1 1 1 3 行選択走査部  
 1 0 0 4 , 1 1 1 4 画像信号出力部

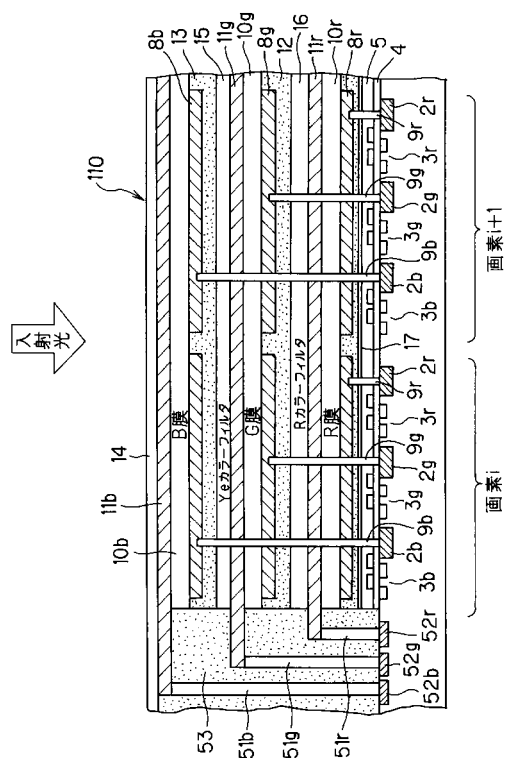
【図 1】



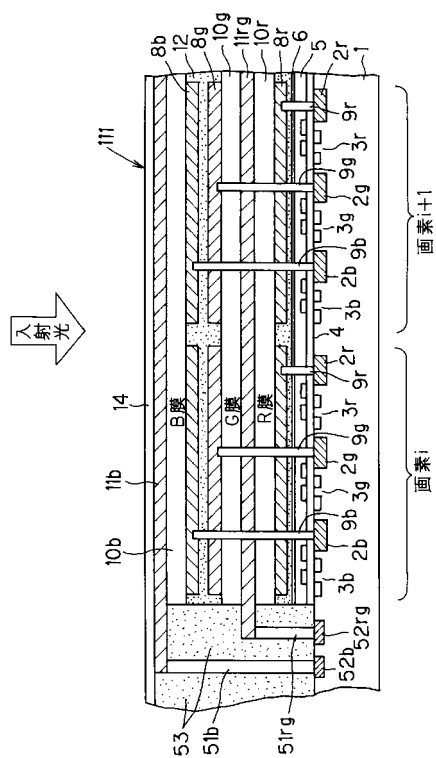
【図 2】



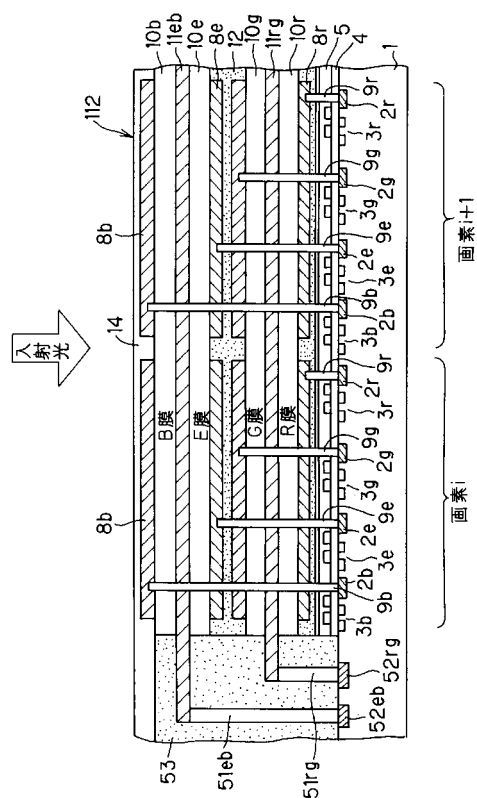
【 図 3 】



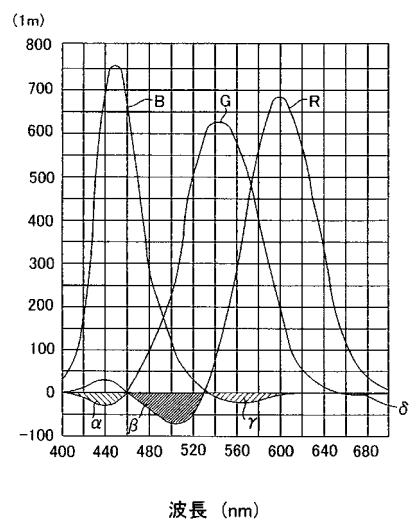
【 図 4 】



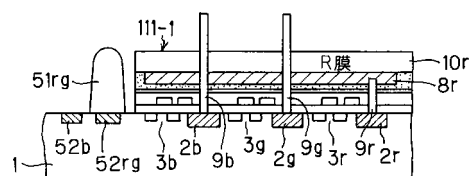
【 図 5 】



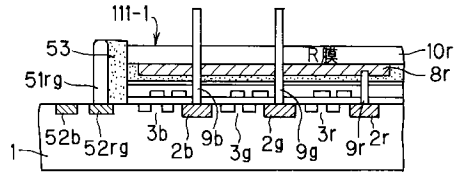
【 図 6 】



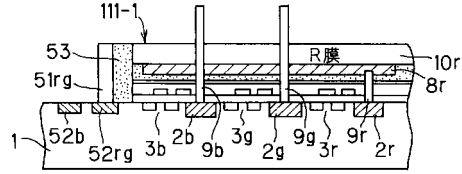
【 圖 7 】



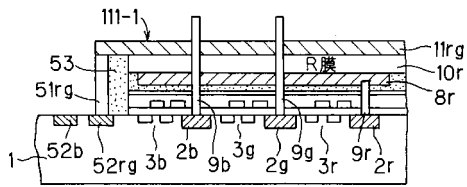
【図 8】



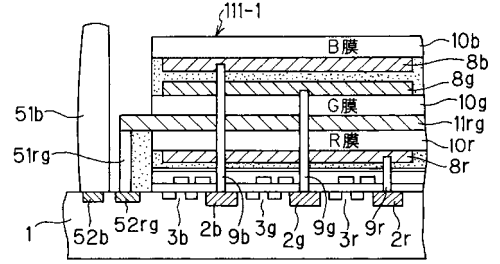
【図 9】



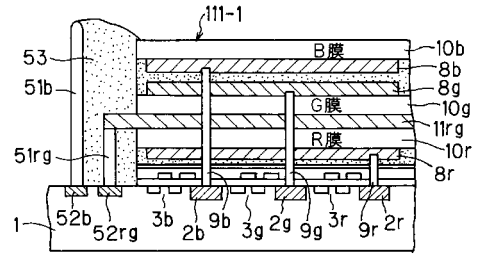
【図 10】



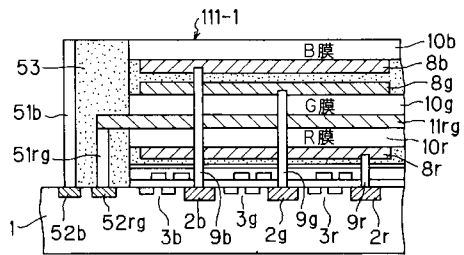
【図 11】



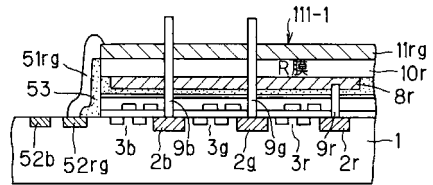
【図 12】



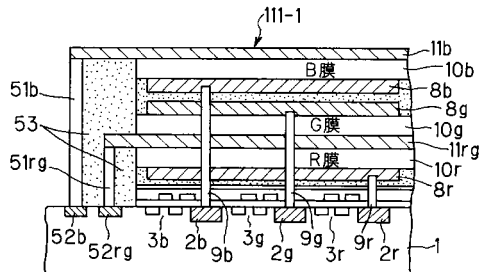
【図 13】



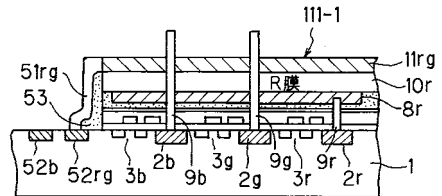
【図 16】



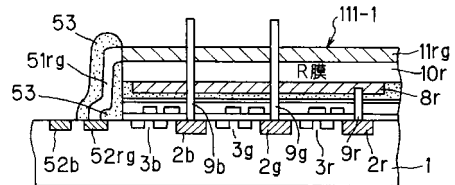
【図 14】



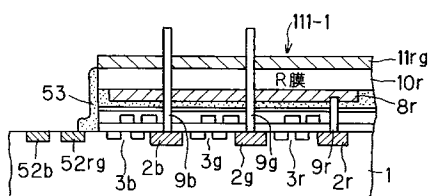
【図 17】



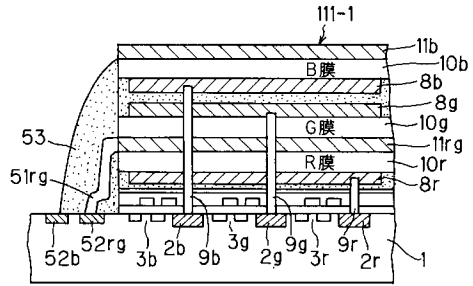
【図 18】



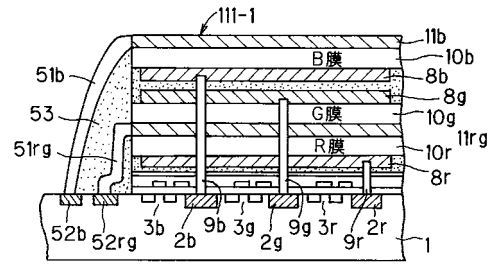
【図 15】



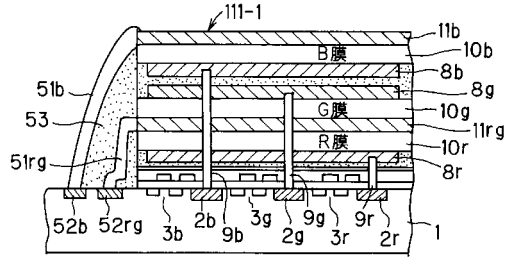
【図 19】



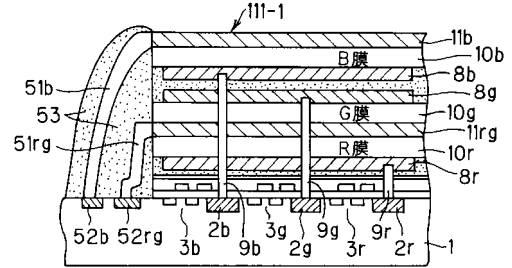
【図 21】



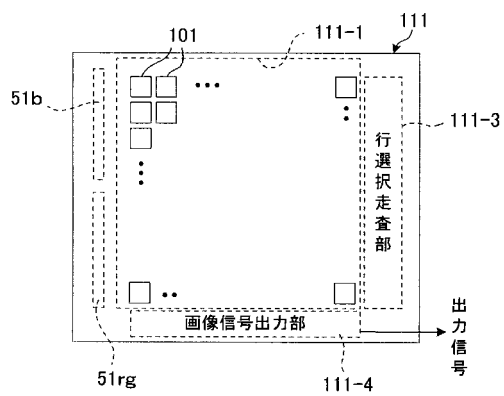
【図 20】



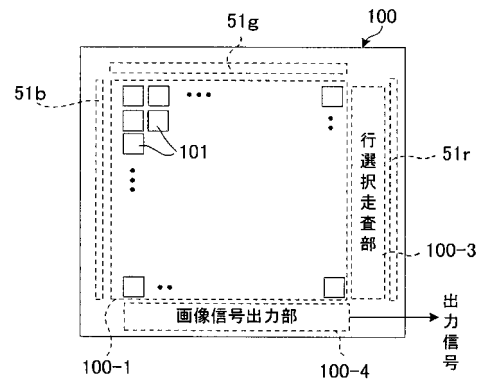
【図 22】



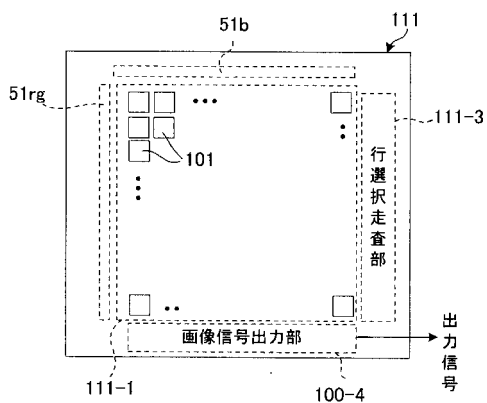
【図 23】



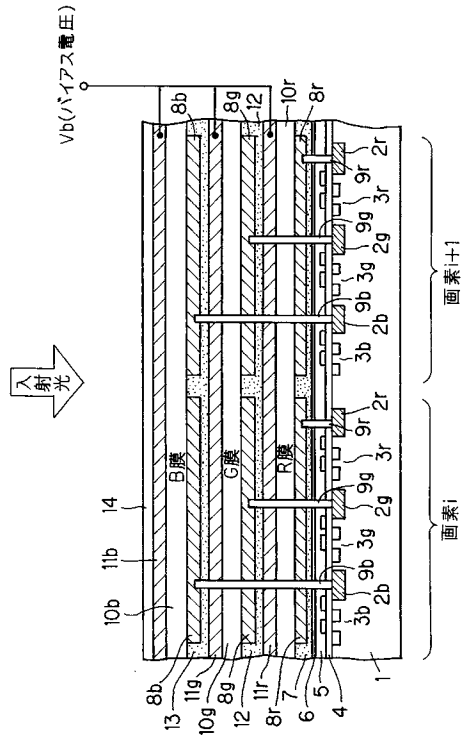
【図 25】



【図 24】



【図 26】





---

フロントページの続き

(72)発明者 井上 知己

神奈川県南足柄市中沼 2 1 0 番地 富士写真フイルム株式会社内

F ターム(参考) 4M118 AA01 AA02 AA10 AB01 BA19 CA15 CA27 CB01 CB14 CB20

DA18 FA05 FA06 GC09 GC11

5C024 CY47 DX01 GX01

5C065 CC01 DD17 EE06