(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119310433 A
(43)申请公布日 2025.01.14

(21)申请号 202411257172.7

(22)申请日 2024.09.09

(71)申请人 南方科技大学
地址 518055 广东省深圳市南山区桃源街道学苑大道1088号

(72)发明人 苏将豪 谢云枫 林煜洹 王贺飞 周盛华

(74)专利代理机构 深圳市君胜知识产权代理事务所(普通合伙) 44268
专利代理师 孙果

(51)Int.Cl.
G01R 31/28(2006.01)
G01R 1/04(2006.01)

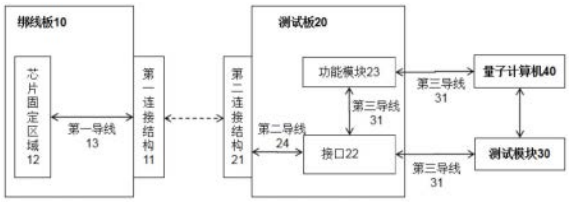
权利要求书2页 说明书7页 附图2页

(54)发明名称

一种量子芯片的测试装置和方法

(57)摘要

本申请提供一种量子芯片的测试装置和方法,所述装置包括绑线板和与所述绑线板可拆卸连接的测试板;所述绑线板包括第一连接结构,所述测试板包括与所述第一连接结构适配的第二连接结构,当所述第一连接结构与所述第二连接结构连接在一起,实现所述绑线板和所述测试板的通信连接。本申请的量子芯片的测试装置将测试板和绑线板分开,并通过插拔式或卡接式设计,实现适用于常温至超低温的绑线封装的量子芯片测试解决方案,不仅能够实现超低温环境下同时对多个芯片的测试,减少焊接对芯片造成的损耗,提高测试效率,还能灵活插拔或卡接,实现便捷的操作和测试板的重复利用,并且兼容不同的测试仪器,提高效率,降低成本,提高可扩展性。



CN 119310433 A

1.一种量子芯片的测试装置,其特征在于,包括绑线板和与所述绑线板可拆卸连接的测试板;

所述绑线板包括第一连接结构,所述测试板包括与所述第一连接结构适配的第二连接结构,当所述第一连接结构与所述第二连接结构连接在一起,实现所述绑线板和所述测试板的通信连接。

2.根据权利要求1所述的一种量子芯片的测试装置,其特征在于,所述第一连接结构与所述第二连接结构为插拔式连接,插接所述第一连接结构和所述第二连接结构实现所述绑线板和所述测试板的所述通信连接。

3.根据权利要求2所述的一种量子芯片的测试装置,其特征在于,所述第一连接结构为插头结构,所述第二连接结构为可以容纳所述插头并与所述插头适配的插槽结构;或者,所述第二连接结构为所述插头结构,所述第一连接结构为可以容纳所述插头结构并与所述插头结构适配的所述插槽结构。

4.根据权利要求1所述的一种量子芯片的测试装置,其特征在于,所述绑线板还包括用于固定芯片的芯片固定区域,所述芯片固定区域与所述第一连接结构之间存在间隔,以便于绑定所述芯片,所述芯片通过绑线工艺固定在所述芯片固定区域上。

5.根据权利要求4所述的一种量子芯片的测试装置,其特征在于,所述绑线板还包括第一导线,所述第一导线分别连接所述第一连接结构和所述芯片固定区域之间,用以提供所述量子芯片和所述第一连接结构的通信连接,以实现信号的传输。

6.根据权利要求5所述的一种量子芯片的测试装置,其特征在于,所述测试板还包括:第二导线和接口;

所述接口包括微波高频接口、排线接口、微型设备接口,用于提供适用于不同测试场景的装置;

所述第二导线的两端分别连接所述接口和所述第二连接结构,用于提供所述接口和所述第二连接结构的通信连接,以实现所述信号的传输。

7.根据权利要求6所述的一种量子芯片的测试装置,其特征在于,还包括量子计算机、测试模块和第三导线;

所述测试模块和所述量子计算机分别通过所述第三导线与所述测试板实现通信连接,以实现所述信号的传输;

所述测试模块与所述量子计算机通信连接,以实现所述信号的传输。

8.根据权利要求7所述的一种量子芯片的测试装置,其特征在于,所述测试模块包括解析单元、信号生成单元和信号处理单元;

所述解析单元用于接收测试指令,并发送至所述信号生成单元;

所述信号生成单元接收所述测试指令生成脉冲信号,并发送至测试板;

所述信号处理单元接收所述芯片返回的结果信号进行分析,并发送至所述量子计算机。

9.根据权利要求7所述的一种量子芯片的测试装置,其特征在于,所述测试板还包括功能模块,用于根据测试需求提高所述测试装置的性能;所述功能模块包括一个或多个静电释放模块、线路转换模块和模数转换模块;

所述静电释放模块通过所述第三导线分别与所述接口和量子计算机连接,用于防止静

电,提高测试板的鲁棒性;

所述线路转换模块通过所述第三导线分别与所述接口和所述量子计算机连接,用于在测试多个所述芯片的过程中控制所述信号传输的线路;

所述模数转换模块通过所述第三导线分别与所述接口和所述量子计算机连接,用于将所述量子计算机发出的模拟信号转换为数字信号。

10.一种量子芯片的测试方法,其特征在于,包括:采用如权利要求1-9任一项所述的量子芯片的测试装置进行测试。

一种量子芯片的测试装置和方法

技术领域

[0001] 本申请涉及芯片测试技术领域,尤其涉及一种量子芯片的测试装置和方法。

背景技术

[0002] 量子芯片在制备完成后,需要对量子芯片的参数和性能进行测试,以保证量子芯片的质量优良。现有的芯片测试采用绑线工艺,将芯片内部电路用金线或铝线与测试电路板镀金铜箔连接,绑线后覆上黑胶进行隔绝保护,再通过测试电路板进行芯片测试。但量子芯片需要在超低温环境(低至10mK,约-273℃)环境下才能维持量子态,量子比特的测控电路或其他周围电路需要设置在不同温度的超低温环境下。相比于常规消费电子用途的芯片测试,适用于量子计算的超低温芯片测试在温度领域更加严苛,而且超低温的温度环境给仪器设备、封装方式、测试硬件均带来了挑战。因此,传统的绑线工艺无法满足量子芯片的测试。此外,由于现有的测试装置为一次性绑线板,测试板固定在绑线板上,每次测试都要更换整个绑线板,因此,增加了测试成本。因此,如何实现在超低温环境下的便捷、实用的量子芯片测试是当前面临的技术问题。

[0003] 因此,现有技术还有待于改进和发展。

发明内容

[0004] 鉴于上述现有技术的不足,本申请提供一种量子芯片的测试装置和方法,将测试板和绑线板分开,并通过插拔式或卡接式设计,实现适用于常温至超低温的绑线封装的量子芯片测试解决方案,不仅能够实现超低温环境下同时对多个芯片的测试,减少焊接对芯片造成的损耗,还能灵活插拔或卡接,实现便捷的操作和测试板的重复利用,并且兼容不同的测试仪器,提高效率,降低成本,提高可扩展性。

[0005] 本申请是通过以下技术方案实现的:

[0006] 本申请的第一方面在于提供一种量子芯片的测试装置,包括绑线板和与所述绑线板可拆卸连接的测试板;

[0007] 具体地,所述绑线板包括第一连接结构,所述测试板包括与所述第一连接结构适配的第二连接结构,当所述第一连接结构与所述第二连接结构连接在一起,实现所述绑线板和所述测试板的通信连接。

[0008] 具体地,所述第一连接结构为插头结构,所述第二连接结构为可以容纳所述插头并与所述插头适配的插槽结构。

[0009] 具体地,所述第二连接结构为所述插头结构,所述第一连接结构为可以容纳所述插头结构并与所述插头结构适配的所述插槽结构。

[0010] 具体地,所述绑线板还包括用于固定芯片的芯片固定区域,所述芯片固定区域与所述第一连接结构之间存在间隔,以便于绑定所述芯片,所述芯片通过绑线工艺固定在所述芯片固定区域上。

[0011] 具体地,所述绑线板还包括第一导线,所述第一导线分别连接所述第一连接结构

和所述芯片固定区域之间,用以提供所述量子芯片和所述第一连接结构的通信连接,以实现信号的传输。

[0012] 具体地,所述测试板还包括:第二导线和接口;所述接口包括微波高频接口、排线接口、微型设备接口,用于提供适用于不同测试场景的装置。所述第二导线的两端分别连接所述接口和所述第二连接结构,用于提供所述接口和所述第二连接结构的通信连接,以实现所述信号的传输。

[0013] 具体地,所述测试板还包括功能模块,用于根据测试需求提高所述测试装置的性能;所述功能模块包括一个或多个静电释放模块、线路转换模块和模数转换模块。所述静电释放模块用于防止静电,提高测试板的鲁棒性;所述多路转换模块用于控制所述信号传输的线路;所述模数转换模块用于将模拟信号转换为数字信号。

[0014] 具体地,本申请的量子芯片的测试装置还包括量子计算机、测试模块和第三导线;所述测试模块和所述量子计算机分别通过所述第三导线与所述测试板通信连接,实现所述信号的传输。所述测试模块与所述量子计算机通信连接,实现所述信号的传输。

[0015] 具体地,所述测试模块包括解析单元、信号生成单元和信号处理单元。所述解析单元用于接收测试指令,并发送至所述信号生成单元;所述信号生成单元接收所述测试指令生成脉冲信号,并发送至测试板;所述信号处理单元接收所述芯片返回的结果信号进行分析,并发送至所述量子计算机。

[0016] 所述测试板还包括功能模块,用于根据测试需求提高所述测试装置的性能;所述功能模块包括一个或多个静电释放模块、线路转换模块和模数转换模块;所述静电释放模块通过所述第三导线分别与所述接口和量子计算机连接,用于防止静电,提高测试板的鲁棒性;所述多路转换模块通过所述第三导线分别与所述接口和所述量子计算机连接,用于在测试多个所述芯片的过程中控制所述信号传输的线路;所述模数转换模块通过所述第三导线分别与所述接口和所述量子计算机连接,用于将所述量子计算机发出的模拟信号转换为数字信号。

[0017] 本申请的第二方面,在于提供一种量子芯片的测试方法,包括:采用如上所述的量子芯片的测试装置进行测试。

[0018] 相比于现有技术,本申请主要具有以下有益效果:相比于现有技术,本申请的量子芯片测试装置具有以下优点:

[0019] (1)成本低:现有技术中,绑线板和测试板为一体的,测试板无法重复利用,而本申请通过灵活连接的插拔式或卡持式结构,将绑线板设置为一次性耗材,测试板可以重复利用,降低了测试板及其接口、功能模块的成本。

[0020] (2)高兼容性与拓展性:不同降温能力的超低温测试装置或不同应用类型芯片测试,对应不同的接口,本申请绑线板与测试板的分离设计,将绑线板作为耗材,将测试板作为可重复利用的测试平台,由此,原受成本限制的测试板可放置更多不同的测试接口,并可采用更高水平的焊接技术,额外添加如数字控制多路复用开关、模拟-数字转换器、数字信号处理模块的测试系统,制成封装完好、兼容性高、测试能力强大的可拓展多用途测试板,更加适用于不同的芯片、测试仪器或测试环境。

[0021] (3)高测试效率与可靠性:本申请的对插拔式结构或者卡持式结构的应用,简化了芯片样品与测试设备的连接方式,在进行多样品测试时,更换样品只需通过第一连接结构

和第二连接结构的适配连接,通过对芯片内部电路接口设计与绑线板芯片固定区域的位置提前布局,可以实现只插拔或卡持而无需改变其余接线,即可更换多个样品操作,很大程度地降低了测试难度,在测试周期较长的超低温芯片测试中显著提升了测试效率;此外,相同测试仪器可以对应一套相同的测试板,通用的插拔式或卡持式结构极高程度地统一了不同样品间的信号通路,再通过对测试板上的导线的设计与接口规格和类型选择,可使测试条件更加严谨,避免了由不同通路接口、额外转接板带来的信号损耗或误差,提高了芯片测试所得数据的可靠性。另外,在超低温环境测试时,一次连接多个测试板,放置在超低温环境下,就可以同时对多个测试板上的芯片进行性能测试,避免了现有技术中需要等待很久的升降温时间,因此本申请可以提高超低温环境下的量子芯片的测试效率。

[0022] (4)科学性、基础性和丰富的应用前景:本申请通过对绑线板和测试板的分离设计,即改善了低成本的绑线封装方式不利于集成、转移操作的缺点,又增强了测试板的兼容性功能,作为基础性的设计,添加额外的设备或拓展模块可以使该设计延伸至不同的测试应用方向,实现良好的转化。

附图说明

[0023] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1为本申请的实施例的一种量子芯片的测试装置的结构图。

[0025] 图2为本申请的实施例的一个测试板连接多个绑线板的示意图。

[0026] 图3为本申请的实施例的量子芯片的测试装置的信号传输示意图。

[0027] 图4是本申请的实施例的一种量子芯片的测试方法的流程图。

具体实施方式

[0028] 下面将结合本申请实施方式,对本申请实施方式中的技术方案进行清楚、完整地描述,显然,所描述的实施方式仅仅是本申请一部分实施方式,而不是全部的实施方式。基于本申请中的实施方式,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施方式,都属于本申请保护的范围。

[0029] 应当理解,在此本申请实施例说明书中所使用的术语仅仅是出于描述特定实施例的目的而并不意在限制本申请实施例。如在本申请实施例说明书和所附权利要求书中所使用的那样,除非上下文清楚地指明其它情况,否则单数形式的“一”、“一个”及“该”意在包括复数形式。

[0030] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其它不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0031] 量子芯片在制备完成后,需要对量子芯片的参数和性能进行测试,以保证量子芯片的质量优良。现有的芯片测试采用绑线工艺,将芯片内部电路用金线或铝线与测试电路板镀金铜箔连接,绑线后覆上黑胶进行隔绝保护,再通过测试电路板进行芯片测试。但量子

芯片需要在超低温环境(低至10mK,约-273℃)环境下才能维持量子态,量子比特的测控电路或其他周围电路需要设置在不同温度的超低温环境下。相比于常规消费电子用途的芯片测试,适用于量子计算的超低温芯片测试在温度领域更加严苛,而且超低温的温度环境给仪器设备、封装方式、测试硬件均带来了挑战。因此,传统的绑线工艺无法满足量子芯片的测试。此外,由于现有的测试装置为一次性绑线板,测试板固定在绑线板上,每次测试都要更换整个绑线板,因此,增加了测试成本。因此,如何实现在超低温环境下的便捷、实用的量子芯片测试是当前面临的技术问题。

[0032] 鉴于上述现有技术的不足,本申请提供一种量子芯片的测试装置和方法,将测试板和绑线板分开,并通过插拔式设计,实现适用于常温至超低温的绑线封装的量子芯片测试解决方案,不仅能够实现超低温环境的测试,减少焊接对芯片造成的损耗,还能灵活插拔,实现便捷的操作和测试板的重复利用,并且兼容不同的测试仪器,且能够一次测试多个量子芯片,提高效率,降低成本。

[0033] 如图1所示,本申请的第一方面在于提供一种量子芯片的测试装置,包括绑线板10、测试板20、测试模块30和量子计算机40。

[0034] 其中,绑线板10与测试板20彼此分离但可拆卸连接,所述绑线板10包括第一连接结构11,所述测试板20包括与所述第一连接结构11适配的第二连接结构21;当所述第一连接结构与所述第二连接结构连接在一起,实现所述绑线板和所述测试板的通信连接。

[0035] 所述第一连接结构11和所述第二连接结构21卡接连接,即可实现所述绑线板10和所述测试板20的通信连接。

[0036] 具体地,所述第一连接结构11与所述第二连接结构21为插拔式连接,插接所述第一连接结构11和所述第二连接结构21实现所述绑线板10和所述测试板20的所述通信连接。可选地,所述第一连接结构11为插头结构,所述第二连接结构21为可以容纳所述插头并与所述插头适配的插槽结构。具体地,一个测试板20可以连接多个绑线板10,如图2所示,测试板20的第二连接结构21为插槽结构,绑线板10的第一连接结构11为插头结构。当插头插在插槽中,可以实现绑线板和测试板的电路连接。当插头从插槽中拔出,即可分离绑线板10和测试板20。这样的设计便于插拔,每次测试只需要更换不同的固定芯片的绑线板10即可,测试板可以重复利用,有利于节省测试成本。同时,由于常规的绑线板和测试版固定在一起的测试装置中,替换芯片需要拆开绑线,重新焊接芯片,过程中可能会破坏芯片,造成额外的损耗。而本申请的插拔式设计,可以避免多次绑线封装,减少对芯片的损耗,绑线板为一次性使用,测试板可以多次重复利用。

[0037] 可选地,还可以设计为所述第一连接结构11为插槽结构,第二连接结构21为插头结构,也能实现插拔式连接的功能,但缺点在于,由于插槽的体积大于插头,插槽如果安装在绑线板10上,插槽的厚度可能影响芯片的绑定。

[0038] 可选地,一个测试板可以设置多个第二连接结构21,用于连接多个绑线板,实现同时对多个量子芯片进行性能测试的功能。由于量子芯片需要在-273℃的环境下才能维持量子态,测试量子芯片的性能时,需要把芯片放进制冷机内部,从室温降到超低温需要3个小时左右。测试完毕,只有升到室温才能取出芯片,同样需要3个小时左右。所以每一次测试花费大量的时间在升降温的等待过程中。而且待测样品放进制冷机中,在整个测试过程中无法对其操作,也无法观测到样品外观的变化。通过本装置,绑线板10和测试板20是独立的结

构,可以通过插拔式连接随时连接和拆卸绑线板,而且可以在一个测试板20上连接多个绑线板10,每个绑线板10上放置一个芯片,可以同时测试多个芯片,实施多个测试方案,而不用重复升降温,提高测试效率。

[0039] 具体地,如图1所示,所述绑线板10还包括芯片固定区域12和第一导线13,所述芯片固定区域用于固定芯片,所述芯片固定区域12与所述第一连接结构11之间存在间隔,以便于绑定所述芯片。优选地,所述绑线板10的主体为正方形,芯片固定区域12的中心与所述绑线板的中心重合,所述第一连接结构11位于正方形的一边,且向测试板20的方向突出,突出的插头与第二连接结构21的凹槽尺寸相适配。

[0040] 所述芯片通过绑线工艺(Bonding)固定在所述芯片固定区域上,具体为,将芯片内部电路用金线或铝线与绑线板10的镀金铜箔(金手指)区域(图中未示出)连接,绑线后覆上黑胶进行隔绝保护。所述第一导线13分别连接所述第一连接结构11和所述芯片固定区域12之间,用以提供所述量子芯片和所述第一连接结构11的通信连接,以实现信号的传输。所述第一导线13可以直接印制在所述绑线板10上。

[0041] 优选地,所述绑线板10上还可以设置接口(未示出),将接口通过导线与测试仪器连接,也可以实现绑线板10上固定的芯片的性能测试。

[0042] 具体地,所述测试板20还包括接口22、功能模块23和第二导线24。

[0043] 具体地,所述第二导线的两端分别连接所述接口22和所述第二连接结构21,用于提供所述接口22和所述第二连接结构21的通信连接,以实现所述信号的传输。具体地,所述接口22通过第三导线连接至测试模块30,接收来自测试模块30的信号,测试模块30发出的信号依次经过第三导线31、接口22、第二导线24、第二连接结构21、第一连接结构11和第一导线13,传送给固定在芯片固定区域12的量子芯片,量子芯片对信号产生的响应信号再反向传输至测试模块30,从而实现性能测试过程中的信号闭环。可以根据测试需求设置不同的接口类型。优选地,所述接口包括微波高频接口(SMA接口)、60路排线接口,微信设备接口(如15针Micro D接口)等类型。SMA接口可适应不同的测试场景,信号传输的速度高。15针Micro D接口具有15个信号传输通道,体积小,通道多。

[0044] 所述功能模块23通过第三导线31连接至量子计算机40,用于根据测试需求设置不同的提高所述测试装置的性能;所述功能模块包括一个或多个并联连接的静电释放模块(ESD)、线路转换模块和模数转换模块。静电释放模块通过所述第三导线分别与所述接口和量子计算机连接,可以防止静电,提高测试板的鲁棒性。多路转换模块通过所述第三导线分别与所述接口和所述量子计算机连接,用于在测试多个所述芯片时控制所述信号传输的线路,尤其在多个芯片同时测试时,用于控制信号的传输线路,一次性将多个带芯片的绑线板连接在测试板上,通过多路转换模块控制发送至不同的芯片的信号,以及接收来自不同芯片的结果信号,传送至量子计算机,即可实现一次性测试多个芯片的性能,避免了重复安装连接测试板和绑线板的步骤。尤其是,现有技术中,在低温甚至超低温的测试环境中测试量子芯片时,制冷机降温和升温过程时间较长。而利用本申请的插拔式连接的测试板和绑线板,一次性连接多个绑线板,可以避免了更换芯片的测试前等待温度降到超低温环境,也避免了再测试结束后,等待升温到室温的过程,从而提高测试效率。模数转换模块(ADC)用于将模拟信号转换为数字信号。还可以有其他的功能模块类型。

[0045] 此外,制冷机在降温中,内部具有温度分区,只有在冷指的底部才是满足量子芯片

性能测试的超低温(4K)环境,由于制冷机中是真空环境,真空不导热,所以为了使待测样品温度到达超低温,需要选择良好导热性的材料,使绑线板和冷指充分接触,保证待测样品处于超低温。

[0046] 可选的,所述绑线板10和测试板20为PCB板,可以直接在PCB板上印制电路,因此,第一导线13可以直接印制在绑线板10上,第二导线24可以直接印制在测试板20上。

[0047] 如图3所示,所述测试模块30为不同类型的测试仪器,包括解析单元32、信号生成单元33和信号处理单元34。量子计算机包括界面终端41,在完成芯片绑定在绑线板10上,并将绑线板10与测试板连接后,测试过程中信号传输过程为:通过量子计算机40的界面终端发出控制指令至测试模块30,测试模块30的解析单元32分析指令并发送至信号生成单元33,信号生成单元33产生脉冲信号发送至测试板20,测试板20将信号发送至绑线板10的芯片上,再从芯片返回结果信号至测试板20,再传输至测试模块的信号处理单元34,信号处理单元对结果信号进行分析,并发送至界面终端,从而可以在量子计算机40上显示测试结果信息。同时,量子计算机40上的界面终端41还可以直接控制所述测试板20,具体为控制所述测试板20上的功能模块23,如图1中所示,量子计算机40与所述功能模块23通过第三导线连接,从而可以控制线路转换。

[0048] 优选地,测试模块为测试仪器,可以根据实际的测试需求选择,量子计算机也可以替换为数控系统。

[0049] 本申请的第一连接结构和第二连接结构还可以设置为可拆卸且相互适配的卡持式结构,卡持式结构也能提供通信连接,可以实现测试板和绑线板的灵活连接。

[0050] 相比于现有技术,本申请的量子芯片测试装置具有以下优点:

[0051] (1)成本低:现有技术中,绑线板和测试板为一体的,测试板无法重复利用,而本申请通过灵活连接的插拔式或卡持式结构,将绑线板设置为一次性耗材,测试板可以重复利用,降低了测试板及其接口、功能模块的成本。

[0052] (2)高兼容性与拓展性:不同降温能力的超低温测试装置或不同应用类型芯片测试,对应不同的接口,本申请绑线板与测试板的分离设计,将绑线板作为耗材,将测试板作为可重复利用的测试平台,由此,原受成本限制的测试板可放置更多不同的测试接口,并可采用更高水平的焊接技术,额外添加如数字控制多路复用开关、模拟-数字转换器、数字信号处理模块的测试系统,制成封装完好、兼容性高、测试能力强大的可拓展多用途测试板,更加适用于不同的芯片、测试仪器或测试环境。

[0053] (3)高测试效率与可靠性:本申请的对插拔式结构或者卡持式结构的应用,简化了芯片样品与测试设备的连接方式,在进行多样品测试时,更换样品只需通过第一连接结构和第二连接结构的适配连接,通过对芯片内部电路接口设计与绑线板芯片固定区域的位置提前布局,可以实现只插拔或卡持而无需改变其余接线,即可更换多个样品操作,很大程度地降低了测试难度,在测试周期较长的超低温芯片测试中显著提升了测试效率;此外,相同测试仪器可以对应一套相同的测试板,通用的插拔式或卡持式结构极高程度地统一了不同样品间的信号通路,再通过对测试板上的导线的设计与接口规格和类型选择,可使测试条件更加严谨,避免了由不同通路接口、额外转接板带来的信号损耗或误差,提高了芯片测试所得数据的可靠性。另外,在超低温环境测试时,一次连接多个测试板,放置在超低温环境下,就可以同时对多个测试板上的芯片进行性能测试,避免了现有技术中需要等待很久的

升降温时间,因此本申请可以提高超低温环境下的量子芯片的测试效率。

[0054] (4)科学性、基础性和丰富的应用前景:本申请通过对绑线板和测试板的分离设计,即改善了低成本的绑线封装方式不利于集成、转移操作的缺点,又增强了测试板的兼容性功能,作为基础性的设计,添加额外的设备或拓展模块可以使该设计延伸至不同的测试应用方向,实现良好的转化。

[0055] 本申请的第二方面在于提供一种量子芯片的测试方法,采用上述的量子芯片的测试装置实施,如图4所示,具体包括步骤:

[0056] S1、在绑线板上绑定量子芯片,并将绑线板与测试板连接,再将测试板与测试模块、量子计算机连接;

[0057] S2、将所述绑线板放置于常温或超低温的测试环境中;

[0058] S3、在所述量子计算机的控制界面上选择控制线路,并发送指令;

[0059] S4、记录所述控制界面上的结果信息,完成性能测试。

[0060] 具体地,指令转化为结果信息的具体过程涉及到型号在不同部件中的传输和转化,具体为:

[0061] S5、解析单元解析指令并发送至信号生成单元,从而产生脉冲信号,并发送至测试板;

[0062] S6、测试板接收所述脉冲信号并发送至绑线板上的量子芯片;

[0063] S7、所述量子芯片根据脉冲信号产生响应信号并发送至测试板,测试板将响应信号发送至测试模块的信号处理单元;

[0064] S8、信号处理单元对响应信号进行分析,并将分析结果发送至界面终端,从而完成性能测试。

[0065] 综上所述,本申请提供一种量子芯片的测试装置,包括绑线板和与所述绑线板可拆卸连接的测试板;所述绑线板包括第一连接结构,所述测试板包括与所述第一连接结构适配的第二连接结构,当所述第一连接结构与所述第二连接结构连接在一起,实现所述绑线板和所述测试板的通信连接。本申请的量子芯片的测试装置将测试板和绑线板分开,并通过插拔式或卡接式设计,实现适用于常温至超低温的绑线封装的量子芯片测试解决方案,不仅能够实现超低温环境下同时对多个芯片的测试,减少焊接对芯片造成的损耗,还能灵活插拔或卡接,实现便捷的操作和测试板的重复利用,并且兼容不同的测试仪器,提高效率,降低成本,提高可扩展性。

[0066] 以上所述实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解,其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不是相应技术方案的本质脱离本发明各实施例技术方案的精神和范围,均应包含在本发明的保护范围之内。

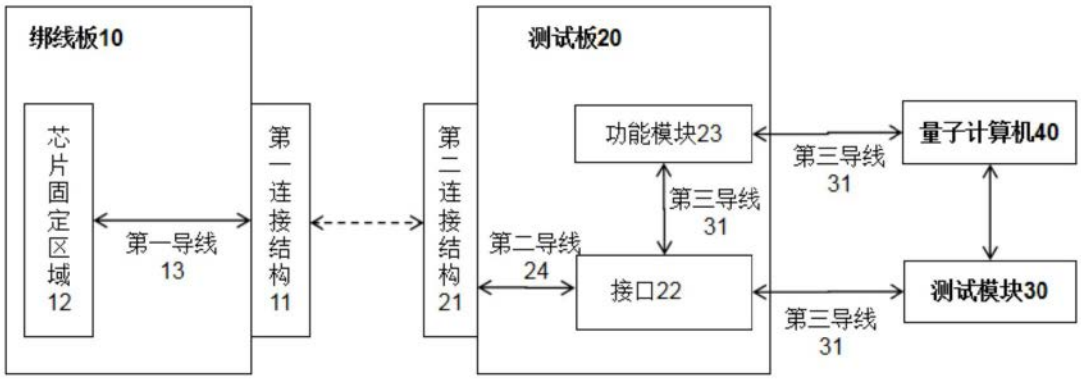

绑线板10
芯片固定区域12
第一导线13
第一连接结构11
测试板20
第二连接结构21
功能模块23
第三导线31
量子计算机40
第二导线24
接口22
测试模块30
第三导线31
第三导线31

图1

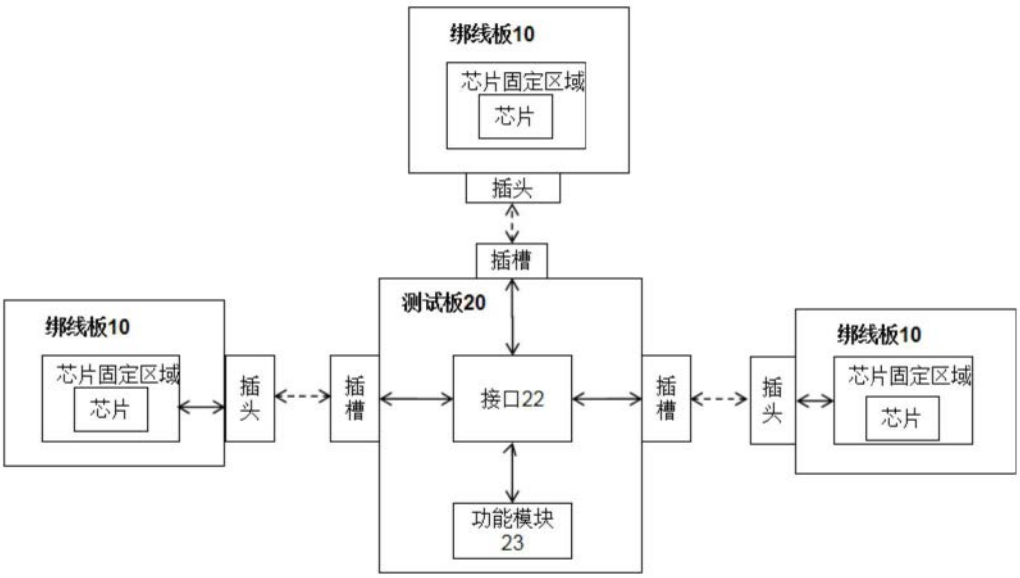

绑线板10
芯片固定区域
芯片
插头
插槽
测试板20
绑线板10
芯片固定区域
芯片
插头
插槽
接口22
插槽
插头
绑线板10
芯片固定区域
芯片
功能模块23

图2

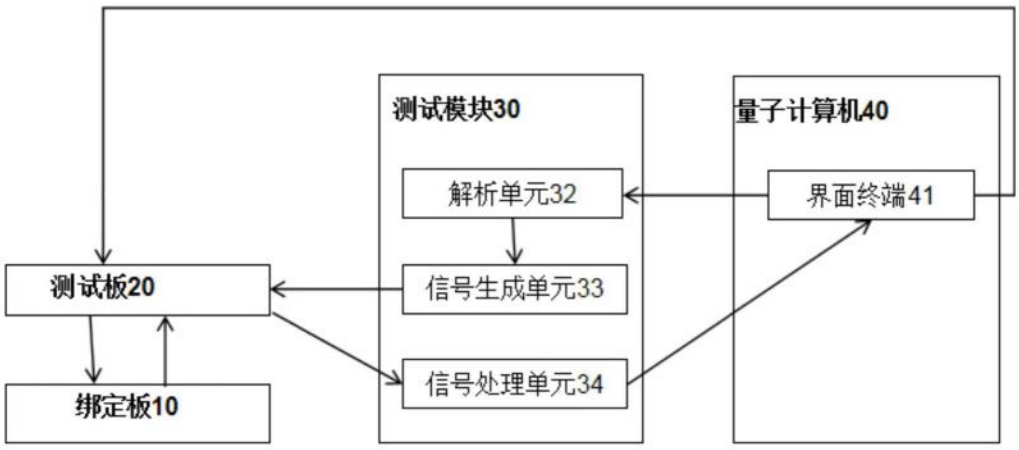

测试模块30
量子计算机40
解析单元32
界面终端41
测试板20
信号生成单元33
信号处理单元34
绑定板10

图3

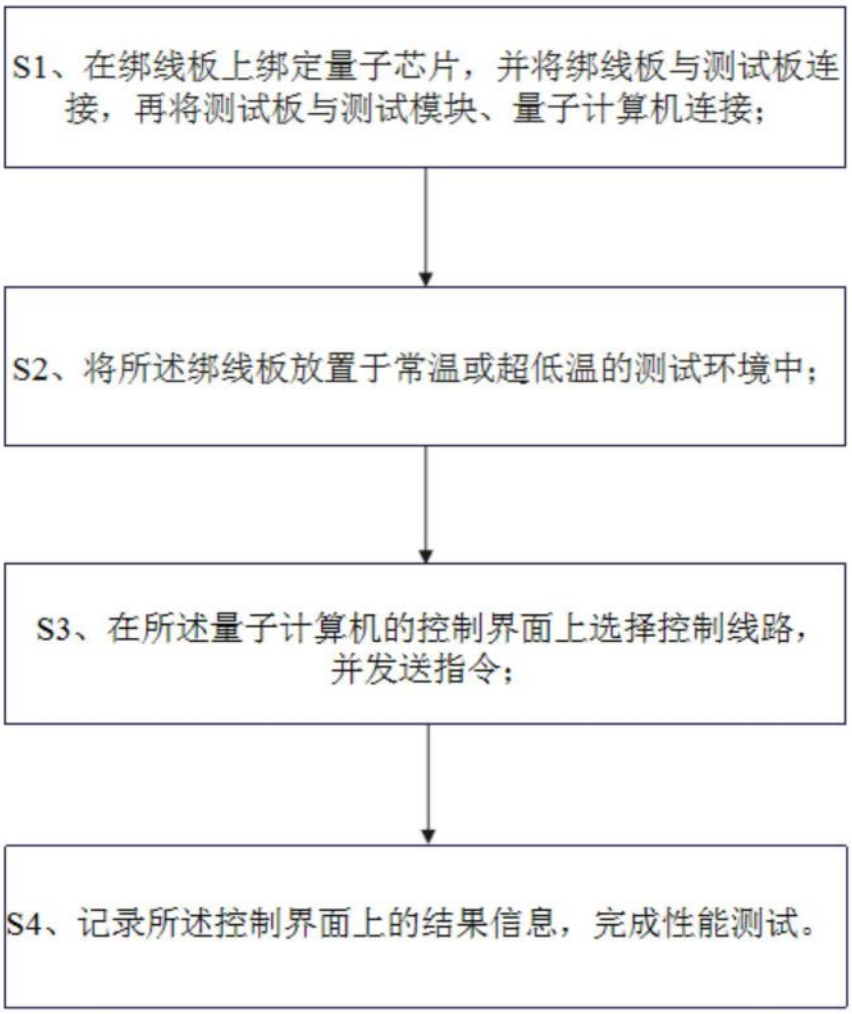

S1、在绑线板上绑定量子芯片，并将绑线板与测试板连接，再将测试板与测试模块、量子计算机连接；
S2、将所述绑线板放置于常温或超低温的测试环境中；
S3、在所述量子计算机的控制界面上选择控制线路，并发送指令；
S4、记录所述控制界面上的结果信息，完成性能测试。

图4