(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0174566
(43) 공개일자 2024년12월17일

(51) 국제특허분류(Int. Cl.)
H03M 1/46 (2006.01) *H03M 1/10* (2006.01)
H03M 1/12 (2006.01)
(52) CPC특허분류
H03M 1/46 (2013.01)
H03M 1/1014 (2013.01)
(21) 출원번호 10-2023-0073965
(22) 출원일자 2023년06월09일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
양성훈
서울특별시 마포구 광성로6안길 23 (신수동) 304
정재훈
서울특별시 마포구 신촌로14길 34 (노고산동) 404
(뒷면에 계속)
(74) 대리인
김선종

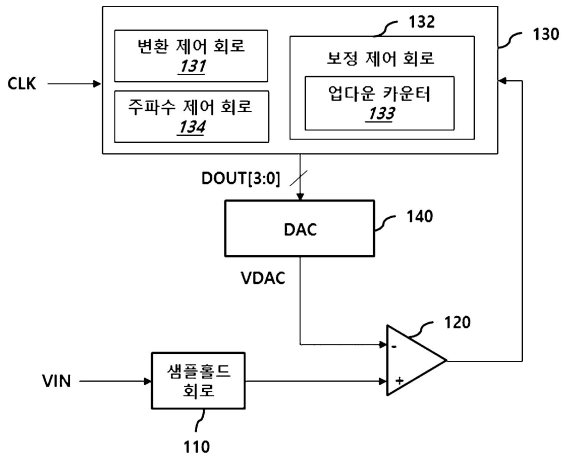
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **아날로그 디지털 변환기**

(57) 요 약

본 기술에 의한 아날로그 디지털 변환기는 입력 전압과 변환 전압을 비교하는 비교기; 디지털 출력 신호에 따라 변환 전압을 출력하는 디지털 아날로그 변환기; 및 비교기의 출력에 따라 입력 전압에 대응하는 디지털 출력 신호를 결정하는 변환 제어 회로와 디지털 출력 신호를 결정한 후 디지털 출력 신호에 대응하는 변환 전압과 입력 전압의 비교 결과에 따라 디지털 출력 신호의 최하위 비트를 보정하는 보정 제어 회로를 포함하는 제어 회로를 포함한다.

대 표 도 - 도3



100

(52) CPC특허분류
H03M 1/1245 (2013.01)
(72) 발명자
조영원
서울특별시 마포구 백범로 77 606
범진욱
경기도 고양시 일산동구 강송로 196 (마두동, 강촌마을1단지아파트) 115-1601

명 세 서

청구범위

청구항 1

입력 전압과 변환 전압을 비교하는 비교기;

디지털 출력 신호에 따라 상기 변환 전압을 출력하는 디지털 아날로그 변환기; 및

상기 비교기의 출력에 따라 상기 입력 전압에 대응하는 상기 디지털 출력 신호를 결정하는 변환 제어 회로와 상기 디지털 출력 신호를 결정한 후 상기 디지털 출력 신호에 대응하는 변환 전압과 상기 입력 전압의 비교 결과에 따라 상기 디지털 출력 신호의 최하위 비트를 보정하는 보정 제어 회로를 포함하는 제어 회로

를 포함하는 아날로그 디지털 변환기.

청구항 2

청구항 1에 있어서, 상기 보정 제어 회로는 상기 디지털 출력 신호에 의해 초기화되고 상기 비교 결과에 따라 상기 디지털 출력 신호를 증가 또는 감소시키는 업다운 카운터를 포함하는 아날로그 디지털 변환기.

청구항 3

청구항 2에 있어서, 상기 변환 제어 회로는 내부 클록 신호에 따라 상기 디지털 출력 신호를 최상위 비트부터 최하위 비트까지 순차적으로 결정하되, 상기 최상위 비트를 결정할 때의 상기 내부 클록 신호의 주기는 상기 업다운 카운터에 제공되는 클록 신호의 주기보다 더 긴 아날로그 디지털 변환기.

청구항 4

청구항 1에 있어서, 상기 변환 제어 회로는 내부 클록 신호에 따라 상기 디지털 출력 신호를 최상위 비트부터 최하위 비트까지 순차적으로 결정하되, 상기 최상위 비트를 결정할 때의 내부 클록 신호의 주기는 상기 최하위 비트를 결정할 때의 내부 클록 신호의 주기보다 더 긴 아날로그 디지털 변환기.

청구항 5

청구항 1에 있어서, 상기 입력 전압을 샘플링하여 저장하는 샘플 홀드 회로를 더 포함하는 아날로그 디지털 변환기.

청구항 6

청구항 5에 있어서, 상기 비교기는 상기 샘플 홀드 회로의 출력을 입력받는 양의 입력단과 상기 변환 전압을 입력받는 음의 입력단을 포함하는 아날로그 디지털 변환기.

청구항 7

청구항 1에 있어서, 상기 디지털 아날로그 변환기는 제 1 디지털 아날로그 변환기와 제 2 디지털 아날로그 변환기를 포함하고,

상기 제 1 디지털 아날로그 변환기는 상기 디지털 출력 신호의 최상위 비트를 결정하는 과정에서 상기 디지털 출력 신호에 대응하여 출력된 제 1 변환 전압을 상기 변환 전압으로 제공하고, 상기 제 2 디지털 아날로그 변환기는 상기 디지털 출력 신호의 최하위 비트를 결정하는 과정에서 상기 디지털 출력 신호에 대응하여 출력된 제 2 변환 전압을 상기 변환 전압으로 제공하는 아날로그 디지털 변환기.

청구항 8

청구항 7에 있어서, 상기 변환 제어 회로는 내부 클록 신호에 따라 상기 디지털 출력 신호를 최상위 비트부터 최하위 비트까지 순차적으로 결정하되, 상기 제 1 디지털 아날로그 변환기를 사용할 때의 상기 내부 클록 신호의 주기는 상기 제 2 디지털 아날로그 변환기를 사용할 때의 상기 내부 클록 신호의 주기보다 더 긴 아날로그

디지털 변환기.

청구항 9

청구항 1에 있어서, 상기 입력 전압을 샘플링하여 저장하는 샘플 홀드 회로를 더 포함하는 아날로그 디지털 변환기.

청구항 10

청구항 9에 있어서, 상기 샘플 홀드 회로는 일단에 상기 제 1 변환 전압이 인가되고 타단이 상기 비교기의 음의 입력단에 연결되는 샘플링 커패시터와 상기 일단에 외부에서 제공되는 입력 전압을 선택적으로 제공하는 스위치를 포함하고, 상기 제 2 변환 전압은 상기 비교기의 양의 입력단에 인가되는 아날로그 디지털 변환기.

발명의 설명

기 술 분 야

[0001] 본 기술은 아날로그 디지털 변환기에 관한 것으로 보다 구체적으로는 아날로그 디지털 변환 오차를 줄일 수 있는 아날로그 디지털 변환기에 관한 것이다.

배 경 기 술

[0002] 도 1은 종래의 4비트 연속 근사(SAR) 아날로그 디지털 변환기(ADC, 1)를 나타내는 블록도이다.

[0003] 종래의 SAR ADC(1)는 샘플 홀드 회로(10), 비교기(20), 변환 제어 회로(30), 및 디지털 아날로그 변환기(DAC, 40)를 포함한다.

[0004] 샘플 홀드 회로(10)는 입력 전압(Vin)을 샘플하여 저장하고, 비교기(20)는 샘플 홀드 회로(10)의 출력과 DAC(40)의 출력 전압을 비교하여 비교 결과를 출력한다.

[0005] 변환 제어 회로(30)는 클록 신호(CLK)에 따라 비교 결과를 참조하여 디지털 출력 신호(DOUT)를 상위 비트부터 하위 비트까지 순차적으로 결정한다. 하위 비트까지 결정되면 종료 신호(EOC)를 활성화한다.

[0006] DAC(40)는 디지털 출력 신호(DOUT)에 대응하는 변환 전압(VDAC)을 생성한다.

[0007] 도 2는 종래의 ADC(1)의 문제점을 나타내는 파형도이다.

[0008] 종래의 SAR ADC(1)는 Phase 1에서 Phase 4까지의 동작을 순차적으로 실행하여 디지털 출력 신호(DOUT)의 3번 비트부터 0번 비트까지 값을 결정한다. 이에 따라 DAC(30)에서 출력되는 변환 전압은 동작 초기에 스윙 폭이 가장 크다.

[0009] 종래의 DAC(30)는 스윙 폭이 큰 경우 정착 시간(settling time) 부족으로 인하여 디지털 출력 신호(DOUT)에 대응하는 변환 전압(VDAC)을 정상적으로 생성하지 못할 수 있으며 이로 인하여 초기 에러가 발생할 수 있다.

[0010] 도 2는 이러한 에러로 인하여 최상위 비트가 잘못 결정되고 결과적으로 이상적인 디지털 출력 신호와 다른 디지털 출력 신호를 생성하는 것을 나타낸다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) US 10218377 B2

(특허문헌 0002) US 2021/0376844 A1

비특허문헌

[0012] (비특허문헌 0001) Sang-Hyun Cho, Chang-Kyo Lee, Jong-Kee Kwon, Seong-Tak Ryu, "A 550uW 10-b 40-MS/s

SAR ADC Wirth Multistep Addition-Only Digital Error Correction", in IEEE Journal of solid-state circuits, vol 46, No 8, August 2011, pp 1881-1892

발명의 내용

해결하려는 과제

[0013] 본 기술은 변환 에러를 줄일 수 있는 아날로그 디지털 변환기를 제공한다.

과제의 해결 수단

[0014] 본 기술에 의한 아날로그 디지털 변환기는 아날로그 디지털 변환기는 입력 전압과 변환 전압을 비교하는 비교기; 디지털 출력 신호에 따라 변환 전압을 출력하는 디지털 아날로그 변환기; 및 비교기의 출력에 따라 입력 전압에 대응하는 디지털 출력 신호를 결정하는 변환 제어 회로와 디지털 출력 신호를 결정한 후 디지털 출력 신호에 대응하는 변환 전압과 입력 전압의 비교 결과에 따라 디지털 출력 신호의 최하위 비트를 보정하는 보정 제어 회로를 포함하는 제어 회로를 포함한다.

발명의 효과

[0015] 본 기술에 의한 아날로그 디지털 변환기는 디지털 변환 동작이 완료된 이후 업다운 카운터를 이용하여 디지털 출력 신호를 보정함으로써 변환 에러를 줄일 수 있다.

[0016] 본 기술에 의한 아날로그 디지털 변환기는 서로 다른 방식의 디지털 아날로그 변환기를 사용하여 디지털 변환을 수행하여 변환 에러를 줄이고 전체 회로 면적을 줄일 수 있다.

[0017] 본 기술에 의한 아날로그 디지털 변환기는 내부 클록 신호의 주파수를 가변 적용함으로써 동작 시간을 줄일 수 있다.

도면의 간단한 설명

[0018] 도 1은 종래의 아날로그 디지털 변환기를 나타내는 블록도.

도 2는 종래의 아날로그 디지털 변환기의 문제점을 나타내는 파형도.

도 3은 본 발명의 일 실시예에 의한 아날로그 디지털 변환기를 나타내는 블록도.

도 4는 본 발명의 일 실시예에 의한 아날로그 디지털 변환기의 동작을 나타내는 파형도.

도 5는 본 발명의 다른 실시예에 의한 아날로그 디지털 변환기를 나타내는 블록도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

[0020] 도 3은 본 발명의 일 실시예에 의한 아날로그 디지털 변환기(ADC, 100)를 나타내는 블록도이다.

[0021] 본 실시예에서 ADC(100)는 연속 근사(SAR) 방식의 ADC(100)이다.

[0022] ADC(100)는 샘플 홀드 회로(110), 비교기(120), 제어 회로(130), 및 디지털 아날로그 변환기(DAC, 140)를 포함한다.

[0023] 샘플 홀드 회로(110)는 입력 전압(VIN)을 샘플하여 저장하고, 비교기(120)는 샘플 홀드 회로(10)의 출력과 DAC(140)에서 출력되는 변환 전압(VDAC)을 비교하여 비교 결과를 출력한다.

[0024] DAC(140)는 디지털 출력 신호(DOUT)에 대응하는 변환 전압(VDAC)을 생성한다.

[0025] 제어 회로(130)는 클록 신호(CLK)에 따라 비교 결과를 참조하여 디지털 출력 신호(DOUT)를 결정하는 변환 제어 회로(131)와 디지털 출력 신호(DOUT)를 보정하는 보정 제어 회로(132)를 포함한다.

[0026] 변환 제어 회로(131)는 클록 신호(CLK)에 따라 비교 결과를 참조하여 디지털 출력 신호(DOUT)를 상위 비트부터 하위 비트까지 순차적으로 결정한다.

[0027] 본 실시예에서 보정 제어 회로(132)는 변환 제어 회로(131)의 동작을 통해 디지털 출력 신호(DOUT)가 최하위 비트까지 모두 결정된 이후에 동작한다.

[0028] 보정 제어 회로(132)는 디지털 출력 신호(DOUT)를 DAC(140)에 제공하였을 때 출력되는 변환 전압(VDAC)과 샘플 홀드 회로(110)에 샘플링된 입력 전압(VIN)을 비교한 결과를 참조하여 디지털 출력 신호(DOUT)의 최하위 비트를 증가 또는 감소시킨다.

[0029] 이때 최하위 비트를 증가 또는 감소시키는 횟수는 실시예에 따라 달라질 수 있다.

[0030] 도 4는 본 발명의 일 실시예에 의한 아날로그 디지털 변환기의 동작을 나타내는 파형도이다.

[0031] Phase 1 ~ Phase 4는 4비트의 디지털 출력 신호를 결정하는 단계를 나타낸다. 종래와 같이 Phase 1에서는 DAC(140)의 동작 조건에 따라 에러가 발생할 수 있다.

[0032] 도 4는 입력 전압(VIN)에 대응하는 바람직한 디지털 출력 신호(DOUT)는 "0110"이어야 하나 실제로는 Phase 1에서 에러가 발생하여 "1000"이 출력된 것을 나타낸다.

[0033] 본 발명에서는 Phase 5, Phase 6에서 보정 제어 회로(132)가 동작하여 디지털 출력 신호(DOUT)의 최하위 비트를 순차적으로 증가 또는 감소시키는 동작을 수행한다.

[0034] 도 4는 Phase 5 및 Phase 6에서 최하위 비트를 1씩 감소시켜 최종적으로 바람직한 디지털 출력 신호(DOUT)인 "0110"을 생성하는 과정을 나타낸다.

[0035] 보정 제어 회로(132)는 디지털 출력 신호(DOUT)의 최하위 비트를 증가 또는 감소시키기 위하여 업다운 카운터(133)를 포함할 수 있다.

[0036] 업다운 카운터(133)는 디지털 출력 신호에 의해 카운터 값이 초기화되고 비교기의 비교 결과에 따라 카운터 값을 증가 또는 감소시키는 방식으로 동작할 수 있다.

[0037] 제어 회로(130)는 주파수 제어 회로(134)를 더 포함할 수 있다.

[0038] 주파수 제어 회로(134)는 내부의 동작을 위해 클록 신호(CLK)의 주파수를 변경하여 제공할 수 있다. 주파수 제어 회로(132)는 주파수가 상이한 다수의 클록 신호를 입력받아 적절한 주파수의 클록 신호를 선택하여 내부의 동작을 위해 제공할 수도 있다. 이는 통상의 기술자에 의하여 설계 변경이 가능한 것이다.

[0039] 이하에서는 주파수 제어 회로(132)가 내부 동작을 위해 제공하는 클록 신호를 내부 클록 신호로 지칭한다.

[0040] 본 실시예에서 변환 제어 회로(131)와 보정 제어 회로(132)는 동일한 주파수의 내부 클록 신호에 의해 동작이 제어될 수 있으나 서로 다른 주파수의 내부 클록 신호에 의하여 동작이 제어될 수 있다.

[0041] 예를 들어 변환 제어 회로(131)는 제 1 내부 클록 신호에 의해 동작하고 보정 제어 회로(132)는 제 1 내부 클록 신호보다 더 높은 주파수를 갖는 제 2 내부 클록 신호에 의해 동작할 수 있다.

[0042] 또 다른 예로서 변환 제어 회로(131)는 디지털 출력 신호 중 상위 비트를 결정하는 동안 제 1 내부 클록 신호에 따라 동작하고, 디지털 출력 신호 중 하위 비트를 결정하는 동안 제 1 내부 클록 신호보다 더 높은 주파수를 갖는 제 2 내부 클록 신호에 의해 제어될 수 있다.

[0043] 상위 비트를 결정할 때는 DAC(140)에서 상대적으로 큰 전압이 변동되므로 주파수가 낮은 내부 클록 신호를 사용하여 DAC(140)의 정착 시간 부족으로 인한 에러 발생 가능성을 낮출 수 있다. 또한 하위 비트를 결정할 때는 DAC(140)에서 상대적으로 낮은 전압이 변동되므로 주파수가 높은 내부 클록 신호를 사용하여 전체적인 변환 시간을 줄일 수 있다.

[0044] 또 다른 실시예에서는 상위 비트에서 하위 비트 방향으로 디지털 출력 신호(DOUT)를 결정하면서 세 종류 이상의 주파수를 갖는 내부 클록 신호를 사용할 수도 있으며 이외에도 통상의 기술자에 의한 다양한 설계 변경이 가능할 것이다.

[0045] 도 5는 본 발명의 다른 실시예에 의한 아날로그 디지털 변환기(200)를 나타내는 블록도이다.

[0046] 아날로그 디지털 변환기(200)는 DAC(240)를 제외하고 도 3에 도시된 실시예와 실질적으로 동일하다.

[0047] 도 5에서 DAC(240)는 제 1 DAC(241)와 제 2 DAC(242)를 포함한다.

[0048] 본 실시예에서 제 1 DAC(241)는 저항 타입의 DAC로서 디지털 출력 신호(DOUT)의 상위 비트를 결정하는 과정에서

사용되고, 제 2 DAC(242)는 커패시터 타입의 DAC로서 디지털 출력 신호(DOUT)의 하위 비트를 결정하는 과정에서 사용될 수 있다.

[0049] 예를 들어, 디지털 출력 신호(DOUT)가 4비트인 경우 상위 2비트, 즉 3번 및 2번 비트를 결정하는 과정에서는 제 1 DAC(241)를 사용하고, 하위 2비트, 즉 1번 및 0번 비트를 결정하는 과정에서는 제 2 DAC(242)를 사용할 수 있으며 이는 실시예에 따라 변경될 수 있다.

[0050] 이하에서, 제 1 DAC(241)를 이용하여 디지털 출력 신호(DOUT)의 상위 비트를 결정하는 단계를 제 1 변환 단계로 지칭하고, 제 2 DAC(242)를 이용하여 디지털 출력 신호(DOUT)의 하위 비트를 결정하는 단계를 제 2 변환 단계로 지칭한다.

[0051] 저항 타입의 DAC와 커패시터 타입의 DAC 각각의 구성과 샘플 홀드 회로(210) 및 비교기(120)와의 연결 방식은 종래의 기술이므로 이에 대한 구체적인 설명은 생략한다.

[0052] 샘플 홀드 회로(210)는 샘플링 커패시터(211)와 샘플링 커패시터(211)의 일단에 연결되어 입력 전압(VIN)을 제공하는 샘플링 스위치(212)를 포함한다. 샘플링 커패시터(211)의 타단은 비교기(120)의 양의 입력단에 연결된다.

[0053] 제 1 DAC(241)의 출력 전압을 제 1 변환 전압(VRDAC)으로 지칭하고, 제 2 DAC(242)의 출력 전압을 제 2 변환 전압(VCDAC)으로 지칭한다.

[0054] 제 1 DAC(241)는 저항 타입의 DAC로서 샘플링 커패시터(211)의 일단에 연결된다.

[0055] 제 2 DAC(242)는 커패시터 타입의 DAC로서 비교기(120)의 음의 입력단에 연결된다.

[0056] 비교기(120)의 양의 입력단과 음의 입력단은 각각 스위치(121, 122)를 통해 공통 전압(VCM)에 연결된다.

[0057] 입력 전압(VIN)이 0과 1V 사이의 값을 가지고 공통 전압(VCM)이 0.5V인 경우를 예로 들어 동작을 설명하면 다음과 같다.

[0058] (샘플링 단계)

[0059] 샘플링 단계에서 샘플 홀드 회로(210)는 스위치(212)가 턴온되어 입력 전압(VIN)이 인가되고 비교기(120)의 양의 입력 전압(V1) 및 음의 입력 전압(V2)은 공통 전압으로 고정된다.

[0060] (제 1 변환 단계)

[0061] 제 1 변환 단계에서는 스위치(121)가 턴오프되고 디지털 출력 신호(DOUT)에 대응하여 제 1 DAC(241)에서 생성되는 제 1 변환 전압(VRDAC)이 샘플링 커패시터(211)의 일단에 제공되어 비교기(120)의 음의 입력 전압(V2)은 다음 수학식 1의 값을 가지고, 비교기(120)의 양의 입력 전압(V1)은 공통 전압으로 고정된다.

수학식 1

[0062] $$V2 = VRDAC + 0.5 - VIN$$

[0063] 이에 따라 제 1 변환 단계에서 비교기(120)는 입력 전압(VIN)과 제 1 변환 전압(VRDAC)의 크기를 비교한 결과를 출력한다.

[0064] 나머지 상위 비트에 대하여 제 1 변환 단계를 반복하여 디지털 출력 신호(DOUT)의 상위 비트들이 결정된다.

[0065] (제 2 변환 단계)

[0066] 제 2 변환 단계에서는 스위치(121)가 턴오프되고 디지털 출력 신호(DOUT)에 대응하여 제 2 DAC(242)에서 생성되는 제 2 변환 전압(VCDAC)이 비교기(120)의 음의 입력단에 제공되어 비교기(120)의 양의 입력 전압(V1)은 다음 수학식 2의 값을 가지고, 비교기(120)의 음의 입력 전압(V2)은 수학식 3의 값을 가진다. 수학식 3에서 제 1 변환 전압(VRDAC)은 제 1 변환 단계에서 최종적으로 결정된 제 1 변환 전압(VRDAC)이 유지된다.

수학식 2

[0067] $$V1 = VCDAC$$

수학식 3

[0068] $$V2 = VRDAC + \mathbf{0.5} - VIN$$

[0069] 이는 커패시터 방식의 DAC를 이용한 아날로그 디지털 변환기에서 디지털 출력 신호(DOUT)의 결정됨에 따라 샘플링 커패시터의 전압이 변경되는 것을 반영한다.

[0070] 나머지 하위 비트에 대하여 제 2 변환 단계를 반복하여 디지털 출력 신호(DOUT)가 결정된다.

[0071] 전술한 보정 동작 과정에서는 제 2 DAC(142)를 사용하여 디지털 출력 신호(DOUT)의 최하위 비트를 증감할 수 있다.

[0072] 다수의 입력 전압에 대해서 다수의 디지털 출력 신호를 생성하는 멀티채널 ADC의 경우에는 채널마다 도 5와 같은 형태의 ADC(200)를 다수 개 병렬로 배치할 수 있다.

[0073] 이 경우 저항 타입의 제 1 DAC(241)는 다수의 ADC(200)에서 공유할 수 있으며 이를 통해 회로의 면적을 절약할 수 있다.

[0074] 본 발명의 권리범위는 이상의 개시로 한정되는 것은 아니다. 본 발명의 권리범위는 청구범위에 문언적으로 기재된 범위와 그 균등범위를 기준으로 해석되어야 한다.

부호의 설명

[0075] 1, 100, 200: 아날로그 디지털 변환기, ADC

10, 110, 210: 샘플 홀드 회로

20, 120: 비교기

30, 131: 변환 제어 회로

130: 제어 회로

132: 보정 제어 회로

133: 업다운 카운터

134: 주파수 제어 회로

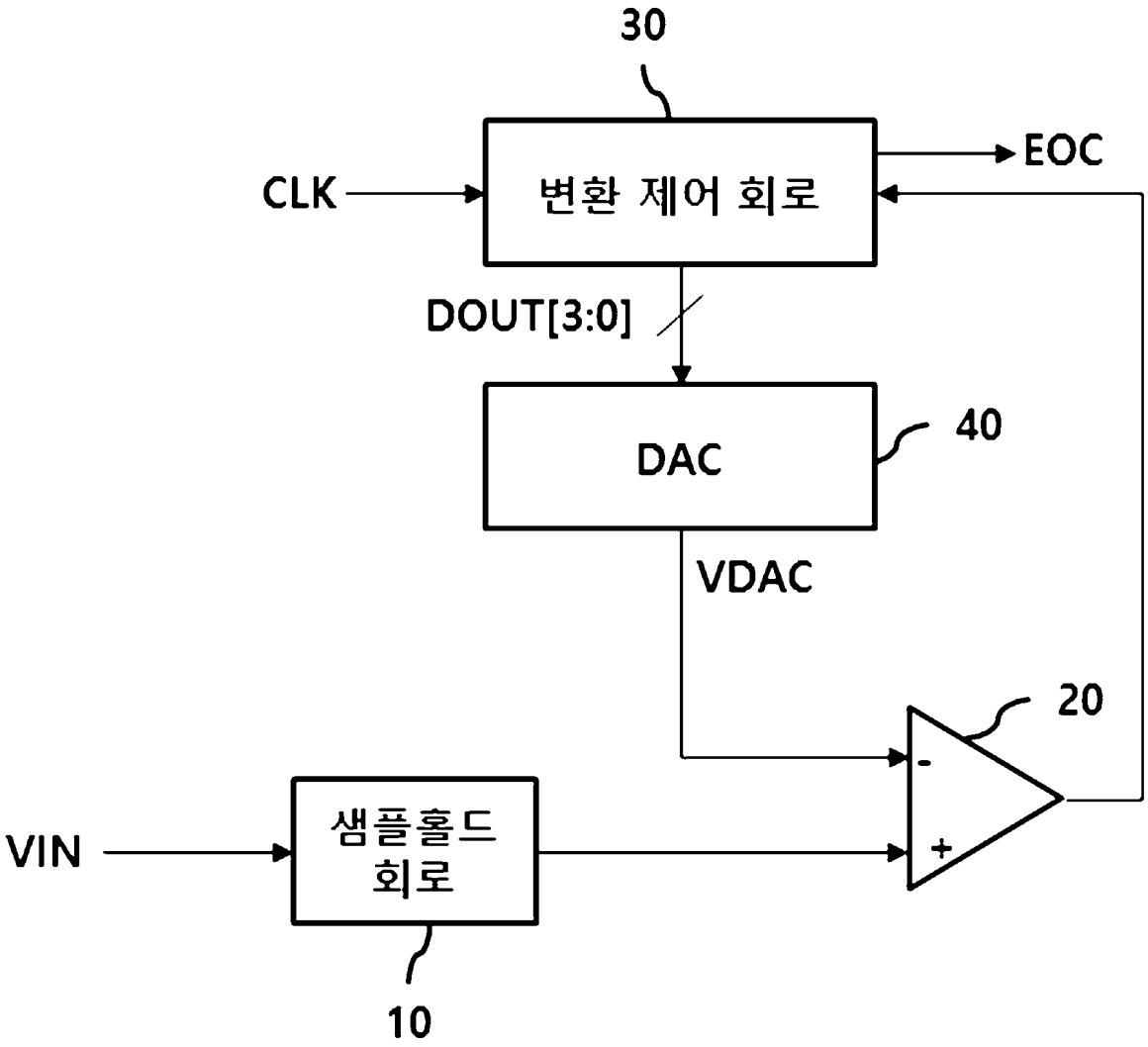
40, 140: 디지털 아날로그 변환기, DAC

141: 제 1 DAC

142: 제 2 DAC

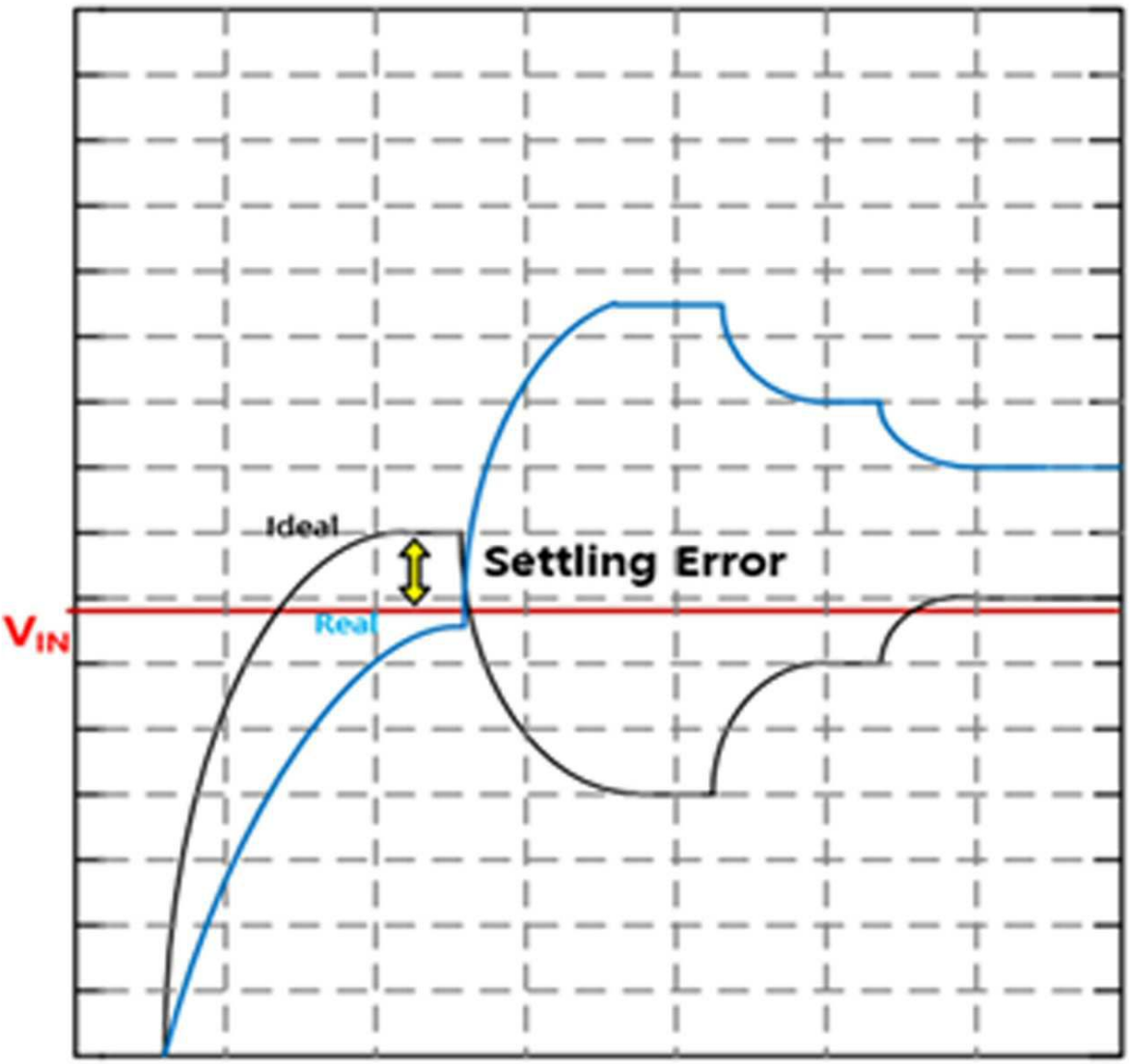
도면

도면1



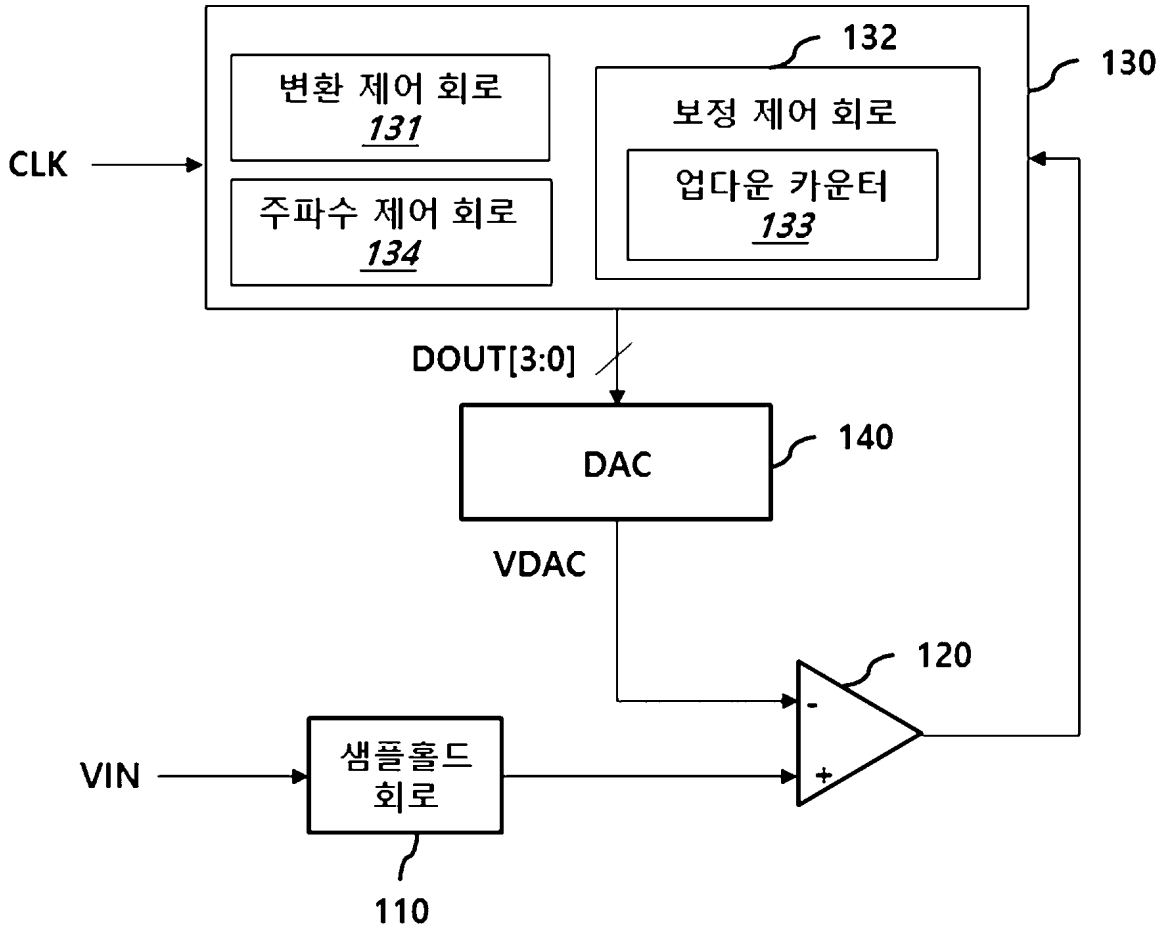
1

도면2



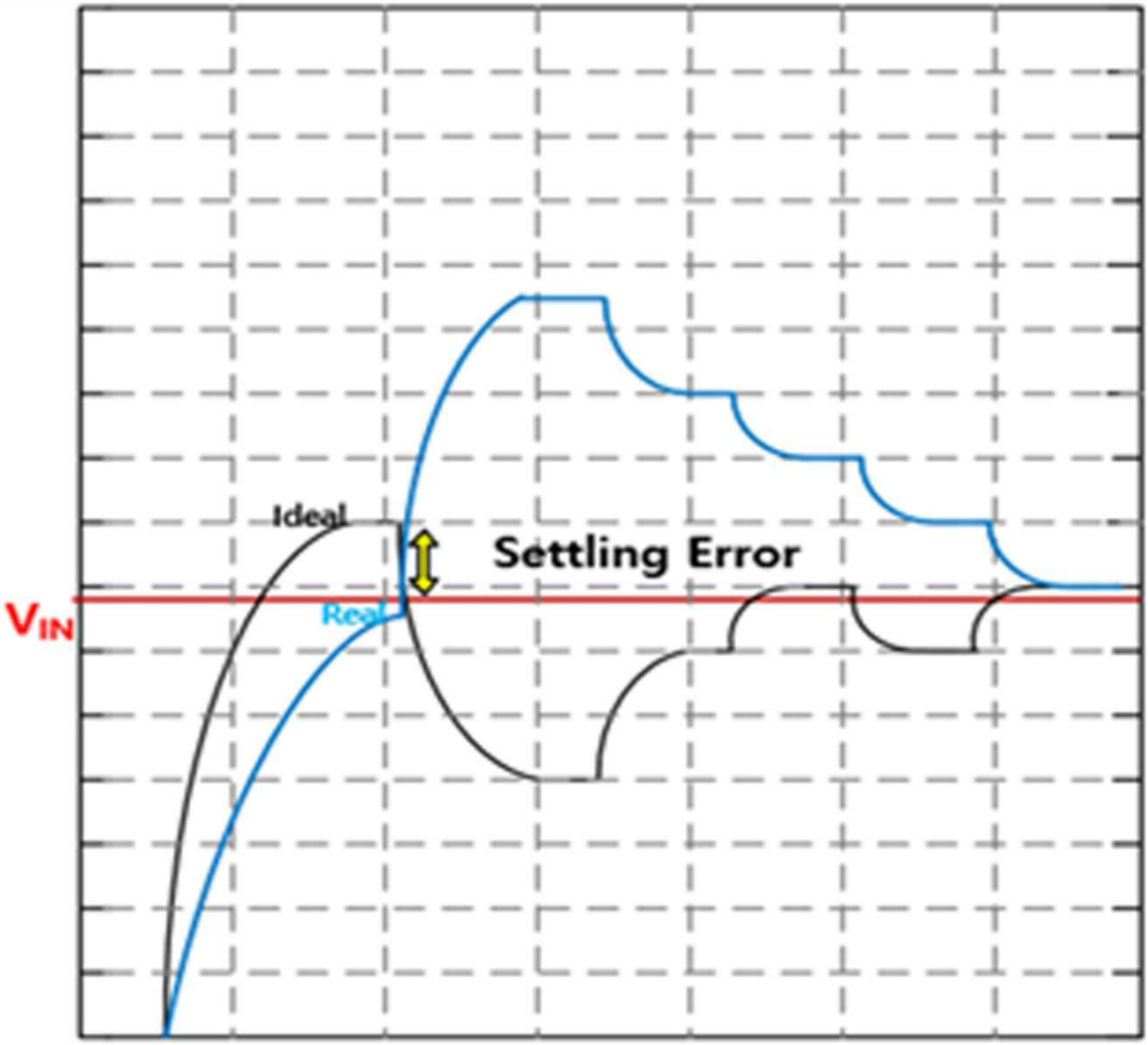
	Phase1	Phase2	Phase3	Phase4	Total
Ideal	0	1	1	0	0110
Real	1	0	0	0	1000

도면3


CLK
변환 제어 회로
131
주파수 제어 회로
134
132
보정 제어 회로
업다운 카운터
133
130
DOUT[3:0]
DAC
140
VDAC
120
VIN
샘플홀드
회로
110

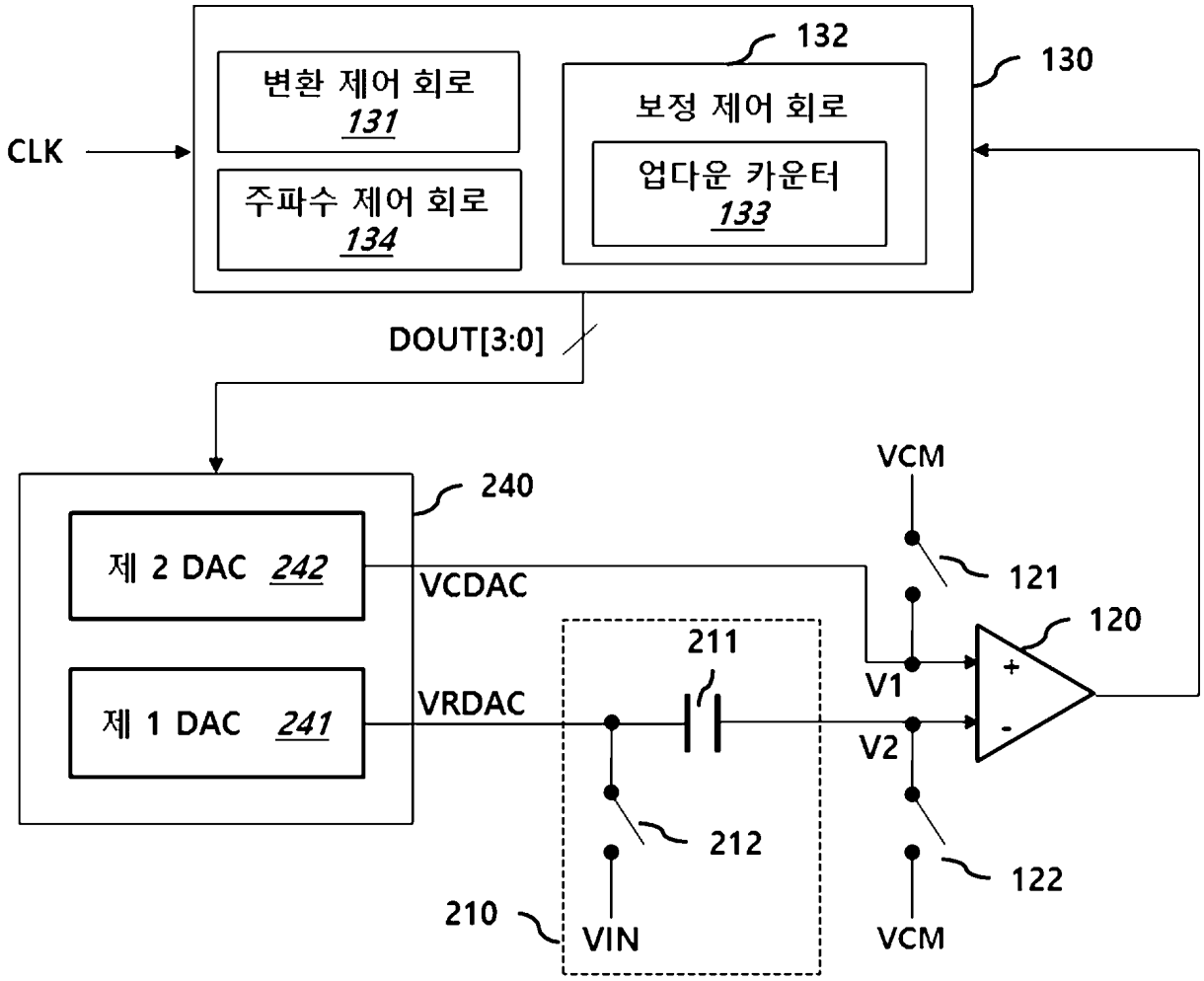
100

도면4



	Phase1	Phase2	Phase3	Phase4	Phase5	Phase6	Total
Ideal	0	1	1	0	+1	-1	0110
Real	1	0	0	0	-1	-1	0110

도면5


CLK
변환 제어 회로
131
주파수 제어 회로
134
132
보정 제어 회로
업다운 카운터
133
130
DOUT[3:0]
240
제 2 DAC 242
제 1 DAC 241
VCDAC
VRDAC
211
212
210
VIN
VCM
121
120
V1
V2
122
VCM
200