



(12) 发明专利

(10) 授权公告号 CN 102650751 B

(45) 授权公告日 2014. 08. 06

(21) 申请号 201110284189. 8

US 2011150169 A1, 2011. 06. 23, 全文 .

(22) 申请日 2011. 09. 22

CN 1767070 A, 2006. 05. 03, 全文 .

US 2007086558 A1, 2007. 04. 19, 全文 .

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
专利权人 北京京东方显示技术有限公司

审查员 陈丽丽

(72) 发明人 王峥

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/133(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

US 2003231735 A1, 2003. 12. 18, 全文 .

CN 1731501 A, 2006. 02. 08, 全文 .

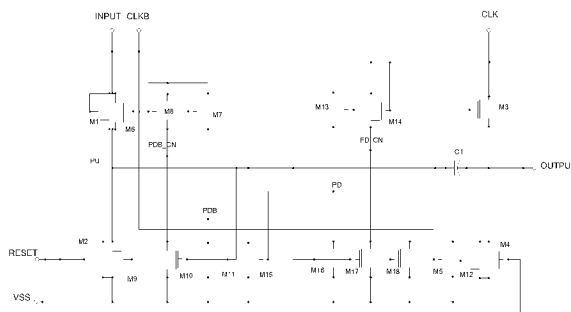
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种 GOA 电路、阵列基板及液晶显示器件

(57) 摘要

本发明提供一种阵列基板行驱动 GOA 电路、阵列基板及液晶显示器件, 涉及液晶显示器制造领域, 能够提高液晶显示器栅线扫描信号的稳定性。一种 GOA 电路, 包括至少两个 GOA 单元; 一 GOA 单元的输出端连接下一 GOA 单元的输入端, 一 GOA 单元的复位端连接下一 GOA 单元的输出端, 且每一 GOA 单元的输出端连接一条栅线; 其特征在于, 所述 GOA 单元包括: 一电容, 一第一晶体管, 一第二晶体管, 一第三晶体管, 一第四晶体管, 一第五晶体管, 一第六晶体管, 第一电压下拉模块和第二电压下拉模块。本发明用于液晶显示器的制造。



1. 一种阵列基板行驱动 GOA 电路,包括至少两个 GOA 单元;一 GOA 单元的输出端连接下一 GOA 单元的输入端,一 GOA 单元的复位端连接下一 GOA 单元的输出端,且每一 GOA 单元的输出端连接一条栅线;所述 GOA 单元包括:第三晶体管、第一电压下拉模块和第二下拉模块,其特征在于,还包括:电容、第一晶体管、第二晶体管、第四晶体管、第五晶体管和第六晶体管,其中:

电容,具有两极,第一极与输出端连接;

第一晶体管,该第一晶体管的栅极与源极分别连接信号输入端,该第一晶体管的漏极连接所述电容的第二极;

第二晶体管,该第二晶体管的栅极连接复位端,该第二晶体管的源极连接所述第一晶体管的漏极,该第二晶体管的漏极连接低电平端;

第三晶体管,该第三晶体管的栅极连接所述第一晶体管的漏极,该第三晶体管的源极连接第一时钟信号,该第三晶体管的漏极连接所述输出端;

第四晶体管,该第四晶体管的栅极连接所述复位端,该第四晶体管的源极连接所述输出端,该第四晶体管的漏极连接所述低电平端;

第五晶体管,该第五晶体管的栅极连接第二时钟信号,该第五晶体管的源极连接所述输出端,该第五晶体管的漏极连接所述低电平端;

第六晶体管,该第六晶体管的栅极连接所述第二时钟信号,该第六晶体管的源极连接所述第一晶体管的源极,该第六晶体管的漏极连接所述第一晶体管的漏极;

第一电压下拉模块,连接所述输出端、所述低电平端、所述第三晶体管的栅极及所述第二时钟信号;当所述第二时钟信号为高电平时,所述第一电压下拉模块用于拉低所述 GOA 单元中第三晶体管的栅极电压和所述输出端电压;

第二电压下拉模块,连接所述输出端、所述低电平端、所述第三晶体管的栅极及所述第一时钟信号;当所述第一时钟信号为高电平时,所述第二电压下拉模块用于拉低所述 GOA 单元中第三晶体管的栅极电压和所述输出端电压。

2. 根据权利要求 1 所述的 GOA 电路,其特征在于,所述第一电压下拉模块包括:

第七晶体管,该第七晶体管的源极连接所述第二时钟信号;

第八晶体管,该第八晶体管的栅极与源极分别连接所述第二时钟信号,该第八晶体管的漏极连接所述第七晶体管的栅极;

第九晶体管,该第九晶体管的栅极连接该第七晶体管的漏极,该第九晶体管的源极连接所述第一晶体管的漏极,该第九晶体管的漏极连接所述低电平端;

第十晶体管,该第十晶体管的栅极连接所述第一晶体管的漏极,该第十晶体管的源极连接所述第七晶体管的栅极,该第十晶体管的漏极连接所述低电平端;

第十一晶体管,该第十一晶体管的栅极连接所述第一晶体管的漏极,该第十一晶体管的源极连接所述第七晶体管的漏极,该第十一晶体管的漏极连接所述低电平端;

第十二晶体管,该第十二晶体管的栅极连接所述第七晶体管的漏极,该第十二晶体管的源极连接所述输出端,该第十二晶体管的漏极连接所述低电平端。

3. 根据权利要求 1 所述的 GOA 电路,其特征在于,所述第二电压下拉模块包括:

第十三晶体管,该第十三晶体管的源极连接所述第一时钟信号;

第十四晶体管,该第十四晶体管的栅极与源极分别连接所述第一时钟信号,该第十四

晶体管漏极连接所述第十三晶体管的栅极；

第十五晶体管,该第十五晶体管的栅极连接所述第十三晶体管的漏极,该第十五晶体管的源极连接所述第一晶体管的漏极,该第十五晶体管的漏极连接所述低电平端；

第十六晶体管,该第十六晶体管的栅极连接所述第一晶体管的漏极,该第十六晶体管的源极连接所述第十三晶体管的漏极,该第十六晶体管的漏极连接所述低电平端；

第十七晶体管,该第十七晶体管的栅极连接所述第一晶体管的漏极,该第十七晶体管的源极连接所述第十三晶体管的栅极,该第十七晶体管的漏极连接所述低电平端；

第十八晶体管,该第十八晶体管的栅极连接所述第十五晶体管的栅极,该第十八晶体管的漏极连接所述低电平端,该第十八晶体管的源极连接所述输出端。

4. 根据权利要求1、2或3所述的GOA电路,其特征在于,所述第二时钟信号与第一时钟信号具有180度相位差。

5. 根据权利要求1、2或3所述的GOA电路,其特征在于,所述第一时钟信号和第二时钟信号均在各自的工作周期内一半时间输出高电平,另一半时间输出低电平。

6. 根据权利要求1、2或3所述的GOA电路,其特征在于,第一个GOA单元的输入信号为一激活脉冲信号。

7. 一种阵列基板,其特征在于,在所述阵列基板上形成有GOA电路；

所述GOA电路为权利要求1~6任一项权利要求所述的GOA电路。

8. 一种液晶显示器件,包括:阵列基板,其特征在于,在所述阵列基板上形成有GOA电路；

所述GOA电路为权利要求1~6任一项权利要求所述的GOA电路。

## 一种 GOA 电路、阵列基板及液晶显示器件

### 技术领域

[0001] 本发明涉及液晶显示器制造领域,尤其涉及一种 GOA 电路、阵列基板及液晶显示器件。

### 背景技术

[0002] 近些年来液晶显示器的发展呈现出了高集成度,低成本的发展趋势。其中一项非常重要的技术就是 GOA(Gate Driver on Array,阵列基板行驱动)的技术量产化的实现。利用 GOA 技术将栅极开关电路集成在液晶显示面板的阵列基板上,从而可以省掉栅极驱动集成电路部分,以从材料成本和制作工艺两方面降低产品成本。这种利用 GOA 技术集成在阵列基板上的栅极开关电路也称为 GOA 电路。

[0003] 其中,GOA 电路包括若干个 GOA 单元,每一 GOA 单元对应一条栅线,具体的每一 GOA 单元的输出端连接一条栅线;且一 GOA 单元的输出端连接下一 GOA 单元的输入端。传统的 GOA 电路中的每一 GOA 单元为 1TFT(Thin Film Transistor,薄膜场效应晶体管)1Cap(电容)结构,其中 2006 年 5 月 3 日公开的中国专利申请 CN1767070A 中公开了一种 GOA 电路,具体包括两个 TFT 和两个由 TFT 器件构成的下拉模块,发明人发现该结构中存在 TFT 制作工艺波动导致的 TFT 特性下降,从而引起电路中驱动 TFT 的开关电压下拉过慢,以造成栅线扫描信号多输出的现象,因此采用这种电路的液晶显示器栅线扫描信号的稳定性较差。

### 发明内容

[0004] 本发明的实施例提供一种 GOA 电路、阵列基板及液晶显示器件,以解决栅线扫描信号多输出的问题。

[0005] 为解决上述问题,本发明的实施例采用如下技术方案:

[0006] 一方面,提供一种阵列基板行驱动 GOA 电路,包括至少两个 GOA 单元;一 GOA 单元的输出端连接下一 GOA 单元的输入端,一 GOA 单元的复位端连接下一 GOA 单元的输出端,且每一 GOA 单元的输出端连接一条栅线;GOA 单元包括:

[0007] 一电容,具有两极,第一极与输出端连接;

[0008] 第一晶体管,该第一晶体管的栅极与源极分别连接信号输入端,该第一晶体管的漏极连接电容的第二极;

[0009] 第二晶体管,该第二晶体管的栅极连接复位端,该第二晶体管的源极连接第一晶体管的漏极,该第二晶体管的漏极连接低电平端;

[0010] 第三晶体管,该第三晶体管的栅极连接第一晶体管的漏极,该第三晶体管的源极连接第一时钟信号,该第三晶体管的漏极连接输出端;

[0011] 第四晶体管,该第四晶体管的栅极连接复位端,该第四晶体管的源极连接输出端,该第四晶体管的漏极连接低电平端;

[0012] 第五晶体管,该第五晶体管的栅极连接第二时钟信号,该第五晶体管的源极连接输出端,该第五晶体管的漏极连接低电平端;

[0013] 第六晶体管,该第六晶体管的栅极连接第二时钟信号,该第六晶体管的源极连接第一晶体管的源极,该第六晶体管的漏极连接第一晶体管的漏极;

[0014] 第一电压下拉模块,连接输出端、低电平端、第三晶体管的栅极及第二时钟信号;当第二时钟信号为高电平时,第一电压下拉模块用于拉低 GOA 单元中晶体管 M3 的栅极电压和输出端电压;

[0015] 第二电压下拉模块,连接输出端、低电平端、第三晶体管的栅极及第一时钟信号;当第一时钟信号为高电平时,第二电压下拉模块用于拉低 GOA 单元中晶体管 M3 的栅极电压和输出端电压。

[0016] 另一方面,提供一种阵列基板,在阵列基板上形成有 GOA 电路;

[0017] 其中 GOA 电路为上述的 GOA 电路。

[0018] 再一方面,提供一种液晶显示器,包括:对盒成型的彩膜基板和阵列基板,在阵列基板上形成有 GOA 电路;

[0019] 其中 GOA 电路为上述的 GOA 电路。

[0020] 本发明实施例提供了一种 GOA 电路、阵列基板及液晶显示器件,由于 GOA 电路中的每个 GOA 单元均采用了第一电压下拉模块和第二电压下拉模块,即双下拉模块对驱动 TFT 的开关电压(第三晶体管的栅极电压)和输出端(OUTPUT)电压进行下拉,在当一 GOA 单元对应的栅线的电压为高电平时,其之前所有的 GOA 单元中的驱动 TFT 在双下拉模块的下拉作用下,迅速关断,此外利用双时钟对其之前的 GOA 单元的输出电压进行下拉,从而保证了在某一时刻下只有一条栅线的扫描信号输出,这就解决了栅线扫描信号多输出的问题,进一步的能够提高了液晶显示器 GOA 电路输出的栅线扫描信号的稳定性,以提高产品良率。

#### 附图说明

[0021] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0022] 图 1 为一种 GOA 电路结构图;

[0023] 图 2 为本发明实施例提供的 GOA 单元结构图;

[0024] 图 3 为本发明实施例提供的第一电压下拉模块电路图;

[0025] 图 4 为本发明实施例提供的第二电压下拉模块电路图;

[0026] 图 5 为本发明实施例提供的一种 GOA 单元电路图;

[0027] 图 6 为本发明实施例提供的一种 GOA 单元的时序图。

#### 具体实施方式

[0028] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0029] 本发明所有实施例中采用的晶体管均可以为场效应管,由于这里采用的场效应管

的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分场效应管除栅极之外的两极,将其中一极称为源极,另一极称为漏极。按附图中的形态规定场效应管的上侧端为源极、中间端为栅极、下侧端为漏极。

[0030] 本发明实施例提供一种 GOA 电路,包括至少两个 GOA 单元;一 GOA 单元的输出端连接下一 GOA 单元的输入端,一 GOA 单元的复位端连接下一 GOA 单元的输出端,且每一 GOA 单元的输出端连接一条栅线。

[0031] 具体的,如图 1 所示 GOA 电路,包括若干个 GOA 单元,其中 GOA 单元 1 的输出端 OUTPUT1 连接 GOA 单元 2 的输入端 INPUT2 并连接一条栅线 OG1,GOA 单元 1 的复位端 RESET1 与 GOA 单元 2 的输出端 OUTPUT2 连接;GOA 单元 2 的输出端 OUTPUT2 连接 GOA 单元 3 的输入端 INPUT3 并连接一条栅线 OG2,GOA 单元 2 的复位端 RESET2 与 GOA 单元 3 的输出端 OUTPUT3 连接;其他的 GOA 单元依照此方法链接,此外每个 GOA 单元都有两个时钟信号 CLK、CLKB 输入。在本实施例中,第一个 GOA 单元为 GOA 单元 1,则优选的,GOA 单元 1 的输入信号 INPUT1 为一个激活脉冲信号。

[0032] 图 2 为本发明实施例提供的上述 GOA 电路中任一 GOA 单元的结构示意图,包括:电容 C1,第一晶体管 M1,第二晶体管 M2,第三晶体管 M3,第四晶体管 M4,第五晶体管 M5,第六晶体管 M6,第一电压下拉模块 21 和第二电压下拉模块 22。并且,图 2 中的 GOA 单元的输入端为 INPUT,输出端为 OUTPUT,复位端为 RESET;第一时钟信号为 CLK,第二时钟信号为 CLKB。另外,晶体管 M3 为驱动 TFT,PU 为晶体管 M3 的开关电压。

[0033] 本发明实施例将图 2 所示的 GOA 单元作为当前 GOA 单元,下面具体描述其各部件间的连接关系:

[0034] 电容 C1 的第一极与输出端 OUTPUT 连接;

[0035] 晶体管 M1 的栅极与源极分别连接输入端 INPUT,晶体管 M1 的漏极连接电容 C1 的第二极;由于当前 GOA 单元(在不是第一个 GOA 的情况下)的输入端连接上一 GOA 单元的输出端,当上一 GOA 单元输出高电平时,晶体管 M1 导通将该高电平存入电容 C1;

[0036] 晶体管 M2 的栅极连接当前 GOA 单元的复位端 RESET,晶体管 M2 的源极连接晶体管 M1 的漏极,晶体管 M2 的漏极连接当前 GOA 单元的低电平端 VSS;这里复位端 RESET 连接下一 GOA 单元输出信号端,当下一 GOA 单元输出高电平时晶体管 M2 导通,PU 点电压被拉低晶体管 M3 关闭;

[0037] 晶体管 M3 的栅极连接晶体管 M1 的漏极,晶体管 M3 的源极连接第一时钟信号,晶体管 M3 的漏极连接当前 GOA 单元的输出端;这里晶体管 M3 导通并且第一时钟信号为高电平时,当前 GOA 单元的输出端 OUTPUT 输出高电平,即当前 GOA 单元输出栅线扫描信号;

[0038] 晶体管 M4 的栅极连接当前 GOA 单元的复位端 RESET,晶体管 M4 的源极连接当前 GOA 单元的输出端 OUTPUT,晶体管 M4 的漏极连接当前 GOA 单元的低电平端 VSS;这里当前 GOA 单元的复位端 RESET 连接下一 GOA 单元的输出端,当下一 GOA 单元输出高电平时晶体管 M4 导通,这时晶体管 M4 将当前 GOA 的输出端 OUTPUT 输出低电平(即低电平端 VSS 的电压),即此时当前 GOA 不输出栅线扫描信号;

[0039] 晶体管 M5 的栅极连接第二时钟信号,晶体管 M5 的源极连接当前 GOA 的输出端 OUTPUT,晶体管 M5 的漏极连接当前 GOA 单元的低电平端 VSS;这里当第二时钟信号为高电平时,晶体管 M5 导通,当前 GOA 单元的输出端 OUTPUT 输出低电平(即低电平端 VSS 的电

压),即此时当前 GOA 不输出栅线扫描信号;

[0040] 晶体管 M6 的栅极连接第二时钟信号,晶体管 M6 的源极连接晶体管 M1 的源极,晶体管 M6 的漏极连接晶体管 M1 的漏极;

[0041] 第一电压下拉模块 21 连接当前 GOA 单元的输出端 OUTPUT、低电平端 VSS、晶体管 M3 的栅极及第二时钟信号;该第一电压下拉模块 21 用于在当第二时钟信号为高电平时,用于拉低 GOA 单元中晶体管 M3 的栅极电压和输出端电压,进而在当前 GOA 单元输出栅线扫描信号时,保持其之前所有的 GOA 单元中晶体管 M3 的栅极电压和输出端电压处于低电平状态;

[0042] 第二电压下拉模块 22 连接当前 GOA 单元的输出端 OUTPUT、低电平端 VSS、晶体管 M3 的栅极及第一时钟信号;该第二电压下拉模块 22 用于在当第一时钟信号为高电平时,第二电压下拉模块用于拉低 GOA 单元中晶体管 M3 的栅极电压和输出端电压,进而在当前 GOA 单元输出栅线扫描信号时,保持其之前所有的 GOA 单元中晶体管 M3 的栅极电压和输出端电压处于低电平状态。

[0043] 这里由于 GOA 电路中的每个 GOA 单元均采用了第一电压下拉模块和第二电压下拉模块,即双下拉模块对驱动 TFT 的开关电压(第三晶体管的栅极电压)和输出(OUTPUT)电压进行下拉,使得当一 GOA 单元对应的栅线的电压为高电平时,其之前的 GOA 单元中的驱动 TFT 在双下拉模块的下拉作用下,迅速关断,此外利用双时钟对其之前的 GOA 单元的输出电压进行下拉,从而使得在某一时刻下只有一条栅线的扫描信号输出,这就解决了栅线扫描信号多输出的问题,进一步的能够提高了液晶显示器 GOA 电路输出的栅线扫描信号的稳定性。

[0044] 进一步可选的,图 3 为本发明实施例提供的第一电压下拉模块 21 的具体电路图,包括:第七晶体管 M7,第八晶体管 M8,第九晶体管 M9,第十晶体管 M10,第十一晶体管 M11,第十二晶体管 M12。其中第一时钟信号为 CLK,第二时钟信号为 CLKB。

[0045] 晶体管 M7 的源极连接第二时钟信号 CLKB;晶体管 M8 的栅极与源极连接第二时钟信号 CLKB,晶体管 M8 的漏极连接晶体管 M7 的栅极;晶体管 M9 的栅极连接晶体管 M7 的漏极,晶体管 M9 的源极连接晶体管 M1 的漏极,晶体管 M9 的漏极连接当前 GOA 单元的低电平端 VSS;晶体管 M10 的栅极连接晶体管 M1 的漏极,晶体管 M10 的源极连接所述晶体管 M7 的栅极,晶体管 M10 的漏极连接当前 GOA 单元的低电平端 VSS;晶体管 M11 的栅极连接晶体管 M1 的漏极,晶体管 M11 的源极连接晶体管 M7 的漏极,晶体管 M11 的漏极连接当前 GOA 单元的低电平端 VSS;晶体管 M12 的栅极连接晶体管 M7 的漏极,晶体管 M12 的源极连接当前 GOA 单元的输出端 OUTPUT,晶体管 M12 的漏极连接当前 GOA 单元的低电平端 VSS。

[0046] 进一步可选的,图 4 为本发明实施例提供的第二电压下拉模块 22 的电路图,包括:第十三晶体管 M13,第十四晶体管 M14,第十五晶体管 M15,第十六晶体管 M16,第十七晶体管 M17,第十八晶体管 M18。其中第一时钟信号为 CLK,第二时钟信号为 CLKB。

[0047] 晶体管 M13 的源极连接第一时钟信号 CLK;晶体管 M14 的栅极与源极连接第一时钟信号 CLK,晶体管 M14 的漏极连接晶体管 M13 的栅极;晶体管 M15 栅极连接所述晶体管 M13 的漏极,晶体管 M15 的源极连接晶体管 M1 的漏极,晶体管 M15 的漏极连接当前 GOA 单元的低电平端 VSS;晶体管 M16 的栅极连接晶体管 M1 的漏极,晶体管 M16 的源极连接晶体管 M13 的漏极,晶体管 M16 的漏极连接当前 GOA 单元的低电平端 VSS;晶体管 M17 的栅极连接晶体

管 M1 的漏极, 晶体管 M17 的源极连接晶体管 M13 的栅极, 晶体管 M17 的漏极连接当前 GOA 单元的低电平端 VSS; 晶体管 M18 的栅极连接晶体管 M15 的栅极, 晶体管 M18 的漏极连接当前 GOA 单元的低电平端 VSS, 晶体管 M18 的源极连接当前 GOA 单元的输出端 OUTPUT。

[0048] 这里需要说明的是, 在上述的 GOA 电路中, 第二时钟信号与第一时钟信号具有 180 度相位差; 并且, 优选的第一时钟信号和第二时钟信号均在各自的工作周期内一半时间输出高电平, 另一半时间输出低电平。此外, 第一个 GOA 单元的输入信号为一激活脉冲信号。

[0049] 这里本发明提供的实施例在图 3 所示的第一电压下拉模块中利用 M9 对 PU 点电压 (驱动 TFT 的开关电压, 即晶体管 M3 的栅极电压) 进行下拉, 利用 M12 对输出端 OUTPUT 电压进行下拉; 图 4 所示的第二电压下拉模块中利用 M15 对 PU 点电压进行下拉, 利用 M18 对输出 OUTPUT 电压进行下拉。这样当第二时钟信号为高电平时, 第一电压下拉模块能够拉低 GOA 单元中晶体管 M3 的栅极电压和输出端电压; 当第一时钟信号为高电平时, 第二电压下拉模块能够拉低 GOA 单元中晶体管 M3 的栅极电压和输出端电压; 这样在整个 GOA 电路中便使得当前输出 GOA 单元之前的 GOA 单元的 PU 点电压和输出 OUTPUT 电压保持在低电平状态, 避免了栅线扫描信号多输出的问题, 进一步的能够提高了液晶显示器 GOA 电路输出的栅线扫描信号的稳定性。

[0050] 图 5 为本发明实施例结合图 2、图 3、图 4 提供的一种 GOA 单元电路图, 该 GOA 单元的连接关系可以参考上述针对图 2、图 3、图 4 的连接关系的描述, 在此不再赘述。

[0051] 图 6 为上述 GOA 电路所对应的时序图, 其中 N-1 表示上一 GOA 单元的输出电平, N 表示当前 GOA 单元的输出电平, N+1 表示下一 GOA 单元的输出电平, CLK 为第一时钟信号, CLKB 为第二时钟信号, PU 为驱动 TFT (M3) 的开关电压。

[0052] 在 t1 时刻内, 第一时钟信号 CLK 为低电平, 第二时钟信号 CLKB 为高电平, 上一 GOA 单元输出为高电平即当前 GOA 单元的 INPUT 为高电平, 此时电容 C1 将该高电平存储, 因此节点 PU 为高电平, 此时 M3、M4、M10 和 M11 导通, 当前 GOA 单元的输出和下一 GOA 的输出为低电平, 节点 PDB、PDB\_CN 为低电平, 节点 PD、PD\_CN 也为低电平。

[0053] 在 t2 时刻内, 第一时钟信号 CLK 为高电平, 第二时钟信号 CLKB 为低电平, 上级 GOA 单元输出为低电平即当前 GOA 单元的 INPUT 为低电平, 此时由于 C1 的存在使节点 PU 维持一个高电平, 晶体管 M3 导通则当前 GOA 单元输出高电平, 由于 C1 的存在节点 PU 被提升到更高的电平, 此时下一 GOA 的输出为低电平, 节点 PDB、PDB\_CN 为低电平, 节点 PD、PD\_CN 也为低电平。

[0054] 在 t3 时刻内, 第一时钟信号 CLK 为低电平, 第二时钟信号 CLKB 为高电平, 上一 GOA 单元输出为低电平即当前 GOA 单元的 INPUT 为低电平, 下一 GOA 单元为高电平, 晶体管 M7、M8 导通节点 PDB、PDB\_CN 为高电平, 晶体管 M10、M2 导通将 PU 点的电压拉低; 晶体管 M12 导通, 当前 GOA 输出为低电平。节点 PD、PD\_CN 为低电平。

[0055] 在 t4 时刻内, 第一时钟信号 CLK 为高电平, 第二时钟信号 CLKB 为低电平, 上一 GOA 单元输出为低电平, 当前 GOA 单元的输出为低电平, 下一 GOA 单元输出为低电平, 节点 PD、PD\_CN 为高电平晶体管 M15 导通保持对 PU 点的电压下拉, 由于晶体管 M7、M8 关闭节点 PDB、PDB\_CN 有一个的电压降低过程, 但不会和 VSS 降到一个水平。

[0056] 本发明实施例提供的 GOA 电路, 由于每个 GOA 单元均采用了第一电压下拉模块和第二电压下拉模块, 即双下拉模块对驱动 TFT 的开关电压 (第三晶体管的栅极电压) 和输



出端 (OUTPUT) 电压进行下拉, 在当一 GOA 单元对应的栅线的电压为高电平时, 其之前的 GOA 单元中的驱动 TFT 在双下拉模块的下拉作用下, 迅速关断, 此外利用双时钟对其之前的 GOA 单元的输出电压进行下拉, 从而保证了在某一时刻下只有一条栅线的扫描信号输出, 这就解决了栅线扫描信号多输出的问题, 进一步的能够提高了液晶显示器 GOA 电路输出的栅线扫描信号的稳定性。

[0057] 此外, 本发明实施例提供了一种阵列基板, 在阵列基板上形成有 GOA 电路, 该 GOA 电路为上述任一实施例提供的 GOA 电路。

[0058] 另外, 本发明实施例还提供了一种液晶显示器件, 比如可以为液晶面板, 包括: 对盒成型的彩膜基板和阵列基板, 在阵列基板上形成有 GOA 电路, 该 GOA 电路为上述任一实施例提供的 GOA 电路, 另外, 液晶显示器件还可以为电子纸、手机、电视、数码相框等等显示设备。

[0059] 本发明实施例提供的阵列基板和液晶显示器件都包含有上述 GOA 电路, 由于 GOA 电路中的每个 GOA 单元均采用了第一电压下拉模块和第二电压下拉模块, 即双下拉模块对驱动 TFT 的开关电压 (第三晶体管的栅极电压) 和输出 (OUTPUT) 电压进行下拉, 使得当一 GOA 单元对应的栅线的电压为高电平时, 其之前的 GOA 单元中的驱动 TFT 在双下拉模块的下拉作用下, 迅速关断; 此外利用双时钟对之前的 GOA 单元的输出电压进行下拉, 从而使得在某一时刻下只有一条栅线的扫描信号输出, 这就解决了栅线扫描信号多输出的问题, 进一步的能够提高了液晶显示器 GOA 电路输出的栅线扫描信号的稳定性, 以提高产品良率。

[0060] 以上所述, 仅为本发明的具体实施方式, 但本发明的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本发明揭露的技术范围内, 可轻易想到变化或替换, 都应涵盖在本发明的保护范围之内。因此, 本发明的保护范围应以所述权利要求的保护范围为准。

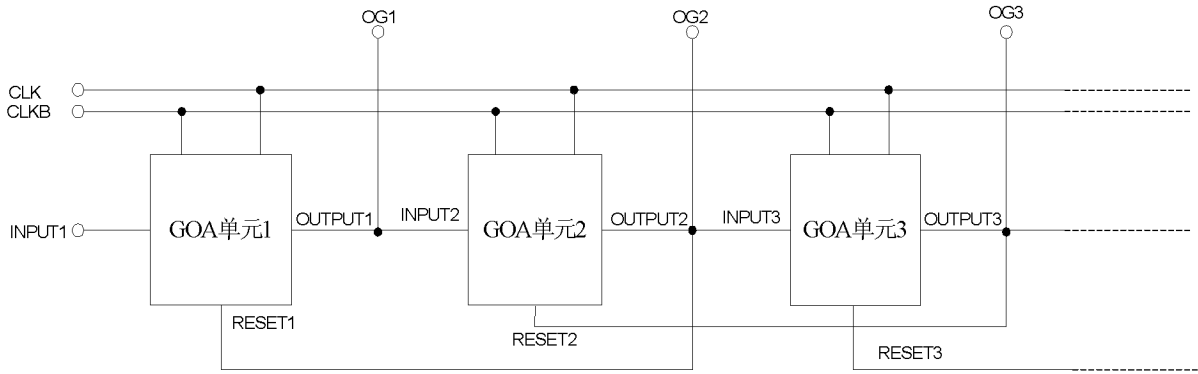


图 1

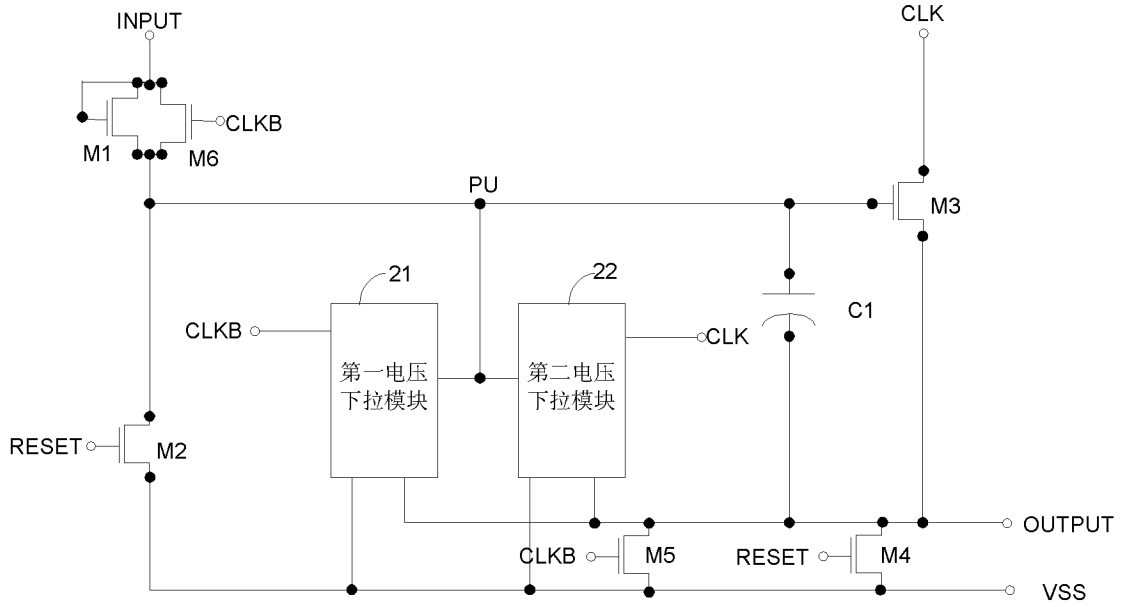


图 2

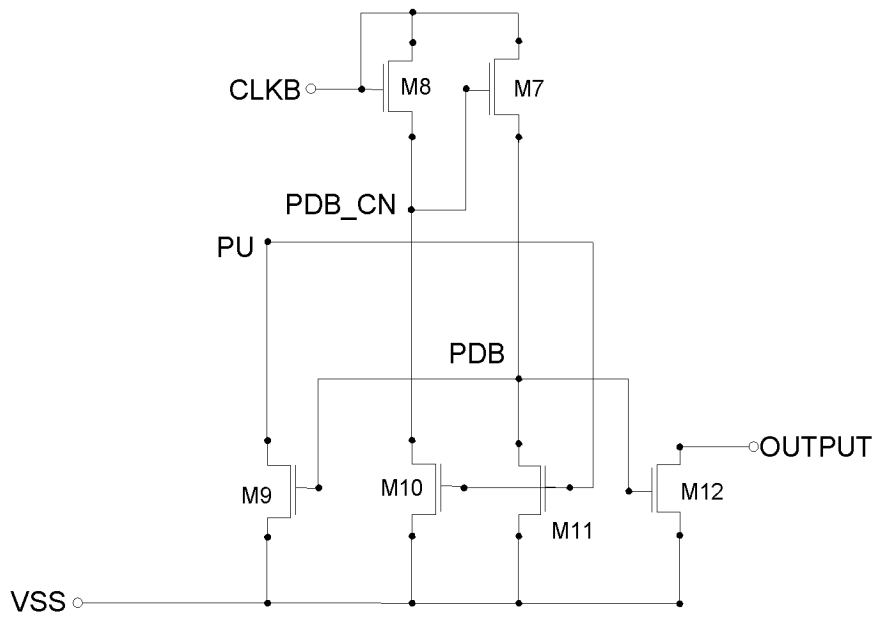


图 3

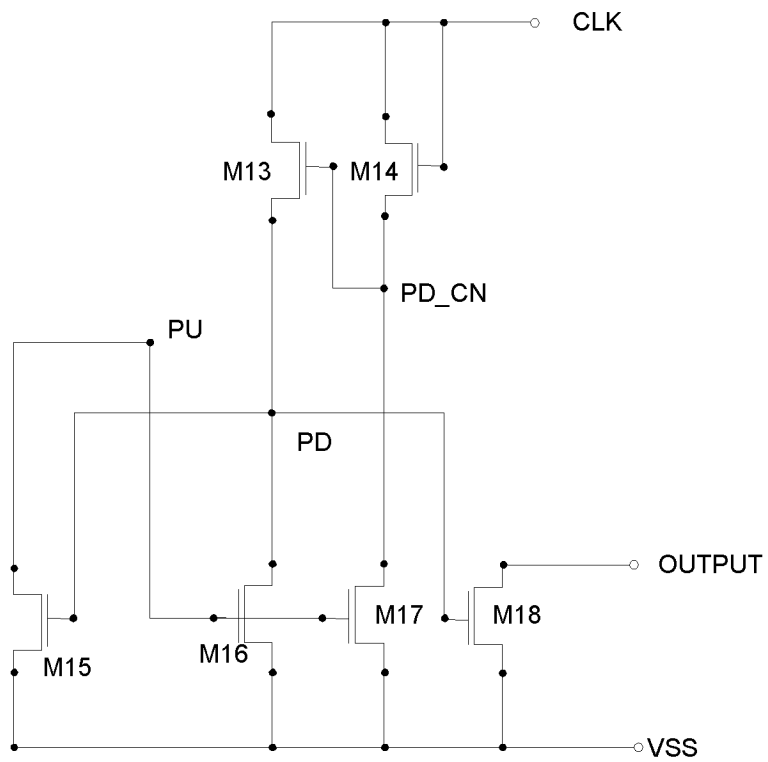


图 4



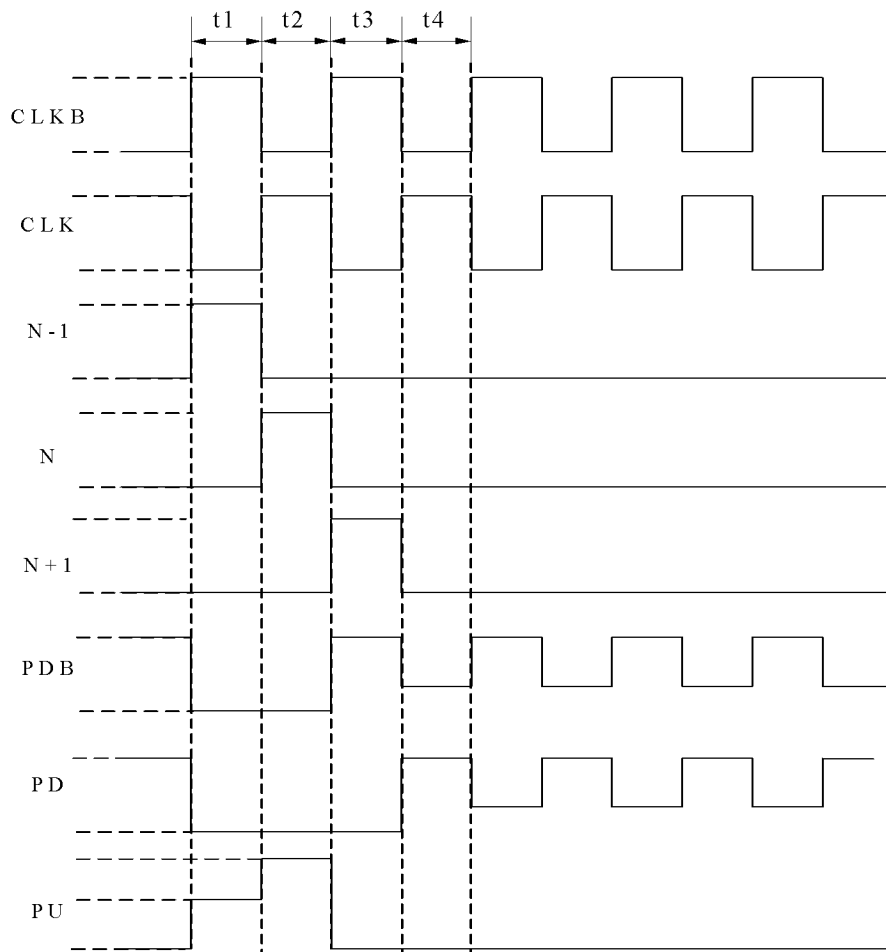


图 6