(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-120831
(P2017-120831A)
(43)公開日　平成29年7月6日(2017.7.6)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/115	(2017.01)	H01L	27/10	434	5F033
H01L 29/788	(2006.01)	H01L	29/78	371	5F083
H01L 21/336	(2006.01)	H01L	21/90	N	5F101
H01L 29/792	(2006.01)				
H01L 23/532	(2006.01)				

審査請求 未請求　請求項の数 13　ＯＬ　（全 16 頁）　最終頁に続く

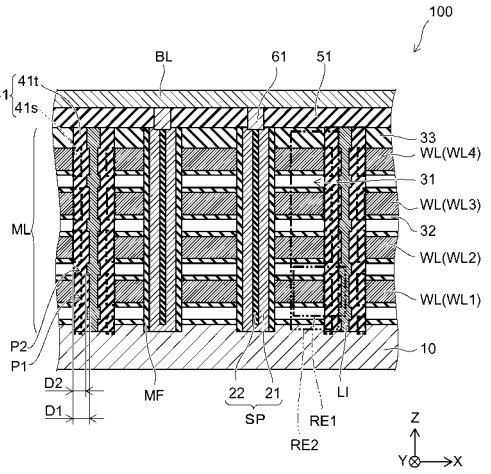
(21)出願番号　特願2015-256695 (P2015-256695)
(22)出願日　平成27年12月28日 (2015.12.28)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100108062
弁理士　日向寺　雅彦
(72)発明者　西谷　和人
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　出浦　香織
東京都港区芝浦一丁目１番１号　株式会社東芝内

最終頁に続く

(54)【発明の名称】半導体記憶装置及びその製造方法

(57)【要約】
【課題】書き込み、消去特性の向上させた半導体記憶装置を提供する。
【解決手段】実施形態に係る半導体記憶装置は、積層体と、ピラーと、メモリ膜を含む。積層体は、第１導電層と、前記第１導電層と第１方向に離隔して設けられた第２導電層と、を含む。ピラーは、前記積層体内を前記第１方向に延びる。メモリ膜は、前記ピラーと前記積層体との間に設けられている。前記第１導電層と前記第２導電層との間には空隙がある。
【選択図】図１



【特許請求の範囲】
【請求項１】
第１導電層と、前記第１導電層と第１方向に離隔して設けられた第２導電層と、を含む積層体と、
前記積層体内を前記第１方向に延びるピラーと、
前記ピラーと前記積層体との間に設けられたメモリ膜と、
を備え、
前記第１導電層と前記第２導電層との間には空隙がある半導体記憶装置。
【請求項２】
前記積層体内を前記第１方向及び第２方向に沿って拡がる配線部と、
前記積層体と前記配線部との間に設けられた絶縁部と、
をさらに備え、
前記絶縁部の一部は、第３方向において前記空隙と重なり、
前記第２方向は、前記第１方向と交差し、前記第３方向は、前記第１方向及び前記第２方向と交差する請求項１記載の半導体記憶装置。
【請求項３】
前記絶縁部は、前記第１導電層と前記配線部との間に設けられた第１領域と、前記空隙と前記配線部との間に設けられた第２領域と、を含み、
前記第３方向前記第１領域の第１長さは、前記第３方向における前記第２領域の第２長さよりも長い請求項２記載の半導体記憶装置。
【請求項４】
前記積層体は、絶縁層をさらに含み、
前記絶縁層は、前記第１導電層と前記空隙との間に設けられている請求項１～３のいずれか１つに記載の半導体記憶装置。
【請求項５】
前記積層体は、絶縁層をさらに含み、
前記絶縁層は、前記第１導電層と前記空隙との間に設けられ、
前記第１導電層は、前記配線部側の端部と前記ピラーと前記端部との間の部分を含み、
前記端部と前記空隙との間における絶縁層の前記第１方向における第１厚さは、前記部分と前記空隙との間における絶縁層の前記第１方向における第２厚さよりも厚い請求項１～３のいずれか１つに記載の半導体記憶装置。
【請求項６】
前記絶縁層は、シリコン酸化物を含む請求項４または５記載の半導体記憶装置。
【請求項７】
前記第１導電層は、タングステン、窒化タングステン、珪化タングステン、モリブデン、窒化モリブデン、珪化モリブデン、窒化タンタル、チタン、窒化チタン、珪化チタン、アルミニウム、ポリシリコン、コバルト、銅、銀及びニッケルからなる群より選択された１つ以上を含む請求項１～６のいずれか１つに記載の半導体記憶装置。
【請求項８】
基板上に複数の導電層と複数の第１層とを含む積層体を形成する工程と、
前記積層体に前記積層体を貫通し、第１方向に延びるメモリホールを形成する工程と、
前記メモリホールの側壁にメモリ膜を形成する工程と、
前記メモリホール内にピラーを形成する工程と、
前記積層体を貫通するスリットを形成する工程と、
前記スリットを通じて供給されるエッチング液により前記複数の第１層をエッチングすると共に、前記スリットの側壁に前記エッチングの際に生じる析出物を含む第１絶縁領域を形成する絶縁部形成工程と、
を含む半導体記憶装置の製造方法。
【請求項９】
前記積層体を形成する工程は、前記基板上に，前記導電層と、前記導電層とは反対方向

の応力を有する第１層とを交互に積層させる工程を含む請求項８記載の半導体記憶装置の製造方法。
【請求項１０】
前記絶縁部形成工程は、前記第１絶縁領域を形成した後に、前記スリットの側壁に前記第２絶縁領域を形成する工程をさらに含む請求項８または９に記載の半導体記憶装置の製造方法。
【請求項１１】
前記第１層は、シリコン窒化物を含む材料を用いて形成される請求項８～１０のいずれか１つに記載の半導体記憶装置の製造方法。
【請求項１２】
前記エッチング液は、熱燐酸を含むエッチング液である請求項８～１１のいずれか１つに記載の半導体記憶装置の製造方法。
【請求項１３】
前記複数の導電層は、タングステン、窒化タングステン、珪化タングステン、モリブデン、窒化モリブデン、珪化モリブデン、窒化タンタル、チタン、窒化チタン、珪化チタン、アルミニウム、ポリシリコン、コバルト、銅、銀及びニッケルからなる群より選択された１つ以上を含む材料を用いて形成される請求項８～１２のいずれか１つに記載の半導体記憶装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、半導体記憶装置及びその製造方法に関する。
【背景技術】
【０００２】
３次元的にメモリセルを集積した３次元積層型の半導体記憶装置が提案されている。このような半導体記憶装置において、書き込み、消去特性の向上が求められている。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２０１５－１７６９１０号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
実施形態は、書き込み、消去特性を向上させた半導体記憶装置及びその製造方法を提供する。
【課題を解決するための手段】
【０００５】
実施形態に係る半導体記憶装置は、積層体と、ピラーと、メモリ膜を含む。積層体は、第１導電層と、前記第１導電層と第１方向に離隔して設けられた第２導電層と、を含む。ピラーは、前記積層体内を前記第１方向に延びる。メモリ膜は、前記ピラーと前記積層体との間に設けられている。前記第１導電層と前記第２導電層との間には空隙がある。
【図面の簡単な説明】
【０００６】
【図１】第１の実施形態に係る半導体記憶装置を例示する断面図である。
【図２】第１の実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図３】第１の実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図４】第１の実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図５】第１の実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図６】第１の実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図７】第１の実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。

【図８】図８（ａ）～図８（ｄ）は、第１の実施形態に係る半導体記憶装置の一部を例示する断面図である。
【図９】図９は、第１の実施形態に係る半導体記憶装置の一部を例示する断面図である。
【図１０】第２の実施形態に係る半導体記憶装置を例示する断面図である。
【図１１】第２の実施形態の変形例に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図１２】第２の実施形態の変形例に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図１３】第２の実施形態の変形例に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図１４】第２の実施形態の変形例に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図１５】第２の実施形態の変形例に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図１６】第２の実施形態の変形例に係る半導体記憶装置の製造方法を例示する工程断面図である。
【図１７】図１７（ａ）及び図１７（ｂ）は、ピラーの周囲の構成を例示する模式的な断面図である。
【発明を実施するための形態】
【０００７】
以下、図面を参照しつつ、本発明の実施形態について説明する。
第１の実施形態について説明する。
図１は、本実施形態に係る半導体記憶装置を例示する断面図である。
【０００８】
図１に示すように、本実施形態に係る半導体記憶装置１００においては、基板１０が設けられている。基板１０上には、積層体ＭＬが設けられている。積層体ＭＬ内には、ピラーＳＰ及び配線部ＬＩが設けられている。
【０００９】
ピラーＳＰは、積層体ＭＬ内を１方向に沿って延びる。ピラーＳＰが延びる方向をＺ方向とする。Ｚ方向と直交する１方向をＸ方向とする。Ｚ方向及びＸ方向の双方に対して直交する方向をＹ方向とする。
【００１０】
ピラーＳＰは、半導体膜２１及びコア絶縁膜２２を含む。コア絶縁膜２２は、積層体ＭＬ内をＺ方向に延びる。半導体膜２１は、コア絶縁膜２２と積層体ＭＬとの間及びコア絶縁膜２２と基板１０との間に設けられている。
【００１１】
積層体ＭＬは、複数の導電層ＷＬを含む。導電層ＷＬは、互いに離隔して設けられている。導電層ＷＬは、空隙３１を介して所定の周期でＺ方向に沿って並ぶ。複数の導電層ＷＬは、例えば、ワード線として機能する。例えば、複数の導電層ＷＬのうち、基板１０に最も近い導電層ＷＬは、下部ゲート電極として機能する。例えば、複数の導電層ＷＬのうち、基板１０から最も遠い導電層ＷＬは、上部ゲート電極として機能する。
【００１２】
導電層ＷＬは、例えば、タングステン、窒化タングステン、珪化タングステン、モリブデン、窒化モリブデン、珪化モリブデン、窒化タンタル、チタン、窒化チタン、珪化チタン、アルミニウム、ポリシリコン、コバルト、銅、銀及びニッケルからなる群より選択された１種以上の導電材料を含む。
【００１３】
例えば、複数の導電層ＷＬは、第１～第４導電層ＷＬ１～ＷＬ４を含む。第１導電層ＷＬ１、第２導電層ＷＬ２、第３導電層ＷＬ３及び第４導電層ＷＬ４は、基板１０側からＺ方向に沿ってこの順で並ぶ。

【００１４】
すなわち、基板１０と第４導電層ＷＬ４との間には、第１導電層ＷＬ１が配置されている。第１導電層ＷＬ１と第４導電層ＷＬ４との間には、第２導電層ＷＬ２が配置されている。第２導電層ＷＬ２と第４導電層ＷＬ４との間には、第３導電層ＷＬ３が配置されている。
【００１５】
基板１０と第１導電層Ｗｌ１との間、第１導電層ＷＬ１と第２導電層ＷＬ２との間、第２導電層ＷＬ２と第３導電層ＷＬ３との間、及び第３導電層ＷＬ３と第４導電層ＷＬ４との間、には空隙３１がある。
【００１６】
積層体ＭＬは、例えば、複数の絶縁層３２をさらに含む。絶縁層３２は、導電層ＷＬと空隙３１との間に設けられている。絶縁層３２は、空隙３１と基板１０との間にも設けられている。絶縁層３２は、例えば、シリコン酸化物などの絶縁材料を含む。
【００１７】
積層体ＭＬは、絶縁膜３３をさらに含む。絶縁膜３３は、積層体ＭＬの最上層に設けられている。絶縁膜３３は、例えば、シリコン酸化物などの絶縁材料を含む。
【００１８】
ピラーＳＰと積層体ＭＬとの間には、メモリ膜ＭＦが設けられている。メモリ膜ＭＦは、例えば、電荷を蓄積する部分を有する膜である。メモリ膜ＭＦについては、後に説明する。
【００１９】
配線部ＬＩは、積層体ＭＬ内をＹ方向及びＺ方向に沿って広がる板状である。配線部ＬＩは、例えばタングステンなどの金属を含む。配線部ＬＩと積層体ＭＬとの間には、絶縁部４１が設けられている。
【００２０】
例えば、絶縁部４１は、複数の第１絶縁領域４１ｓ及び第２絶縁領域４１ｔを含む。第１絶縁領域４１ｓは、例えば、水酸化ケイ素を含む。第２絶縁領域４１ｔは、例えばシリコン酸化物を含む。
【００２１】
例えば、複数の第１絶縁領域４１ｓは、Ｚ方向に沿って互いに離間して設けられている。例えば、第１絶縁領域４１ｓの少なくとも一部と導電層ＷＬとは、Ｘ方向において重なる。
第２絶縁領域４１ｔは、空隙３１と配線部ＬＩとの間、第１絶縁領域４１ｓと配線部ＬＩとの間及び絶縁膜４３と配線部ＬＩとの間に設けられている。
【００２２】
絶縁部４１は、第３絶縁領域をさらに含んでいてもよい。この場合、第３絶縁領域は、第２絶縁領域４１ｔと配線部ＬＩとの間に配置される。第３絶縁領域は、例えば、シリコン酸化物などの絶縁材料を含む。
【００２３】
例えば、導電層ＷＬと配線部ＬＩとの間における絶縁部４１のＸ方向における長さは、空隙３１と配線部ＬＩとの間における絶縁部４１のＸ方向における長さよりも長い。例えば、絶縁部４１は、導電層ＷＬと配線部ＬＩとの間において第１領域Ｐ１を含む。絶縁部４１は、空隙３１と配線部ＬＩとの間において第２領域Ｐ２を含む。第１領域Ｐ１のＸ方向における第１長さＤ１は、第２領域Ｐ２のＸ方向における第２長さＤ２よりも長い。すなわち、第１導電層ＷＬと配線部ＬＩとの間における絶縁部４１のＸ方向における第１長さＤ１は、空隙３１と配線部ＬＩとの間における絶縁部４１のＸ方向における第２長さＤ２よりも長い。
【００２４】
積層体ＭＬ、ピラーＳＰ、配線部ＬＩ及び絶縁部４１上には絶縁膜５１が設けられている。絶縁膜５１上には、ビット線ＢＬが設けられている。ビット線ＢＬは、例えばＸ方向

に延びている。
【００２５】
ピラーＳＰとビット線ＢＬとの間には、絶縁膜５１内をＺ方向に沿って延びるプラグ６１が設けられている。ピラーＳＰはプラグ６１と電気的に接続されている。プラグ６１はビット線ＢＬと電気的に接続されている。
【００２６】
半導体記憶装置１００における空隙３１の代わりに、導電層ＷＬ間における絶縁体として、シリコン酸化層を設ける構成が考えられる。この場合、導電層ＷＬの間において寄生容量が発生する。これにより、配線遅延（ＲＣ遅延）が生じる可能性がある。加えて、シリコン酸化層のＺ方向における厚さは、導電層ＷＬ同士のショートを防止できる厚さにする必要がある。
【００２７】
一方、本実施形態に係る半導体記憶装置１００において、複数の導電層ＷＬは空隙３１を介してＺ方向に沿って並ぶ。寄生容量を削減するためには、誘電率の低い絶縁体を用いることが好ましい。空隙３１は、シリコン酸化膜と比較して誘電率が低い。したがって、２つの導電層ＷＬの間における寄生容量を、上述の場合（空隙３１をシリコン酸化膜に置き換えた構成）よりも削減することができる。これにより、半導体記憶装置１００における配線遅延（ＲＣ遅延）を低減することができる。半導体記憶装置の書き込み、消去特性を向上させることができる。
【００２８】
空隙３１をシリコン酸化膜に置き換えた構成よりも、導電層ＷＬ間の長さを短くすることができる。これにより、半導体記憶装置のＺ方向におけるサイズを小さくすることができる。
【００２９】
本実施形態に係る半導体記憶装置の製造方法について説明する。
図２～図７は、本実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。
図２に示すように、基板１０を用意する。基板１０は、例えばシリコンウェーハである。基板１０上に積層体ＭＬａを形成する。積層体ＭＬａは、例えば、犠牲層３１ａと導電層ＷＬとを交互に積層することによって形成される。積層体ＭＬａの最上層には、絶縁膜３３を形成する。例えば、導電層ＷＬ、犠牲層３１ａ及び絶縁膜３３は、プラズマＣＶＤ（Plasma-Chemical Vapor Deposition）によって形成される。
【００３０】
導電層ＷＬと犠牲層３１ａとは、互いに反対方向の残留応力を有する。例えば、導電層ＷＬは圧縮応力を有する。例えば、犠牲層３１ａは伸長応力を有する。導電層ＷＬは、例えば、タングステン、窒化タングステン、珪化タングステン、モリブデン、窒化モリブデン、珪化モリブデン、窒化タンタル、チタン、窒化チタン、珪化チタン、アルミニウム、ポリシリコン、コバルト、銅、銀及びニッケルからなる群より選択された１種以上の導電材料を用いて形成される。犠牲層３１ａは、例えばシリコン窒化物を用いて形成される。絶縁膜３３は、例えばシリコン酸化物などの絶縁材料を用いて形成する。
【００３１】
図３に示すように、積層体ＭＬａにメモリホールＭＨを形成する。メモリホールＭＨは、例えば、略円柱状である。メモリホールＭＨは、例えば、反応性イオンエッチング（Reactive Ion Etching:ＲＩＥ）などの異方性エッチングによって形成される。メモリホールＭＨは、積層体ＭＬａを貫通し、基板１０に達する。
【００３２】
メモリホールＭＨの内壁にメモリ膜ＭＦを形成する。メモリ膜ＭＦの内側には、カバー膜２１ａが形成される。カバー膜２１ａは、例えば、シリコンなどの半導体材料を含む。
【００３３】
例えば、ＲＩＥなどの異方性エッチングによって、メモリホールＭＨの底に形成された

メモリ膜ＭＦ及びメモリホールＭＨの底に形成されたカバー膜２１ａを除去する。これにより、メモリホールＭＨの底に基板１０の表面の一部が露出する。このとき、メモリホールＭＨの側壁に形成されたメモリ膜ＭＦは、カバー膜２１ａで覆われている。これにより、メモリホールＭＨの側壁に形成されたメモリ膜ＭＦは、ＲＩＥによるダメージを受けない。

【００３４】

図４に示すように、メモリホールＭＨ内に半導体膜２１ｂが形成される。半導体膜２１ｂは、カバー膜２１ａの側面、及びメモリホールＭＨの底に形成される。カバー膜２１ａは、半導体膜２１ｂと一体となる。これにより、カバー膜２１ａ及び半導体膜２１ｂは半導体膜２１となる。

【００３５】

半導体膜２１は、基板１０と電気的に接続される。メモリホールＭＨ内にコア絶縁膜２２を形成する。コア絶縁膜２２によってメモリホールＭＨは埋め込まれる。これにより、メモリホールＭＨ内には、半導体膜２１及びコア絶縁膜２２を含むピラーＳＰが形成される。

【００３６】

図５に示すように、ＲＩＥなどの異方性エッチングによって、積層体ＭＬａにスリットＳＴを形成する。スリットＳＴは、例えば、ＹＺ平面に沿って拡がる溝状である。

【００３７】

図６に示すように、スリットＳＴを介して、犠牲層３１ａに対してエッチングを行う。これにより、犠牲層３１ａは除去される。犠牲層３１ａは、例えば、熱燐酸を用いたウェットエッチングによって除去される。このとき、スリットＳＴ内における導電層ＷＬの側壁に、水酸化ケイ素を含む層が析出する。これにより、スリットＳＴ内における導電層ＷＬの側壁に第１絶縁領域４１ｓが形成される。すなわち、スリットＳＰを通じて供給されるエッチング液により犠牲層３１ａがエッチングされる。スリットＳＰの側壁には、エッチングの際に生じる析出物を含む第１絶縁領域４１ｓが形成される。犠牲層３１ａが除去された空間は、空隙３１となる。

【００３８】

図７に示すように、例えば、原子層堆積法（Atomic Layer Deposition:ＡＬＤ）によって、スリットＳＴの側壁に、シリコン酸化物を含む絶縁材料を堆積させる。これにより、第２絶縁領域４１ｔが形成される。このとき、導電層ＷＬと空隙３１との間には、絶縁層３２が形成される。これにより、積層体ＭＬａは、積層体ＭＬとなる。

【００３９】

その後、第１絶縁領域４１ｓの側壁及び第２絶縁領域４１ｔの側壁に第３絶縁領域を形成してもよい。第３絶縁領域は、例えば、全面にシリコン酸化物を含む絶縁材料を堆積させた後、エッチバックすることによって形成される。

【００４０】

スリットＳＴ内に配線部ＬＩを形成する。配線部ＬＩは、例えば、スリットＳＴ内にタングステンなどの導電材料を用いて形成される。配線部ＬＩは、例えば、シリコンなどの半導体材料を用いて形成されてもよい。配線部ＬＩは、基板１０と電気的に接続される。

【００４１】

図１に示すように絶縁膜３３上に絶縁膜５１を形成する。ピラーＳＰ上には、プラグ６１が形成される。プラグ６１は、絶縁膜５１を貫通し、ピラーＳＰと電気的に接続される。絶縁膜５１及びプラグ６１上には、ビット線ＢＬを形成する。ビット線ＢＬは、例えばＸ方向に延びる。ビット線ＢＬは、プラグ６１と電気的に接続される。

【００４２】

以上の工程により、本実施形態に係る半導体記憶装置１００は製造される。

本実施形態においては、互いに応力の方向が異なる導電層ＷＬと犠牲層３１ａを積層することにより、積層体ＭＬａを形成する。これにより、残留応力に起因して基板１０が反ることを緩和することができる。これにより、例えば、後の製造工程における歩留りが向

上する。

【００４３】

犠牲層３１ａをエッチングする際に、スリットＳＴ内における導電層ＷＬの側壁に第１絶縁領域４１ｓが析出する。例えば、第１絶縁領域４１ｓは、導電層ＷＬの角部を含む端部に多く析出する。これにより、スリットＳＴ内における導電層ＷＬの側壁に第１絶縁領域４１ｓが形成される。例えば、このとき、スリットＳＴと空隙３１がつながる空間の少なくとも一部を第１絶縁領域４１ｓが遮る。その後、ＡＬＤによって、スリットＳＴの側壁に第２絶縁領域４１ｔを形成する。これにより、空隙３１とスリットＳＴがつながる空間は、第１絶縁領域４１ｓの一部及び第２絶縁領域４１ｔの少なくとも一部によって離隔される。これにより、導電層ＷＬ間の空隙３１が保持された状態で、スリットＳＴの側壁に絶縁部４１を形成することができる。

【００４４】

本実施形態に係る導電層ＷＬの端部付近の構造の例について説明する。

図８（ａ）～図８（ｄ）及び図９は、本実施形態に係る半導体記憶装置の一部を例示する模式的な断面図である。

図８（ａ）～図８（ｄ）は、図１に示す領域ＲＥ１に対応する。

図９は、図１に示す領域ＲＥ２に対応する。

図８（ａ）～図８（ｄ）のそれぞれは、本実施形態の絶縁層３２の形状の１例を示す断面図である。

絶縁層３２の形状の第１の例について説明する。図８（ａ）に示すように、導電層ＷＬの端部と空隙３１との間は、第１絶縁領域４１ｓの一部が設けられている。例えば、導電層ＷＬと空隙３１との間における絶縁物（絶縁層３２及び第１絶縁領域４１ｓ）のＺ方向における厚さは、配線部ＬＩ側の端面に近くなるほど厚い。

【００４５】

例えば、導電層ＷＬ（例えば、第１導電層ＷＬ１）は、配線層ＬＩ側の端面を含む端部ＷＬａを含む。端部ＷＬａと空隙３１との間における絶縁層３２のＺ方向における厚さｔ１は、端部ＷＬａとピラーＳＰとの間に位置する導電層ＷＬの部分ＷＬｐ１と空隙３１との間における絶縁層３２のＺ方向における厚さｔ２よりも厚い。

【００４６】

例えば、端部ＷＬａと空隙３１との間に設けられた絶縁層３２は、第１絶縁領域４１ｔの一部を含んでいてもよい。

【００４７】

絶縁層３２の形状の第２の例について説明する。図８（ｂ）に示すように、導電層（例えば、導電層ＷＬ１）は、基板１０側の面である第１面Ｓｆ１と、第１面Ｓｆ１とは、反対側の第２面Ｓｆ２を含む。例えば、第１面Ｓｆ１側に設けられた絶縁層３２（絶縁層３２ｕ）のＺ方向における厚さｔ３は、第２面Ｓｆ２側に設けられた絶縁層３２（絶縁層３２ｍ）のＺ方向における厚さｔ４よりも薄い。

【００４８】

例えば、第１導電層ＷＬ１と基板１０との間にある空隙３１を第１空隙３１ｆとする。例えば、第１導電層ＷＬ１と第２導電層ＷＬ２との間にある空隙を第２空隙３１ｓとする。第１面Ｓｆ１と第１空隙３１ｆとの間に設けられた絶縁層３２ｕのＺ方向における厚さｔ３は、第２面Ｓｆ２と第２空隙３１ｓとの間に設けられた絶縁層３２ｍのＺ方向における厚さｔ４よりも薄い。例えば、厚さｔ３は、絶縁層３２ｕにおけるＺ方向の厚さが最も厚い部分の厚さである。例えば、厚さｔ４は、絶縁層３２ｍにおけるＺ方向の厚さが最も厚い部分の厚さである。

【００４９】

絶縁層３２の形状の第３の例について説明する。本例においては、図８（ｃ）に示すように、厚さｔ３は厚さｔ４よりも厚い。その他の構成は、上述した第２の例と同様である。

【００５０】

絶縁層３２の形状の第４の例について説明する。本例においては、図８（ｄ）に示すように、空隙３１と導電層ＷＬとの間に絶縁層３２が設けられていない領域ｒ１がある。その他の構成は、上述した第１の例と同様である。

【００５１】

例えば、図９に示すように、絶縁層３２のＺ方向における厚さは、基板１０から遠いものほど厚くてもよい。例えば、積層体ＭＬと基板１０との間において、基板１０と空隙３１との間に絶縁層３２が設けられていない部分があってもよい。すなわち、基板１０が絶縁層３２から露出していてもよい。

【００５２】

第２の実施形態について説明する。

図１０は、本実施形態に係る半導体記憶装置を例示する断面図である。

図１０に示すように、本実施形態に係る半導体記憶装置２００においては、絶縁部４１は、Ｚ方向に連続的に伸びる第１絶縁領域４１ｓを含む。第１絶縁領域４１ｓと配線部ＬＩとの間に、第３絶縁領域が設けられていてもよい。その他の構成は、上述した半導体記憶装置１００と同様である。

【００５３】

第２の実施形態に係る半導体記憶装置の製造方法について説明する。

図１１～図１６は、本実施形態に係る半導体記憶装置の製造方法を例示する工程断面図である。

図１１に示すように、複数の絶縁層３２、複数の犠牲層３１ａ、複数の導電層ＷＬ及び絶縁膜３３を含む積層体ＭＬｂを形成する。

【００５４】

複数の絶縁層３２、複数の犠牲層３１ａ、複数の導電層ＷＬ及び絶縁膜３３は、例えば、プラズマＣＶＤによって形成される。積層体ＭＬｂは、例えば、基板１０側から絶縁層３２、犠牲層３１ａ、絶縁層３２、導電層ＷＬの周期で複数回積層し、最上層に絶縁膜３３を積層することで形成される。

【００５５】

図１２に示すように、積層体ＭＬｂにメモリホールＭＨを形成する。メモリホールＭＨは、例えば、略円柱状である。メモリホールＭＨは、例えば、反応性イオンエッチング（Reactive Ion Etching:ＲＩＥ）などの異方性エッチングによって形成される。メモリホールＭＨは、積層体ＭＬｂを貫通し、基板１０に達する。

【００５６】

メモリホールＭＨの内壁にメモリ膜ＭＦを形成する。メモリ膜ＭＦの内側には、カバー膜２１ａが形成される。例えば、ＲＩＥなどの異方性エッチングによって、メモリホールＭＨの底に形成されたメモリ膜ＭＦ及びメモリホールＭＨの底に形成されたカバー膜２１ａを除去する。これにより、メモリホールＭＨの底に基板１０の表面の一部が露出する。

【００５７】

図１３に示すように、メモリホールＭＨ内に半導体膜２１ｂが形成される。半導体膜２１ｂは、カバー膜２１ａの側面、及びメモリホールＭＨの底に形成される。カバー膜２１ａは、半導体膜２１ｂと一体となる。これにより、カバー膜２１ａ及び半導体膜２１ｂは半導体膜２１となる。

【００５８】

半導体膜２１は、基板１０と電気的に接続される。メモリホールＭＨ内にコア絶縁膜２２を形成する。これにより、メモリホールＭＨ内には、半導体膜２１及びコア絶縁膜２２を含むピラーＳＰが形成される。

【００５９】

図１４に示すように、ＲＩＥなどの異方性エッチングによって、積層体ＭＬｂにスリットＳＴを形成する。スリットＳＴは、例えば、ＹＺ平面に沿って拡がる溝状である。

【００６０】

次に、スリットＳＴを介して、犠牲層３１ａに対してエッチングを行う。これにより、

犠牲層３１ａは除去される。犠牲層３１ａは、例えば、熱燐酸を用いたウェットエッチングによって除去される。犠牲層３１ａが除去された空間は、図１５に示すように、空隙３１となる。積層体ＭＬｂは、積層体ＭＬとなる。

【００６１】

このとき、スリットＳＴ内における導電層ＷＬの側壁に、水酸化ケイ素を含む層が析出する。これにより、図１５に示すように、スリットＳＴの側壁に第１絶縁領域４１ｓが形成される。スリットＳＴの側壁において、第１絶縁領域４１ｓは、Ｚ方向に連続的に形成される。つまり、Ｚ方向に並ぶ複数の導電層ＷＬの側壁に析出した第１絶縁領域４１ｓのそれぞれは、Ｚ方向においてつながる。第１絶縁領域４１ｓの一部は、空隙３１とスリットＳＴとの間に位置する。これにより、空隙３１とスリットＳＴとは、第１絶縁領域４１ｓによって隔てられる。

【００６２】

その後、第１絶縁領域４１ｓの側壁に第３絶縁領域を形成してもよい。第３絶縁領域は、例えば、全面にシリコン酸化物を含む絶縁材料を堆積させた後、エッチバックすることによって形成される。

【００６３】

図１６に示すように、スリットＳＴ内に配線部ＬＩを形成する。配線部ＬＩは、例えば、スリットＳＴ内にタングステンなどの導電材料によって形成される。配線部ＬＩは、例えば、シリコンなどの半導体材料を用いて形成されてもよい。配線部ＬＩは、基板１０と電気的に接続される。

【００６４】

図１０に示すように、絶縁膜３３上に絶縁膜５１を形成する。ピラーＳＰ上には、プラグ６１が形成される。プラグ６１は、絶縁膜５１を貫通し、ピラーＳＰと電気的に接続される。絶縁膜５１及びプラグ６１上には、ビット線ＢＬを形成する。ビット線ＢＬは、例えばＸ方向に延びる。ビット線ＢＬは、プラグ６１と電気的に接続される。

【００６５】

本実施形態においては、エッチングによって犠牲層３１ａを除去する際に発生する析出物によって、スリットＳＴの側壁に絶縁部４１が形成される。これにより、別の工程で絶縁部４１を形成することを省略することができる。したがって、半導体記憶装置の製造工程を削減することができる。

【００６６】

複数の導電層ＷＬの間に空隙３１が設けられている。これにより、２つの導電層ＷＬの間における寄生容量を削減することができる。したがって、半導体記憶装置２００における配線遅延（ＲＣ遅延）を低減することができる。これにより、半導体記憶装置の書き込み、消去特性を向上することができる。

【００６７】

上述した空隙３１をシリコン酸化膜に置き換えた構成よりも、導電層ＷＬ間の距離を短くすることができる。これにより、半導体記憶装置のＺ方向におけるサイズを小さくすることができる。

【００６８】

第１絶縁領域４１ｓが形成される際のメカニズムの例について説明する。

犠牲層３１ａと熱燐酸などのエッチング液とが反応することにより、水酸化ケイ素重合体が発生するが発生する。水酸化ケイ素重合体は、例えば、導電層ＷＬの端部付近に析出する。このとき、水酸化ケイ素重合体は、導電層ＷＬの角部付近に特に析出しやすい。これにより、水酸化ケイ素を含む第１絶縁領域４１ｓがスリットＳＴの側壁に形成される。

【００６９】

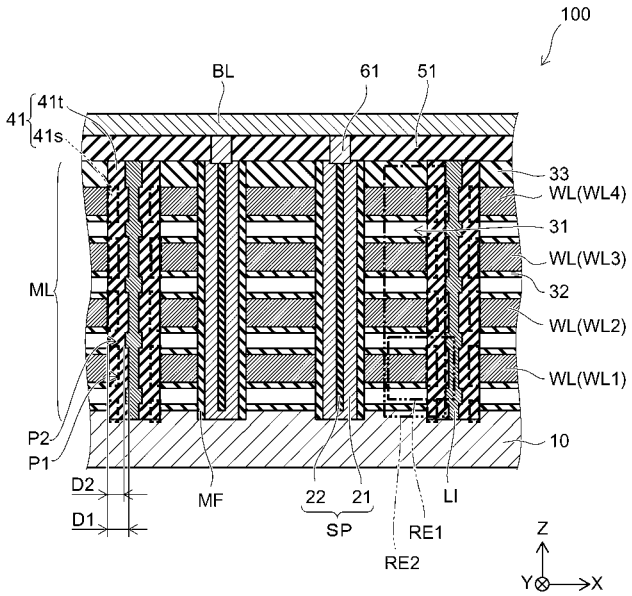
メモリ膜ＭＦの具体的な１つの例について説明する。

図１７（ａ）及び図１７（ｂ）は、ピラーの周囲の構成を例示する模式的な断面図である。

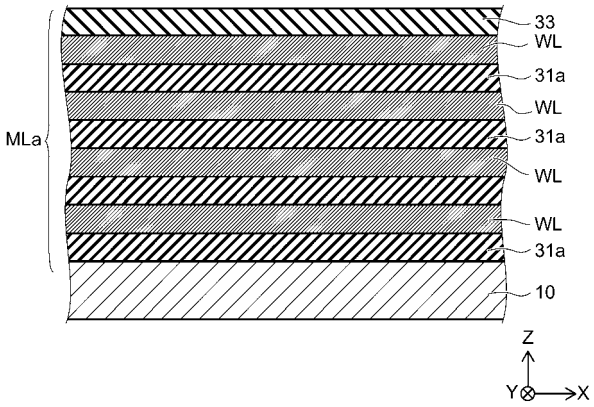
図１７（ｂ）は、図１７（ａ）に示すＢ１－Ｂ２線による断面を例示する断面図である

。
図１７（ａ）に示すように、ピラーＳＰと積層体ＭＬとの間には、メモリ膜ＭＦが設けられている。メモリ膜ＭＦは、例えば、外側膜２３ａ、内側膜２３ｂ及び中間膜２３ｃと、を含む。
【００７０】
外側膜２３ａは、ピラーＳＰと積層体ＭＬとの間に設けられている。内側膜２３ｂは、ピラーＳＰと外側膜２３ａとの間に設けられている。中間膜２３ｃは、外側膜２３ａと内側膜２３ｂとの間に設けられている。
【００７１】
外側膜２３ａは、例えばブロック絶縁膜である。内側膜２３ｂは、例えば、トンネル絶縁膜である。中間膜２３ｃは、例えば、電荷蓄積膜である。
【００７２】
外側膜２３ａは及び内側膜２３ｂは、例えばシリコン酸化物を含む。中間膜２３ｃは、例えばシリコン窒化物を含む。
【００７３】
例えば、図１７（ｂ）に示すように、メモリ膜ＭＦは、メモリホールＭＨ内に外壁膜２３ａ、中間膜２３ｃ及び内壁膜２３ｂをこの順で積層することにより形成される。
【００７４】
以上説明した実施形態によれば、書き込み、消去特性の向上させた半導体記憶装置を実現することができる。
【００７５】
以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。
【符号の説明】
【００７６】
１０…基板、２１…半導体膜、２１ａ…カバー膜、２１ｂ…半導体膜、２２…コア絶縁膜、３１、３１ｓ、３１ｆ…空隙、３１ａ…犠牲層、３２、３２ｕ、３２ｍ…絶縁層、３３…絶縁膜、４１…絶縁部、４１ｓ…第１絶縁領域、４１ｔ…第２絶縁領域、４３…絶縁膜、５１…絶縁膜、６１…プラグ、１００、２００…半導体記憶装置、ＢＬ…ビット線、Ｄ１…第１長さ、Ｄ２…第２長さ、ＬＩ…配線部、ＭＦ…メモリ膜、ＭＨ…メモリホール、ＭＬ、ＭＬａ、ＭＬｂ…積層体、ＰＰ…角部、ＲＥ１、ｒ１…領域、ＷＬ…導電層、ＷＬ１…第１導電層、ＷＬ２…第２導電層、ＷＬ３…第３導電層、ＷＬ４…第４導電層、２３ａ…外側膜、２３ｂ…内側膜、２３ｃ…中間膜、ｔ１、ｔ２、ｔ３、ｔ４…厚さ、ＷＬａ、ＷＬｐ１…部分、Ｓｆ１…第１面、Ｓｆ２…第２面

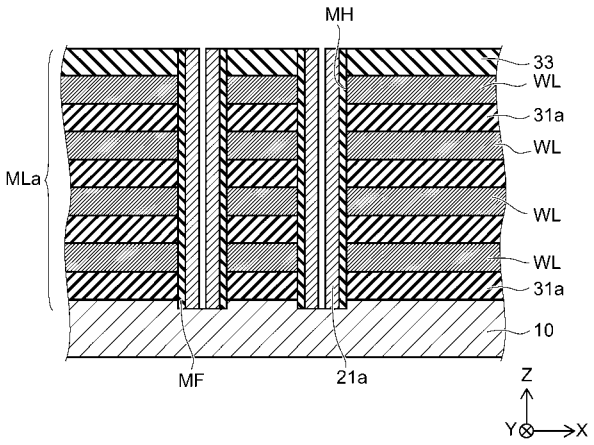
【図１】


100
BL
61
51
41
41t
41s
33
WL(WL4)
31
WL(WL3)
ML
32
WL(WL2)
WL(WL1)
P2
P1
10
D2
D1
MF
22
21
SP
RE1
RE2
LI
Z
Y
X

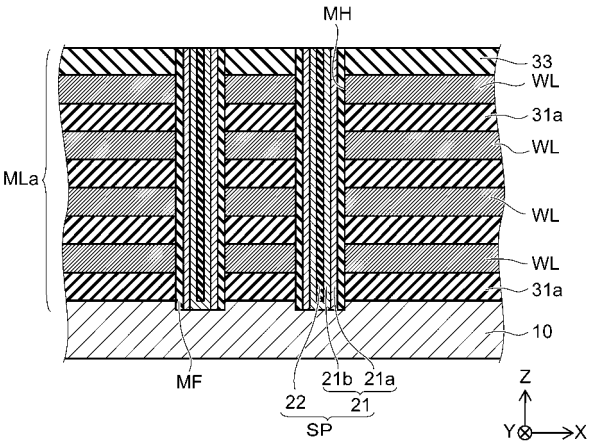
【図２】


33
WL
31a
WL
MLa
31a
WL
WL
31a
10
Z
Y
X

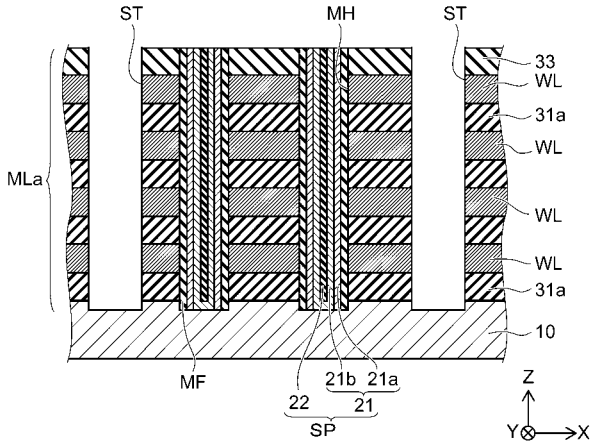
【図３】


MH
33
WL
31a
WL
MLa
WL
WL
31a
10
MF
21a
Z
Y
X

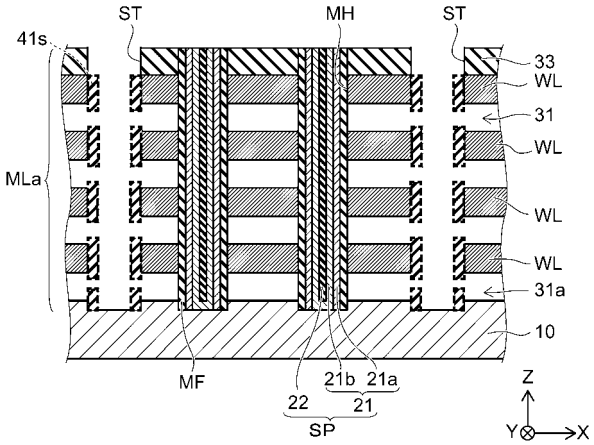
【図４】


MH
33
WL
31a
WL
MLa
WL
WL
31a
10
MF
21b
21a
22
21
SP
Z
Y
X

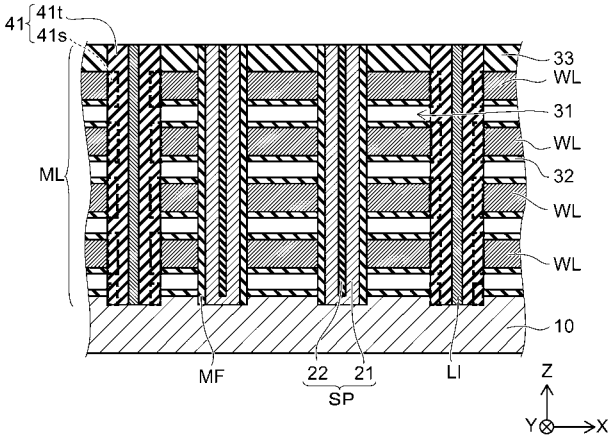
【図５】


ST
MH
ST
33
WL
31a
WL
WL
WL
31a
MLa
10
MF
21b
21a
22
21
SP
Z
Y
X

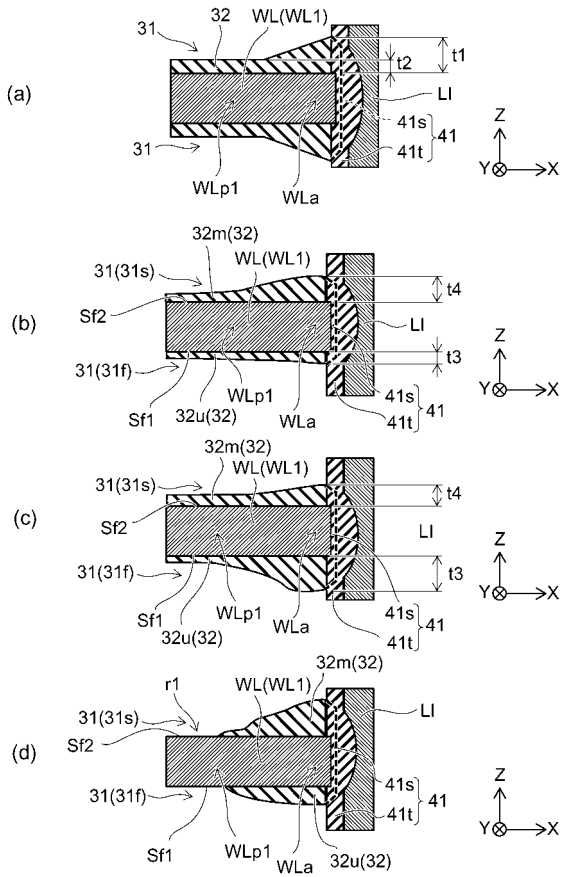
【図６】


41s
ST
MH
ST
33
WL
31
WL
WL
WL
31a
MLa
10
MF
21b
21a
22
21
SP
Z
Y
X

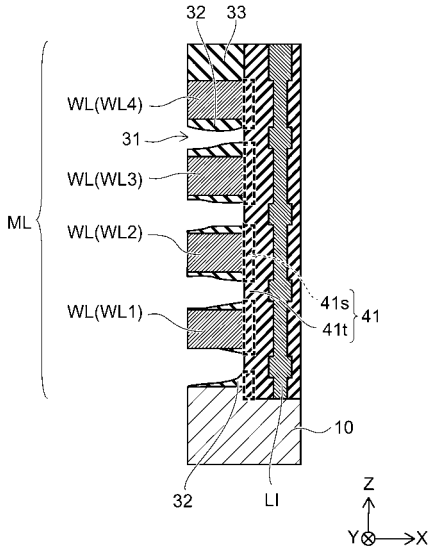
【図７】


41
41t
41s
33
WL
31
WL
32
WL
WL
ML
10
MF
22
21
SP
LI
Z
Y
X

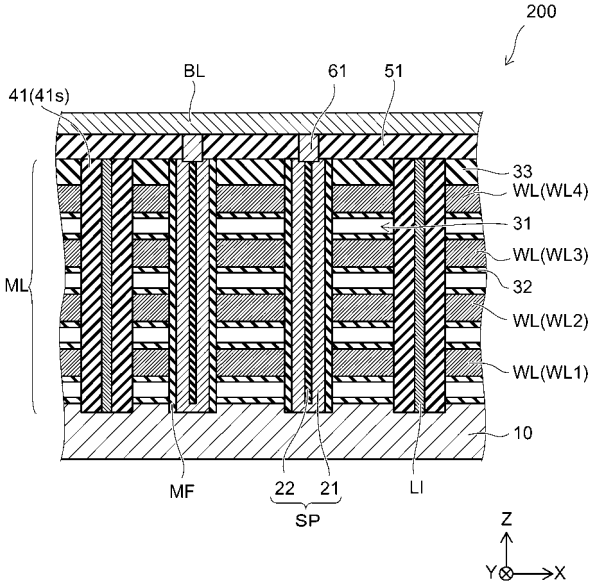
【図８】


(a)
31
32
WL(WL1)
t2
t1
LI
41s
41
41t
31
WLp1
WLa
Z
Y
X
(b)
32m(32)
31(31s)
WL(WL1)
t4
Sf2
LI
t3
31(31f)
Sf1
32u(32)
WLp1
WLa
41s
41
41t
(c)
32m(32)
31(31s)
WL(WL1)
t4
Sf2
LI
t3
31(31f)
Sf1
32u(32)
WLp1
WLa
41s
41
41t
(d)
32m(32)
r1
WL(WL1)
LI
31(31s)
Sf2
41s
41
41t
31(31f)
Sf1
WLp1
WLa
32u(32)

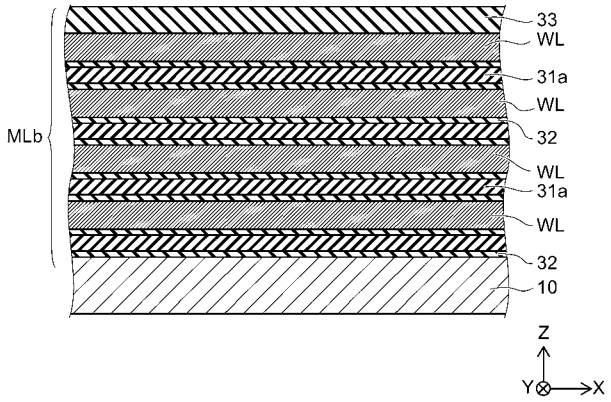
【図９】



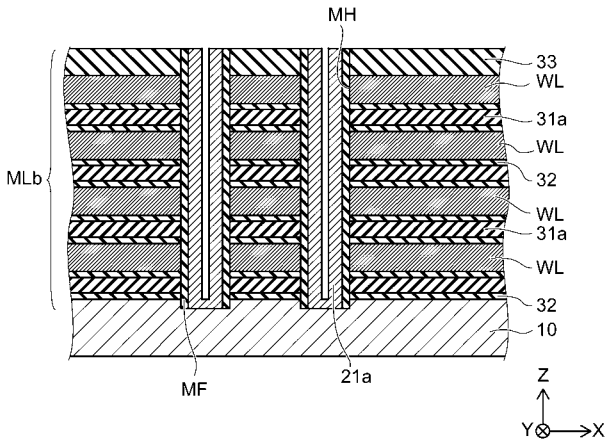
【図１０】



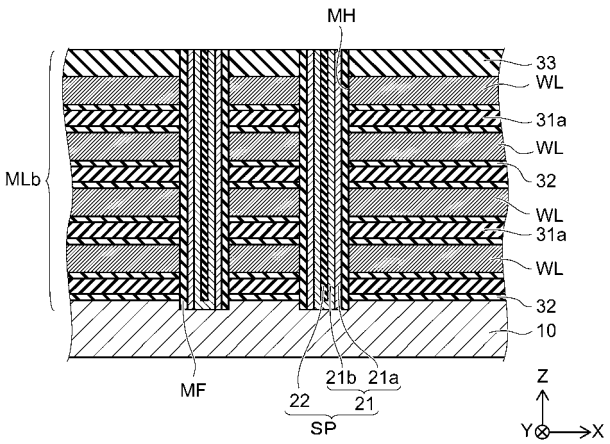
【図１１】



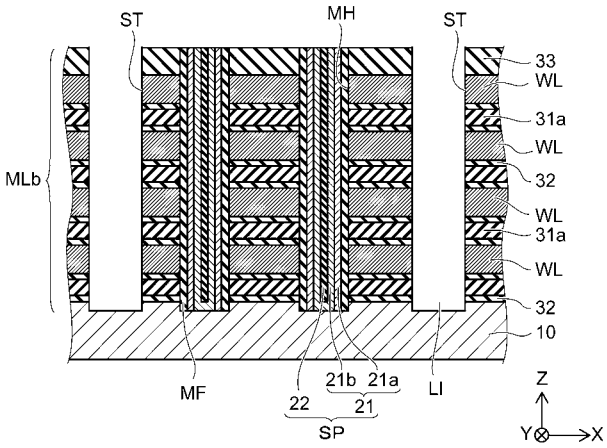
【図１２】



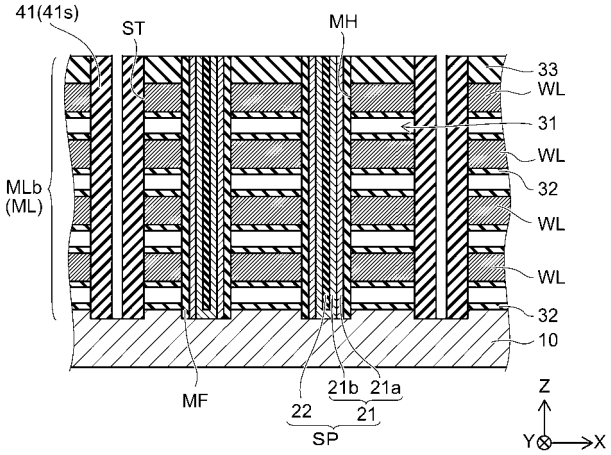
【図１３】



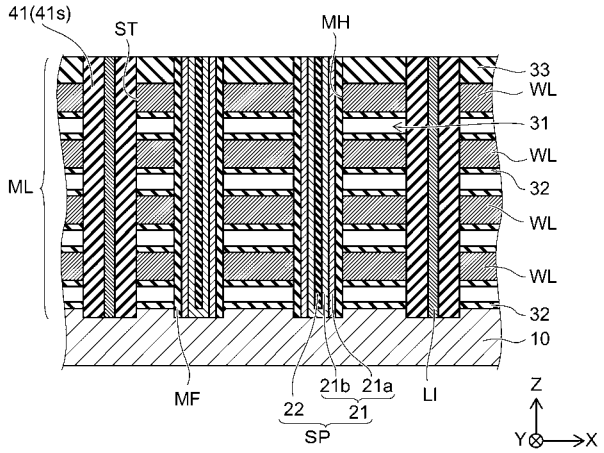
【図１４】



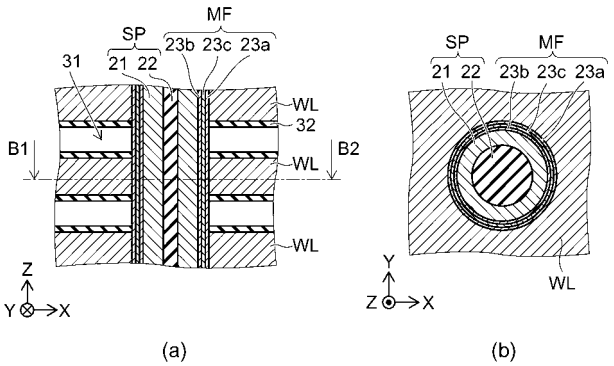
【図１５】



【図１６】



【図１７】



フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
H01L 21/768 (2006.01)		

Fターム(参考) 5F033 HH04 HH07 HH08 HH11 HH14 HH15 HH18 HH19 HH20 HH28
HH29 HH32 HH33 HH34 QQ08 QQ09 QQ13 QQ16 QQ19 RR04
RR30 SS11 VV16 XX24
5F083 EP18 EP22 EP42 EP48 EP76 ER03 ER21 GA03 GA10 GA28
JA04 JA36 JA37 JA39 JA40 KA01 KA05 MA06 MA20 PR03
PR05 PR21
5F101 BA45 BB02 BC02 BD16 BD30 BE07 BH02 BH15