(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 26 日(26.02.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/025823 A1

(51) 国際特許分類:
C23C 14/00 (2006.01) *C23C 14/40* (2006.01)
C23C 14/04 (2006.01)

(21) 国際出願番号: PCT/JP2014/071588

(22) 国際出願日: 2014 年 8 月 18 日(18.08.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-172107 2013 年 8 月 22 日(22.08.2013) JP

(71) 出願人: 株式会社ブイ・テクノロジー(V TECHNOLOGY CO., LTD.) [JP/JP]; 〒2400005 神奈川県横浜市保土ヶ谷区神戸町１３４番地 Kanagawa (JP).

(72) 発明者: 水村　通伸(MIZUMURA, Michinobu); 〒2400005 神奈川県横浜市保土ヶ谷区神戸町１３４番地　株式会社ブイ・テクノロジー内 Kanagawa (JP).

(74) 代理人: 小川　護晃, 外(OGAWA, Moriaki et al.); 〒1000014 東京都千代田区永田町二丁目１３番５号赤坂エイトワンビル７階 Tokyo (JP).

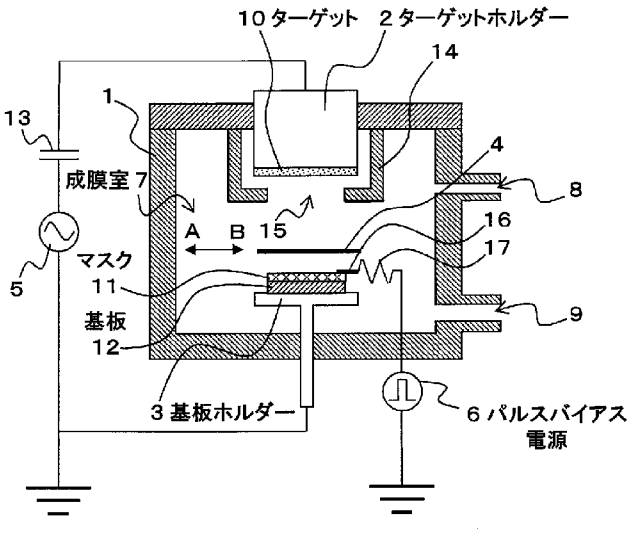
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SPUTTERING FILM FORMATION DEVICE AND SPUTTERING FILM FORMATION METHOD

(54) 発明の名称 : スパッタリング成膜装置及びスパッタリング成膜方法



7 Film formation chamber
10 Target
2 Target holder
11 Mask
12 Substrate
3 Substrate holder
6 Pulse bias power source

(57) **Abstract**: The present invention is a sputtering film formation device in which a high-voltage cathode voltage is applied to a cathode electrode to generate plasma between a target (10) and a substrate (12), thereby forming a film on the substrate (12) through a mask (11). The sputtering film formation device is equipped with a pulse bias power source (6) which enables the application of a pulse-like negative voltage to the mask (11) in the process of forming the film on the substrate (12). This constitution enables the mask to be washed while forming the film.

(57) 要約:　本発明は、カソード電極に高電圧のカソード電圧を印加してターゲット１０と基板１２との間にプラズマを生成し、基板１２にマスク１１を介して成膜するスパッタリング成膜装置であって、前記基板１２への成膜過程で、前記マスク１１にパルス状の負電圧を印加可能にパルスバイアス電源６を備えたものである。これにより、成膜しながらマスクの洗浄を行うことができる。

WO 2015/025823 A1

明　細　書

発明の名称 ：

スパッタリング成膜装置及びスパッタリング成膜方法

技術分野

[0001] 本発明は、ターゲットに対して対向配置された基板にマスクを介して成膜するスパッタリング成膜装置に関し、特に成膜しながらマスクの洗浄も行い得るスパッタリング成膜装置及びスパッタリング成膜方法に係るものである。

背景技術

[0002] 従来の成膜装置において、マスクの洗浄機能を備えた成膜装置は、減圧された成膜室内でマスクを用いて有機化合物の蒸着を終えた後、成膜室を大気圧にすることなく、マスクに高周波電圧を印加して成膜室に導入されたガスを励起してプラズマを発生させ、マスクに付着した上記有機化合物を除去するものとなっている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１２－１９７５１８号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、このような従来の成膜装置においては、マスクの洗浄が基板に対する成膜後に適宜実施されているため、マスクの洗浄中は成膜することができず、成膜基板のスループットが低下するという問題があった。

[0005] そこで、本発明は、このような問題点に対処し、成膜しながらマスクの洗浄も行い得るスパッタリング成膜装置及びスパッタリング成膜方法を提供することを目的とする。

課題を解決するための手段

[0006] 上記目的を達成するために、第１の発明によるスパッタリング成膜装置は、カソード電極に高電圧のカソード電圧を印加してターゲットと基板との間にプラズマを生成し、基板にマスクを介して成膜するスパッタリング成膜装置であって、前記基板への成膜過程で、前記マスクにパルス状の負電圧を印加可能にパルスバイアス電源を備えたものである。

[0007] また、第２の発明によるスパッタリング成膜方法は、カソード電極に高電圧のカソード電圧を印加してターゲットと基板との間にプラズマを生成し、基板にマスクを介して成膜するスパッタリング成膜方法であって、前記基板への成膜過程で、前記マスクにパルス状の負電圧を印加するものである。

発明の効果

[0008] 本発明によれば、カソード電極に高電圧のカソード電圧を印加して行う基板への成膜過程で、マスクにパルス状の負電圧を印加することにより、マスクの表面に堆積した薄膜を不活性ガスの陽イオンで叩いて除去することができる。したがって、成膜しながらマスクの洗浄も行うことができ、成膜基板のスループットを向上することができる。

図面の簡単な説明

[0009] [図1]本発明によるスパッタリング成膜装置の第１の実施形態の概略構成を示す正面図である。

[図2]上記第１の実施形態によるスパッタリング成膜方法について説明するフローチャートである。

[図3]上記第１の実施形態におけるバイアス電圧の印加タイミングを示すタイミングチャートである。

[図4]上記第１の実施形態におけるシーズニング期間の成膜について説明する図であり、（ａ）は成膜開始時を示し、（ｂ）は成膜が進んだ状態を示す。

[図5]上記第１の実施形態によるスパッタリング成膜におけるマスク洗浄について示す説明図である。

[図6]上記第１の実施形態によるスパッタリング成膜における成膜再開後について説明する図であり、（ａ）は成膜再開時を示し、（ｂ）は成膜がさらに

進んだ状態を示す。

[図7]本発明によるスパッタリング成膜装置の第２の実施形態の概略構成を示す正面図である。

[図8]上記第２の実施形態におけるバイアス電圧の印加タイミングを示すタイミングチャートである。

発明を実施するための形態

[0010] 以下、本発明の実施形態を添付図面に基づいて詳細に説明する。図１は本発明によるスパッタリング成膜装置の第１の実施形態の概略構成を示す正面図である。このスパッタリング成膜装置は、ターゲットホルダーに高周波電圧を印加してターゲットと基板との間にプラズマを生成し、基板にマスクを介して成膜するＲＦスパッタリング装置であり、真空チャンバー１と、ターゲットホルダー２と、基板ホルダー３と、シャッター４と、高周波電源５と、パルスバイアス電源６と、を備えて構成されている。

[0011] 上記真空チャンバー１は、内部に成膜室７を形成する密閉容器であり、ガス導入口８と排気口９とを備えている。そして、排気口９に接続して備えた真空ポンプ（図示省略）により成膜室７内の空気又はスパッタガスを排気して成膜室７内を一定の真空度に保つことができるようになっている。さらに、ガス導入口８には、アルゴン（Ａｒ）ガス等の不活性ガスのガスボンベ（図示省略）が配管により接続され、成膜室７内にスパッタガスを導入することができるようになっている。

[0012] 上記真空チャンバー１の成膜室７内には、ターゲットホルダー２が配設されている。このターゲットホルダー２は、ターゲット１０を固定して保持するものであり、真空チャンバー１と電気的に絶縁された状態で金属材料により形成されている。なお、ターゲットホルダー２は、必要に応じて、内部にターゲット１０を冷却するための冷却水を外部から導入可能に水路を設けてもよい。

[0013] 上記真空チャンバー１の成膜室７内には、ターゲットホルダー２と対向させて基板ホルダー３が配設されている。この基板ホルダー３は、複数の開口

パターンを設けた例えば樹脂製のフィルムからなるマスク１１を基板１２の成膜表面に密着させた状態で基板１２を保持するものであり、金属材料で形成されている。

[0014] なお、上記マスク１１は、樹脂製フィルムのような非導電性の材料で形成されたものに限られず、導電性のメタルマスクであってもよい。この場合、成膜される薄膜が導電性の膜であるときには、非導電性のマスク及び導電性のメタルマスクのいずれを使用してもよい。また、成膜される薄膜が非導電性の膜であるときには、導電性のメタルマスク、又は非導電性のマスクのターゲット側表面に導電性の薄膜を被着させた複合マスクを使用するのがよい。本実施形態の説明においては、成膜される薄膜が導電性の膜であり、マスク１１が非導電性の樹脂製フィルムである場合について述べる。

[0015] 上記ターゲットホルダー２と基板ホルダー３とは、真空チャンバー１の成膜室７内にどのように配置されてもよい。例えば、ターゲットホルダー２と基板ホルダー３とが上下に対向配置されてもよく、又は左右に対向配置されてもよい。ただし、本実施形態のように、マスク１１がフィルム製の場合には、基板ホルダー３が下側となるようにしてターゲットホルダー２と基板ホルダー３とを上下に対向配置するか、又は真空室７の垂直軸に対して傾けて対向配置するのが望ましい。これにより、フィルム製のマスク１１が自重で垂れ下がるため、マスク１１を基板１２の成膜面に密着させることができる。

[0016] 上記ターゲットホルダー２と基板ホルダー３との間には、シャッター４が設けられている。このシャッター４は、成膜の開始と終了のタイミングを制御するためのもので、ターゲット１０から基板１２に向かって飛翔するスパッタ粒子１９（図４参照）の通路を開閉自在に設けられている。即ち、シャッター４が図１に示す矢印Ａ方向に移動してスパッタ粒子１９の通路が開かれると成膜が開始し、シャッター４が同図に示す矢印Ｂ方向に移動してスパッタ粒子１９の通路が閉じられると成膜が終了する。これにより、成膜される薄膜パターンの膜厚を制御することができる。なお、スパッタ粒子１９の

通路がシャッター４によって閉じられた状態を「シャッター４が閉じられている」と言い、スパッタ粒子１９の通路が開かれた状態を「シャッター４が開かれている」と言う。

[0017] 上記ターゲットホルダー２に電気的に接続して高周波電源（ＲＦ電源）５が備えられている。この高周波電源５は、ターゲットホルダー２に１３．５６ＭＨｚの高周波電力を供給してターゲットホルダー２に高周波電圧（ＲＦ電圧）を印加してターゲット１０と基板１２との間にプラズマを発生させるためのものであり、高周波電力を調整する図示省略の高周波整合器を備えている。この場合、ターゲットホルダー２側がカソード電極で、基板ホルダー３側がアース電極（アノード電極）となる。なお、図１において符号１３は、ターゲットホルダー２に直列に接続されたバイパスコンデンサであり、符号１４は、陽極イオンが基板１２に対向したターゲット１０の部分以外の、例えばターゲットホルダー２の部分には衝突しないようにするためのシールド部材であり、ターゲット１０の中央領域に対応して開口１５が設けられている。

[0018] 上記マスク１１のターゲット１０側表面に通電可能にパルスバイアス電源６が設けられている。このパルスバイアス電源６は、カソード電圧に同期して駆動するもので、カソード電圧が正の時にＯＮ駆動してパルス状の負電圧を出力し、マスク１１にバイアス電圧を印加するようになっている。この場合、パルスバイアス電源６には、図１に示すように、マスク１１の表面に接触するバイアス電極１６と、該バイアス電極１６とパルスバイアス電源６との間に挿入され、過電流が流れるのを制限するための制限抵抗１７とが直列に接続されている。

[0019] 次に、このように構成されたスパッタリング成膜装置を使用するスパッタリング成膜方法について、図２のフローチャートを参照して説明する。

先ず、ステップＳ１において、成膜の準備が行われる。詳細には、真空チャンバー１の成膜室７の真空を破って、成膜室７内のターゲットホルダー２に例えばＩＴＯ（インジウム－錫を主成分とする複合酸化物成膜材料）のタ

ーゲット１０が取り付けられる。

[0020] 次いで、基板ホルダー３上に基板１２が設置され、さらに基板１２の成膜面に密着させてマスク１１が設置される。その後、パルスバイアス電源６に繋がったバイアス電極１６がマスク１１の表面に接触される。

[0021] ステップＳ２においては、成膜開始の準備が行われる。詳細には、ターゲット１０及び基板１２の取り付けが終了すると、真空チャンバー１は閉じられる。そして、真空チャンバー１の排気口９側に備えられた排気バルブ（図示省略）が徐々に開かれ、真空ポンプにより成膜室７内の空気が排気される。なお、このときガス導入口８側に備えられたガス導入バルブ（図示省略）は閉じられている。また、シャッター４も閉じられた状態にある。

[0022] 成膜室７内の真空度が予め定められた所定の値に達すると、ガス導入バルブが開かれて、例えばマスフローコントローラにより一定流量に調整されたＡｒガスが導入される。続いて、排気バルブを調節することにより排気ポンプの排気量が調整され、成膜室７内の全ガス圧力が予め定められた所定値に調節される。

[0023] ステップＳ３においては、透明導電膜２１の成膜が実施される。詳細には、成膜室７内のガス圧力が所定値になると高周波電源５が起動され、予め定められた所定値の図３（ａ）に示すような高周波（ＲＦ）電圧がターゲット１０に印加される。この高周波電力は、高周波整合器及び電源出力により調整される。

[0024] ターゲット１０に所定の高周波電力が印加されると成膜室７内のＡｒガスが電離して、ターゲット１０とシャッター４との間にプラズマが生成される。そして、一定時間だけプリスパッタリングが実行されてターゲット１０の表面の不純物が除去されるとシャッター４が開かれ、基板１２に対するスパッタリング成膜が開始される。

[0025] 以下、本発明のスパッタリング成膜について詳細に説明する。

ターゲットホルダー２に図３（ａ）に示すようなＲＦ電圧が印加されると、カソード電圧は、バイパスコンデンサ１３があるため同図（ｂ）に示すよ

うに負側に偏った正弦波形となる。そして、同図に斜線を付して示すように、カソード電圧が負である期間にターゲットのスパッタリングが実行され、基板１２へ成膜が行われる。スパッタリングが開始してから一定期間（同図（ｃ）に示すシーズニング期間）が経過するまでは、マスク１１の表面には、パルスバイアス電源６からバイアス電圧を印加可能な十分な膜厚の透明導電膜２１が堆積していないため、パルスバイアス電源６を起動してもマスク１１の表面にはバイアス電圧は印加されない。そこで、本実施形態においては、上記シーズニング期間は、パルスバイアス電源６は０Ｖにされている。

[0026] 上記シーズニング期間においては、図４（ａ）に示すように、電離したＡｒガスの陽イオン１８は、カソード電圧が負のときターゲット１０側に引き寄せられ、同図に矢印で示すようにターゲット１０に衝突してスパッタ粒子１９を弾き飛ばす。こうして、弾き飛ばされたスパッタ粒子１９は、基板１２側に向かって飛翔し、同図（ｂ）に示すように、マスク１１の開口パターン２０を通って基板１２の表面に付着し成膜が実行される。同時に、マスク１１の表面にもスパッタ粒子１９が付着し透明導電膜２１が堆積する。このように、図３（ｂ）に示すように、カソード電圧が負であるターゲットスパッタ期間において、成膜が実施される。

[0027] シーズニング期間が経過すると、図３（ｃ）に示すように、パルスバイアス電源６が起動される。そして、カソード電圧が正となりスパッタが停止されている期間（同図（ｂ）に示すターゲットスパッタ停止期間）に、パルスバイアス電源６が負電圧を出力し、マスク１１の表面に堆積した透明導電膜２１にパルス状のバイアス電圧（－Ｖｂ）が印加される。これにより、図５に示すように、電離したＡｒガスの陽イオン１８は、マスク１１側に引き寄せられ、同図に矢印で示すようにマスク１１の表面に堆積した透明導電膜２１を叩いてイオンボンバードメントが行われる（マスク洗浄）。

[0028] 次いで、図３（ｂ）に示すように、カソード電圧の正期間が終え、カソード電圧が負に切り替わると、同図（ｃ）に示すように、上記カソード電圧に同期してパルスバイアス電源６が制御され、マスク１１に対する印加電圧が

０Ｖにされる（パルスバイアス電源６がＯＦＦ駆動）。これにより、図６（ａ）に示すように、再びマスク１１を使用した通常のスパッタリング成膜が開始され、同図（ｂ）に示すように透明導電膜２１が基板１２及びマスク１１表面に堆積する。

[0029] 以降、スパッタリング成膜とマスク１１洗浄が交互に実施され、予め定められた所定時間が経過するとシャッター４を閉じて成膜が終了される。さらに、高周波電源５及びパルスバイアス電源６がＯＦＦされる。

[0030] 続いて、ステップＳ４においては、基板が取り出される。詳細には、排気バルブ及びガス導入バルブが閉じられ、図示省略のリークバルブが開けられて真空チャンバー１の成膜室７内の真空が破られる。これにより、成膜室７を開いて基板１２を取り出すことができる。なお、基板１２を取り出す際には、バイアス電極１６は、マスク１１の面内から面外に退避される。

[0031] 図７は本発明によるスパッタリング成膜装置の第２の実施形態の概略構成を示す正面図である。ここでは、第１の実施形態と異なる部分について説明する。

この第２の実施形態は、第１の実施形態において高周波電源５に替えて直流電源２２を備えたもので、直流電源２２の負極側を抵抗２３を介してターゲットホルダー２（カソード電極）に接続し、正極側を基板ホルダー３（アノード電極）に接続したＤＣスパッタリング装置である。この場合、使用されるターゲット材料は、導電性材料に限られる。

[0032] また、第２の実施形態におけるパルスバイアス電源６は、ターゲットホルダー２にカソード電圧（－Ｖｃ）が印加された状態で、一定周期のパルス状の負電圧を出力してマスク１１に上記カソード電圧（－Ｖｃ）よりも電圧の絶対値が大きいバイアス電圧（－Ｖｂ）を印加できるようになっている（Ｖｃ＜Ｖｂ）。

[0033] この第２の実施形態によれば、図８（ａ）に示すように、成膜時には、カソード電極に常時、数百ボルトの負の直流電圧（カソード電圧）が印加され、ターゲット１０と基板１２の間にプラズマを発生させて基板１２への成膜

が行われる。

[0034] 詳細には、上記第１の実施形態と同様に、Ａｒガスがプラズマ化して生じたアルゴンの陽イオン１８でターゲット１０を叩き、これにより弾き飛ばされたスパッタ粒子１９を基板１２上に堆積させて導電膜の成膜が行われる。

[0035] また、パルスバイアス電源６は、図８（ｂ）に示すように、成膜開始後のシーズニング期間には、マスク１１への印加電圧を０Ｖとし、シーズニング期間経過後に一定周期のパルス状の負電圧を出力してマスク１１にカソード電圧（－Ｖｃ）よりも電圧の絶対値が大きいバイアス電圧（－Ｖｂ）を印加する（Ｖｃ＜Ｖｂ）。これにより、パルス状のバイアス電圧（－Ｖｂ）がマスク１１に印加されているときには、アルゴンの陽イオン１８は、マスク１１側に引き寄せられ、第１の実施形態と同様にマスク１１の表面に堆積した導電膜を叩いてイオンボンバードメントが行われる（マスク洗浄）。

[0036] このように、本発明によるスパッタリング成膜装置によれば、カソード電極に高電圧のカソード電圧を印加して行う成膜過程で、マスク１１にパルス状の負電圧を印加することにより、マスク１１の表面に堆積した薄膜を不活性ガスの陽イオン１８で叩いて除去することができる。したがって、成膜しながらマスク１１の洗浄も行うことができ、成膜基板のスループットを向上することができる。

[0037] なお、上記実施形態においては、シーズニング期間にパルスバイアス電源６が停止され、マスク１１に対する印加電圧が０Ｖとされている場合について説明したが、本発明はこれに限られず、高周波電源５又は直流電源２２を起動すると同時にパルスバイアス電源６を起動して、マスク１１に一定周期の負電圧が印加されるようにしてもよい。ただし、マスク１１の表面の全面に十分な膜厚の導電膜が堆積してバイアス電圧が通電可能となるまでは、パルスバイアス電源６が起動されていても導電膜にバイアス電圧が印加されないため、マスク洗浄機能は発揮されない。

[0038] また、上記実施形態においては、基板１２に成膜される膜が導電膜である場合について説明したが、マスク１１が導電性のメタルマスクや、メタルマ

スクと樹脂製フィルムとを密接させた複合マスクの場合には、成膜される膜は非導電膜であってもよい。

[0039] さらに、上記実施形態においては、バッチ方式のスパッタリング成膜装置について説明したが、本発明はこれに限られず、インライン方式のスパッタリング成膜装置であってもよい。この場合、成膜室７を間にして基板１２の搬送方向上流側にロードロック室を備え、下流側にアンロード室を備えて構成される。この場合、先ず、ロードロック室の上流側のゲートバルブを開いて基板１２をロードロック室に搬入する。次いで、前記ゲートバルブを閉じてロードロック室を排気した後に、ロードロック室の下流側のゲートバルブを開いて基板１２を成膜室７内に搬入し、基板ホルダー３に設置する。その後、上記下流側ゲートバルブを閉じると共に、成膜室７内のマスクホルダーに予め保持されたマスク１１をローディングして基板１２上に設置し、さらに、バイアス電極１６をマスク１１の表面に接触させる。これにより、前述のＲＦスパッタリング成膜が可能となる。一方、成膜が終了すると、バイアス電極１６を退避させた後、マスク１１をアンローディングする。それから、成膜室７を排気した後、成膜室７の下流側のゲートバルブを開いて基板１２をアンロード室に搬出する。その後、成膜室７の下流側のゲートバルブを閉じると共に、アンロード室内の真空を破ることにより基板１２の取り出しが可能となる。

符号の説明

[0040] ２…ターゲットホルダー

３…基板ホルダー

５…高周波電源

６…パルスバイアス電源

１０…ターゲット

１１…マスク

１２…基板

２２…直流電源

請求の範囲

[請求項1] カソード電極に高電圧のカソード電圧を印加してターゲットと基板との間にプラズマを生成し、基板にマスクを介して成膜するスパッタリング成膜装置であって、

前記基板への成膜過程で、前記マスクにパルス状の負電圧を印加可能にパルスバイアス電源を備えたことを特徴とするスパッタリング成膜装置。

[請求項2] 前記カソード電圧は、高周波電圧であり、

前記パルスバイアス電源は、前記カソード電圧に同期して駆動し、該カソード電圧が正の時に前記パルス状の負電圧を出力して前記マスクに負電圧を印加することを特徴とする請求項１記載のスパッタリング成膜装置。

[請求項3] 前記カソード電圧は、直流電圧であり、

前記パルスバイアス電源は、前記カソード電圧が印加された状態で、一定周期の前記パルス状の負電圧を出力して前記マスクに前記カソード電圧よりも電圧の絶対値が大きい負電圧を印加することを特徴とする請求項１記載のスパッタリング成膜装置。

[請求項4] 前記基板に成膜される薄膜は、導電性の膜であり、

前記マスクは、非導電性材料で形成されたものである、

ことを特徴とする請求項１～３のいずれか１項に記載のスパッタリング成膜装置。

[請求項5] 前記マスクは、導電性材料で形成されたものであることを特徴とする請求項１～３のいずれか１項に記載のスパッタリング成膜装置。

[請求項6] カソード電極に高電圧のカソード電圧を印加してターゲットと基板との間にプラズマを生成し、基板にマスクを介して成膜するスパッタリング成膜方法であって、

前記基板への成膜過程で、前記マスクにパルス状の負電圧を印加することを特徴とするスパッタリング成膜方法。

[請求項7] 前記カソード電圧は、高周波電圧であり、前記カソード電圧が正の時に前記パルス状の負電圧を前記マスクに印加することを特徴とする請求項６記載のスパッタリング成膜方法。

[請求項8] 前記カソード電圧は、直流電圧であり、前記カソード電圧が印加された状態で、該カソード電圧よりも電圧値の絶対値が大きい一定周期の前記パルス状の負電圧を前記マスクに印加することを特徴とする請求項６記載のスパッタリング成膜方法。

[請求項9] 前記マスクには、成膜が開始されてから、予め定められた時間経過後に前記パルス状の負電圧の印加が開始されることを特徴とする請求項６～８のいずれか１項に記載のスパッタリング成膜方法。

[請求項10] 前記基板に成膜される薄膜は、導電性の膜であり、

前記マスクは、非導電性材料で形成されたものである、

ことを特徴とする請求項６～８のいずれか１項に記載のスパッタリング成膜方法。

[請求項11] 前記基板に成膜される薄膜は、導電性の膜であり、

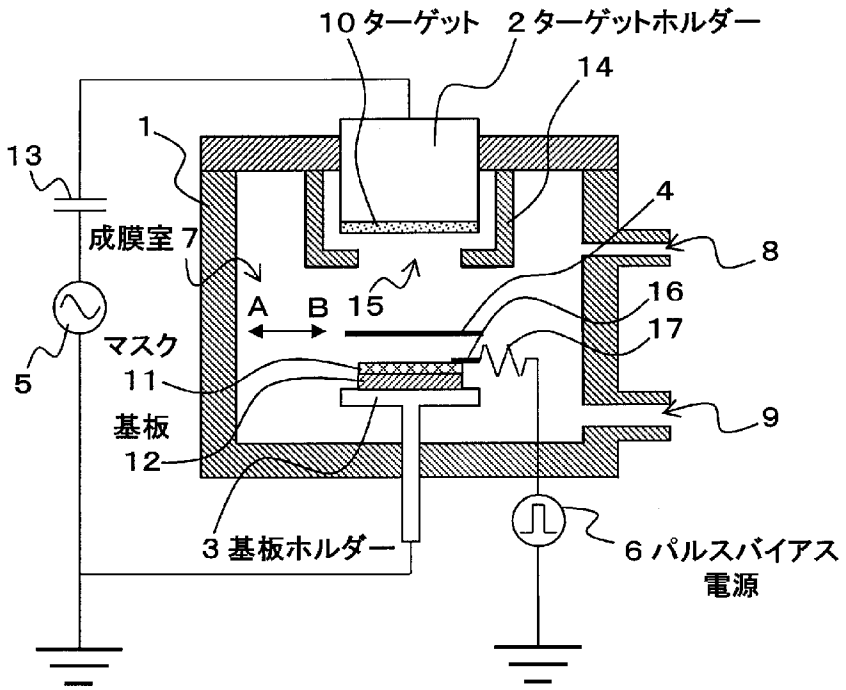
前記マスクは、非導電性材料で形成されたものである、

ことを特徴とする請求項９記載のスパッタリング成膜方法。

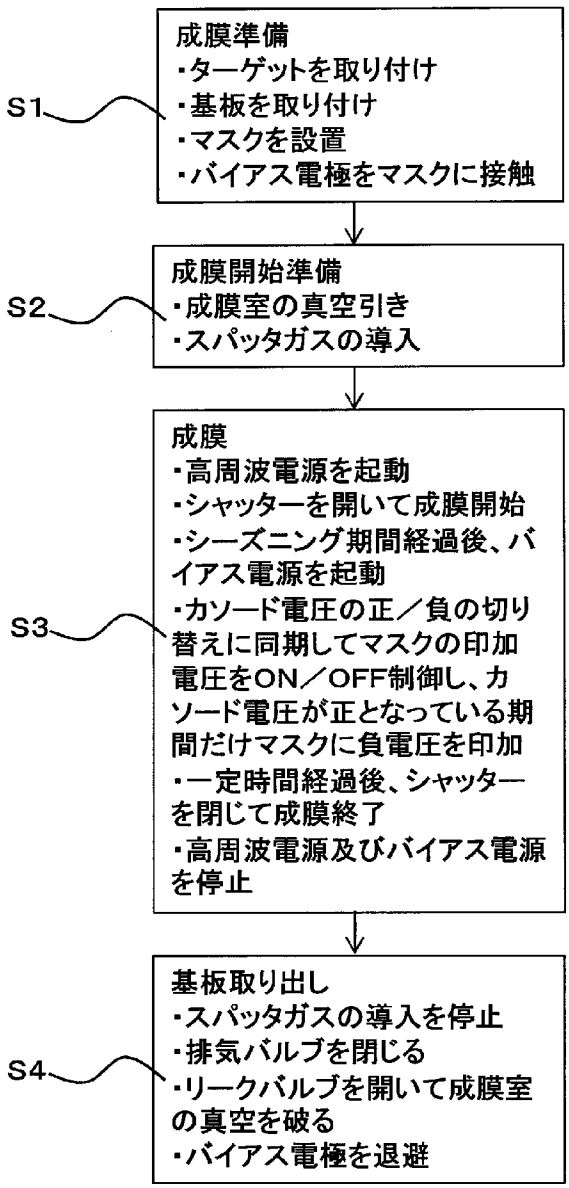
[請求項12] 前記マスクは、導電性材料で形成されたものであることを特徴とする請求項６～８のいずれか１項に記載のスパッタリング成膜方法。

[請求項13] 前記マスクは、導電性材料で形成されたものであることを特徴とする請求項９記載のスパッタリング成膜方法。

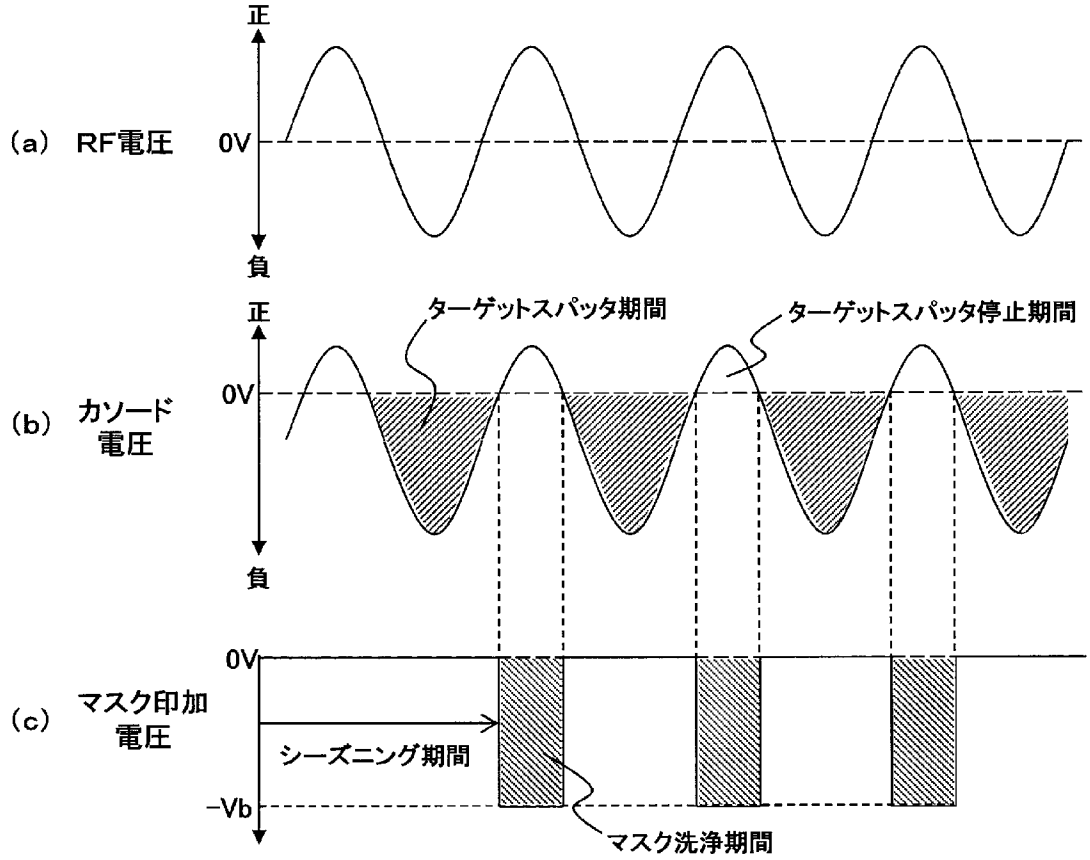
[図1]


10 ターゲット
2 ターゲットホルダー
14
1
13
4
成膜室 7
8
A
B
15
16
マスク
17
5
11
基板
12
9
3 基板ホルダー
6 パルスバイアス
電源

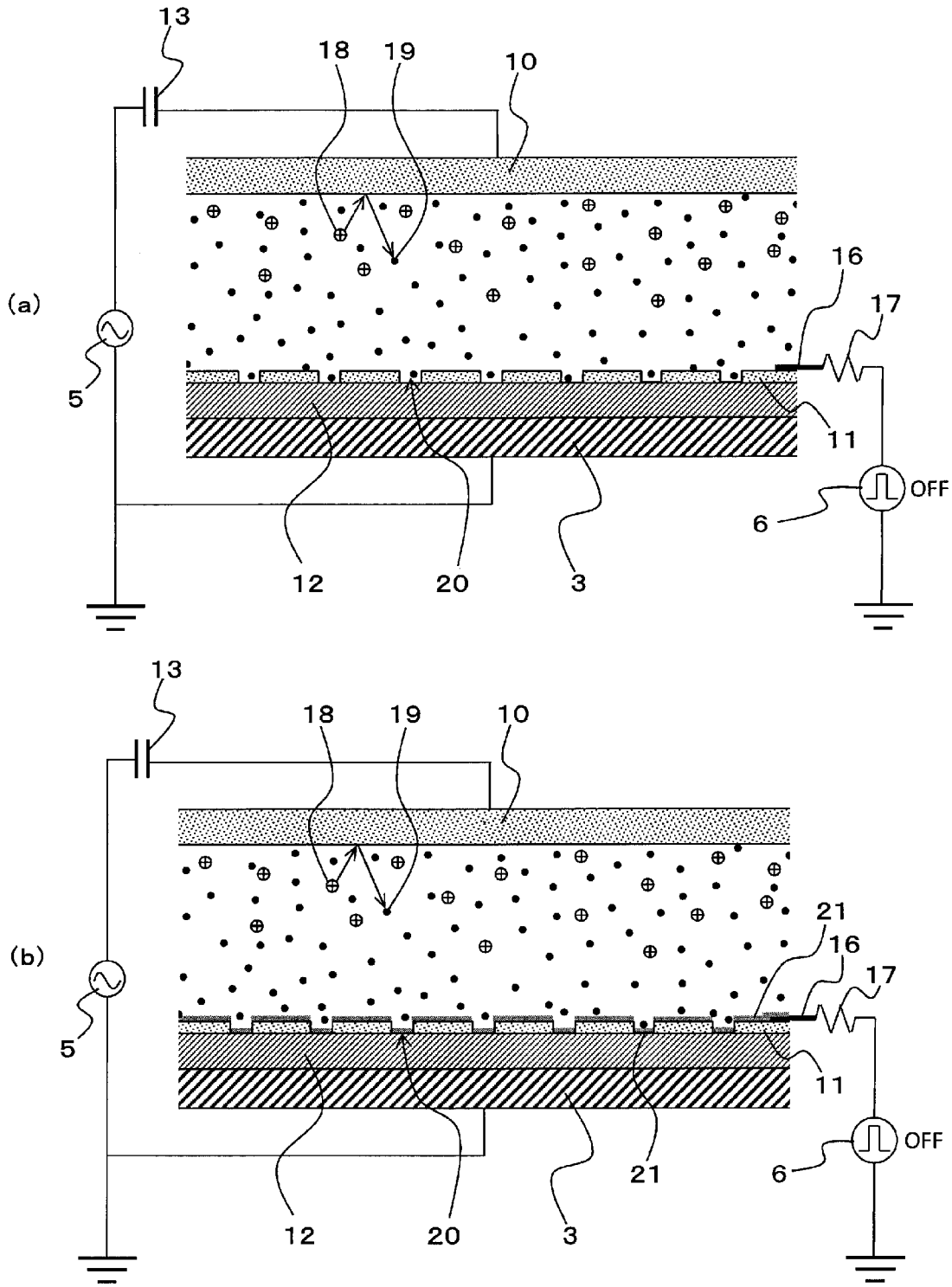
[図2]


S1
成膜準備
・ターゲットを取り付け
・基板を取り付け
・マスクを設置
・バイアス電極をマスクに接触
S2
成膜開始準備
・成膜室の真空引き
・スパッタガスの導入
S3
成膜
・高周波電源を起動
・シャッターを開いて成膜開始
・シーズニング期間経過後、バイアス電源を起動
・カソード電圧の正／負の切り替えに同期してマスクの印加電圧をON／OFF制御し、カソード電圧が正となっている期間だけマスクに負電圧を印加
・一定時間経過後、シャッターを閉じて成膜終了
・高周波電源及びバイアス電源を停止
S4
基板取り出し
・スパッタガスの導入を停止
・排気バルブを閉じる
・リークバルブを開いて成膜室の真空を破る
・バイアス電極を退避

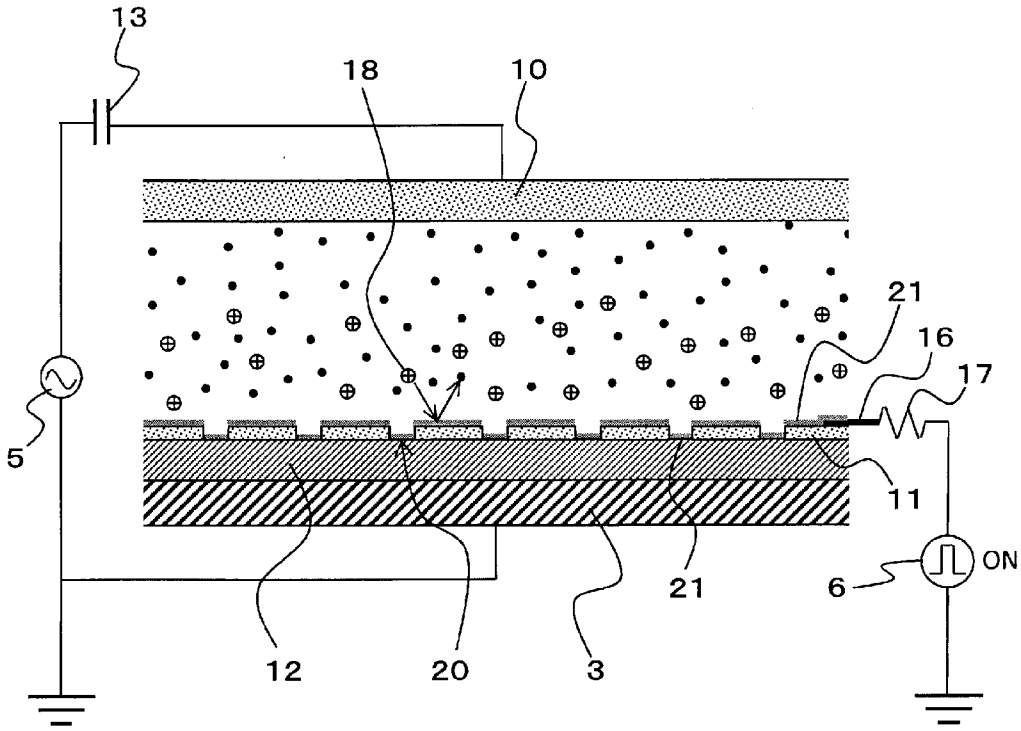
[図3]


正
(a) RF電圧
0V
負
正
ターゲットスパッタ期間
ターゲットスパッタ停止期間
(b) カソード電圧
0V
負
0V
(c) マスク印加電圧
シーズニング期間
-Vb
マスク洗浄期間

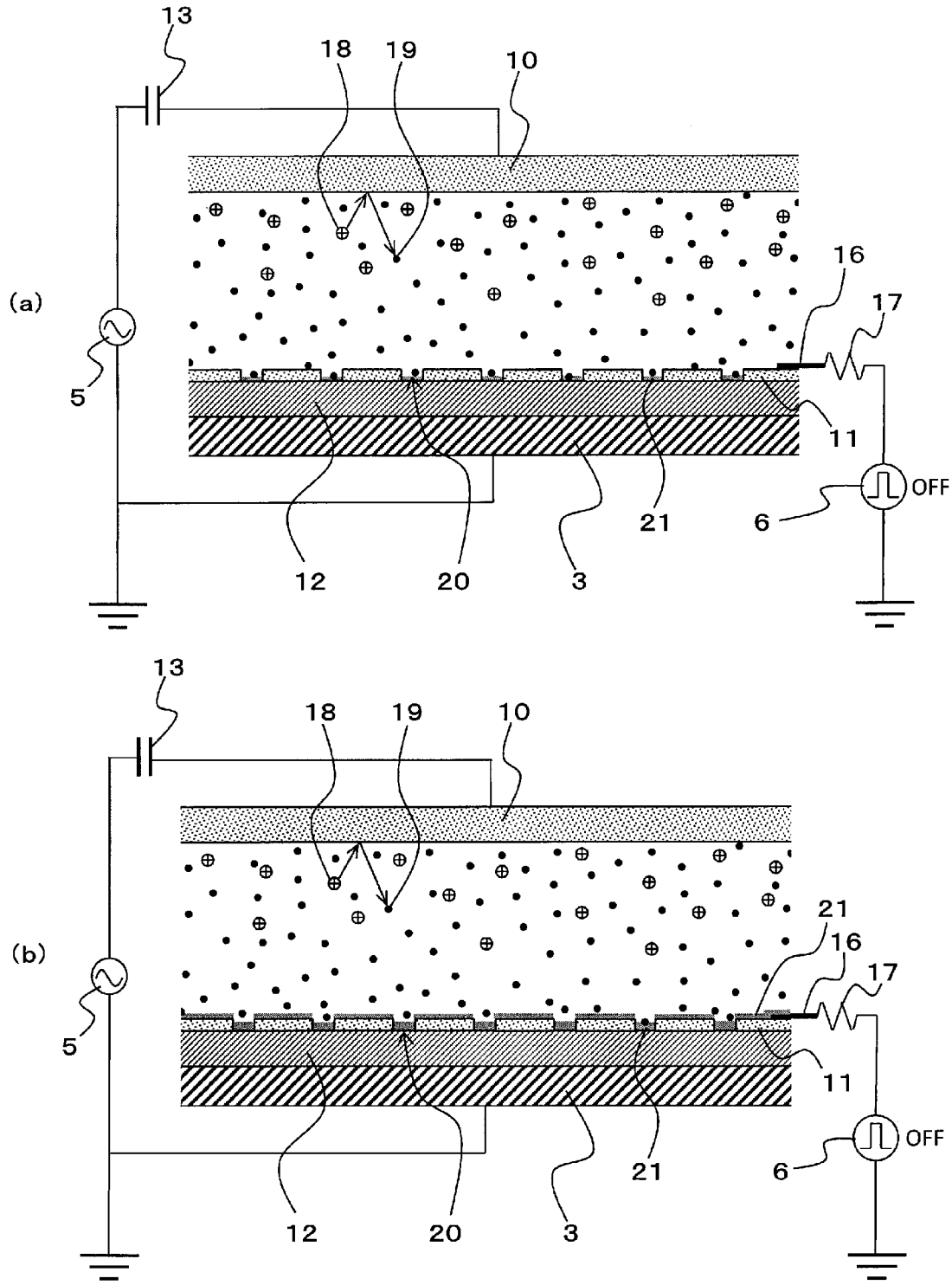
[図4]


(a)
13
18
19
10
16
17
5
11
OFF
6
12
20
3
(b)
13
18
19
10
21
16
17
5
11
OFF
6
21
12
20
3

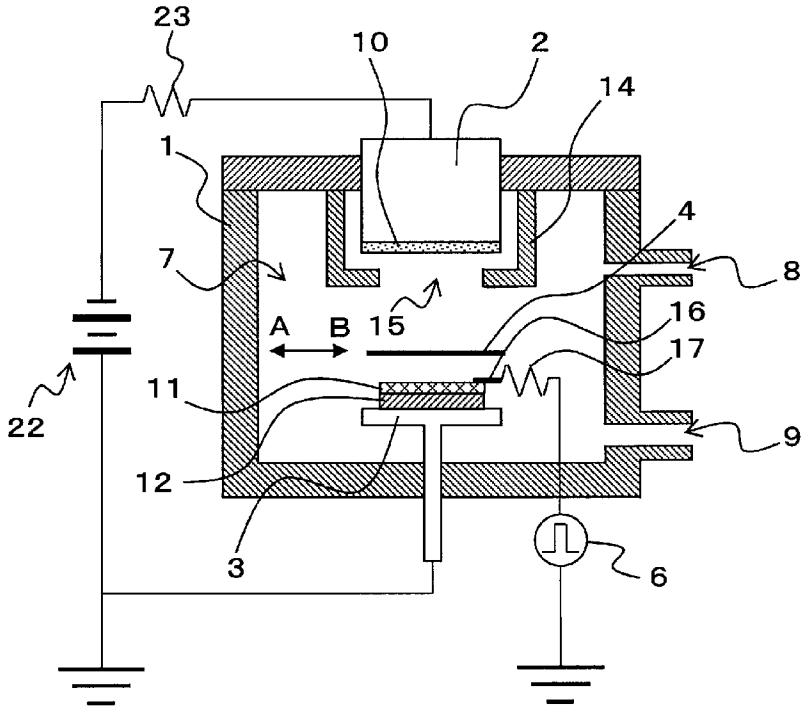
[図5]



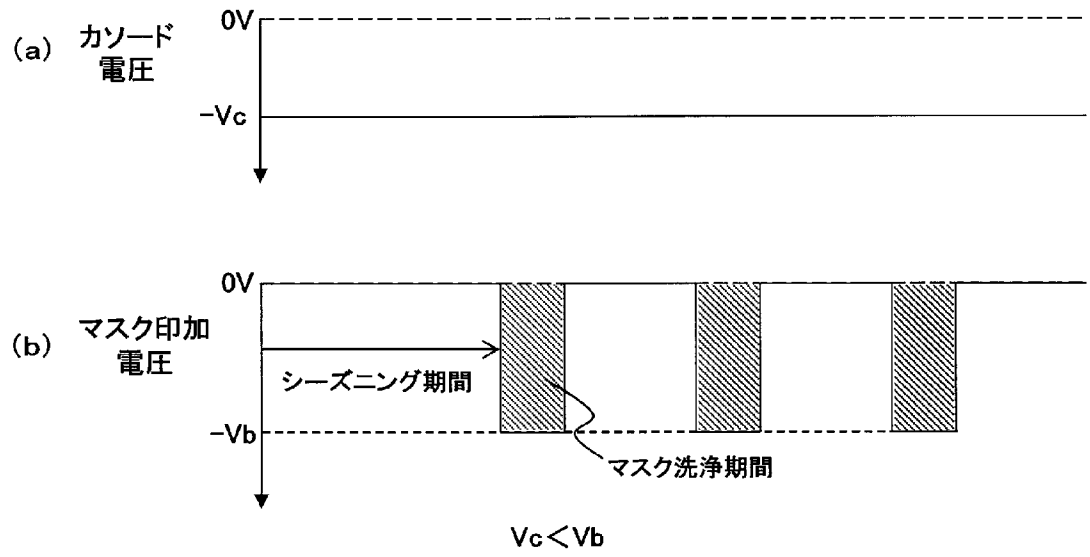
[図6]


(a)
13
18
19
10
16
17
5
11
OFF
6
21
12
20
3
(b)
13
18
19
10
21
16
17
5
11
OFF
6
21
12
20
3

[図7]


23
10
2
14
1
4
7
8
A
B
15
16
17
11
22
9
12
3
6

[図8]


(a) カソード電圧
0V
-Vc
(b) マスク印加電圧
0V
シーズニング期間
-Vb
マスク洗浄期間
Vc＜Vb

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/071588

A. CLASSIFICATION OF SUBJECT MATTER
C23C14/00(2006.01)i, *C23C14/04*(2006.01)i, *C23C14/40*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
C23C14/00, C23C14/04, C23C14/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Thomson Innovation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-310167 A (Toshiba Corp.), 02 December 1997 (02.12.1997), paragraphs [0002] to [0006] (Family: none)	1,2,4-7,9-13 3,8
Y A	JP 2011-231343 A (Ulvac, Inc.), 17 November 2011 (17.11.2011), paragraph [0060] (Family: none)	1,2,4-7,9-13 3,8
Y	JP 2005-240081 A (Matsushita Electric Industrial Co., Ltd.), 08 September 2005 (08.09.2005), paragraphs [0027], [0031] (Family: none)	4,5,10-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 November, 2014 (07.11.14)	18 November, 2014 (18.11.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/071588

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/055851 A1 (Tokyo Electron Ltd.), 20 May 2010 (20.05.2010), paragraphs [0058], [0104] to [0106] & US 2011/0240223 A1 & CN 102202992 A & KR 10-2011-0084923 A	1-13
A	JP 2012-132053 A (Panasonic Corp.), 12 July 2012 (12.07.2012), paragraphs [0027] to [0029], [0039], [0042] to [0046] (Family: none)	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７１５８８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　C23C14/00(2006.01)i, C23C14/04(2006.01)i, C23C14/40(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　C23C14/00, C23C14/04, C23C14/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Thomson Innovation

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 9-310167 A (株式会社東芝) 1997.12.02, 段落【0002】-【0006】 (ファミリーなし)	1,2,4-7,9-13 3,8
Y A	JP 2011-231343 A (株式会社アルバック) 2011.11.17, 段落【0060】 (ファミリーなし)	1,2,4-7,9-13 3,8

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０７．１１．２０１４	１８．１１．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｇ　４８６１
浅野　裕之
電話番号　０３－３５８１－１１０１　内線　３４１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-240081 A (松下電器産業株式会社) 2005.09.08, 段落【0027】, 【0031】 (ファミリーなし)	4,5,10-13
A	WO 2010/055851 A1 (東京エレクトロン株式会社) 2010.05.20, 段落[0058],[0104]-[0106] & US 2011/0240223 A1 & CN 102202992 A & KR 10-2011-0084923 A	1-13
A	JP 2012-132053 A (パナソニック株式会社) 2012.07.12, 段落【0027】-【0029】, 【0039】, 【0042】-【0046】 (ファミリーなし)	1-13