

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228323

(P2004-228323A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl.⁷

H01L 25/065

H01L 25/07

H01L 25/18

F I

H01L 25/08

Z

テーマコード (参考)

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号 特願2003-13953 (P2003-13953)

(22) 出願日 平成15年1月22日 (2003.1.22)

(71) 出願人 503121103

株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 黒田 宏

東京都小平市上水本町五丁目20番1号
株式会社日立製作所半導体グループ内

(72) 発明者 木下 順弘

東京都小平市上水本町五丁目20番1号
株式会社日立製作所半導体グループ内

(54) 【発明の名称】 半導体装置

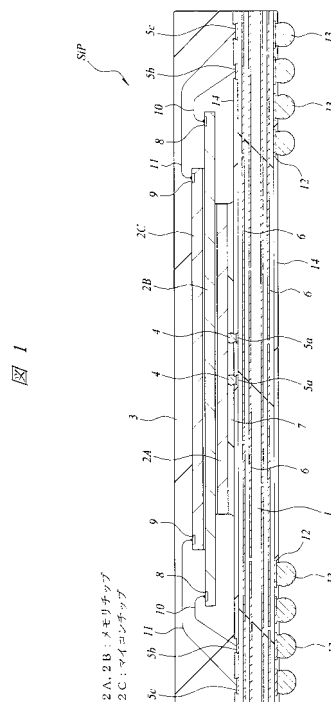
(57) 【要約】

【課題】高密度実装に適した小型、高性能のシステムインパッケージ (SiP) を提供する。

【解決手段】システムインパッケージ (SiP) は、配線基板 1 の主面上に 2 個のメモリチップ 2 A、2 B を積み重ねて実装し、さらにその上部にマイコンチップ 2 C を積み重ねて実装し、これらのチップをモールド樹脂 3 で封止したスタック構造を有している。メモリチップ 2 A、2 B のそれぞれは、マイコンチップ 2 C を通じてシステムの外部とデータのやり取りを行うように構成されている。

マイコンチップ 2 C は、システム内部とのインターフェイスに加えて、システム外部との各種インターフェイスを備えた多ポート構造で構成されているので、端子 (ピン) の数はメモリチップ 2 A、2 B に比べて遥かに多い。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

配線基板と、前記配線基板の上面に実装されたマイコンチップおよびメモリチップによってシステムが構成されたシステムインパッケージ構造を有する半導体装置であって、前記マイコンチップは、前記メモリチップを含む前記システムの内部とのインターフェイス、および前記システムの外部とのインターフェイスをそれぞれ有する多ポート構造で構成され、

前記メモリチップは、前記マイコンチップを介して前記システムの外部にアクセスされるように構成され、

前記マイコンチップは、前記メモリチップの上に積層された状態で前記配線基板上に実装されていることを特徴とする半導体装置。 10

【請求項 2】

前記マイコンチップは、複数のボンディングワイヤを介して前記配線基板の第 1 電極群に接続され、前記メモリチップは、複数のボンディングワイヤまたは複数のバンプ電極を介して前記配線基板の第 2 電極群に接続され、前記第 1 電極群は、前記第 2 電極群よりも前記配線基板の外周側に配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記メモリチップには、D R A Mまたはフラッシュメモリが形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記マイコンチップは、複数のボンディングワイヤを介して前記配線基板の第 1 電極群に接続され、前記メモリチップは、複数のボンディングワイヤを介して前記配線基板の第 2 電極群に接続され、前記第 1 電極群は、前記第 2 電極群よりも前記配線基板の外周側に配置され、前記マイコンチップの外形寸法は、前記メモリチップの外形寸法と同等以上であることを特徴とする請求項 1 記載の半導体装置。 20

【請求項 5】

前記マイコンチップと前記メモリチップの間には、スペーサが介在していることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

配線基板と、前記配線基板の上面に実装された 1 個のマイコンチップおよび 2 個のメモリチップによってシステムが構成されたシステムインパッケージ構造を有する半導体装置であって、 30

前記マイコンチップは、前記 2 個のメモリチップを含む前記システムの内部とのインターフェイス、および前記システムの外部とのインターフェイスをそれぞれ有する多ポート構造で構成され、

前記 2 個のメモリチップのそれぞれは、前記マイコンチップを介して前記システムの外部にアクセスされるように構成され、

前記 2 個のメモリチップは、それらの一方が他方の上に積層された状態で前記配線基板上に実装され、前記マイコンチップは、前記 2 個のメモリチップの上に積層された状態で前記配線基板上に実装されていることを特徴とする半導体装置。 40

【請求項 7】

前記マイコンチップは、複数のボンディングワイヤを介して前記配線基板の第 1 電極群に接続され、前記 2 個のメモリチップのうち、下層のメモリチップは、複数のバンプ電極を介して前記配線基板の第 2 電極群に接続され、上層のメモリチップは、複数のボンディングワイヤを介して前記配線基板の第 3 電極群に接続され、前記第 1 電極群は、前記第 2 および第 3 電極群よりも前記配線基板の外周側に配置されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記 2 個のメモリチップの一方には D R A Mが形成され、他方にはフラッシュメモリが形成されていることを特徴とする請求項 6 記載の半導体装置。 50

【請求項 9】

前記配線基板の下面には、外部接続端子を構成する複数のバンブ電極が形成されていることを特徴とする請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、配線基板上にメモリチップとマイコンチップを実装してシステムを構成したシステムインパッケージ (System in Package; SiP) に適用して有効な技術に関する。

【0002】

10

【従来の技術】

半導体装置の実装密度を向上させることを目的として、配線基板上に複数の半導体チップを三次元的に実装した積層パッケージが種々提案されている。

【0003】

例えば特許文献 1 には、絶縁性基板上に 5 個の半導体チップ (ロジックチップ、アナログ高周波チップ、メモリチップ、マイコンチップおよび電圧変換チップ) を積み重ねて実装することによって、多機能、かつ高密度実装を可能にした積層パッケージが開示されている。絶縁性基板上に積層された 5 個の半導体チップのうち、1 層目の半導体チップは、フリップチップ方式によって絶縁性基板上の電極に接続されている。また、2 層目と 4 層目の半導体チップは、それぞれワイヤボンディング方式によって絶縁性基板上の電極に接続され、3 層目と 5 層目の半導体チップは、それぞれフリップチップ方式によって下層 (2 層目と 4 層目) の半導体チップに接続されている。

20

【0004】

【特許文献 1】

特開 2001-291821 号公報

【0005】

【発明が解決しようとする課題】

上記特許文献 1 は、絶縁性基板上にメモリチップおよびマイコンチップを含む複数種類の半導体チップを積層する技術を開示しているが、本発明者らが開発を進めているシステムインパッケージ (SiP) のように、マイコンチップを多ポート構造にした場合に生じる問題点や、その解決手段については、何ら開示していない。

30

【0006】

本発明の目的は、高密度実装に適した小型、高性能のシステムインパッケージ (SiP) を実現することのできる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0009】

本発明の半導体装置は、配線基板と、前記配線基板の上面に実装されたマイコンチップおよびメモリチップによってシステムが構成されたシステムインパッケージ構造を有し、前記マイコンチップは、前記メモリチップを含む前記システムの内部とのインターフェイス、および前記システムの外部とのインターフェイスをそれぞれ有する多ポート構造で構成され、前記メモリチップは、前記マイコンチップを介して前記システムの外部にアクセスされるように構成され、前記マイコンチップは、前記メモリチップの上に積層された状態で前記配線基板上に実装されているものである。

【0010】

50

また、本発明の半導体装置は、配線基板と、前記配線基板の上面に実装された1個のマイコンチップおよび2個のメモリチップによってシステムが構成されたシステムインパッケージ構造を有し、前記マイコンチップは、前記2個のメモリチップを含む前記システムの内部とのインターフェイス、および前記システムの外部とのインターフェイスをそれぞれ有する多ポート構造で構成され、前記2個のメモリチップのそれぞれは、前記マイコンチップを介して前記システムの外部にアクセスされるように構成され、前記2個のメモリチップは、それらの一方が他方の上に積層された状態で前記配線基板上に実装され、前記マイコンチップは、前記2個のメモリチップの上に積層された状態で前記配線基板上に実装されているものである。

【0011】

10

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0012】

(実施の形態1)

図1は、本実施の形態の半導体装置を示す断面図、図2は、この半導体装置の内部構成を示す平面図、図3は、この半導体装置の配線基板上に実装された半導体チップのレイアウトを示す平面図、図4は、この半導体装置の配線基板の下面を示す平面図である。

【0013】

20

本実施の形態の半導体装置は、配線基板1の主面上に3個のシリコンチップ(メモリチップ2A、2Bおよびマイコンチップ2C)を3段に積み重ねて実装し、これらのシリコンチップ(メモリチップ2A、2Bおよびマイコンチップ2C)をモールド樹脂3で封止したスタック構造のシステムインパッケージ(SiP)である。

【0014】

3段に積み重ねた上記シリコンチップ(メモリチップ2A、2Bおよびマイコンチップ2C)のうち、下段のメモリチップ2Aには、例えば64メガビット(Mbit)のDRAMが形成されている。このメモリチップ2Aは、長方形の平面形状を有し、その主面(下面)に形成された複数個のAuパンプ4を介して配線基板1の電極5aに接続されている。また、メモリチップ2Aの主面(下面)と配線基板1との隙間には、アンダーフィル樹脂7が充填されている。このように、DRAMが形成されたメモリチップ2Aは、フリップチップ方式によって配線基板1上に実装されている。

30

【0015】

上記メモリチップ2Aの上に積層された中段のメモリチップ2Bには、例えば16メガビットのフラッシュメモリが形成されている。このメモリチップ2Bは、長方形の平面形状を有し、その主面(上面)の二つの短辺に沿って形成された複数個のボンディングパッド8のそれぞれは、Auワイヤ10を介して配線基板1の電極5bに接続されている。このメモリチップ2Bは、その長辺が下段のメモリチップ2Aの長辺と交差する向きに配置され、接着剤などによってメモリチップ2Aの上面に固定されている。このように、フラッシュメモリが形成されたメモリチップ2Bは、メモリチップ2Aの上に積層され、ワイヤボンディング方式によって配線基板1に接続されている。

40

【0016】

上記メモリチップ2Bの上に積層された上段のマイコンチップ2Cには、例えば動作周波数が133MHzの高速マイクロプロセッサ(MPU:超小型演算処理装置)が形成されている。このマイコンチップ2Cは、正方形の平面形状を有し、その主面(上面)の四辺に沿って形成された複数個のボンディングパッド9のそれぞれは、Auワイヤ11を介して配線基板1の電極5cに接続されている。このマイコンチップ2Cは、下層のチップ2Bの中央部に配置され、接着剤などによってメモリチップ2Bの上面に固定されている。

【0017】

上記マイコンチップ2Cは、その一辺の長さが下層のメモリチップ2Bの長辺よりも短い

50

。そのため、メモリチップ 2 B の上にマイコンチップ 2 C を重ねても、メモリチップ 2 B の短辺近傍に形成されたボンディングパッド 8 がマイコンチップ 2 C と重なることはない。このように、MPU が形成されたマイコンチップ 2 C は、メモリチップ 2 B の上に積層され、ワイヤボンディング方式によって配線基板 1 に接続されている。

【0018】

上記 3 個のシリコンチップ (2 A、2 B、2 C) が実装された配線基板 1 は、これらのシリコンチップ (2 A、2 B、2 C) を各種携帯機器のマザーボードに実装する際の中継基板 (インターポザー) を構成している。配線基板 1 の寸法は、例えば縦 × 横 = 13 mm × 13 mm である。

【0019】

上記配線基板 1 は、ガラス繊維を含んだエポキシ樹脂 (ガラス・エポキシ樹脂) のような汎用樹脂を主体として構成された多層配線基板であり、その上面および内部には、電極 5 a、5 b、5 c のいずれかに接続された合計 4 ~ 6 層程度の配線 6 が形成されている。また、配線基板 1 の下面には、これらの配線 6 のいずれかに接続された、例えば 240 個の電極 12 が形成されており、それぞれの電極 12 には半田バンプ 13 が接続されている。電極 5 a、5 b、5 c、配線 6 および電極 12 は Cu からなり、電極 5 a、5 b、5 c、12 の表面には Sn などのメッキが施されている。配線基板 1 の上面および下面には、電極 5 a、5 b、5 c、12 の表面を除き、エポキシ系樹脂やアクリル系樹脂などからなるソルダレジスト 14 がコーティングされている。

10

【0020】

配線基板 1 の下面の電極 12 に接続された半田バンプ 13 は、システムインパッケージ (SiP) の外部接続端子を構成している。システムインパッケージ (SiP) は、これらの半田バンプ 13 を介して各種携帯機器のマザーボードに実装される。

20

【0021】

このように、本実施の形態のシステムインパッケージ (SiP) は、配線基板 1 上に 3 個のシリコンチップ (2 個のメモリチップおよび 1 個のマイコンチップ) を 3 段に積み重ねて実装し、これら 3 個のシリコンチップによってシステムを構成した 240 ピンの BGA (Ball Grid Array) 構造で構成されている。

【0022】

上記のようなメモリチップ 2 A、2 B とマイコンチップ 2 C とを積み重ねて実装したシステムインパッケージ (SiP) において、特に、マイコンチップ 2 C に以下のような多様な機能を持たせようとする場合は、マイコンチップ 2 C のピン数がメモリチップ 2 A、2 B のピン数に比べて非常に多くなるので、メモリチップ 2 A、2 B の上段にマイコンチップ 2 C を積層することによって、その構成に特有の効果が生まれる。

30

【0023】

ここで、図 5 を用いて、マイコンチップ 2 C およびメモリチップ 2 A、2 B の機能とそれに伴うピン構成について説明する。ここでは、実施の形態に即し、メモリチップとして、DRAM が形成されたメモリチップ 2 A とフラッシュメモリが形成されたメモリチップ 2 B を有する場合について説明するが、メモリチップの数や種類については、この例に限られるものではない。

40

【0024】

マイコンチップの主な役割の一つとして、システムの外部に設けられた外部 LSI (2 D) とシステムの内部に設けられたメモリチップ 2 A、2 B との間を仲介してデータの入出力を行うために、外部インターフェース用の論理アドレス (外部アドレス) をフラッシュメモリまたは DRAM の物理アドレスに変換する作業がある。

【0025】

マイコンチップ 2 C がこのような役割を担う場合、マイコンチップ 2 C には、マイコンチップ 2 C とメモリチップ 2 A、2 B の間のインターフェースに必要なピン数以外に、外部インターフェースを構成するピンが必要になる。従って、マイコンチップ 2 C は、外部インターフェースに必要なピン数の分、メモリチップ 2 A、2 B に比較してピン数が多くな

50

る。

【0026】

外部インターフェースを介して出力されたデータは、外部LSI(2D)を介してさまざまな情報に変換され、人間と情報をやり取りをするヒューマンインターフェース機器やネットワーク機器などに出力される、例えば音声情報は、スピーカーを介して音声として出力され、画像情報は、液晶(LCD)などの画像表示装置を介して画像として出力される。もちろん、ヒューマンインターフェース機器やネットワーク機器などから入力された情報が外部LSI(2D)を介してマイコンチップ2Cの外部インターフェースに入力される場合もある。

【0027】

本実施の形態のマイコンチップ2Cは、外部インターフェースとしてPCIバスとUSBバスとを有している。このように、マイコンチップ2Cが複数種類の外部インターフェースを持つ場合は、マイコンチップ2Cの外部インターフェースが一種類の場合に比較してマイコンチップ2Cに必要なピン数が多くなる。

10

【0028】

メモリチップがフラッシュメモリチップ(2B)やDRAMチップ(2A)など複数種類ある場合、マイコンチップ2Cのメモリインターフェースに必要なピン数は、それぞれのメモリチップのインターフェースが有するピン数に比較して多くなる。本実施の形態では、フラッシュメモリチップ(2B)が、インターフェースの構成として、アドレスピンを20ピン、データピンを16ピン有し、さらにコマンドピンなどを有している。また、D

20

【0029】

このように、メモリチップ2A、2Bのそれぞれのインターフェースを構成するピン構成が異なる場合、マイコンチップ2Cは最もピン数が多いインターフェース構成に対応できるだけのピン数を持つ必要がある。本実施の形態では、マイコンチップ2Cはメモリインターフェースとして、アドレスピンを20ピン、データピンを32ピン有し、さらにメモリチップ2A、2Bのそれぞれのコマンドピンに接続されるピンを独自に有している。このように、メモリチップとして複数種類のメモリを有する場合には、マイコンチップ2Cのメモリインターフェースの構成としては、それぞれのメモリチップ2A、2Bが有する

30

【0030】

マイコンチップには、MPU以外にさまざまな回路を有する場合があります、その場合は、それぞれの回路に対して安定した電源を供給するためにより多くのピン数が必要となる。例えば本実施の形態のマイコンチップ2Cは、A/D変換回路やPLL回路を有しているが、A/D変換回路やPLL回路は、自らが電源ノイズ源になり得ると共に、外部からの電源ノイズに弱い性質を持つため、MPUとは分離された電源供給ピンを持っており、これがマイコンチップ2Cのピン数をさらに増やす原因となっている。また、マイコンチップ2Cは、外部インターフェース回路を有しているが、外部インターフェース回路における安定した信号増幅を実現するためには、MPUなどの内部回路とは独立した電源供給ピン

40

【0031】

図6は、メモリチップ2Aの主面に形成されたAuバンプ4のレイアウトを示す平面図、図7は、メモリチップ2Bの主面に形成されたボンディングパッド8のレイアウトを示す平面図である。本実施の形態では、DRAMが形成されたメモリチップ2AのAuバンプ4は、その主面の中央に2列に配置されており、フラッシュメモリが形成されたメモリチップ2Bのボンディングパッド8は、その主面の二つの短辺に沿って配置されている。

【0032】

これに対し、マイコンチップ2Cは、システム内部(メモリチップ2A、2Bなど)とのインターフェイスに加えて、システム外部との各種インターフェイスを備えた多ポート構

50

造で構成されているので、端子（ピン）の数はメモリチップ 2 A、2 B に比べて遥かに多い（例えば 240 ピン）。従って、図 8 に示すように、マイコンチップ 2 C のボンディングパッド 9 は、その主面の四辺に沿って配置されている。

【0033】

上記のような多ピンのマイコンチップ 2 C を配線基板 1 上に実装する場合、マイコンチップ 2 C に接続される配線基板 1 の電極 5 c は、メモリチップ 2 A に接続される電極 5 a およびメモリチップ 2 B に接続される電極 5 b に比べて数が多くなるので、電極 5 c 同士のピッチを確保するためには、電極 5 c を配線基板 1 の中心から離れた位置に配置しなければならない。また、システムインパッケージ（S i P）の高密度実装を推進するためには、配線基板 1 の外形寸法を可能な限り小さくする必要がある。従って、図 9 に示すように、マイコンチップ 2 C に接続される電極 5 c は、配線基板 1 の最外周部に配置され、メモリチップ 2 A に接続される電極 5 a およびメモリチップ 2 B に接続される電極 5 b は、その内側に配置される。

10

【0034】

一方、上記のような配線基板 1 上に多ピンのマイコンチップ 2 C と少ピンのメモリチップ 2 A、2 B を積み重ねて実装する場合は、マイコンチップ 2 C をメモリチップ 2 A、2 B の上段に配置しなければならない。その理由は、メモリチップ 2 B をマイコンチップ 2 C の上段に配置した場合は、マイコンチップ 2 C と電極 5 c とを接続する Au ワイヤ 11 がメモリチップ 2 B と電極 5 b とを接続する Au ワイヤ 10 と交差するので、両者が接触する恐れがあるからである。

20

【0035】

また、本実施の形態のメモリチップ 2 A は、その主面の中央にボンディングパッド（図示せず）が 2 列に配置されているので、ワイヤボンディング方式を採用するよりは、これらのボンディングパッドに Au バンプ 4 を接続し、フリップチップ方式で電極 5 a と接続するのが有利である。

【0036】

このような理由から、本実施の形態のシステムインパッケージ（S i P）は、メモリチップ 2 A の上にメモリチップ 2 B を積層し、メモリチップ 2 B の上にさらにメモリチップ 2 C を積層する。これにより、高密度実装に適した小型、高性能のシステムインパッケージ（S i P）を実現することができる。また、メモリチップ 2 A、2 B よりも高速で動作し、従ってメモリチップ 2 A、2 B よりも発熱量が大きいマイコンチップ 2 C を最上段に配置することにより、パッケージの放熱性が向上するので、信頼性の高いシステムインパッケージ（S i P）を実現することができる。

30

【0037】

なお、上記の例とは逆に、D R A M が形成されたメモリチップ 2 A の二つの短辺に沿ってボンディングパッドが配置され、フラッシュメモリが形成されたメモリチップ 2 B の中央にボンディングパッドが配置されている場合は、メモリチップ 2 B を最下段に配置してフリップチップ方式で電極 5 b と接続し、その上にメモリチップ 2 A を積層してワイヤボンディング方式で電極 5 a と接続すればよい。この場合も、上記した理由から、多ピンのマイコンチップ 2 C が最上段に配置される。

40

【0038】

また、メモリチップ 2 A、2 B のいずれもが、主面の周辺部にボンディングパッドを配置している場合は、メモリチップ 2 A と電極 5 a およびメモリチップ 2 B と電極 5 b をそれぞれワイヤボンディング方式で接続すればよい。その際、メモリチップ 2 A、2 B の積層順序は、ワイヤボンディングの作業性などを考慮して決定するが、いずれの場合も、上記した理由から、多ピンのマイコンチップ 2 C が最上段に配置される。

【0039】

次に、上記のように構成された本実施の形態の半導体装置の製造方法を図 10 ~ 図 19 を用いて説明する。

【0040】

50

図10は、システムインパッケージ(SiP)の製造に使用するマルチ配線基板100の主面(チップ実装面)を示す平面図、図11は、このマルチ配線基板100の裏面を示す平面図である。

【0041】

マルチ配線基板100は、前記配線基板1の母体となる基板であり、このマルチ配線基板100を図10、図11に示すダイシングラインLに沿って格子状に切断(ダイシング)することにより、複数個の配線基板1が得られる。例えば図に示すマルチ配線基板100は、その長辺方向が6ブロックの配線基板領域に区画され、短辺方向が3ブロックの配線基板領域に区画されているので、 $3 \times 6 = 18$ 個の配線基板1が得られる。マルチ配線基板100は、ガラス・エポキシ樹脂のような汎用樹脂を主体として構成された多層配線基板であり、その主面には、電極5a、5b、5cおよび図示しない配線が形成され、裏面には、電極12が形成されている。これらの電極5a、5b、5c、12および配線は、樹脂の表面に貼り付けたCu箔をエッチングすることによって形成される。

10

【0042】

システムインパッケージ(SiP)を製造するには、まず、上記マルチ配線基板100と前記図6~8に示したシリコンチップ(メモリチップ2A、2Bおよびマイコンチップ2C)を用意する。DRAMが形成されたメモリチップ2Aのボンディングパッドには、ボールボンディング装置などを用いてAuバンプ4を接続しておく。

【0043】

次に、図12および図13に示すように、マルチ配線基板100の主面の各配線基板領域にフリップチップ方式でメモリチップ2Aを実装し、メモリチップ2AのAuバンプ4とマルチ配線基板100の電極5aとを接続した後、メモリチップ2Aとマルチ配線基板100との隙間にアンダーフィル樹脂7を充填する。Auバンプ4と電極5aの接続は、メモリチップ2Aとマルチ配線基板100との隙間に異方性導電性(anisotropic conductive)樹脂または非導電性(non conductive)樹脂などからなるテープあるいはペーストを挟み込み、このテープあるいはペーストを加熱、溶融することによって行うこともできる。この場合は、アンダーフィル樹脂7を充填する工程が不要となる。

20

【0044】

次に、図14および図15に示すように、メモリチップ2Aの上面に接着剤などを使ってメモリチップ2Bを固定した後、メモリチップ2Bのボンディングパッド8とマルチ配線基板100の電極5bとをAuワイヤ10で接続する。Auワイヤ10のボンディングは、例えば超音波振動と熱圧着とを併用したワイヤボンダを使用して行う。

30

【0045】

次に、図16および図17に示すように、メモリチップ2Bの上面に接着剤などを使ってマイコンチップ2Cを固定した後、マイコンチップ2Cのボンディングパッド9とマルチ配線基板100の電極5cとをAuワイヤ11で接続する。Auワイヤ11のボンディングは、前記Auワイヤ10のボンディングと同様、例えば超音波振動と熱圧着とを併用したワイヤボンダを使用して行う。

40

【0046】

次に、図18に示すように、マルチ配線基板100をモールド金型(図示せず)に装着し、その主面の全体をモールド樹脂3で封止する。モールド樹脂3は、例えば粒径 $70 \mu\text{m} \sim 100 \mu\text{m}$ 程度のシリカを分散させた熱硬化型エポキシ系樹脂からなる。

【0047】

その後、マルチ配線基板100の裏面の電極12に半田バンプ13を接続し、続いて、マルチ配線基板100を前記図10、図11に示すダイシングラインLに沿って切断し、配線基板1を個片化することにより、前記図1~図4に示した本実施の形態のシステムインパッケージ(SiP)が完成する。上記半田バンプ13の接続は、例えば低融点のPb-Sn共晶合金からなる半田ボールを電極12の表面に供給した後、この半田ボールをリフローさせることによって行う。図19は、上記した製造工程の全体フロー図である。

50

【0048】

(実施の形態2)

図20は、本実施の形態の半導体装置を示す断面図、図21は、この半導体装置の内部構成を示す平面図である。

【0049】

本実施の形態の半導体装置は、配線基板1の主面上に2個のシリコンチップ(メモリチップ2Bおよびマイコンチップ2C)を2段に積み重ねて実装し、これらのシリコンチップ(メモリチップ2Bおよびマイコンチップ2C)をモールド樹脂3で封止したスタック構造のシステムインパッケージ(SiP)である。

【0050】

メモリチップ2Bは、前記実施の形態1と同じく、フラッシュメモリが形成されたシリコンチップであり、その主面(上面)の二つの短辺に沿って形成された複数個のボンディングパッド8のそれぞれは、Auワイヤ10を介して配線基板1の電極5bに接続されている。すなわち、メモリチップ2Bは、ワイヤボンディング方式によって配線基板1に接続されている。

10

【0051】

上記メモリチップ2Bの上に積層された上段のマイコンチップ2Cは、前記実施の形態1と同じく、高速MPUが形成されたシリコンチップであり、その主面(上面)の二つの短辺に沿って形成された複数個のボンディングパッド8のそれぞれは、Auワイヤ10を介して配線基板1の電極5bに接続されている。すなわち、マイコンチップ2Cは、メモリ

20

【0052】

フラッシュメモリが形成されたメモリチップ2Bは、マイコンチップ2Cを通じてシステムの外部とデータのやり取りを行うように構成されているので、端子(ピン)の数は少ない。一方、マイコンチップ2Cは、システム内部(メモリチップ2Bなど)とのインターフェイスに加えて、システム外部との各種インターフェイスを備えた多ポート構造で構成されているので、端子(ピン)の数はメモリチップ2Bに比べて遥かに多い。

【0053】

上記のような多ピンのマイコンチップ2Cを配線基板1上に実装する場合、マイコンチップ2Cに接続される配線基板1の電極5cは、メモリチップ2Bに接続される電極5bに比べて数が多くなるので、電極5c同士のピッチを確保するためには、電極5cを配線基板1の中心から離れた位置に配置しなければならない。また、システムインパッケージ(SiP)の高密度実装を推進するためには、配線基板1の外形寸法を可能な限り小さくする必要がありますので、マイコンチップ2Cに接続される電極5cは、配線基板1の最外周部に配置され、メモリチップ2Bに接続される電極5bは、その内側に配置される。

30

【0054】

また、上記のような配線基板1上に多ピンのマイコンチップ2Cと少ピンのメモリチップ2Bを積み重ねて実装する場合は、マイコンチップ2Cと電極5cとを接続するAuワイヤ11がメモリチップ2Bと電極5bとを接続するAuワイヤ10に接触するのを防ぐため、マイコンチップ2Cをメモリチップ2Bの上段に配置しなければならない。

40

【0055】

このような理由から、2個のシリコンチップ(メモリチップ2Bおよびマイコンチップ2C)を2段に積み重ねて実装する場合でも、高密度実装に適した小型、高性能のシステムインパッケージ(SiP)を実現するためには、メモリチップ2Bを下段に配置し、マイコンチップ2Cを上段に配置する。

【0056】

本実施の形態のシステムインパッケージ(SiP)を製造する方法は、DRAMが形成されたメモリチップ2Aを配線基板1に実装する工程がないことを除き、前記実施の形態1と同じである。

50

【0057】

なお、上記の例では、フラッシュメモリが形成されたメモリチップ2BとMPUが形成されたマイコンチップ2Cを配線基板1上に実装してシステムインパッケージ(SiP)を構成したが、DRAMが形成されたメモリチップ2Aとマイコンチップ2Cを配線基板1上に実装してシステムインパッケージ(SiP)を構成することもできる。

【0058】

この場合も、メモリチップ2Aがマイコンチップ2Cを通じてシステムの外部とデータのやり取りを行うように構成され、マイコンチップ2Cがシステム内部とのインターフェイスに加えて、システム外部との各種インターフェイスを備えた多ポート構造で構成されているときは、メモリチップ2Aのピン数よりもマイコンチップ2Cのピン数が多くなる。従って、高密度実装に適した小型、高性能のシステムインパッケージ(SiP)を実現するためには、前述した理由により、メモリチップ2Aを下段に配置し、マイコンチップ2Cを上段に配置する。このシステムインパッケージ(SiP)を製造する方法は、フラッシュメモリが形成されたメモリチップ2Bを配線基板1に実装する工程がないことを除き、前記実施の形態1と同じである。

10

【0059】

(実施の形態3)

図22は、本実施の形態の半導体装置を示す断面図である。この半導体装置は、前記実施の形態2と同じく、配線基板1の主面上に2個のシリコンチップ(メモリチップ2Bおよびマイコンチップ2C)を2段に積み重ねて実装し、これらのシリコンチップ(メモリチップ2Bおよびマイコンチップ2C)をモールド樹脂3で封止したスタック構造のシステムインパッケージ(SiP)である。

20

【0060】

本実施の形態のシステムインパッケージ(SiP)は、マイコンチップ2Cの外形寸法がメモリチップ2Bの外形寸法よりも大きく、かつマイコンチップ2Cとメモリチップ2Bの間にスペーサ15が介在されている点を除き、前記実施の形態2のシステムインパッケージ(SiP)と同じである。

【0061】

すなわち、メモリチップ2Bは、フラッシュメモリが形成されたシリコンチップであり、その主面(上面)の二つの短辺に沿って形成された複数個のボンディングパッド8のそれぞれは、Auワイヤ10を介して配線基板1の電極5bに接続されている。また、スペーサ15を介して上記メモリチップ2Bの上に積層された上段のマイコンチップ2Cは、高速MPUが形成されたシリコンチップであり、その主面(上面)の四辺に沿って形成された複数個のボンディングパッド9のそれぞれは、Auワイヤ11を介して配線基板1の電極5cに接続されている。

30

【0062】

また、前記実施の形態2と同じく、フラッシュメモリが形成されたメモリチップ2Bは、マイコンチップ2Cを通じてシステムの外部とデータのやり取りを行うように構成されているので、端子(ピン)の数が少ない。一方、マイコンチップ2Cは、システム内部(メモリチップ2Bなど)とのインターフェイスに加えて、システム外部との各種インターフェイスを備えた多ポート構造で構成されているので、端子(ピン)の数はメモリチップ2Bに比べて遥かに多い。

40

【0063】

従って、本実施の形態においても、高密度実装に適した小型、高性能のシステムインパッケージ(SiP)を実現するためには、少ピンのメモリチップ2Bを下段に配置し、多ピンのマイコンチップ2Cを上段に配置する。

【0064】

本実施の形態のシステムインパッケージ(SiP)を製造するには、まず、図23および図24に示すように、マルチ配線基板100の主面の各配線基板領域に接着剤などを使ってメモリチップ2Bを固定した後、メモリチップ2Bのボンディングパッド8とマルチ配

50

線基板 100 の電極 5 b とを Au ワイヤ 10 で接続する。

【0065】

次に、図 25 および図 26 に示すように、メモリチップ 2 B の上面に接着剤などを使ってスペーサ 15 を固定する。スペーサ 15 は、素子が形成されていないシリコンチップからなり、メモリチップ 2 B の上面に固定したときに、メモリチップ 2 B のボンディングパッド 8 を覆わない外形寸法を有している。また、スペーサ 15 は、メモリチップ 2 B の上面に固定したときに、その上面が Au ワイヤ 10 のループ高さよりも高くなるような厚さを有している。

【0066】

次に、図 27 および図 28 に示すように、スペーサ 15 の上面に接着剤などを使ってマイコンチップ 2 C を固定した後、マイコンチップ 2 C のボンディングパッド 9 とマルチ配線基板 100 の電極 5 c とを Au ワイヤ 11 で接続する。

10

【0067】

その後、前記実施の形態 1 の製造方法と同じように、マルチ配線基板 100 の主面の全体をモールド樹脂 3 で封止し、続いて、マルチ配線基板 100 の裏面の電極 12 に半田バンブ 13 を接続した後、マルチ配線基板 100 を切断して配線基板 1 を個片化することにより、前記図 22 に示した本実施の形態のシステムインパッケージ (S i P) が完成する。

【0068】

なお、上記の例では、フラッシュメモリが形成されたメモリチップ 2 B と M P U が形成されたマイコンチップ 2 C を配線基板 1 上に実装してシステムインパッケージ (S i P) を構成したが、D R A M が形成されたメモリチップ 2 A と、このメモリチップ 2 A よりも外形寸法が大きいマイコンチップ 2 C を配線基板 1 上に実装してシステムインパッケージ (S i P) を構成することもできる。

20

【0069】

このように、多ピン化のマイコンチップ 2 C と少ピンのメモリチップ 2 B (または 2 A) を 2 段に積み重ねて実装する場合、高密度実装に適した小型、高性能のシステムインパッケージ (S i P) を実現するためには、マイコンチップ 2 C とメモリチップ 2 B (または 2 A) の相対的な外形寸法の大小に関係なく、メモリチップ 2 B (または 2 A) を下段に配置し、マイコンチップ 2 C を上段に配置する。

【0070】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【0071】

例えば S R A M が形成されたメモリチップの上にマイコンチップを積層してシステムインパッケージ (S i P) を構成することもできる。

【0072】

また、配線基板 1 上には、メモリチップやマイコンチップの他にコンデンサや抵抗素子など、チップ以外の小型電子部品を実装することもできる。例えば、メモリチップの外周に沿ってチップコンデンサを搭載することにより、メモリチップの駆動時に生じるノイズを低減して高速動作を実現することができる。さらに、チップやその他の小型電子部品を実装する配線基板として、ビルドアップ基板を使用することもできる。

40

【0073】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0074】

配線基板 1 上に多ピン化のマイコンチップと少ピンのメモリチップを積み重ねて実装する際、メモリチップを下段に配置し、マイコンチップを上段に配置することにより、高密度実装に適した小型、高性能のシステムインパッケージ (S i P) を実現することができる。

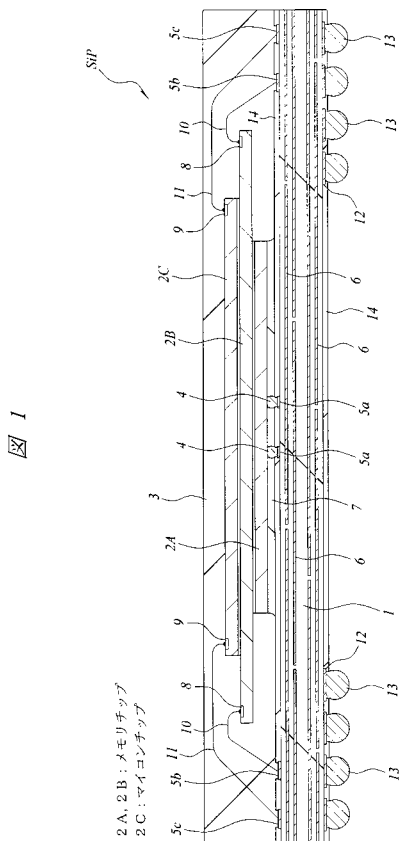
50

【図面の簡単な説明】

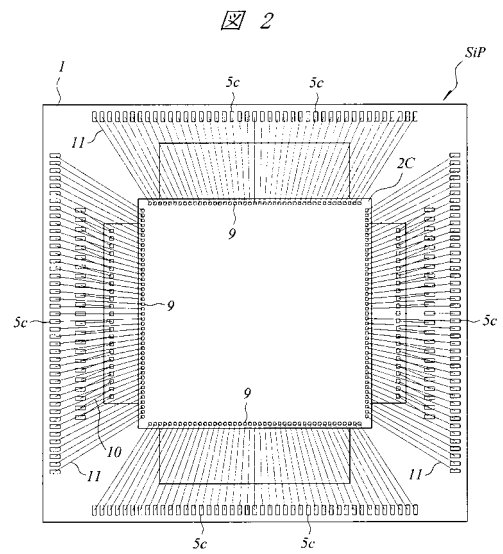
- 【図 1】本発明の一実施の形態である半導体装置を示す断面図である。
- 【図 2】本発明の一実施の形態である半導体装置の内部構成を示す平面図である。
- 【図 3】本発明の一実施の形態である半導体装置の配線基板上に実装された半導体チップのレイアウトを示す平面図である。
- 【図 4】本発明の一実施の形態である半導体装置の配線基板の下面を示す平面図である。
- 【図 5】本発明の一実施の形態である半導体装置のシステム構成を概略的に示すブロック図である。
- 【図 6】メモリチップの主面に形成されたAuパンプのレイアウトを示す平面図である。
- 【図 7】メモリチップの主面に形成されたボンディングパッドのレイアウトを示す平面図である。
- 【図 8】マイコンチップの主面に形成されたボンディングパッドのレイアウトを示す平面図である。
- 【図 9】配線基板の主面に形成された電極のレイアウトを示す平面図である。
- 【図 10】本発明の一実施の形態である半導体装置の製造に用いるマルチ配線基板の主面を示す平面図である。
- 【図 11】本発明の一実施の形態である半導体装置の製造に用いるマルチ配線基板の裏面を示す平面図である。
- 【図 12】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部平面図である。
- 【図 13】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【図 14】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部平面図である。
- 【図 15】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【図 16】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部平面図である。
- 【図 17】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【図 18】本発明の一実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【図 19】本発明の一実施の形態である半導体装置の製造工程を示す全体フロー図である。
- 【図 20】本発明の他の実施の形態である半導体装置を示す断面図である。
- 【図 21】本発明の他の実施の形態である半導体装置の内部構成を示す平面図である。
- 【図 22】本発明の他の実施の形態である半導体装置を示す断面図である。
- 【図 23】本発明の他の実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部平面図である。
- 【図 24】本発明の他の実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【図 25】本発明の他の実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部平面図である。
- 【図 26】本発明の他の実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【図 27】本発明の他の実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部平面図である。
- 【図 28】本発明の他の実施の形態である半導体装置の製造方法を示すマルチ配線基板の要部断面図である。
- 【符号の説明】

- 1 配線基板
- 2 A、2 B メモリチップ
- 2 C マイコンチップ
- 3 モールド樹脂
- 4 Auバンプ
- 5 a、5 b、5 c 電極
- 6 配線
- 7 アンダーフィル樹脂
- 8、9 ボンディングパッド
- 10、11 Auワイヤ
- 12 電極
- 13 半田バンプ
- 14 ソルダレジスト
- 15 スペース
- 100 マルチ配線基板
- L ダイシングライン

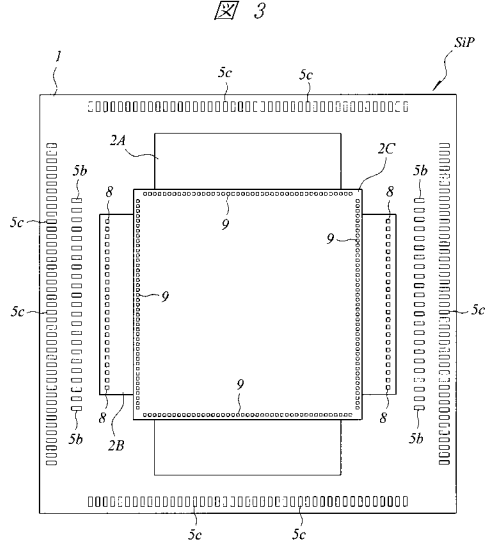
【図1】



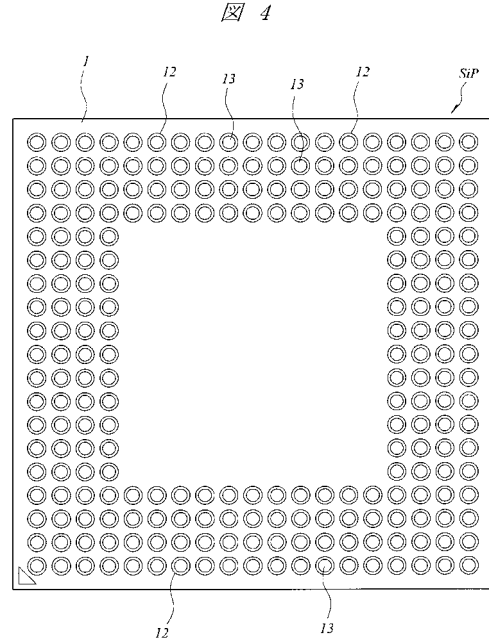
【図2】



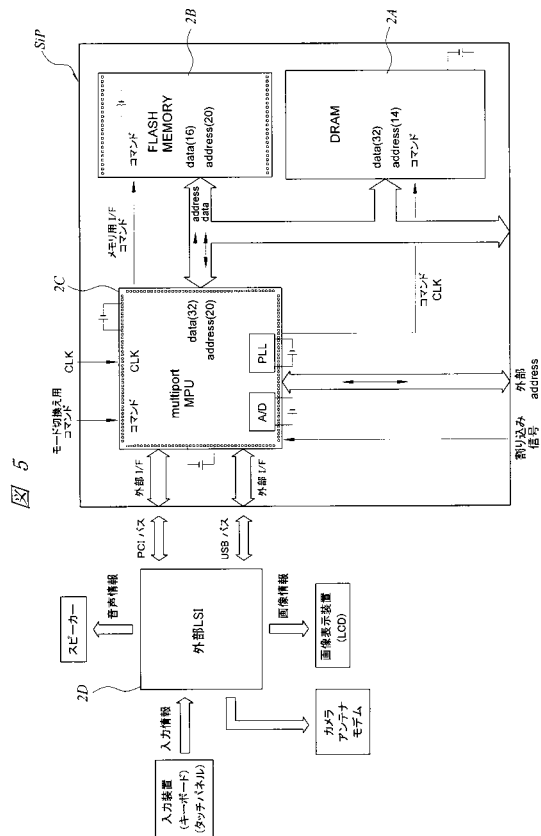
【 図 3 】



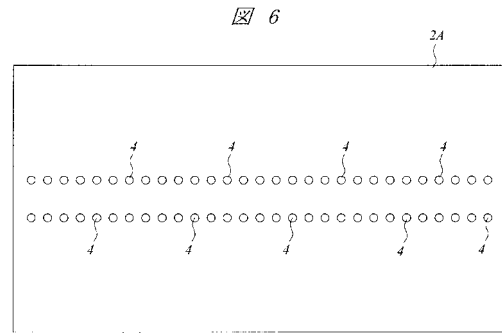
【 図 4 】



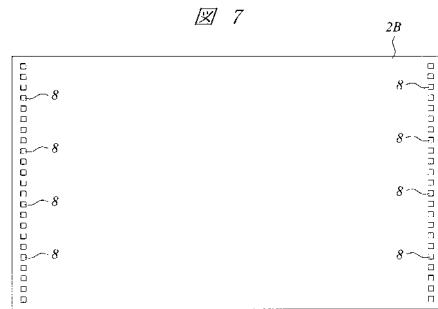
【 図 5 】



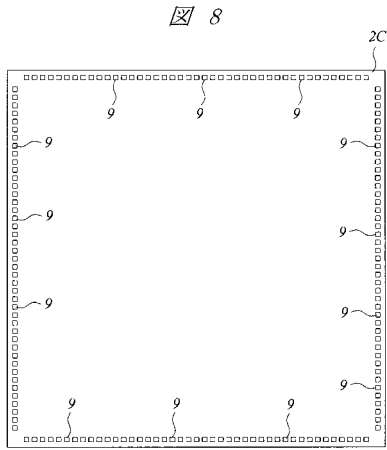
【 図 6 】



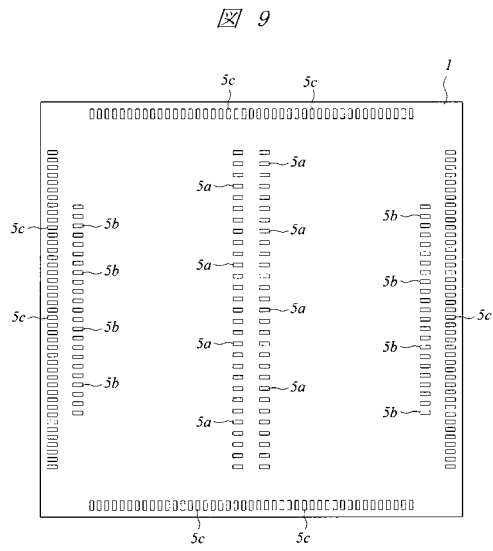
【 図 7 】



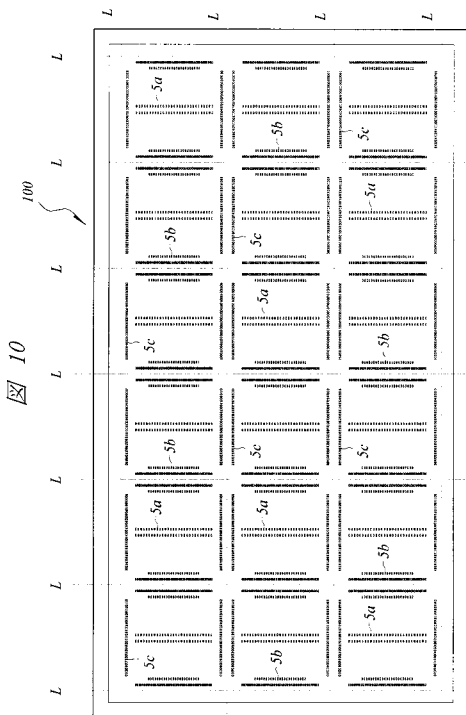
【 図 8 】



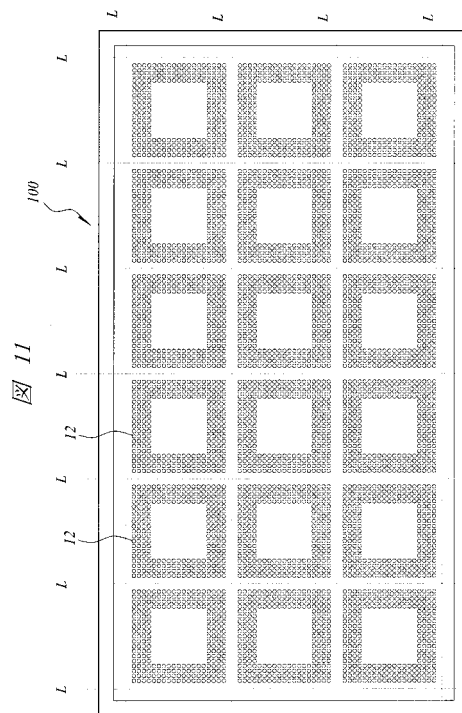
【 図 9 】



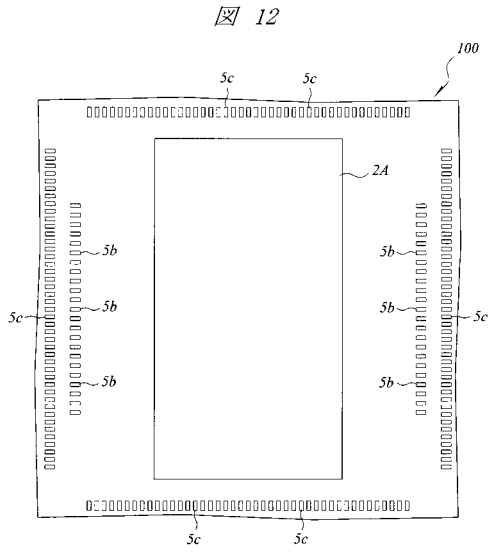
【 図 10 】



【 図 11 】

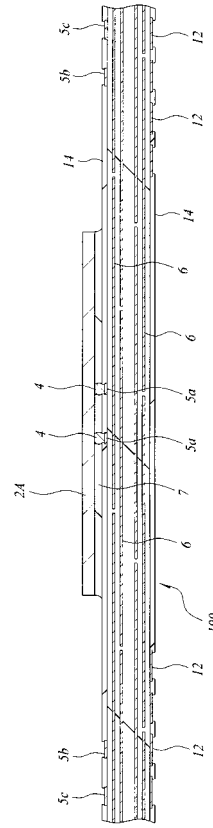


【 図 1 2 】

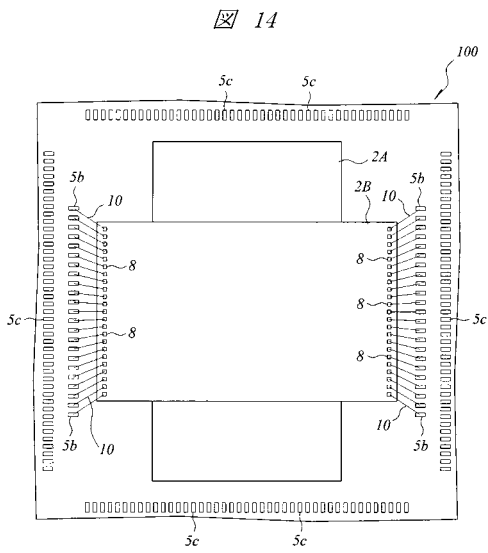


【 図 1 3 】

図 13

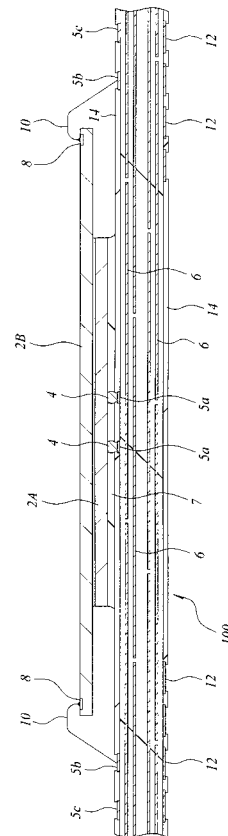


【 図 1 4 】



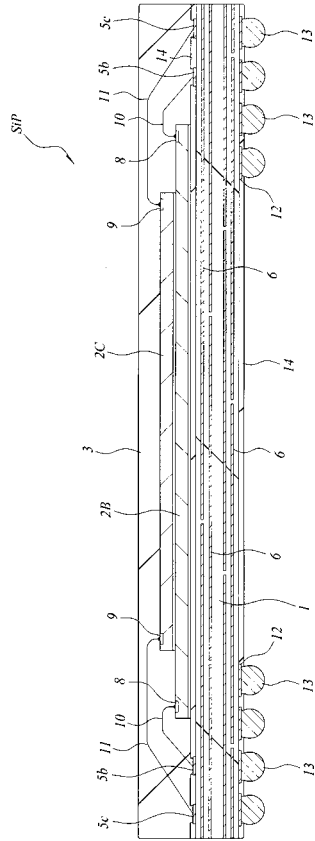
【 図 1 5 】

図 15



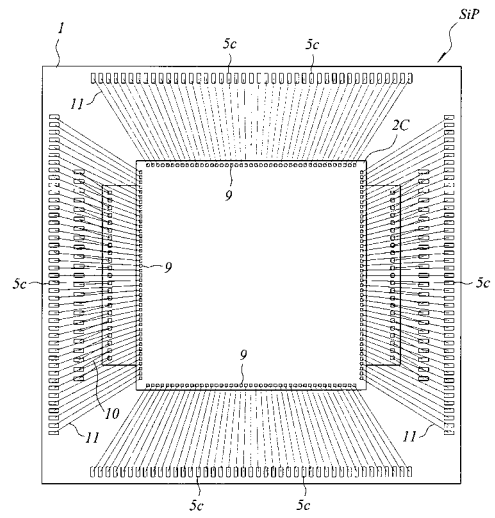
【 図 2 0 】

図 20



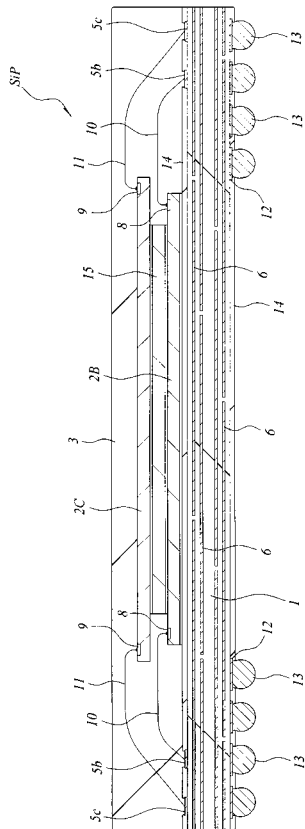
【 図 2 1 】

図 21



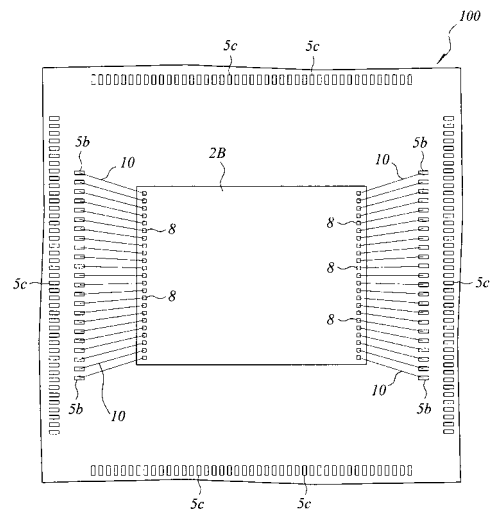
【 図 2 2 】

図 22



【 図 2 3 】

図 23



【 図 2 4 】

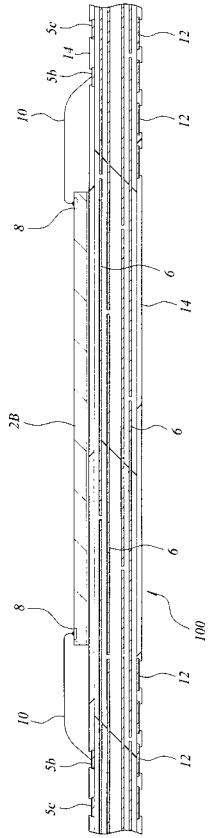
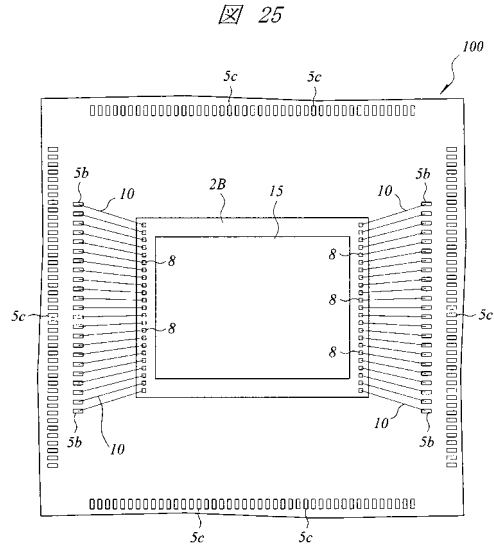


図 24

【 図 2 5 】



【 図 2 6 】

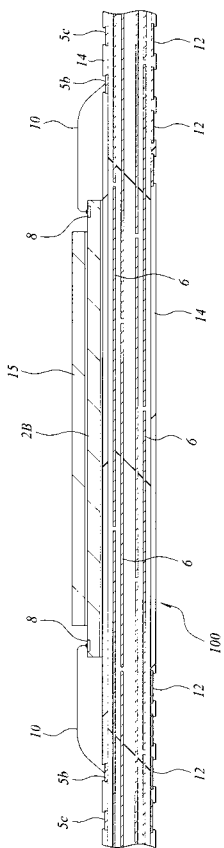
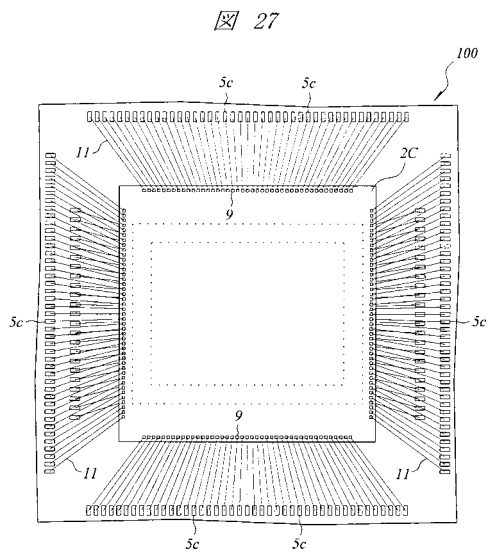


図 26

【 図 2 7 】



【 図 28 】

図 28

