

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146916

(P2010-146916A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.
H01J 9/02 (2006.01)F1
H01J 9/02テーマコード (参考)
5C127

審査請求 未請求 請求項の数 12 O L (全 31 頁)

(21) 出願番号 特願2008-324466 (P2008-324466)
(22) 出願日 平成20年12月19日 (2008.12.19)(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100096965
弁理士 内尾 裕一
(72) 発明者 野津 亨太
神奈川県平塚市田村9-22-5 SED株
式会社内
(72) 発明者 岩田 研逸
神奈川県平塚市田村9-22-5 SED株
式会社内
(72) 発明者 小林 玉樹
神奈川県平塚市田村9-22-5 SED株
式会社内

最終頁に続く

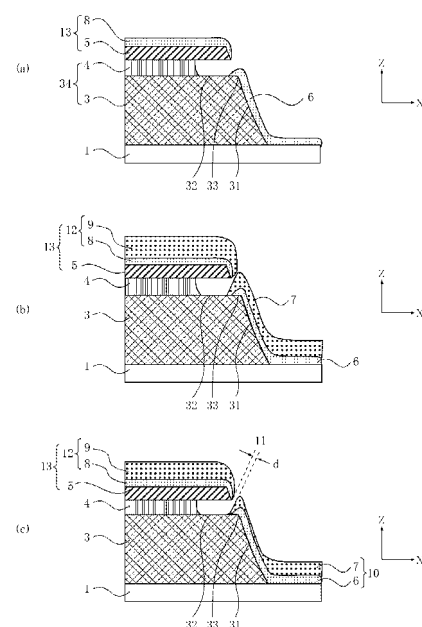
(54) 【発明の名称】 電子放出素子およびこれを用いた画像表示装置の製造方法

(57) 【要約】

【課題】 電子放出効率が高く、信頼性の高い電子放出素子の製造方法を提供する。

【解決手段】 上面及び該上面と接続する側面を備える絶縁層の少なくとも前記側面の上に第1導電性膜を設ける第1工程と、前記上面の上から前記側面の上に渡って、かつ前記第1導電性膜の上に、第2導電性膜を設ける第2工程と、前記第2導電性膜をエッチングする第3工程と、を有する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

電子放出素子の製造方法であって、

上面及び該上面と接続する側面を備える絶縁層の少なくとも前記側面の上に第 1 導電性膜を設ける第 1 工程と、

前記上面の上から前記側面の上に渡って、かつ前記第 1 導電性膜の上に、第 2 導電性膜を設ける第 2 工程と、

前記第 2 導電性膜をエッチングする第 3 工程と、を有し、

前記第 2 工程は、前記第 2 導電性膜の前記上面の上に位置する部分の膜密度が、前記第 2 導電性膜の前記側面の上に位置する部分の膜密度より高くなるように、前記第 2 導電性膜を設ける工程であり、

前記第 3 工程は、前記第 2 導電性膜の膜密度が低い部分を、前記第 2 導電性膜の膜密度が高い部分よりも多くエッチングする工程であることを特徴とする電子放出素子の製造方法。

【請求項 2】

前記第 3 工程は、前記第 2 導電性膜をエッチング液を用いてエッチングする工程であることを特徴とする請求項 1 に記載の電子放出素子の製造方法。

【請求項 3】

前記第 1 導電性膜の前記側面の上に位置する部分は、前記エッチング液に対して、前記第 2 導電性膜の前記側面の上に位置する部分よりエッチングレートが低いことを特徴とする請求項 2 に記載の電子放出素子の製造方法。

【請求項 4】

前記第 1 導電性膜の前記側面の上に位置する部分の膜密度が、前記第 2 導電性膜の前記側面の上に位置する部分の膜密度より高いことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電子放出素子の製造方法。

【請求項 5】

前記第 1 導電性膜と前記第 2 導電性膜とが異なる材料であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電子放出素子の製造方法。

【請求項 6】

下記の条件式を満たすことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の電子放出素子の製造方法。

$$T_{1s} / E_{1s} + T_{2s} / E_{2s} \geq T_{2t} / E_{2t} \cdots \text{条件式}$$

ここで、 T_{1s} は前記第 1 導電性膜の前記側面の上に位置する部分の膜厚、 E_{1s} は前記第 1 導電性膜の前記側面の上に位置する部分の前記第 3 工程におけるエッチングレート、 T_{2s} は前記第 2 導電性膜の前記側面の上に位置する部分の膜厚、 E_{2s} は前記第 2 導電性膜の前記側面の上に位置する部分の前記第 3 工程におけるエッチングレート、 T_{2t} は前記第 2 導電性膜の前記上面の上に位置する部分の膜厚、 E_{2t} は前記第 2 導電性膜の前記上面の上に位置する部分の前記第 3 工程におけるエッチングレートである。

【請求項 7】

前記第 1 工程において、前記第 1 導電性膜は、前記上面の上にも設けられ、前記第 1 導電性膜の前記斜面の上に位置する部分の膜密度が、前記第 1 導電性膜の前記上面の上に位置する部分の膜密度より高くなるように設けられることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電子放出素子の製造方法。

【請求項 8】

前記第 3 工程は、前記第 2 導電性膜の表面を酸化する酸化工程と、該酸化工程で酸化された部分の少なくとも一部を除去する除去工程とを含む工程であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電子放出素子の製造方法。

【請求項 9】

前記第 3 工程は、前記酸化工程と前記除去工程とを繰り返す工程であることを特徴とする請求項 8 に記載の電子放出素子の製造方法

10

20

30

40

50

【請求項 10】

前記上面の上方に電極を設ける工程をさらに有し、
前記第 2 工程において、前記電極と前記第 2 導電性膜とが接続し、
前記第 3 工程において、前記電極と前記第 2 導電性膜との間に間隙を形成することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の電子放出素子の製造方法。

【請求項 11】

前記第 2 工程において、前記 2 導電性膜を設けると同時に、前記電極の上に導電性膜を形成し、該導電性膜と前記第 2 導電性膜とが接触し、
前記第 3 工程において、前記導電性膜と前記第 2 導電性膜とが離間することを特徴とする請求項 10 に記載の電子放出素子の製造方法。

10

【請求項 12】

複数の電子放出素子と、該複数の電子放出素子から放出された電子が照射される発光体と、を備える画像表示装置の製造方法であって、前記複数の電子放出素子の各々が、請求項 1 乃至 11 のいずれか 1 項に記載の製造方法で製造されることを特徴とする画像表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子放出素子の製造方法及びこれを用いた画像表示装置の製造方法に関する。

20

【背景技術】

【0002】

電界放出型の電子放出素子は、カソードとゲートとの間に電圧を印加することでカソードの表面から電子を電界放出させる素子である。特許文献 1 には、カソードが基板上に設けられた絶縁層の側面に沿って設けられており、絶縁層の一部に窪んだ部分（以下リセス部と呼ぶ）を備える電子放出素子が開示されている。

【特許文献 1】特開 2001-167693 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献 1 に記載されたような電子放出素子では、その製造方法によっては、意図しない電流（リーク電流）が流れたりする場合があった。

30

【0004】

また、電子放出効率に関しても、更なる高効率化が要求されている。ここで、電子放出効率（ η ）とは、電子放出素子に駆動電圧を印加したときにカソード電極とゲート電極間に流れる電流（ I_f ）と、真空中に取り出される電流（ I_e ）を用いて、効率 $\eta = I_e / (I_f + I_e)$ で与えられる。

【0005】

本発明は上記の課題を解決するためになされたものであって、その目的とするところは、電子放出効率が高く、信頼性の高い電子放出素子の製造方法を提供することにある。

40

【課題を解決するための手段】

【0006】

そこで本発明の電子放出素子の製造方法は、上面及び該上面と接続する側面を備える絶縁層の少なくとも前記側面の上に第 1 導電性膜を設ける第 1 工程と、前記上面の上から前記側面の上に渡って、かつ前記第 1 導電性膜の上に、第 2 導電性膜を設ける第 2 工程と、前記第 2 導電性膜をエッチングする第 3 工程と、を有し、前記第 2 工程は、前記第 2 導電性膜の前記上面の上に位置する部分の膜密度が、前記第 2 導電性膜の前記側面の上に位置する部分の膜密度より高くなるように、前記第 2 導電性膜を設け、前記第 3 工程は、前記第 2 導電性膜の膜密度が低い部分を、前記第 2 導電性膜の膜密度が高い部分よりも多くエッチングすることを特徴とする。

50

【発明の効果】

【0007】

本発明によれば、電子放出素子の電子放出効率と信頼性を向上することが可能となる。

【発明を実施するための最良の形態】

【0008】

以下に図面を参照して、本実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、本発明の範囲をそれらのみに限定する趣旨のものではない。

【0009】

始めに本実施の形態で説明する製造方法によって形成する電子放出素子の構成について図1～3を用いて述べる。電子放出素子の製造方法は、電子放出素子の構成について説明した後述べる。

【0010】

図1(a)は電子放出素子の平面的模式図(X-Y平面)であり、図1(b)は図1(a)におけるA-A'線での断面模式図(X-Z平面)である。図1(c)は図1(b)における矢印の方向から電子放出素子を眺めたときの側面模式図(Z-Y平面)である。図2は図1(b)の電子放出部近傍の部分拡大図である。

【0011】

基板1上には、カソード電極2と、第1絶縁層3と第2絶縁層4とが積層されることで構成された絶縁性の段差形成部材34と、が並設されている。そして、図2に詳しく示すように、カソード導電性膜10が、第1絶縁層3のカソード電極2側の側面31上に、該側面31に沿って、配置されている。本発明におけるカソード導電性膜10は、後述する製造方法によって、第1導電性膜6と第2導電性膜7とに区別することができる。

【0012】

ここでは、段差形成部材34を構成する第1絶縁層3の側面31は、傾斜した斜面で構成されている。本発明の製造方法においては、側面31が、基板1の表面に対して90°未満の角度とした斜面(斜面31)であることが好ましい。なお、第2絶縁層4の側面41の基板1との角度は、電子放出の妨げにならない限り、特に限定されるものではない。

【0013】

ゲート電極5は、第1絶縁層3との間に設けられた第2絶縁層4によって、第1絶縁層3から所定距離(第2絶縁層の厚み)だけ離れて上方(+Z方向)に設けられている。ここで示す例では、ゲート電極5の上にはゲート導電性膜12が設けられている。本発明におけるゲート導電性膜12は、後述する製造方法によって、第3導電性膜8と第4導電性膜9とに区別することができる。

【0014】

42は、第1絶縁層3と、第2絶縁層4と、ゲート電極5に囲まれた凹形状のリセス部(凹部)である。詳細には、リセス部42は、図2に示すように、第1絶縁層3の上面32と、第2絶縁層4の側面41と、ゲート電極5の下面53によって囲まれた空間である。

【0015】

カソード導電性膜10は、第1絶縁層3の側面31と、第1絶縁層3の上面32とが接続する角部33を覆っている。さらに、カソード導電性膜10は第1絶縁層3の側面31上だけでなく、第1絶縁層3の上面32上にも配置されている。言い換えれば、カソード導電性膜10の一部は、カソード電極2から、リセス部42の中まで延在している。即ち、カソード導電性膜10は、カソード電極2から第1絶縁層3の上面32まで、側面31を経て、延在している。

【0016】

カソード導電性膜10は、図2で示されるように、リセス部42内に、第1絶縁層3の側面31と上面32とが接続する部分である第1絶縁層3の角部33から距離xだけ、入り込んでいる。尚、距離xは、換言すると、第1絶縁層3の上面32とカソード導電性膜

10

20

30

40

50

10とが接する長さと言う事ができる。

【0017】

カソード導電性膜10が、距離xをもってリセス部42内に入り込むことで、以下の三つのメリットが生じる。(1)電子放出部となるカソード導電性膜10が第1絶縁層3との接触面積が広く、機械的な密着性(密着強度)があがる。(2)電子放出部となるカソード導電性膜10と第1絶縁層3との接触面積が広がり、電子放出部で発生する熱を効率よく逃がすことが可能となる(熱抵抗の低減)。(3)第1絶縁層3の上面32に対してカソード導電性膜10が傾斜を備えることで、絶縁体—真空—導電体界面で生じる三重点での電界強度を弱め、異常な電界発生による放電現象を防止することが可能となる。

【0018】

10

カソード導電性膜10の一方の端部は、第1絶縁層3の角部33上に位置する突起部を有している。突起部は、第1絶縁層3の斜面31から、第1絶縁層3の上面32に跨って配置されているとも言えることができる。突起部の先端は、第1絶縁層3の上面32よりも基板1の表面から離れており、且つ、尖っている。つまり、突起部は、第1絶縁層3の上面32より上方(+Z方向)に突出している。従って、突起部は、カソード導電性膜10の、第1絶縁層3の上面32より上方の部分として定義することができる。なお、カソード導電性膜10の他方の端部は、カソード電極2に接続している。

【0019】

ゲート導電性膜12は、ゲート電極5の側面51上と、ゲート電極5の上面52上に設けられている。少なくともゲート電極5を含み、必要に応じてゲート導電性膜12を備えた導電性部材13を纏めてゲートと呼ぶことができる。ゲート13(ゲート電極5(及びゲート導電性膜12))は、カソード導電性膜10の突起部の先端と、間隙11を介して対向している。この間隙11の間隔はdで表される(図1、2)。

20

【0020】

図3は、電子放出素子の電子放出特性を測定するときの電源及び電位の関係を示す図である。基板1の上方(ゲート電極5よりも離れた位置)には、ゲート電極5よりも高電位に規定されたアノード電極20が配置されている。ここでVfはカソード電極2とゲート電極5との間に印加される電圧、Ifはゲート電極5に流れる素子電流、Vaはカソード電極2とアノード電極20の間に印加される電圧、Ieは電子放出電流である。ここで、電子放出効率(η)は、素子に電圧(Vf)を印加したときに検出される電流(If)と真空中に取り出される電流(Ie)を用いて、効率 $\eta = Ie / (If + Ie)$ で与えられる。図3に示すように、電子放出素子を駆動させるためには、カソード電極2よりもゲート電極5の電位が高くなるように、駆動電圧Vfをカソード電極2とゲート電極5の間に印加する。これによって、カソード導電性膜10の突起部の先端表面には強電界が生じ、電子がカソード導電性膜10の突起部の表面から電界放出される。カソード導電性膜10の突起部の先端表面からゲート13に向かって放出された電子の一部は、ゲート13に衝突する。詳細には、ゲート電極5或いはゲート電極上のゲート導電性膜12の何れかに衝突する。

30

放出された電子のゲート電極5もしくはゲート導電性膜12への衝突箇所は、多くの場合は、ゲート電極5の側面51上のゲート導電性膜12である。

40

【0021】

上述のように、ゲート電極5(およびゲート導電性膜12)は、ゲート電極5が、カソード導電性膜10に電界放出可能な電界を印加することができるよう、カソード導電性膜10と所定の間隔d(間隙11)を置いて、配置されればよい。また、ゲート電極5によって上記電界を印加できれば、ゲート電極5上のゲート導電性膜12は必須ではない。効率的に電界放出された電子を得るために、ゲート13はカソード導電性膜10より上方(アノード20側)に配置される。ゲート電極5(およびゲート導電性膜12)は、第1絶縁層3の上面32から所定距離(第2絶縁層4の厚み)だけ離れて上方に設けられていればよく、第2絶縁層4はこの距離を規定する部材であるともいえる。

【0022】

50

次に、カソード導電性膜 10 の突起部について、その特徴とその望ましい形態を図 2 を用いて以下に述べる。

【0023】

カソード導電性膜の突起部の先端には曲率半径 r で代表される部分（図 2 の点線で囲まれた円）が存在する。この曲率半径 r の値によりカソード導電性膜 10 の先端の電界強度が異なる。 r が小さいほど電気力線の集中が生じるため突起部先端表面に高い電界を形成することが可能となる。

従って突起部分先端の電界を一定とした場合、曲率半径 r が相対的に小さければカソード導電性膜 10 の突起部の先端とゲート 13 との間隔 d が大きく、 r が相対的に大きければ間隔 d が小さな値となる。間隔 d の違いは散乱回数の違いに影響するため、 d が大きいほど電子放出効率が高い電子放出素子を得ることが可能となる。一方、 d が大きいと、高い駆動電圧が必要になる。このように、電子放出素子の電子放出効率を高くするには、小さい r が得られ、間隔 d を高精度に制御できる電子放出素子の製造方法が求められる。

【0024】

以下に、本実施形態に係る電子放出素子の製造方法を、上記した構成の電子放出素子を例に、図 4 および図 5、図 6 を参照しながら説明する。

【0025】

まず、本実施形態の製造方法における一連の工程を簡単に説明し、その後、各工程について詳述する。

【0026】

（工程 1）第 1 絶縁層 3 となる絶縁層 30 を基板 1 の表面に形成し、続いて、第 2 絶縁層 4 となる絶縁層 40 を絶縁層 30 の上面に積層する。そして、絶縁層 40 の上面にゲート電極 5 となる導電層 50 を積層する（図 4（a））。絶縁層 40 の材料は、絶縁層 30 の材料よりも、後述する工程 3 で行う第 2 エッチング処理に対してエッチング量が多くなるように、絶縁層 30 の材料とは異なる材料が選択される。

【0027】

（工程 2）次に、導電層 50、絶縁層 40、絶縁層 30 に対するエッチング処理（第 1 エッチング処理）を行う。第 1 エッチング処理は、ゲート電極 5 の形成および、第 1 絶縁層 3 の側面 31 を形成することを主な目的とした工程である。

【0028】

第 1 エッチング処理は、具体的には、フォトリソグラフィー技術等により導電層 50 上にレジストパターンを形成したのち、導電層 50、絶縁層 40、絶縁層 30 をエッチングする処理である。工程 2 により、基本的には、図 1 などに示した電子放出素子を構成する第 1 絶縁層 3 とゲート電極 5 が形成される（図 4（b））。また、この工程で、第 2 絶縁層 4 となる絶縁層 40 は絶縁層 44 のような形状になる。

【0029】

なお、図 4（b）などに示す様に、この工程で形成される第 1 絶縁層 3 の側面 31 と基板 1 の表面とが成す角度（ θ ）が 90° よりも小さい角度となり、斜面を形成するようにすることが好ましい。

【0030】

（工程 3）続いて、工程 2 で形成した絶縁層 44 に対するエッチング処理（第 2 エッチング処理）を行う。第 2 エッチング処理は、リセス部 42 を形成することを主な目的とした工程である。

【0031】

工程 3 により、基本的には、図 1 等々に示した電子放出素子を構成する第 2 絶縁層 4 が形成される。この結果、第 1 絶縁層 3 の露出した上面 32 と第 2 絶縁層 4 の側面 41 と、ゲート電極 5 の露出した下面 53 によって構成されるリセス部 42 が形成される（図 4（c））。また、工程 3 において、絶縁層 44 の側面がエッチングされるので第 1 絶縁層 3 の上面 32 が露出する結果、第 1 絶縁層 3 の上面 32 と第 1 絶縁層 3 の側面 31 とが接続している部分である角部 33 が形成される。なお、角部 33 は、曲率を持たない形態とする

10

20

30

40

50

こともできるし、曲率を持つ形態とすることもできる。第1絶縁層3の上面32と基板1の表面とが成す角度は、第1絶縁層3の側面31と基板1の表面とが成す角度 θ より小さい。典型的には、第1絶縁層3の上面32と基板1の表面とはほぼ平行である。

【0032】

続いて、カソード導電性膜10（およびゲート導電性膜12）の形成工程を説明する。なお、以下では、第1絶縁層3の側面は斜面（斜面31）であるとして説明する。

【0033】

（工程4）導電性の材料からなる第1導電性膜6を、少なくとも第1絶縁層3の斜面31上に成膜する（図5（a））。この工程は、後述する工程6における第3エッチング処理を経ても、カソード導電性膜10の斜面31上に位置する部分の導電性が確保されるように行われる。このとき、図5（a）に示すように、第1導電性膜6はリセス部42に入り込んで、第1絶縁層3の上面32上にも成膜してもよい。第1絶縁層3の上面32にも第1導電性膜6を設ける場合には、上面32上で突起部を形成するように成膜することが好ましい。

10

【0034】

なお、簡単のために、以下の説明においては、「第1導電性膜6の、第1絶縁層3の斜面31上に位置する部分」を「斜面31上の第1導電性膜6」と呼ぶことにする。また、「第1導電性膜6の、第1絶縁層3の上面32上に位置する部分」を設ける場合には、これを「上面32上の第1導電性膜6」と呼ぶことにする。

【0035】

また、本工程において必須ではないが、第1導電性膜6を成膜すると同時に、第1導電性膜6と同じ材料からなる第3導電性膜8を、ゲート電極5の上に成膜してもよい。

20

【0036】

本工程4では、図5（a）に示すように、第1導電性膜6と導電性部材であるゲート13とが接触しないように、第1導電性膜6を成膜することが好ましい。即ち、第1導電性膜6とゲート13とが離間して、間にギャップ（間隙）を形成するように、第1導電性膜6を成膜することが好ましい。なお、本工程4でいうゲート13とは、少なくともゲート電極5を含み、第3導電性膜8を設ける場合には、ゲート電極5および第3導電性膜8を含む構成のものである。つまり、第1導電性膜6は、ゲート電極5とも、第3導電性膜8とも接触しないように（離間するように）成膜されることが好ましい。

30

【0037】

このようにして、第1導電性膜6（および第3導電性膜8）を形成する。

【0038】

（工程5）次に、導電性の材料からなる第2導電性膜7を、第1絶縁層3の上面32上から、第1絶縁層3の斜面31上に渡って成膜する（図5（b））。この工程では、第1絶縁層3の上面32（角部33）上に突起部を形成するように行われる。前述のように、第1絶縁層3の上面32と斜面31とは角部33を介して接続しており、基板1の表面に対する角度が異なる。そのため、詳しくは後述するが、上面32上に突起部を形成しようとする、第2導電性膜7の、第1絶縁層3の上面32上に位置する部分の密度（膜密度）が、第2導電性膜7の、第1絶縁層3の斜面31上に位置する部分の膜密度より相対的に高くなる。言い換えれば、本工程5では、第2導電性膜7は、第1絶縁層3の上面32上に位置する部分の膜密度が、第1絶縁層3の斜面31上に位置する部分の膜密度より高くなる様に成膜される。

40

【0039】

工程4において、第1導電性膜6は少なくとも斜面31上に設けられているため、少なくとも、第2導電性膜7の斜面31上に位置する部分の下には第1導電性膜6が設けられている。したがって、第2導電性膜7は、第1導電性膜6の上に設けられる。言い換えれば、工程5において設けられる第2導電性膜7と、第1絶縁層3の斜面31との間には、工程4において第1導電性膜6が設けられていることになる。

【0040】

50

なお、工程 4 において、第 1 絶縁層 3 の上面 3 2 上に第 1 導電性膜 6 を設けない場合には、第 2 導電性膜 7 の第 1 絶縁層 3 の上面 3 2 の上に位置する部分の下には、第 1 導電性膜 6 は設けられていないことになる。

【0041】

図 5 (b) に示すように、工程 4 において、第 1 導電性膜 6 を上面 3 2 上にも設ける場合には、第 2 導電性膜 7 を、上面 3 2 上の第 1 導電性膜 6 の上から、斜面 3 1 上の第 1 導電性膜 6 の上に渡って成膜することになる。第 2 導電性膜 7 の第 1 絶縁層 3 の上面 3 2 上に位置する部分が、上面 3 2 上の第 1 導電性膜 6 の上にのみに設けられていて、第 2 導電性膜 7 が上面 3 2 と接しない形態があってもよい。しかしながら、図 5 (b) に示すように、第 2 導電性膜 7 は、上面 3 2 と接する部分を有することが好ましい。つまり、第 2 導電性膜 7 は、第 1 導電性膜 6 を覆うように設けることが好ましい。

10

【0042】

なお、説明を簡単にするために、以下の説明においては、「第 2 導電性膜 6 の、第 1 絶縁層 3 の斜面 3 1 上に位置する部分」を「斜面 3 1 上の第 2 導電性膜 7」と呼ぶことにする。また、「第 2 導電性膜 6 の、第 1 絶縁層 3 の上面 3 2 上に位置する部分」を「上面 3 2 上の第 2 導電性膜 7」と呼ぶことにする。少なくとも、「斜面 3 1 上の第 2 導電性膜 7」は、その下に「斜面 3 1 上の第 1 導電性膜 6」が設けられている。

【0043】

また、本工程においては、第 2 導電性膜 7 を成膜すると同時に、第 2 導電性膜 7 と同じ材料からなる第 4 導電性膜 9 を、ゲート電極 5 の上、あるいは第 3 導電性膜 8 の上に成膜することが好ましい。

20

【0044】

本工程 5 において、第 2 導電性膜 7 と導電性部材であるゲート 1 3 とが接続しない場合があってもよい。しかしながら本工程 5 においては、図 5 (b) に示すように、第 2 導電性膜 7 とゲート 1 3 とが接触するように、第 2 導電性膜 7 を成膜することが好ましい。

【0045】

なお、本工程 5 でいうゲート 1 3 とは、少なくともゲート電極 5 を含み、第 4 導電性膜 9 を設ける場合には、ゲート電極 5 および第 4 導電性膜 9 とを含む構成のものである。工程 4 において、第 3 導電性膜 8 を設けた場合には、ゲート 1 3 は更に第 3 導電性膜 8 も含む。つまり、第 2 導電性膜 7 とゲート電極 5 とが（電氣的に）接続するように、第 2 導電性膜 7 を成膜することが好ましい。第 2 導電性膜 7 が、ゲート電極 5、第 3 導電性膜 8、第 4 導電性膜 9 の少なくともいずれかと接触すれば、第 2 導電性膜 7 は、ゲート電極 5 と（電氣的に）接続することになる。

30

【0046】

典型的には、図 5 (b) に示すように、第 2 導電性膜 7 と第 4 導電性膜 9 とが接触するように、第 2 導電性膜 7 および第 4 導電性膜 9 を形成することが好ましい。

【0047】

このようにして、第 2 導電性膜 7（および第 4 導電性膜 9）を形成する。

【0048】

（工程 6）続いて、第 2 導電性膜 7 に対してエッチング処理（第 3 エッチング処理）を行う（図 5 (c)）。

40

【0049】

第 2 導電性膜 7 に対してエッチング処理を行うことにより、先の工程 5 で設けた上面 3 2 上の第 2 導電性膜 7 の突起部は先鋭化される。従って、この工程により電子放出素子の効率を向上できる。

【0050】

また、工程 5 において、リセス部 4 2 内に入り込んだ、不要な第 2 導電性膜 7 の材料が、本工程において除去される。その結果、リセス部 4 2 内の導電性材料の残渣度を低減し、電子放出素子の信頼性を向上できる。

【0051】

50

また、工程 5 において、第 2 導電性膜 7 とゲート 1 3 とが接触しないように第 2 導電性膜 7 を設けた場合であっても、意図しない部分で第 2 導電性膜 7 とゲート 1 3 とが接触して、短絡欠陥やリーク電流の原因となる場合がある。そのような部分を、第 3 エッチング処理によって除去することができる。その結果、電子放出素子の信頼性を向上できる。

【0052】

また、第 3 エッチング処理によって、第 2 導電性膜 7 とゲート 1 3 との間には所望の間隔 d の間隙 1 1 が形成される。即ち、電子を電界放出するための間隙 1 1 を形成することができる。間隙 1 1 を第 3 エッチング処理によって形成することで、間隙 1 1 の間隔 d の制御性を向上することが可能となり電子放出素子の電子放出効率を向上できる。ゲート 1 3 は、少なくともゲート電極 5 を含む部材であるので、第 3 エッチング処理によって、ゲート電極 5 と第 2 導電性膜 7 との間には所望の間隔の間隙が形成されるとも言える。第 3 導電性膜 8、第 4 導電性膜 9 が設けられた場合には、これらと第 2 導電性膜 7 との間にも所望の間隔の間隙が形成される。

【0053】

さらに、工程 5 において、第 2 導電性膜 7 とゲート 1 3 とが接触するように第 2 導電性膜 7 を設けた場合においては、この工程の第 3 エッチング処理において、第 2 導電性膜 7 とゲート 1 3 とは離間し、所望の間隔 d の間隙 1 1 が形成される。第 2 導電性膜 7 の成膜のみで間隙 1 1 を形成することもできるが、このように、接触したものをエッチングすることによって間隙 1 1 を形成すれば、間隙 1 1 の間隔 d をより高精度に制御することが可能となる。その結果、電子放出素子の効率を向上できる。典型的には、工程 5 において、第 2 導電性膜 7 は第 4 導電性膜 9 と接触し、本工程 6 において、第 2 導電性膜 7 は第 4 導電性膜 9 と離間して、所望の間隔の間隙を形成する。

【0054】

ところで、工程 5 で設けた第 2 導電性膜 7 は、第 1 絶縁層 3 の斜面 3 1 上に位置する部分の膜密度の方が、第 1 絶縁層 3 の上面 3 2 上に位置する部分よりも、低くなる様に成膜されている。

【0055】

第 3 エッチング処理における、第 2 導電性膜 7 の膜密度とエッチングレートは反比例の関係にあり、膜密度が低い部分のエッチングレートは高くなる（多くエッチングされる）。なお、本発明において、エッチングレートとは、単位時間あたりの膜厚の減少量を意味している。すなわち、第 3 エッチング処理では、第 2 導電性膜の膜密度が低い部分を、前記第 2 導電性膜の膜密度が高い部分よりも多くエッチングする。

【0056】

図 1 2 (a) にモリブデン膜を成膜したときの、成膜材料の成膜面に対する入射角と、その入射角で成膜した膜を所定のエッチング条件によってエッチング処理したときの、エッチングレートとの関係を示す。なお、図 1 2 (a) では、単位時間あたりの膜厚減少量の代わりに、所定時間を 1 回として、1 回あたりの膜厚の減少量を示している。成膜材料の、成膜面に対する入射角が 90° に近いほど膜密度は高くなる。一方、エッチング処理で除去される単位時間当たりの原子数はエッチングする材料と、エッチング条件（エッチング方法）で一意に決まる。したがって、膜密度とエッチングレートは反比例する。尚、この関係は、モリブデンに限るものではなく、材料に依存するものではない。

【0057】

従って、第 3 エッチング処理を行うと、膜密度が低い部分である斜面 3 1 上の第 2 導電性膜 7 のエッチングレートは、膜密度が高い部分である上面 3 2 上の第 2 導電性膜 7 のエッチングレートより高くなる。つまり、本工程 6 によって同時にエッチングされる斜面 3 1 上の第 2 導電性膜 7 の膜厚の減少量は上面 3 2 上の第 2 導電性膜 7 の膜厚の減少量よりも大きい。そのため、上述したように、工程 5 において膜密度が相対的に低くなっている斜面 3 1 上の第 2 導電性膜 7 の導電性は低下する（抵抗率が上昇する）。

【0058】

しかしながら、本発明では、前述した工程 4 を行うことで、少なくとも斜面 3 1 上の第

2 導電性膜 7 の下には、第 1 導電性膜 6（斜面 3 1 上の第 1 導電性膜 6）を設けている。これにより、第 3 エッチング処理を経ても、カソード導電性膜 1 0 の、第 1 絶縁層 3 の斜面 3 1 上に位置する部分の導電性を確保することができる。言い換えれば、第 3 エッチング処理におけるカソード導電性膜 1 0 の導電性の低下が、第 1 導電性膜 6 によって抑制される。従って、工程 4 で設けた斜面 3 1 上の第 1 導電性膜 6 は、カソード導電性膜 1 0 の導電性の低下を抑制する機能を有すると云える。

【0059】

このように、本実施形態によれば、カソード導電性膜 1 0 の電子放出効率の向上及び、信頼性の向上を共に実現することができる。

【0060】

本工程 6 において、第 3 エッチング処理の処理時間や繰り返し回数を多くすることによって、図 6（a）に示すように、突起部をさらに先鋭化することもできる。

【0061】

（工程 7）

上記の第 3 エッチング処理でカソード導電性膜 1 0 の先鋭化を実施した後に、カソード導電性膜 1 0 上に、カソード導電性膜 1 0 の仕事関数より仕事関数が低い材料からなる低仕事関数膜 1 4 を成膜することができる（図 6（b））。この工程により、電子放出特性の効率を向上することができる。この本工程 7 は省略することもできる。

【0062】

（工程 8）

カソード導電性膜 1 0 に電子を供給するためのカソード電極 2 を形成する（図 1）。この工程は、他の工程の前や後に変更することもできる。尚、カソード電極 2 を用いずに、カソード電極 2 の機能をカソード導電性膜 1 0 が兼ねることもできる。その場合には、本工程 8 は省略できる。

【0063】

以下、各工程についてより詳細に説明する。

【0064】

（工程 1 について）

基板 1 としては、石英ガラス、Na 等の不純物含有量を減少させたガラス、青板ガラスなどを用いることができる。基板 1 に必要な機能としては、機械的強度が高いだけでなく、ドライエッチング、ウェットエッチング、現像液等のアルカリや酸に対して耐性があることが挙げられる。また、画像表示装置に用いる場合は、加熱工程などを経るので、積層する部材と熱膨張率差が小さいものが望ましい。また熱処理を考慮すると、ガラス内部からのアルカリ元素等が電子放出素子に拡散しづらい材料が望ましい。

【0065】

絶縁層 3 0（第 1 絶縁層 3）を構成する材料は、加工性に優れる絶縁性の材料からなり、たとえば窒化シリコン（典型的には Si_3N_4 ）や酸化シリコン（典型的には SiO_2 ）である。絶縁層 3 0 は、スパッタ法等の一般的な真空成膜法、CVD 法、真空蒸着法で形成することができる。また絶縁層 3 0 の厚さは、数 nm から数十 μm の範囲で設定され、好ましくは数十 nm から数百 nm の範囲に選択される。

【0066】

絶縁層 4 0（第 2 絶縁層 4）を構成する材料は、加工性に優れる絶縁性の材料からなり、たとえば窒化シリコン（典型的には Si_3N_4 ）や酸化シリコン（典型的には SiO_2 ）である。絶縁層 4 0 は、スパッタ法等の一般的な真空成膜法、CVD 法、真空蒸着法で形成することができる。また絶縁層 4 0 の厚さは、絶縁層 3 0 よりも薄く、数 nm から数百 nm の範囲で設定され、好ましくは数 nm から数十 nm の範囲で選択される。

【0067】

尚、絶縁層 3 0 と絶縁層 4 0 を基板 1 上に積層した後に工程 3 にてリセス部 4 2 を形成する必要がある。そのため、上記第 2 エッチング処理に対して、絶縁層 3 0 よりも絶縁層 4 0 の方がよりエッチング量が多い関係に設定する。望ましくは絶縁層 3 0 と絶縁層 4 0

10

20

30

40

50

との間のエッチング量の比は、10以上であることが好ましく、50以上であることが更に好ましい。

【0068】

このようなエッチング量の比を得るためには、例えば、絶縁層30を窒化シリコンで形成し、絶縁層40を酸化シリコンで形成すればよい。また、絶縁層30を窒化シリコンで形成し、絶縁層40をリン濃度の高いPSG（リンシリケートガラス）やホウ素濃度の高いBSG（ボロンシリケートガラス）等で形成しても良い。

【0069】

導電層50（ゲート電極5）は導電性を有しており、蒸着法、スパッタ法等の一般的真空成膜技術により形成されるものである。

10

【0070】

ゲート電極5となる導電層50の材料は、導電性に加えて高い熱伝導率があり、融点が高い材料が望ましい。例えば、Be, Mg, Ti, Zr, Hf, V, Nb, Ta, Mo, W, Al, Cu, Ni, Cr, Au, Pt, Pd等の金属または合金材料が使用できる。また、炭化物や硼化物や窒化物も使用でき、Si, Ge等の半導体も使用できる。

【0071】

また、導電層50（ゲート電極5）の厚さは、数nmから数百nmの範囲で設定され、好ましくは数十nmから数百nmの範囲で選択される。

【0072】

ゲート電極5となる導電層50は、カソード電極2に比べてその膜厚が薄い範囲で設定される場合があるので、カソード電極2の材料よりも低抵抗な材料であることが望ましい。

20

【0073】

（工程2について）

上記第1エッチング処理では、エッチングガスをプラズマ化して材料に照射することで材料の精密なエッチング加工が可能な、RIE（Reactive Ion Etching）を用いることが好ましい。

【0074】

RIEに用いるガスとしては、加工する対象部材がフッ化物を作る材料である場合には、 CF_4 や CHF_3 、 SF_6 などのフッ素系ガスが選ばれる。また加工する対象物がSiやAlのような塩化物を形成する材料である場合には、 Cl_2 、 BCl_3 などの塩素系ガスが選ばれる。またレジストとの選択比を取るため、またエッチング面の平滑性の確保あるいはエッチングスピードを上げるため、水素、酸素、アルゴンガスの少なくともいずれかをエッチングガスに添加することが好ましい。

30

工程2により、基本的に、図1などに示した電子放出素子を構成する第1絶縁層3とゲート電極5と同一または略同一の形状が形成される。しかしながら、工程2以降に行われるエッチング処理で、第1絶縁層3とゲート電極5が全くエッチングされないことを意味する訳ではない。

【0075】

また、第1絶縁層3の側面31と基板1の表面とが成す角度（図4（b）に θ で表示）は、ガス種、圧力、等の条件を制御することに所望の値に制御可能である。角度 θ は、 90° よりも小さくすることが好ましい。つまり、第1絶縁層3の側面31は斜面であることが好ましい。これは、工程4で第1絶縁層3の側面31に形成される第2導電性膜7の膜質（膜密度）を制御するためである。また、 θ を 90° よりも小さい角度に設定することで、ゲート電極5のカソード電極側の側面51は、第1絶縁層3のカソード電極側の側面31よりも後退する（-X方向に位置する）。なお、第1絶縁層3の側面31は図4（b）に示すように、曲面となっている場合もある。その場合には、側面31の角度 θ は、側面31の接線と基板1の表面とが成す角のうちの最大の角度を θ とすることができる。

40

【0076】

第1絶縁層3の上面32と基板1の表面とが成す角度は、上述したように、角部33を

50

形成しているために、側面 3 1 と基板 1 の表面とが成す角度 θ より小さい。第 1 絶縁層 3 は基板 1 の表面に、一般的に用いられる成膜方法によって形成されているので、第 1 絶縁層 3 の上面 3 2 は基板 1 の表面と実質的に平行であると言える。即ち、第 1 絶縁層 3 の上面 3 2 は、基板 1 の表面と完全に平行である場合と、成膜環境や条件などによって僅かに傾きを有する場合が考えられるが、このような場合も含めて、実質的に平行の範疇である。

【0077】

ゲート電極 5 の側面 5 1 と基板 1 の表面とが成す角度（図 6（b）に ϕ で表示）も、第 1 エッチング処理の条件によって決定される。角度 ϕ は、 90° よりも小さくすることが好ましい。さらに、角度 ϕ は、角度 θ よりも小さくすることが好ましい。なお、ゲート電極 5 の側面 5 1 は、曲面となっている場合もある。その場合には、側面 3 1 の角度 ϕ は、側面 3 1 の接線と基板 1 の表面とが成す角のうちの最大の角度を ϕ とすることができる。

【0078】

（工程 3 について）

工程 3 では、エッチング液によって絶縁層 4 4 がエッチングされる量に対して、エッチング液によって絶縁層 3 がエッチングされる量が十分に低くなるようにエッチング液が選択される。つまり、第 2 エッチング工程はウェットエッチング工程が用いられる。

【0079】

上記第 2 エッチング処理は、例えば絶縁層 4 4（第 2 絶縁層 4）が酸化シリコンで形成され、絶縁層 3 0（第 1 絶縁層 3）が窒化シリコンで形成されている場合、エッチング液は通称バッファードフッ酸（BHF）を用いればよい。バッファードフッ酸（BHF）はフッ化アンモニウムとフッ酸との混合溶液である。また、絶縁層 4 0（第 2 絶縁層 4）が窒化シリコンで形成され、絶縁層 3 0（第 1 絶縁層 3）が酸化シリコンで形成されている場合は、エッチング液は熱リン酸系のものを使用すればよい。

【0080】

工程 3 により、図 1 などに示した電子放出素子を構成する第 2 絶縁層 4 と同一または略同一のパターンが形成される。しかしながら、工程 3 以降に行われるエッチング処理で、第 2 絶縁層 4 が全くエッチングされないことを意味する訳ではない。

【0081】

リセス部 4 2 の深さ（絶縁層 4 4 がエッチングされる X 方向の距離）は、電子放出素子のリーク電流に深く関わる。リセス部 4 2 を深く形成するほどリーク電流の値が小さくなる。しかし、あまりリセス部 4 2 を深くするとゲート電極 5 が変形する等の課題が発生する。このため、リセス部 4 2 の深さは、実用的には 30 nm 以上 200 nm 以下に設定される。尚、リセス部 4 2 の深さは、第 1 絶縁層 3 の角部 3 3 から第 2 絶縁層 4 の側面 4 1 までの距離と言い換えることもできる。

【0082】

ここまでは、段差形成部材 3 4 を、第 1 絶縁層 3 と第 2 絶縁層 4 とを積層することで構成する例を示した。しかしながら、段差形成部材 3 4 は、3 つ以上の複数の層で構成することもできる。具体的には、リセス部 4 2 を形成する第 2 絶縁層 4 の上に、さらに絶縁層を備えていても良い。例えば、第 2 絶縁層 4 の上に設けられる絶縁層が、第 1 絶縁層 3 と同じ材料であってもよい。この場合には、工程 3 によって得られる構成は、ゲート電極 5 の下面 5 3 は露出しないことになる。いずれにしても、ゲート電極 5 は、第 1 絶縁層 3 の上面 3 2 より上方に配置される。

【0083】

（工程 4 について）

工程 4 において、第 1 導電性膜 6（および第 3 導電性膜 8）の材料は、導電性を有していれば特に限定されない。例えば、Be, Mg, Ti, Zr, Hf, V, Nb, Ta, Mo, W, Al, Cu, Ni, Cr, Au, Pt, Pd 等の金属または合金材料が使用可能である。また、炭化物、硼化物、窒化物も使用可能である。

【0084】

しかしながら、第1導電性膜6の斜面31上に位置する部分は、工程6における第3エッチング処理に対して耐性（エッチング耐性）が高いことが好ましい。詳細には、第3エッチング処理で用いるエッチング方法に対して、第2導電性膜7の斜面31上に位置する部分よりも、第1導電性膜7の斜面31上に位置する部分の方がエッチングレートが低いことが好ましい。

【0085】

以下に、この理由を説明する。

【0086】

工程5において、角部33（上面32）上に突起部を形成するように第2導電性膜7を形成すると、斜面31上の第2導電性膜7の膜密度は上記したように低くなる。一方、上面32上の第2導電性膜7の膜密度は相対的に高くなる。

10

【0087】

（工程6）で説明したように、膜密度とエッチングレートは反比例の関係にある。そのため、工程6において、第3エッチング処理によって、第2導電性膜7の斜面31上の部分は、膜密度が低いので、優先的にエッチングされ、膜厚の減少量が多い。本発明では、第2導電性膜7の斜面31上に位置する部分の下に第1導電性膜6を設ける。このようにすることで、第2導電性膜7の斜面31上に位置する部分を第3エッチング処理でエッチングしても、電子放出部に相当する、第2導電性膜7の突起部と、斜面31に位置するカソード電極2とを安定に接続できる。

【0088】

20

そして、第3エッチング処理によって、第2導電性膜7の斜面31上の部分の全部あるいは一部が、無くなってしまう（膜厚がゼロになる）場合には、第1導電性膜6は露出して、第3エッチング処理に直接曝されることになる。

【0089】

また、工程6において、第2導電性膜7を第3エッチング処理する際に、第2導電性膜7が第1導電性膜6を完全に覆っていない部分、例えばピンホールやクラックがある場合がある。その場合、第1導電性膜6は第3エッチング処理の影響を受ける可能性がある。そのような場合にも第1導電性膜6は露出することになり、第3エッチング処理に直接曝されることになる。

【0090】

30

第1導電性膜6がエッチング耐性が低いと、このように第1導電性膜6が第3エッチング処理の影響を受ける場合、あるいは第3エッチング処理に直接曝される場合に、第1導電性膜6はエッチングされてしまう可能性がある。第1導電性膜6が容易にエッチングされると、カソード導電性膜10の導電性は低下し、電子放出素子の信頼性が低下する。

【0091】

そのため、上記したように、第1導電性膜6の斜面31上に位置する部分のエッチング耐性を高くすることによって、斜面31上のカソード導電性膜10の導電性を、より安定に確保することができる。

【0092】

また、第1導電性膜6と第2導電性膜7の膜厚とエッチングレートは、上面32上の第2導電性膜7が膜厚方向に完全にエッチングされると仮定した場合に、斜面31上にカソード導電性膜10が残る関係であることが好ましい。

40

【0093】

つまり、第3エッチング処理において、第1導電性膜6と第2導電性膜7の膜厚とエッチングレートとの関係は、以下の条件式を満たすことが好ましい。

【0094】

$$T_{1s} / E_{1s} + T_{2s} / E_{2s} \geq T_{2t} / E_{2t} \cdots \text{条件式}$$

ここで、 T_{1s} は斜面31上の第1導電性膜6の膜厚、 E_{1s} は斜面31上の第1導電性膜6のエッチングレート、 T_{2s} は斜面31上の第2導電性膜7の膜厚、 E_{2s} は斜面31上の第2導電性膜7のエッチングレートである。 T_{2t} は上面32上の第2導電性膜

50

7の膜厚、 E_{2t} は上面32上の第2導電性膜7のエッチングレートである。詳しくは（工程6について）で説明するが、図7に、工程6における第1導電性膜6及び第2導電性膜7の膜厚と膜厚変化量の関係を示す。エッチングレートは、膜厚変化量をエッチング処理時間で割ったものである。この条件式を満足すれば、工程6において斜面31上の第1導電性膜6が露出しても、斜面31上のカソード導電性膜10の導電性は確保される。なお、この条件式を満たす場合にも、斜面31上の第1導電性膜6のエッチング耐性が高いことが好ましい。つまり、 $E_{1s} < E_{2s}$ を満たすことが好ましい。

【0095】

本発明では第1導電性膜はTa₂N、Taが良好な材料として挙げられる。また、第2導電性膜7と同じ材料を用いる場合には、斜面31上の第2導電性膜7よりも膜密度が高い膜も好ましく用いることができる。

10

【0096】

第1導電性膜6のエッチング耐性を高くする方法を説明する。

【0097】

第1導電性膜6の材料として、第3エッチング処理に対して、第2導電性膜7よりエッチング耐性が高い（エッチングレートが低い）、第2導電性膜7とは異なる材料を用いることが好ましい。言い換えれば、上記した条件を満たすように、工程4～6において、第1導電性膜6の材料と、第2導電性膜7の材料と、第3エッチング処理と、の組合せが決定される。

【0098】

20

別の例として、斜面31上の第2導電性膜7よりも、斜面31上の第1導電性膜6の膜密度を高くすることが好ましい方法として挙げられる。この方法は、第1導電性膜6と第2導電性膜7の材料が、同じ材料である場合に特に好ましく用いることができる。詳しくは、（工程5について）で、述べるが、斜面31上に高密度な膜を形成するには、斜面31に対してより垂直に近い方向から、第1導電性膜の原料が付着するように、指向性を有する成膜法を採用することができる。

【0099】

なお、工程4において、上面32上にも第1導電性膜6を設ける場合には、斜面31上の第1導電性膜6の膜密度が、上面32上の第1導電性膜6の膜密度より高くなるように、第1導電性膜6を成膜することが好ましい。これにも、斜面31に対してより垂直に近い方向から、第1導電性膜の原料が付着するように、指向性を有する成膜法を採用することができる。膜密度と抵抗率、及び膜密度とエッチングレートとは反比例の関係にあるため、このよう成膜することにより、斜面31上の第1導電性膜6の導電性及びエッチング耐性をより高くすることができる。

30

【0100】

（工程5について）

工程5において、第2導電性膜7の材料は、導電性があり、電界放出する材料であればよく、好ましくは、2000℃以上の高融点の材料から選択される。また、第2導電性膜7の材料は、仕事関数が5eV以下であり、その酸化物が簡易にエッチング可能な材料で形成されることが好ましい。このような材料として例えば、Hf、V、Nb、Ta、Mo、W、Au、Pt、Pd等の金属または合金材料、或いは炭化物、硼化物、窒化物も使用可能である。特に、MoまたはWを用いることが好ましい。

40

【0101】

第2導電性膜7は、スパッタ法、蒸着法等の真空成膜技術により形成される。前述したように、工程5においては、上面32上の第2導電性膜7の膜密度が、斜面31上の第2導電性膜7の膜密度よりも、高くなる様に成膜することが好ましい。

【0102】

上記の様な成膜を行う為には、第2導電性膜7の成膜を、指向性を有する成膜法によって行う。例えば、いわゆる指向性スパッタ法や蒸着法を用いることができる。指向性を有する成膜法を用いることで、第2導電性膜7の原料が、第1絶縁層3の上面32および斜

50

面 3 1（並びにゲート電極 5 の上面 5 2 および側面 5 1）に向かって入射する角度を制御できる。

【0103】

指向性スパッタ法として、例えば、基板 1 とターゲットとの角度を設定した上で、基板 1 とターゲットの間に遮蔽板を設ける、基板 1 とターゲット間の距離をスパッタ粒子の平均自由行程近傍にする、等を行う。また、スパッタ粒子に指向性を与えるコリメータを用いる、いわゆるコリメーションスパッタ法も指向性スパッタ法として用いることができる。このようにして、成膜材料であるスパッタ粒子が基板 1 上（典型的には第 1 絶縁層 4 の上面 3 2 及び斜面 3 1）にそれぞれ限られた角度で入射される様にする。なお、スパッタ粒子とは、ターゲットからスパッタされた原子、またはスパッタされた粒子を指す。

10

【0104】

即ち、成膜材料であるスパッタ粒子の第 1 絶縁層 3 の斜面 3 1 に対する入射角度が、成膜材料であるスパッタ粒子の第 1 絶縁層 3 の上面 3 2（角部 3 3）に対する入射角度よりも低い角度になる様にする。但し、スパッタ粒子の第 1 絶縁層 3 の上面 3 2（角部 3 3）に対する入射角度は、スパッタ粒子の第 1 絶縁層 3 の斜面 3 1 に対する入射角度よりも、より 90° に近く設定する。このようにすることで、スパッタ粒子は、第 1 絶縁層 3 の斜面 3 1 に対してよりも第 1 絶縁層 3 の上面 3 2（角部 3 3）に対して、より垂直に近い状態で入射させることができる。これによって、第 1 導電性膜 6 は、上面 3 2 上に位置する部分の膜密度が、斜面 3 1 上に位置する部分の膜密度が高くなる。そして、このように成膜を行うことで、前述したように、第 1 導電性膜 6 の、第 1 絶縁層 3 の上面 3 2（角部 3 3）上に位置する部分が、突起形状（突起部）を有する形態とすることができる。

20

【0105】

蒸着法では、真空度が $10^{-2} \sim 10^{-4}$ Pa 程度の高真空下で成膜を行うと、蒸発源から気化した成膜材料である蒸発物質は、衝突する可能性が低い。更に、蒸発物質の平均自由行程は概ね数百 mm～数 m 程度である為、蒸発源から気化した時の方向性が維持されて基板に届くことになる。このように、蒸着法も指向性を有する成膜法である。蒸発源を蒸発させる手法は、抵抗加熱、高周波誘導加熱、電子ビーム加熱などがあるが、対応可能な物質の種類及び加熱面積の関係から電子ビームを利用する方法が好適である。

【0106】

第 2 導電性膜 7 の材料がモリブデンの場合は、上面 3 2 上の第 2 導電性膜 7 は、その密度（膜密度）が 9.5 g/cm^3 以上 10.2 g/cm^3 以下であることが好ましい。斜面 3 1 上の第 2 導電性膜 7 は、その密度（膜密度）が 7.5 g/cm^3 以上 8.0 g/cm^3 以下であることが好ましい。

30

【0107】

上記値は、膜の抵抗率と膜厚（低密度膜は斜面に形成されるので、低密度膜部分は斜面に対する膜厚も薄くなる関係がある）及びエッチングレート差を考慮した実用的な範囲である。図 1 2（b）にはモリブデン膜の膜密度と抵抗率の関係を示した。図からも判る様に、一般的に金属の膜密度と抵抗率は反比例の関係にある。そのため、工程 4 によって、第 1 導電性膜 6 は、上面 3 2 上（角部 3 3）に突起部が形成されるだけでなく、突起部の導電性が高いというメリットもある。

40

【0108】

膜密度の測定は、一般には XRR（X 線反射率法）が用いられるが、実際の電子放出素子では測定が困難な場合がある。そのような場合には、膜密度の測定手法として、例えば、以下の方法を採用することができる。即ち、TEM（透過電子顕微鏡）と EELS（電子エネルギー損失分光）を組み合わせた高分解能電子エネルギー損失分光電子顕微鏡で、元素の定量分析を行い、膜密度が既知の膜と比較することで、検量線を作成して、密度を算出することができる。

【0109】

尚、工程 2 において θ を 90° よりも小さい角度に設定することで、ゲート電極 5 のカソード電極 2 側の側面 5 1 は、第 1 絶縁層 3 のカソード電極 2 側の側面よりも後退するこ

50

とは前述した通りである。その結果、本工程で上記したような指向性を有する成膜を行うことで、上面 3 2（角部 3 3）の上には、斜面 3 1 の上よりも、高密度な膜で構成された突起部が形成される。

【0110】

従って、工程 2 における第 1 エッチング処理によって形成される角度 θ を、より小さい角度にすれば、第 1 絶縁層 3 の上面 3 2 により多くの第 2 導電性膜 7 を形成できる。即ち、第 1 絶縁層 3 のカソード電極 2 側の側面 3 1 に対する、ゲート電極 5 のカソード電極 2 側の側面 5 1 の後退量を多くすれば、第 1 絶縁層 3 の上面 3 2 により多くの高密度な部分を有する第 2 導電性膜 7 を形成できる。また、カソード導電性膜 1 0 の入り込み量 x もより大きくすることができる。

10

【0111】

第 4 導電性膜 9 は、好ましくは、第 2 導電性膜 7 と同一材料からなり、工程 5 において、同時に成膜されることが好ましい。

【0112】

前述したように、工程 5 では、上面 3 2 上の第 2 導電性膜 7 の膜密度が、斜面 3 1 上の第 2 導電性膜 7 よりも大きくなる様に成膜を行っている。この成膜法によればゲート電極 5 上の第 4 導電性膜 9 についても、同様のことが起こる。

【0113】

つまり、工程 2 で、ゲート電極 5 を、ゲート電極 5 の側面 5 1 と基板 1 とが成す角 ϕ が、 θ よりも小さくなる様な形状とすることで、ゲート電極 5 の側面 5 1 の角度 ϕ は、第 1 絶縁層 3 の上面 3 2 の角度に近づく。ゲート電極 5 の側面 5 1 上の第 4 導電性膜 9 は、カソード導電性膜 1 0 から放出された電子が最初に衝突し得る部分である。ゲート電極 5 の側面 5 1 上の第 4 導電性膜 9 の膜質は、上面 3 2 上の第 2 導電性膜 7 の膜質に近く、膜密度が高い。

20

【0114】

前述したように、金属では一般的に、膜密度と抵抗率は反比例の関係にある。そのため、 ϕ を θ よりも小さくすることにより、カソード導電性膜 1 0 から放出された電子が最初に衝突し得る部分であるゲート電極 5 の側面 5 1 上のゲート導電性膜 1 2 の導電性を高くすることができる。

したがって、ゲート電極 5 の側面 5 1 と基板 1 とが成す角 ϕ が、 θ よりも小さくなる様な形状とすることで、電子放出素子の信頼性が向上する。

30

【0115】

工程 5 では、第 2 導電性膜 7 とゲート 1 3（少なくともゲート電極 5 を含み、場合によっては第 3 導電性膜 8 と第 4 導電性膜 9 の少なくとも一方を含む部材）が接触しなくてもよい。即ち、ギャップ（間隙）を形成するように、第 2 導電性膜 7 と第 4 導電性膜 9 を成膜することもできる。

【0116】

しかし、電子放出素子では、図 2 で示した様に、カソード導電性膜 1 0 とゲート 1 3 との間に距離 d の間隙 1 1 を高精度に形成する必要がある。特に、複数の電子放出素子を均一性高く形成する場合には、各電子放出素子の間隙 1 1 の大きさのバラツキを少なくすることが重要である。間隙 1 1 の大きさ（距離 d ）をより高精度に制御するために、工程 5 において、第 2 導電性膜 7 とゲート 1 3 とが接触するように成膜することが望ましい。そして、その後に、下記工程 6 における第 3 エッチング処理を行って第 2 導電性膜 7 とゲート 1 3 との間に間隙 1 1 を形成する。より好ましくは、第 2 導電性膜 7 と第 4 導電性膜 9 とが接触するように成膜する。

40

【0117】

尚、間隙の形成を、上記工程 4 の成膜時間や成膜条件の制御等で行う場合も、第 2 導電性膜 7 とゲート 1 3 とが実質的に接触した箇所（短絡欠陥）が形成される可能性もある。そのため、工程 5 の後に、工程 6 における第 3 エッチング処理を行う必要がある。

【0118】

50

(工程 6 について)

第 3 エッチング処理としてはドライエッチング、ウェットエッチングの何れでも構わないが、他材料とのエッチング選択比の容易さを考慮して、エッチング液を用いたウェットエッチングを行うことが好ましい。

【0119】

所望の間隙 11 の間隔 d が数 nm 程度と微細である為、エッチング量の制御性を考慮するとエッチングレートは 1 分間に 1 nm 以下であることが望ましい。

【0120】

図 7 を用いて、第 3 エッチング処理による、間隙の形成と第 2 導電性膜 7 の突起部の先鋭化について説明する。

【0121】

図 7 の点線 C は、工程 4 で第 1 導電性膜 6 (および第 3 導電性膜 8) が成膜された状態の第 1 導電性膜 6 の表面を示している。また、図 7 の点線 C は工程 5 で第 2 導電性膜 7 (および第 4 導電性膜 9) が成膜された状態の第 2 導電性膜 7 (および第 4 導電性膜 9) の表面を表している。工程 4 において、少なくとも、斜面 31 上には、膜厚 T_{1s} の第 1 導電性膜 6 が形成される。工程 5 において、指向性を有する成膜法により、第 1 絶縁層 3 の角部 33 及び第 1 絶縁層 3 の上面 32 上、ゲート電極 5 の上面 52 上では、スパッタ粒子の飛翔方向が、これらの面に対して 90° に近い角度で入射する。その為、上面 32 上には、膜厚 T_{2t} の高密度な第 2 導電性膜 7 が形成される。一方、第 1 絶縁層 3 の斜面 31 上及びゲート電極 5 の側面 51 上には、スパッタ粒子が面に対して浅い角度で入射する為、これらの面上には膜厚 T_{2s} の低密度な第 2 導電性膜 7 が形成される。

【0122】

図 7 の破線 D は、工程 6 の第 3 エッチング処理を行った状態の第 2 導電性膜 7 (および第 4 導電性膜 9) の表面を表している。図中、 ΔT_{2t1} は上面 32 上の第 2 導電性膜 7 の膜密度が高い部分における、第 3 エッチング処理による膜厚の減少量を示している。また、 ΔT_{2s1} は斜面 31 上の第 2 導電性膜 7 の膜密度が低い部分における、第 3 エッチング処理による膜厚の減少量を示している。前述した様に膜密度とエッチングレートは反比例する。そのため、上記第 3 エッチング処理では、第 2 導電性膜 7 の上面 32 上に位置する部分に比較して、第 2 導電性膜 7 の斜面 31 上に位置する部分の方が高エッチングレートになる。つまり、本実施形態では第 3 エッチング処理において、第 2 導電性膜の膜厚の減少量には、 $\Delta T_{2t1} < \Delta T_{2s1}$ の関係が成り立つ。図 7 に示すように、工程 5 で第 2 導電性膜 7 とゲート 13 (第 4 導電性膜 9) とが接触している場合には、第 3 エッチング処理において、離間する。

【0123】

第 3 エッチング処理による膜厚の減少量はエッチング時間あるいはエッチング回数で調整が可能である。エッチング時間を増やすあるいは、エッチング回数を増やすことによって、図 6 に示すように、突起部をより先鋭化することができる。これを、便宜的に「先鋭化処理」と呼ぶことにする。ただし、先鋭化は第 3 エッチング処理を行うことによって達成されるのであって、エッチング回数を増やすこと、あるいはエッチング時間を長くすることのみが先鋭化を意味するわけではない。先鋭化処理としては、特に、第 3 エッチング処理の回数を増やすこと (第 3 エッチング処理を繰り返すこと) が、高精度に間隙の間隔を制御する上で好ましい。

【0124】

上記のように、第 3 エッチング処理によって上面 32 上及び斜面 31 上の第 2 導電性膜 7 の膜厚が ΔT_{2t1} 、 ΔT_{2s1} だけ減少するのに続いて、さらに先鋭化処理を行った場合の例を説明する。

【0125】

図 7 の実線 E は、上述した点線の状態からさら第 3 エッチング処理 (先鋭化処理) を行った時の状態を示す。図中、 ΔT_{2t2} は上面 32 上の第 2 導電性膜 7 の膜密度が高い部分における、先鋭化処理による膜厚の減少量を示しており、 ΔT_{1s2} は斜面 31 上の第

10

20

30

40

50

1 導電性膜 6 の、先鋭化処理による膜厚の減少量を示している。図 7 の状態では、斜面 3 1 上の第 1 導電性膜 6 は露出している。つまり、先鋭化処理によって斜面 3 1 上の第 2 導電性膜 7 の膜厚は、 $T_{2s} - \Delta T_{2t1}$ だけ減少したことになる。

【0126】

一方、上面 3 2 上の第 2 導電性膜 7 の膜厚の減少量は、 ΔT_{2t2} である。すでに述べたように、第 2 導電性膜 7 の上面 3 2 上に位置する部分に比較して、第 2 導電性膜 7 の斜面 3 1 上に位置する部分の方が高エッチングレートになる。したがって、 $\Delta T_{2t2} < T_{2s} - \Delta T_{2t1}$ の関係が成り立つ。そのため、先端部は先鋭化されることになる。

【0127】

第 1 導電性膜 6 は、第 3 エッチング処理に対して耐性が高いと、先鋭化処理で、仮に斜面 3 1 上の第 1 導電性膜 6 が露出したとしても、斜面 3 1 上の第 1 導電性膜 6 の膜厚減少量 ΔT_{1s2} は小さい。従って、斜面 3 1 上のカソード導電性膜 10 の導電性が確保される。

【0128】

図 6 では、斜面 3 1 上の第 2 導電性膜 7 が部分的になくなってしまっているが、斜面 3 1 上の第 2 導電性膜は部分的に残っていても、あるいは斜面 3 1 を覆うように残っていてもよい。いずれにしても、工程 4 において、斜面 3 1 上に第 1 導電性膜 6 を設けたため、斜面 3 1 上のカソード導電性膜 10 の導電性は確保されている。

【0129】

従って、斜面 3 1 上のカソード導電性膜 10 の導電性は高く、かつ、突起部が先鋭化された、信頼性および効率の高い電子放出素子を得ることができる。

【0130】

本発明における第 2 導電性膜 7（及び第 4 導電性膜 9）の材料と第 3 エッチング処理に用いるエッチング液の組合せは、特に限定されるものではない。例えば、第 2 導電性膜 7（及び第 4 導電性膜 9）の材料がモリブデンであれば、エッチング液は TMAH（水酸化テトラメチルアンモニウム）やアンモニア水などのアルカリ溶液を用いることができる。或は、エッチング液として、2-（2-n-ブトキシエトキシ）エタノールとアルカノールアミンの混合物や DMSO（ジメチルスルホキシド）等も用いることができる。また、第 2 導電性膜 7 の材料がタングステンの場合は、硝酸やフッ酸や水酸化ナトリウム溶液等をエッチング液として用いることができる。

【0131】

前述したように、第 1 導電性膜 8（及び第 3 導電性膜 8）は、これらのエッチング液に対してエッチング耐性が高いことが好ましい。

【0132】

第 3 エッチング処理は、上記のように通常のエッチングで行うことが好ましい。しかしながら、第 3 エッチング処理を、第 2 導電性膜 7 の表面を酸化する酸化工程と、酸化された部分の一部または全部を除去する除去工程によって行うことが好ましい。

【0133】

これは、酸化工程で第 2 導電性膜 7 の表面に所望量の酸化膜を形成した後、該酸化膜をエッチング除去することにより、エッチング量の均一性（再現性）を高める効果が期待できる。

【0134】

そして、酸化量（酸化膜厚）は膜密度に反比例する。そのため、第 2 導電性膜 7 を酸化処理した場合、膜密度の小さい部分の表面層が優先的に（選択的に）酸化されることになる。つまり、酸化処理とエッチング処理とを行うことによって、第 2 導電性膜 7 の端部（突起部）の先鋭化の制御精度を高めることが可能になる。また、工程 5 で第 2 導電性膜 7 とゲート 13 が接触する場合には、より高い精度で間隙 11 を形成することができる。

【0135】

酸化方法は、第 2 導電性膜 7 の表面を数～数十 nm 酸化させることが可能な方法ならば特に制限されるものではない。具体的にはオゾン酸化（エキシマ UV 露光、低圧水銀露光

10

20

30

40

50

、コロナ放電処理、等）や熱酸化等が挙げられるが、好ましくは、酸化の定量性が優れているエキシマUV露光を用いる。また、第2導電性膜7の材料がモリブデンの場合にエキシマUV露光は、酸化膜が容易に除去できる MoO_3 を主として生成することができる利点もある。

【0136】

酸化膜の除去工程は、ドライ、ウェットの何れでも構わないが、好ましくはウェットエッチング処理を用いる。酸化膜の除去工程（エッチング工程）は、表面層である酸化膜のみを除去（エッチング）することが目的となる。そのため、用いるエッチング液としては、酸化膜のみを除去して、下層である金属層（酸化していない層）には実質的な影響のないものが望まれる。或いは、酸化膜のエッチングレートが金属層（酸化していない層）に比較して十分に大きい（桁で異なる）ものが望まれる。具体的には、第2導電性膜7の材料がモリブデンであれば、エッチング液は、希釈TMAH（濃度が0.238%以下が望ましい）、温水（40℃以上が望ましい）等が挙げられる。第2導電性膜7の材料がタンゲステンの場合は、バッファードフッ酸、希塩酸、温水等が挙げられる。

10

【0137】

（工程7について）

低仕事関数膜14としては、カソード導電性膜10よりも仕事関数が低く、高融点な材料を用いることが好ましい。低仕事関数膜14は、仕事関数が4.0eV以下であることが好ましく、3.0eV以下であることがより好ましい。低仕事関数膜14は、少なくとも、カソード導電性膜10の先端部である突起部の表面を覆っていれば良い。また、低仕事関数膜14は、ゲート13（第4導電性膜9）の上にも設けても良い。

20

【0138】

低仕事関数材料としては、例えば、n型ダイヤモンド、窒素ドープしたテトラヘドラルアモルファスカーボン（TA-C）、酸化イットリウム（ Y_2O_3 ）等を用いることができる。

【0139】

（工程8について）

工程8は、工程6、7の後に行われることが必須ではなく、その前に行われても良い。

【0140】

カソード電極2は、導電性を有しており、蒸着法、スパッタ法等の一般的真空成膜技術、フォトリソグラフィ技術により形成することができる。カソード電極2の材料は、ゲート電極5と同じ材料であってもよく、異なる材料であってもよい。また、カソード導電性膜10がその機能を兼ねていても良い。

30

【0141】

カソード電極2の厚さとしては、数十nmから数 μm の範囲で設定され、好ましくは数十nmから数百nmの範囲で選択される。

【0142】

以下、上記電子放出素子を複数配して得られる電子源を備えた画像表示装置について、図9～図11を用いて説明する。

【0143】

図9において、101は基板、102はX方向配線、103はY方向配線であり、また、104は上記した電子放出素子、105は結線である。尚、X方向配線102は、上述のカソード電極2を共通に接続する配線であり、Y方向配線103は上述のゲート電極5を共通に接続する配線である。

40

【0144】

m本のX方向配線102は、DX1, DX2, …DXmからなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された金属等の導電性材料で構成することができる。配線の材料、膜厚、巾は、適宜設計される。

【0145】

Y方向配線103は、DY1, DY2, …DYnのn本の配線よりなり、X方向配線1

50

0 2と同様に形成される。これらm本のX方向配線1 0 2とn本のY方向配線1 0 3との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している（m、nは、共に正の整数）。

【0 1 4 6】

不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成される。例えば、X方向配線1 0 2を形成した基板1 0 1の全面或は一部に所望の形状で形成され、特に、X方向配線1 0 2とY方向配線1 0 3の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線1 0 2とY方向配線1 0 3は、それぞれ外部端子として引き出されている。

【0 1 4 7】

配線1 0 2と配線1 0 3を構成する材料、結線1 0 5を構成する材料及びカソード、ゲートを構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。

【0 1 4 8】

X方向配線1 0 2には、X方向に配列した電子放出素子1 0 4の行を選択するための走査信号を印加するための不図示の走査信号印加手段が接続される。一方、Y方向配線1 0 3には、Y方向に配列した電子放出素子1 0 4の各列を入力信号に応じて変調するための不図示の変調信号発生手段が接続される。

【0 1 4 9】

各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0 1 5 0】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択して、独立に駆動可能とすることができる。

【0 1 5 1】

このような単純マトリクス配置の電子源を用いて構成した画像表示装置について、図1 0を用いて説明する。図1 0は画像表示装置の画像表示パネル1 1 7の一例を示す模式図である。

【0 1 5 2】

図1 0において、1 0 1は電子放出素子を複数配した基板、1 1 1は基板1 0 1を固定したリアプレートである。また、1 1 6は、ガラス基板1 1 3の内面に、アノードであるメタルバック1 1 5と、発光体の膜1 1 4としての蛍光体膜等が形成されたフェースプレートである。

【0 1 5 3】

また、1 1 2は支持枠であり、この支持枠1 1 2には、リアプレート1 1 1、フェースプレート1 1 6がフリットガラス等の接合材を用いて封着（接合）されている。1 1 7は外囲器であり、例えば大気中あるいは、窒素中で、4 0 0～5 0 0度の温度範囲で1 0分以上焼成することで、封着して構成される。

【0 1 5 4】

また、1 0 4は、図1における電子放出素子に相当するものであり、1 0 2、1 0 3は、電子放出素子のカソード電極2、ゲート電極5とそれぞれ接続されたX方向配線及びY方向配線である。図1 0では電子放出素子1 0 4と配線1 0 2、1 0 3との位置関係は模式的に示されている。実際には、配線1 0 2と配線1 0 3との交差部の脇の基板上に電子放出素子1 0 4が配置されている。

【0 1 5 5】

画像表示パネル1 1 7は、上述の如く、フェースプレート1 1 6、支持枠1 1 2、リアプレート1 1 1で構成される。ここで、リアプレート1 1 1は主に基板1 0 1の強度を補強する目的で設けられるため、基板1 0 1自体で十分な強度を持つ場合には、別体のリアプレート1 1 1は不要とすることができる。

【0 1 5 6】

10

20

30

40

50

即ち、基板 101 に直接支持枠 112 を封着するとともに、支持枠とフェースプレート 116 とを封着して外囲器 117 を構成しても良い。一方、フェースプレート 116 とリアプレート 111 との間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ画像表示パネル 117 を構成することもできる。

【0157】

次に、上記画像表示パネル 117 に、テレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図 11 を用いて説明する。

【0158】

図 11 において、117 は画像表示パネル、122 は走査回路、123 は制御回路、124 はシフトレジスタである。125 はラインメモリ、126 は同期信号分離回路、127 は変調信号発生器、Vx および Va は直流電圧源である。

10

【0159】

表示パネル 117 は、端子 D_{ox1} 乃至 D_{oxm}、端子 D_{oy1} 乃至 D_{oyn}、及び高圧端子 H_v を介して外部の電気回路と接続している。

【0160】

端子 D_{ox1} 乃至 D_{oxm} には、表示パネル 117 内に設けられている電子源、即ち、M 行 N 列の行列状にマトリクス配線された電子放出素子群を一行（N 素子）ずつ順次駆動する為の走査信号が印加される。

【0161】

一方、端子 D_{oy1} 乃至 D_{oyn} には、走査信号により選択された一行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。

20

【0162】

高圧端子 H_v には、直流電圧源 Va より、例えば 10 [kV] の直流電圧が供給される。

【0163】

上述のように走査信号、変調信号、及びアノードへの高電圧印加により、放出された電子を加速して蛍光体へと照射することによって、画像表示を実現することができる。

【実施例】

【0164】

以下、上記実施の形態に基づいた、より具体的な実施例について説明する。

30

【0165】

（実施例 1）

本実施例では、第 1 導電性膜 6 として窒化タンタル（Ta₂N₅）を、第 2 導電性膜 7 としてモリブデン（Mo）を用いて、本発明の製造方法により電子放出素子を作製した。

【0166】

図 4、5 を参照して、本実施例に係る電子放出素子の製造方法の一例を説明する。

【0167】

まず、図 4（a）に示すように基板 1 上に絶縁層 30、40 と、導電層 50 を積層する。基板 1 は高歪点低ナトリウムガラス（旭硝子（株）製 PD200）を用いている。

【0168】

40

絶縁層 30 は、加工性に優れる材料からなる絶縁性の膜である Si₃N₄ 膜をスパッタ法にて形成し、その厚さとしては、500 nm とした。絶縁層 40 は、加工性に優れる材料からなる絶縁性の膜である SiO₂ であり、スパッタ法にて形成し、その厚さとしては、30 nm とした。導電層 50 は Ta₂N₅ 膜で構成し、スパッタ法にて形成し、その厚さとしては、30 nm とした。

【0169】

次に、図 4（b）に示すように、フォトリソグラフィ技術により導電層 50 上にレジストパターンを形成したのち、ドライエッチング手法を用いて導電層 50、絶縁層 40、絶縁層 30 を順に加工する。この第 1 エッチング処理により、導電層 50 はパターンニングされてゲート電極 5 となり、絶縁層 30 はパターンニングされて第 1 絶縁層 3 となる。

50

【0170】

この時の加工ガスとしては、絶縁層30、40及び導電層50には CF_4 系のガスを用いた。このガスを用いてRIEを行った結果、絶縁層3、絶縁層44、及びゲート電極5のエッチング後の側面31の角度は基板1の表面（水平面）に対しておよそ 80° の角度で形成され、斜面となっていた。

【0171】

レジストを剥離した後、図4(c)に示すようにBHF（ステラケミファ（株）製 高純度バッファードフッ酸LAL100）を用いて、リセス部42の深さが約 100nm になるように、絶縁層40をエッチングした。この第2エッチング処理により、リセス部42を形成した。

【0172】

次に、図5(a)に示すようにTaN膜を第1導電性膜6として第1絶縁層3の斜面31上及び第1絶縁層3の上面32上に形成した。同時に、ゲート電極5上にもTaN膜が形成され、第3導電性膜7を形成した。本実施例では成膜方法としてスパッタ法を用い、基板の角度をスパッタターゲットに対して水平になるようにセットした。第1絶縁層3の斜面31上のTaNの厚さが 20nm になるように $10\text{nm}/\text{min}$ の成膜速度で形成した。このとき、第1導電性膜6は、ゲート電極5とも第3導電性膜7とも接触しないように形成した。

図5(b)に示すようにモリブデン(Mo)膜を第2導電性膜7として、第1絶縁層3の上面32上の第1導電性膜6の上から、角部33を経て斜面31上の第1導電性膜6の上に至るように形成した。同時に、ゲート電極5上の第3導電性膜8の上にも付着し、第4導電性膜9を形成した。本実施例では成膜方法としてスパッタ法を用い、基板の角度をモリブデンターゲットに対して水平になるようにセットした。本実施例のスパッタ成膜ではスパッタ粒子が限られた角度（具体的には基板1に対して $90 \pm 10^\circ$ ）で基板1に向かうよう、基板とMoターゲットの間に遮蔽板を設けた。更にアルゴンプラズマをパワー 3kW 、真空度 0.1Pa で生成し、基板とMoターゲットの間の距離を 60mm 以下（ 0.1Pa での平均自由行程）になるように基板を設置した。そして、第1絶縁層3の斜面31上のMoの厚さが 40nm になるように $10\text{nm}/\text{min}$ の成膜速度で形成した。このとき、リセス部42内への第2導電性膜7の入り込み量 x が 35nm となるように形成した。このとき、第1導電性膜7は、第4導電性膜9と接触した。

【0173】

TEM（透過電子顕微鏡）観察とEELS（電子エネルギー損失分光）分析を行った。その結果をもとに、第2導電性膜7（および第4導電性膜9）のMoの膜密度を算出した。その結果、第2導電性膜7の、第1絶縁層3の上面32上（およびゲート電極5の上面52上）の部分の膜密度は $10.0\text{g}/\text{cm}^3$ であった。第1絶縁層3の斜面31上（およびゲート電極5の側面51上）の部分の膜密度は $7.8\text{g}/\text{cm}^3$ であった。

【0174】

次に、図8(a)、図8(b)に示す様に、カソード導電性膜10（第1導電性膜6及び第2導電性膜7）とゲート導電性膜12（第3導電性膜8及び第4導電性膜9）を、Y方向に複数に分割するパターンニング処理を行った。このような形態とすることで、例えば1つのカソード導電性膜10とゲート13とが放電などによって短絡して破壊されても、他の導電性膜からの電子放出は維持することができる。

【0175】

ここでは、カソード導電性膜10及びゲート導電性膜12の幅 W が $3\mu\text{m}$ のラインアンドスペースになるようにフォトリソグラフィ技術によりレジストパターンを形成した。その後、ドライエッチング手法を用いてカソード導電性膜10及びゲート導電性膜12をパターンニングし、短冊化された複数のカソード導電性膜10及びゲート導電性膜12を形成した。この時の加工ガスとしては、モリブデンはフッ化物を作る材料であるので、 CF_4 系のガスを用いた。レジストを除去した後の段階では、第2導電性膜7と第4導電性膜

9は接触したままだった。

次に、電子放出部となる間隙を形成する為に、図5(c)に示す様に、短冊化したカソード導電性膜10の第2導電性膜7とゲート導電性膜の第4導電性膜9に対してエッチング処理(第3エッチング処理)を行った。

【0176】

第3エッチング処理は、Moからなる第2導電性膜7と第4導電性膜9の表面を酸化する工程と、酸化した表面を除去する工程が含まれている。

【0177】

具体的には、Moを酸化する方法としてはエキシマUV(波長:172nm、照度:18mW/cm²)露光装置を使用して、大気下で350mJ/cm²照射した。この条件で、膜密度の低い部分では3nm程度、膜密度の高い部分では1~2nm程度の膜厚で第2導電性膜7と第4導電性膜9の表面に酸化層が形成された。続いて温水(45℃)に5分間浸漬させて酸化モリブデン層を除去した。この工程で、第2導電性膜7と第4導電性膜9との間に間隙を形成した。

【0178】

続いて、図6(a)に示した様に、カソード導電性膜10の突起部の先端を先鋭化した。先鋭化の手法は第3エッチング処理と同様で、エキシマUV(350mJ/cm²照射)による酸化工程でモリブデン酸化膜を形成し、温水(45℃、5分間浸漬)による除去工程で酸化膜除去を行うことによって、第2導電性膜7をエッチングする方法である。これを3回繰り返した。

【0179】

このように、本実施例では、第3エッチング処理として、酸化工程と除去工程を1サイクルとして、これを計4サイクル行った。

【0180】

断面TEMによる解析の結果、第2導電性膜7とゲート13との間の距離dが平均的に15nmとなっていた。

【0181】

次に図8に示すように、カソード電極2を形成した。カソード電極2には銅(Cu)を用いた。カソード電極2はスパッタ法にて形成し、その厚さは、500nmであった。

【0182】

以上の方法で電子放出素子を形成した後、図3に示した構成で電子放出素子の電子放出特性を評価した。

【0183】

ここで、電子放出特性の評価では、ゲート電極5の電位を+34Vとし、カソード電極2を0Vに規定した。これによって、ゲート電極5とカソード電極2との間に34Vの駆動電圧V_fを印加した。その結果、平均の電子放出電流I_eは20μAであり、平均15%の電子放出効率が得られる電子放出素子が得られた。また、カソード導電性膜10とゲート13との接触に起因するリーク電流も観測されなかった。

【0184】

この電子放出素子を多数用いた画像表示装置では、電子ビームの成形性に優れ、放電が生じても画素欠陥が生じずに良好な画像を長期に渡って維持することができる。また、効率向上に伴う、低消費電力な画像表示装置が提供できる。

【0185】

(実施例2)

本実施例では、第1導電性膜6としてタンタル(Ta)を、第2導電性膜7としてタングステン(W)を用いて、本発明の製造方法により電子放出素子を作製した。

【0186】

第1絶縁層3、第2絶縁層4、ゲート電極5を形成するまでの工程は実施例1と同様であるので、ここでは実施例1との違いのみを述べる。

【0187】

図5(a)に示すようにTaを第1絶縁層3の斜面31上及び第1絶縁層3の上面上に付着させ、第1導電性膜6を形成した。同時に、ゲート電極5上にもTaが付着し、第3導電性膜7を形成した。本実施例では成膜方法としてスパッタ法を用い、基板の角度をスパッタターゲットに対して水平になるようにセットした。第1絶縁層3の斜面31上のTaの厚さが20nmになるように10nm/minの成膜速度で形成した。このとき、第1導電性膜6は、ゲート電極5とも第3導電性膜7とも接触しないように形成した。

【0188】

次に図5(a)に示すように第2導電性膜7としてWを、第1絶縁層3の上面32上から第1絶縁層3の側面31上の第1導電性膜6上に成膜した。

【0189】

図5(2)に示すようにWを、第1絶縁層3の上面32上の第1導電性膜6から、角部33を経て斜面31上の第1導電性膜6上に至るように付着させ、第2導電性膜を形成した。同時に、ゲート電極5上の第3導電性膜8上にも付着し、第4導電性膜9を形成した。本実施例では成膜方法としてスパッタ法を用いた。スパッタ法では基板1の角度をターゲットに対して水平になるようにセットした。本実施例のスパッタ成膜ではスパッタ粒子が限られた角度(具体的には基板1に対して $90 \pm 10^\circ$)で基板1に向かうよう、基板とスパッタターゲットの間に遮蔽板を設けた。更にアルゴンプラズマをパワー500W、真空度0.1Paで生成し、基板とターゲットの間の距離を60mm以下(0.1Paでの平均自由行程)になるように基板を設置した。そして、第1絶縁層3の斜面31上のWの厚さが40nmになるように10nm/minの成膜速度で形成した。このとき、リセス部42内への第2導電性膜6の入り込み量xが35nm、また、第1絶縁層3の上面32と第2導電性膜7とが接する角度が 110° となるように形成した。このとき、第1導電性膜7は、第4導電性膜9と接触した。

【0190】

その後、実施例1と同様に、カソード導電性膜10及びゲート導電性膜12とをドライエッチングにより短冊化した。なお、この時の加工ガスとしては、S_F6系のガスを用いた。この段階では、第2導電性膜7と第4導電性膜9は接触したままだった。

【0191】

間隙を形成する為に、図5(c)に示す様に、短冊化したカソード導電性膜10及びゲート導電性膜12の第3エッチング処理を行った。エッチング処理はタングステン表面を酸化する工程と酸化した表面を除去する工程が含まれている。Wを酸化する工程として、エキシマUV(波長:172nm、照度:18mW/cm²)露光装置を使用して、大気下で150mJ/cm²照射した。続いて温水(70℃)に5分間浸漬させて酸化タングステン層を除去した。この工程で、カソード導電性膜10とゲート13との間に間隙が形成された。

【0192】

続いて、図6(a)に示した様に、カソード導電性膜10の突起部の先端を先鋭化した。先鋭化の手法は第3エッチング処理と同様で、酸化工程でタングステン酸化膜を形成し、除去工程で酸化膜除去を行うことによって、第2導電性膜7をエッチングする方法である。

【0193】

今回は、エキシマUVによる酸化(150mJ/cm²照射)と温水(70℃、5分間浸漬)による酸化膜除去の工程を1サイクルとして、これを2サイクル行った。

【0194】

断面TEMによる解析の結果、カソード導電性膜10とゲート13との間の距離dが平均的に13nmとなっていた。

【0195】

また、第1絶縁層3の斜面31上には第1導電性膜6として設けたTa膜が露出しており、その厚さは20nmと殆どエッチングされていなかった。

【0196】

10

20

30

40

50

次に図 8 に示すように、カソード電極 2 を形成した。カソード電極 2 には銅 (Cu) を用いた。カソード電極 2 はスパッタ法にて形成し、その厚さは、500 nm であった。

【0197】

以上の方法で電子放出素子を形成した後、図 3 に示した構成で電子放出素子の電子放出特性を評価した。

【0198】

ここで、電子放出特性の評価では、ゲート電極 5 の電位を +30 V とし、カソード電極 2 を 0 V に規定した。これによって、ゲート電極 5 とカソード電極 2 との間に 30 V の駆動電圧 V_f を印加した。その結果、平均の電子放出電流 I_e は $12 \mu A$ であり、平均 11 % の電子放出効率が得られる電子放出素子が得られた。また、カソード導電性膜 10 とゲート 13 (導電性膜 60 B1 ~ 60 B4) との接触に起因するリーク電流も観測されなかった。

10

【0199】

この電子放出素子を用いた画像表示装置では、電子ビームの成形性に優れた表示装置を提供できる。また、表示画像の良好な表示装置を実現できるとともに、効率向上に伴う、低消費電力な画像表示装置が提供できる。

【0200】

(実施例 3)

本実施例では、第 1 導電性膜 6 として高膜質モリブデン (Mo) を、第 2 導電性膜 7 として低膜質モリブデン (Mo) を用いて、本発明の製造方法により電子放出素子を作製した。

20

【0201】

第 1 絶縁層 3、第 2 絶縁層 4、ゲート電極 5 を形成するまでの工程は実施例 1 と同様であるので、ここでは実施例 1 との違いのみを述べる。

【0202】

本実施例では、図 5 (a) に示すように Mo を第 1 絶縁層 3 の斜面 31 上及び第 1 絶縁層 3 の上面 32 上に付着させ、第 1 導電性膜 6 を形成した。同時に、ゲート電極 5 上にも Mo が付着し、第 3 導電性膜 7 を形成した。本実施例では成膜方法としてスパッタ法を用いた。スパッタ法は、スパッタ粒子に限られた角度 (具体的には第 1 絶縁層 3 の斜面 31 に対して $90 \pm 10^\circ$) で入射されるよう、基板 1 とスパッタターゲットの間に遮蔽板を設け成膜し、Mo の厚さが 20 nm になるように 10 nm/min の蒸着速度で形成した。これにより斜面 31 上では高膜密度の Mo 膜が得られた。

30

【0203】

このとき、第 1 導電性膜 6 は、ゲート電極 5 と第 3 導電性膜 7 ととも接触しないように形成した。

【0204】

次に図 5 (b) で示すように Mo を、第 1 絶縁層 3 の上面 32 上及び、斜面 31 上の高密度 Mo の上にスパッタ法を用いて付着させ、第 2 導電性膜 7 を形成した。同時に、ゲート電極 5 上の Mo 上にも付着した。本実施例のスパッタ法ではスパッタ粒子に限られた角度 (具体的には基板 1 の表面に対して $90 \pm 10^\circ$) で入射されるよう、基板 1 とターゲットの間に遮蔽板を設けた。そして、第 1 絶縁層 3 の上面 32 上の Mo の厚さが 40 nm になるように 10 nm/min の蒸着速度で形成した。これにより第 1 絶縁層 3 の斜面 31 上には高膜密度の Mo 膜が得られた。

40

【0205】

TEM (透過電子顕微鏡) 観察と EELS (電子エネルギー損失分光) 分析を行い、Mo の膜密度を算出すると斜面 31 上の Mo 膜の膜密度は 10.0 g/cm^3 、上面 32 上の Mo 膜の膜密度は 7.8 g/cm^3 であった。

【0206】

その後、実施例 1 と同様に、カソード導電性膜 10 及びゲート導電性膜 12 とをドライエッチングにより短冊化した。なお、この時の加工ガスとしては、 $S_F 6$ 系のガスを用い

50

た。

【0207】

この段階では、第2導電性膜7と第4導電性膜9は接触したままだった。

【0208】

間隙を形成する為に、図5(c)に示す様に、短冊化したカソード導電性膜10及びゲート導電性膜12の第3エッチング処理を行った。第3エッチング処理は40℃に加熱した0.238% TMAH中で30分間浸漬揺動した。

【0209】

断面TEMによる解析の結果、カソード導電性膜10の突起部とゲート13間の間隔dが平均的に12nmとなっていた。

10

【0210】

また、第1絶縁層3の斜面31上には第1導電性膜6として設けた高膜密度Mo膜が露出しており、その厚さは20nmと殆どエッチングされていなかった。

【0211】

次に図8に示すように、カソード電極2を形成した。カソード電極2には銅(Cu)を用いた。カソード電極2はスパッタ法にて形成し、その厚さは、500nmであった。

【0212】

以上の方法で電子放出素子を形成した後、図3に示した構成で電子放出素子の電子放出特性を評価した。

【0213】

ここで、電子放出特性の評価では、ゲート電極5の電位を+30Vとし、カソード電極2を0Vに規定した。これによって、ゲート電極5とカソード電極2との間に30Vの駆動電圧Vfを印加した。その結果、平均の電子放出電流Ieは12μAであり、平均11%の電子放出効率が得られる電子放出素子が得られた。また、カソード導電性膜10とゲート13(導電性膜60B1~60B4)との接触に起因するリーク電流も観測されなかった。

20

【0214】

この電子放出素子を用いた画像表示装置では、電子ビームの成形性に優れた表示装置を提供できる。また、表示画像の良好な表示装置を実現できるとともに、効率向上に伴う、低消費電力な画像表示装置が提供できる。

30

【0215】

(実施例4)

本発明による作製方法で電子放出部となるカソード導電性膜10の先鋭化による効率向上が達成された電子放出素子を形成し、電子源の特性を評価した。

【0216】

基本的な作製方法は実施例1と同様であるので、ここでは実施例1との違いだけ述べる。

【0217】

実施例1と同様の製造方法で第3エッチング処理までを実施した。但し、本実施例では酸化工程、除去工程の繰り返しを4サイクルから7サイクルに変更した。この結果、カソード導電性膜10の先鋭化は更に進んだ一方で、ゲート13とカソード導電性膜10との間隙は23nmまで広がった。また、第1絶縁層3の斜面31上にはTa₂N膜が露出していたが殆どエッチングされていなかった。

40

【0218】

次いで、図6(b)に図示した様に、上面32上の第2導電性膜7上にメタルマスクを介して、低仕事関数材料を付着させて低仕事関数膜14を形成した。低仕事関数膜14は、ゲート導電性膜12上及び斜面31上の第2導電性膜7上にも付着した。

【0219】

本実施例では仕事関数材料として、酸化イットリウム(Y₂O₃)を用いた。Y₂O₃は、イオンプレーティング法によりアモルファス状のY₂O₃膜を厚さ10nmに成膜し

50

、21%の酸素を含むアルゴン雰囲気中において400℃で、基板1を加熱することで形成した。

【0220】

断面TEMによる解析の結果、図6(b)における電子放出部となるカソードの突起部とゲート電極の突出部との間の間隔dが平均的に5nmとなっていた。

【0221】

次いで、実施例1と同様に電極2としてCuを形成した後、図3に示した構成で電子源の特性を評価した。

【0222】

ここで、電子放出特性の評価では、ゲート電極5の電位を+26Vとし、カソード電極2を0Vに規定した。これによって、ゲート電極5とカソード電極2との間に26Vの駆動電圧Vfを印加した。その結果、平均の電子放出電流Ieは25μAであり、平均17%の電子放出効率が得られる電子放出素子が得られた。また、カソード導電性膜10とゲート13との接触に起因するリーク電流も観測されなかった。

10

【0223】

この電子放出素子を用いた画像表示装置では、電子ビームの成形性に優れた表示装置を提供できる。また、表示画像の良好な表示装置を実現できるとともに、効率向上に伴う、低消費電力な画像表示装置が提供できる。

【図面の簡単な説明】

【0224】

20

【図1】本発明の電子放出素子の構成を表す模式図

【図2】本発明の電子放出素子の詳細を表す断面拡大模式図

【図3】本発明の電子放出素子の特性を測定する構成を表す模式図

【図4】本発明の電子放出素子の製造方法（工程1～3）の一例を表す模式図

【図5】本発明の電子放出素子の製造方法（工程4～6）の一例を表す模式図

【図6】本発明の電子放出素子の製造方法（工程6）の別の例、及び（工程7）を表す模式図

【図7】本発明の工程6に関する説明図

【図8】実施例1の形態の説明図

【図9】電子放出素子を配列した電子源に関する説明図

30

【図10】電子放出素子を用いた画像表示装置の説明図

【図11】画像表示装置を駆動する駆動回路の一例を表す回路図

【図12】成膜角度とエッチングレート、および、膜密度と抵抗率の関係を表す図

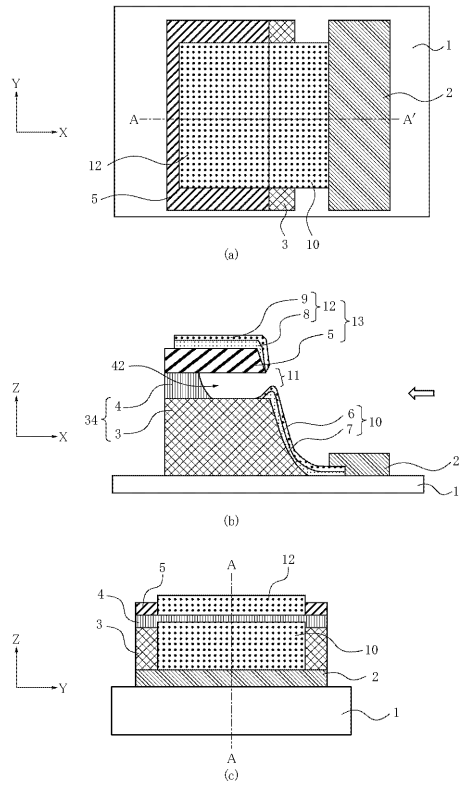
【符号の説明】

【0225】

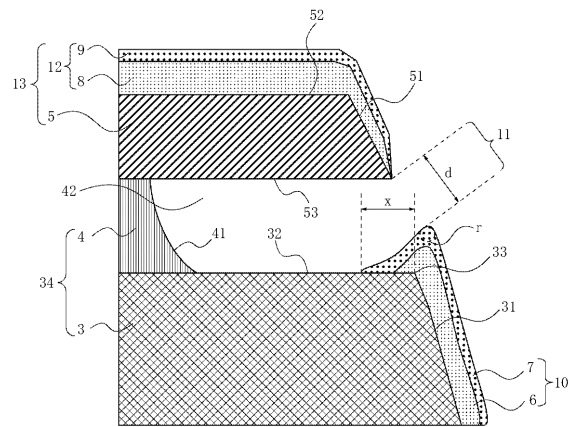
- 1 基板
- 2 カソード電極
- 3 第1絶縁層
- 5 ゲート電極
- 6 第1導電性膜
- 7 第2導電性膜

40

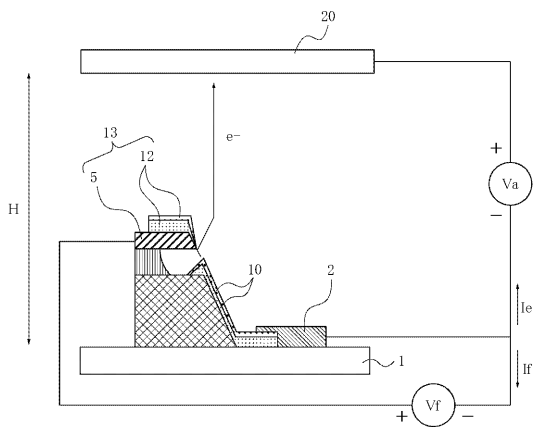
【図 1】



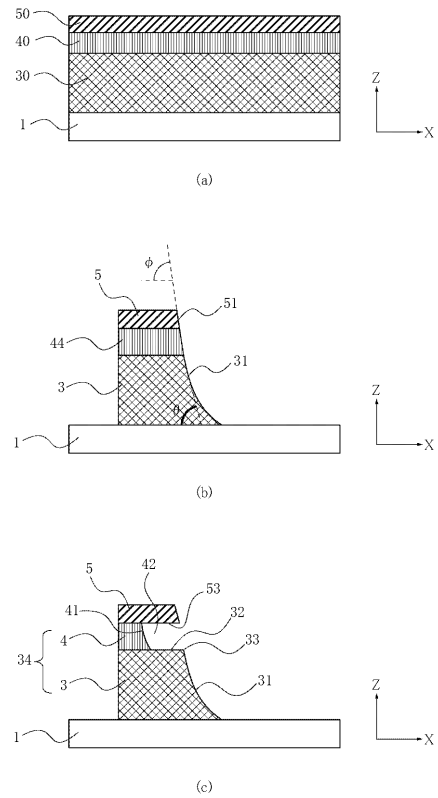
【図 2】



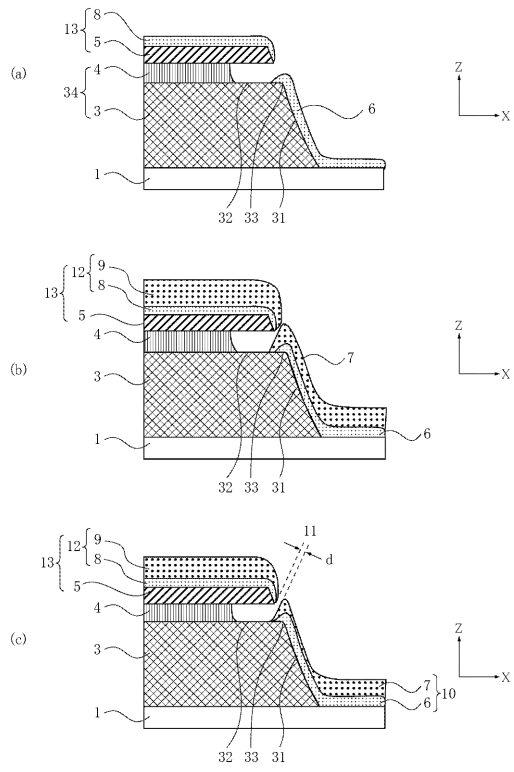
【図 3】



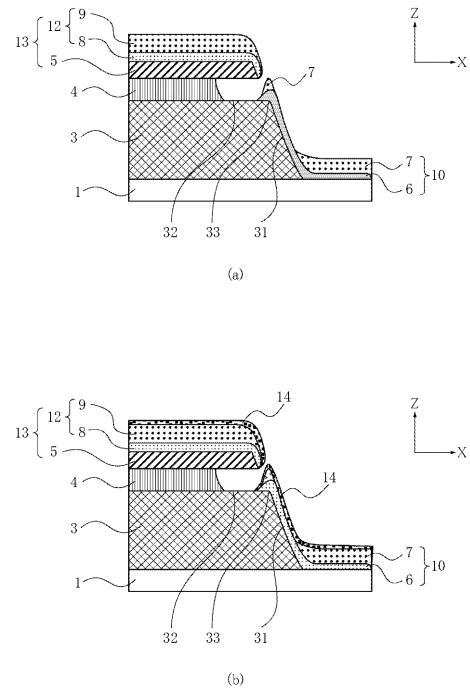
【図 4】



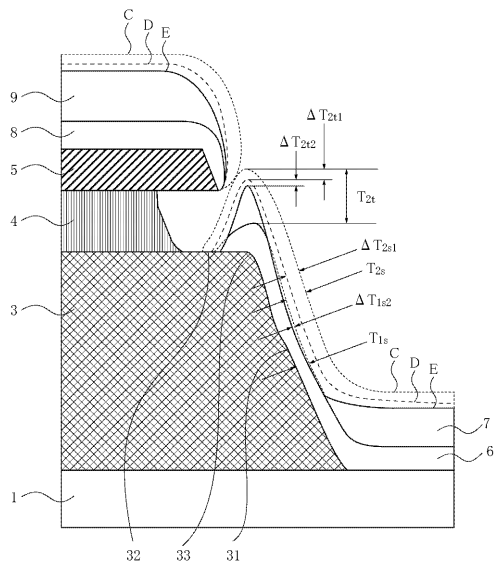
【図 5】



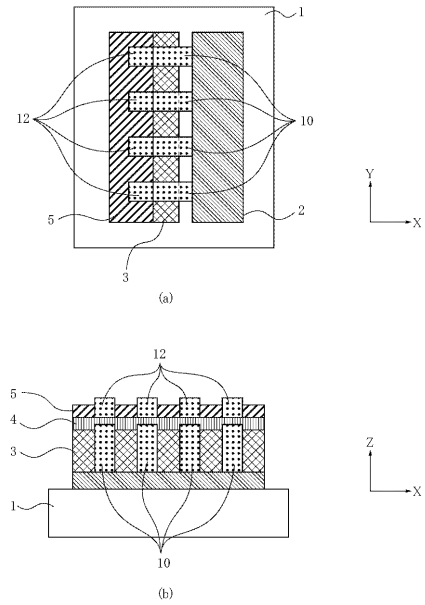
【図 6】



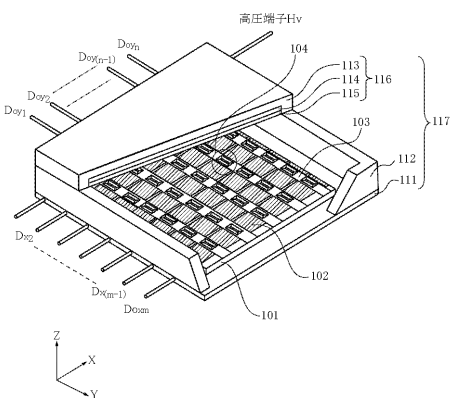
【図 7】



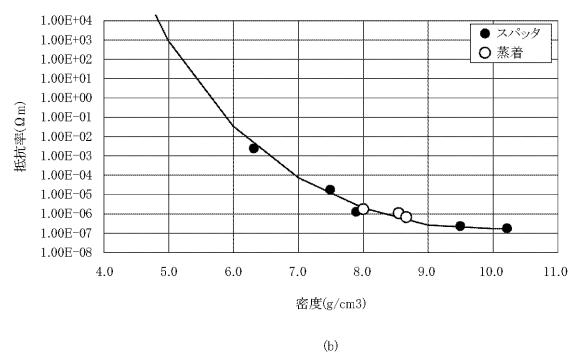
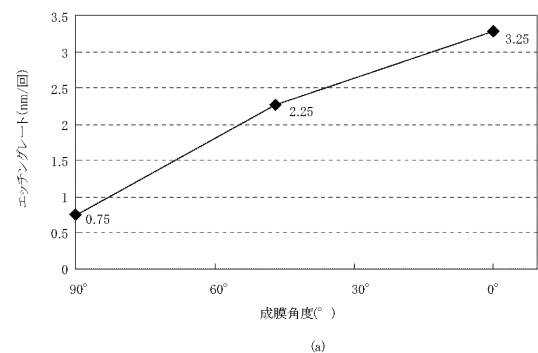
【図 8】



【図 10】



【図 1 2】



フロントページの続き

(72)発明者 北村 伸

神奈川県平塚市田村 9-2-5 S E D株式会社内

(72)発明者 島津 晃

神奈川県平塚市田村 9-2-5 S E D株式会社内

Fターム(参考) 5C127 AA01 BA08 BA09 BB02 BB06 BB15 BB16 BB17 BB18 CC03
CC09 CC46 DD02 DD07 DD56 DD57 DD72 DD77 DD79 EE02
EE12 EE17