

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-349344  
(P2004-349344A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/768	HO 1 L 21/90 A	5 F O 3 3
HO 1 L 27/10	HO 1 L 27/10 4 8 1	5 F O 8 3
HO 1 L 27/105	HO 1 L 27/10 4 4 4 C	

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2003-142324 (P2003-142324)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年5月20日 (2003.5.20)	(74) 代理人	100066980 弁理士 森 哲也
		(74) 代理人	100075579 弁理士 内藤 嘉昭
		(74) 代理人	100103850 弁理士 崔 秀▲てつ▼
		(72) 発明者	深田 晋一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

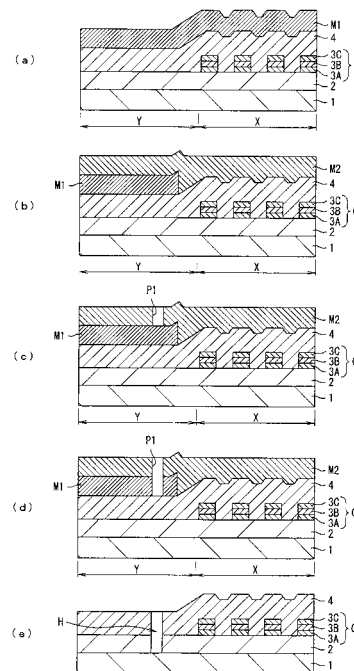
(54) 【発明の名称】 半導体装置の製造方法及びエッチング方法

(57) 【要約】

【課題】 工程数を大幅に増加することなく、上面に高低差を有する膜上に確実にマスクパターンを形成する。

【解決手段】 半導体基板1上に形成された上面に高低差を有する第二の層間絶縁層4上に、高低差をなくすように、ハードマスク材からなる下部マスク形成用膜M1を形成する工程と、下部マスク形成用膜M1が形成された第二の層間絶縁層4の上面全体に、レジスト材からなる上部マスク形成用膜M2を形成する工程と、上部マスク形成用膜M2に、マスクパターンP1を形成する工程と、マスクパターンP1の一部を、下部マスク形成用膜M1に転写する工程と、マスクパターンP1を利用して、メモリセル領域Xのピアホール(図示せず)と、周辺回路領域YのコンタクトホールHとを同一工程で形成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

上面に高い領域と低い領域とを有する膜が半導体基板上に形成された段階で、前記膜上に、前記領域の高低差をなくすように下部マスク形成用膜を形成する工程と、前記下部マスク形成用膜が形成された前記膜上に、上部マスク形成用膜を形成する工程と、前記上部マスク形成用膜に、マスクパターンを形成する工程と、前記マスクパターンの一部を、前記下部マスク形成用膜に転写する工程と、前記マスクパターンを利用して、前記膜の上面が高い領域及び低い領域のそれぞれにパターンを形成する工程と、を備えることを特徴とする半導体装置の製造方法。

10

## 【請求項 2】

前記下部マスク形成用膜を、当該下部マスク形成用膜の上面が、前記膜上面の高い領域と略面一となるように、前記膜上面の低い領域のみに形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 3】

前記上部マスク形成用膜を、レジスト材で形成するとともに、前記下部マスク形成用膜を、前記レジスト材に対するエッチング選択比を有する材料で形成することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

## 【請求項 4】

前記上面に高い領域と低い領域とを有する膜が、配線層であることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

20

## 【請求項 5】

前記上面に高い領域と低い領域とを有する膜が、層間絶縁層であることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

## 【請求項 6】

上面に高い領域と低い領域とを有する膜上に、前記領域の高低差をなくすように下部マスク形成用膜を形成する工程と、前記下部マスク形成用膜が形成された前記膜上に、上部マスク形成用膜を形成する工程と、前記上部マスク形成用膜に、マスクパターンを形成する工程と、前記マスクパターンの一部を、前記下部マスク形成用膜に転写する工程と、前記マスクパターンを利用して、前記膜の上面が高い領域及び低い領域のそれぞれにパターンを形成する工程と、を備えることを特徴とするエッチング方法。

30

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置の製造方法及びエッチング方法に関し、特に、接続孔や配線パターンを形成するためのマスクパターンを効率よく形成するために好適に用いられるものである。

## 【0002】

## 【従来の技術】

通常、FeRAM（強誘電体メモリ：Ferroelectric Random Access Memory）などの半導体メモリは、メモリセル領域及び周辺回路領域の二つの領域から構成されており、多層配線を利用して高集積化及び微細化が実現されている。近年、半導体装置のさらなる高集積化及び微細化を実現するために、多層配線の層数が増加傾向にあり、同一半導体基板上に形成されるメモリセル領域の上面と、周辺回路領域の上面との間に形成される高低差（段差）がますます増大しつつある。

## 【0003】

ここで、同一半導体基板上に形成されるメモリセル領域の上面及び周辺回路領域の上面に高低差がある場合には、接続孔形成や配線パターン形成に利用するマスクパターンを形成

50

するためのフォトリソ工程において、段差部でフォトリソ膜の塗布膜厚が変動したり、露光時にレンズの焦点が合わなくなってしまうという問題があった。このため、同一半導体基板上に形成されるメモリセル領域の上面と周辺回路領域の上面との両方に、同一工程で精確なマスクパターンを形成することは困難であった。

#### 【0004】

そこで、同一半導体基板上に形成されるメモリセル領域の上面及び周辺回路領域の上面の両方に、同一工程でマスクパターンを形成するための手段として、図4に示すように、例えば、メモリセルとなる強誘電体キャパシタC上に積層された層間絶縁層40の上面を平坦化した後、この層間絶縁層40上に形成したレジストマスク形成用膜M10にマスクパターンP10を形成する手段が一般的に実施されている。なお、図4中の符号10は、半導体基板を示し、同様に、20は層間絶縁層、30Aは強誘電体キャパシタ用下部電極層、30Bは強誘電体層、30Cは強誘電体キャパシタ用上部電極層、H10は周辺回路領域に接続される接続孔をそれぞれ示す。

10

#### 【0005】

この技術によると、層間絶縁層40に平坦化処理を施すことにより、半導体基板10上のメモリセル領域Xの上面と周辺回路領域Yの上面とが略面一となるため、メモリセル領域Xの上面及び周辺回路領域Yの上面の両方に、精確なマスクパターンP10を同一工程で形成することが可能となる。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、上述した手段においては、半導体基板10上に形成される周辺回路領域Y上に層間絶縁層20を介して厚い層間絶縁層40が形成されるため、層間絶縁層40の上面から、周辺回路領域Yに接続される接続孔C10のアスペクト比が高くなってしまい、接続孔Cの形成工程や、接続孔C10に配線層を埋め込む工程などの作業効率が良いではないという不具合があった。

20

#### 【0007】

本発明は、上記事情に鑑みてなされたものであり、工程数を大幅に増加することなく、上面に高い領域と低い領域とを有する膜上に確実にマスクパターンを形成することを可能とした半導体装置の製造方法及びエッチング方法を提供することを課題としている。

#### 【0008】

##### 【課題を解決するための手段】

このような課題を解決するために、本発明に係る半導体装置の製造方法は、上面に高い領域と低い領域とを有する膜が半導体基板上に形成された段階で、前記膜上に、前記領域の高低差をなくすように下部マスク形成用膜を形成する工程と、前記下部マスク形成用膜が形成された前記膜上に、上部マスク形成用膜を形成する工程と、前記上部マスク形成用膜に、マスクパターンを形成する工程と、前記マスクパターンの一部を、前記下部マスク形成用膜に転写する工程と、前記マスクパターンを利用して、前記膜の上面が高い領域及び低い領域のそれぞれにパターンを形成する工程と、を備えることを特徴とするものである。

30

#### 【0009】

また、本発明に係る半導体装置の製造方法において、前記下部マスク形成用膜を、当該下部マスク形成用膜の上面が、前記膜上面の高い領域と略面一となるように、前記膜上面の低い領域のみに形成することを特徴とするものである。

40

さらに、本発明に係る半導体装置の製造方法において、前記上部マスク形成用膜を、レジスト材で形成するとともに、前記下部マスク形成用膜を、前記レジスト材に対するエッチング選択比を有する材料で形成することを特徴とするものである。

#### 【0010】

さらに、本発明に係る半導体装置の製造方法において、前記上面に高い領域と低い領域とを有する膜が、配線層であることを特徴とするものである。

さらに、本発明に係る半導体装置の製造方法において、前記上面に高い領域と低い領域と

50

を有する膜が、層間絶縁層であることを特徴とするものである。

本発明に係るエッチング方法は、上面に高い領域と低い領域とを有する膜上に、前記領域の高低差をなくすように下部マスク形成用膜を形成する工程と、前記下部マスク形成用膜が形成された前記膜上に、上部マスク形成用膜を形成する工程と、前記上部マスク形成用膜に、マスクパターンを形成する工程と、前記マスクパターンの一部を、前記下部マスク形成用膜に転写する工程と、前記マスクパターンを利用して、前記膜の上面が高い領域及び低い領域のそれぞれにパターンを形成する工程と、を備えることを特徴とするものである。

【0011】

なお、本発明において、上部マスク形成用膜を形成するレジスト材とは、通常のフォトリジスト材料であれば、特に限定されないが、例えば、ノボラック系感光樹脂などの有機膜が挙げられる。

10

また、本発明において、下部マスク形成用膜を形成する材料とは、レジスト材と下部マスク形成用膜下層の材料との両者と反応性が異なる材料から構成されるのであれば、特に限定されない。

【0012】

すなわち、本発明に係る半導体装置の製造方法によれば、上面に高い領域と低い領域とを有する膜上に、高低差をなくすように下部マスク形成用膜を形成した後上部マスク形成用膜を形成し、これらの膜に形成されたマスクパターンを利用してエッチングを行うことによって、高低差を有する膜上にエッチング用のマスクパターンを容易且つ確実に形成することが可能となる。よって、高低差を有する膜の形状加工を同一工程で行うことができるため、作業効率の向上及びコスト削減を実現することが可能となる。

20

【0013】

また、本発明に係る半導体装置の製造方法によれば、膜上面の高低差をなくすための平坦化工程が不要となるため、膜の低い領域に開口する接続孔のアスペクト比を低減させることが可能となる。

さらに、本発明に係る半導体装置の製造方法によれば、膜上面の高い領域と略面一となるように、膜上面の低い領域のみに下部マスク形成用膜を形成することによって、上部マスク形成用膜を略平坦に形成することができるため、マスクパターンをより精確に形成することが可能となる。

30

【0014】

すなわち、上面に高い領域と低い領域とを有する膜が層間絶縁層の場合、多層配線の層間を接続する接続孔を容易且つ精確に形成することができる。また、上面に高い領域と低い領域とを有する膜が配線層の場合、配線パターンを容易且つ精確に形成することができる。

さらに、本発明に係る半導体装置の製造方法によれば、上部マスク形成用膜をレジスト材で形成し、且つ、下部マスク形成用膜をレジスト材に対するエッチング選択比を有する材料で形成することによって、膜の上面が高い領域と低い領域とで異なるエッチング条件を採用することができるため、加工精度及び歩留まりを向上させることが可能となる。

【0015】

40

本発明に係るエッチング方法によれば、上面に高い領域と低い領域とを有する膜上に、高低差をなくすように下部マスク形成用膜を形成した後、上部マスク形成用膜を形成し、これらの膜に形成したマスクパターンを用いてエッチングを行うことによって、上面に高低差を有する膜上に、エッチング用のマスクパターンを容易且つ確実に形成することが可能となる。よって、上面に高低差を有する膜の形状加工を同一工程で行うことができるため、作業効率の向上及びコスト削減を実現することが可能となる。

【0016】

また、本発明に係るエッチング方法によれば、膜上面の高低差をなくすための平坦化工程が不要となるため、膜の上面が低い領域に開口する開口部のアスペクト比を低減させることが可能となる。

50

## 【0017】

## 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

図1は、本発明の半導体装置の一製造工程を示す断面図である。図2は、図1に示す製造工程を経た後の半導体装置の一製造工程を示す断面図である。図3は、図2に示す製造工程を経た後の半導体装置の一製造工程を示す断面図である。なお、本実施形態は、本発明の一例を示したものであり、本発明は本実施形態に限定されるものではない。

## 【0018】

本実施形態における製造方法で完成させる半導体装置は、半導体基板1上に形成されたMOSトランジスタ(図示せず)からなる周辺回路領域Yと、半導体基板1上に第一の層間絶縁層2を介して形成された強誘電体キャパシタCからなるメモリセル領域Xとを備えている。また、半導体基板1上に形成される第二の層間絶縁層4の上面は、メモリセル領域X直上の高い領域と、周辺回路領域Y直上の低い領域とを有している。

10

## 【0019】

本実施形態における半導体装置の製造方法は、まず、半導体基板1上に形成された第一の層間絶縁層2の上面に、公知のスパッタ法を用いて、下部電極層3A、強誘電体層3B、及び上部電極層3Cをそれぞれ200nmの厚さとなるように順次成膜する。そして、公知のフォトリソグラフィ技術及びエッチング技術を用いて、所望形状の強誘電体キャパシタCを形成しておく。

## 【0020】

次いで、図1(a)に示すように、強誘電体キャパシタCが形成された第一の層間絶縁層2の上面全体に、公知のCVD法を用いて、例えばシリコン酸化膜などからなる第二の層間絶縁層4を厚さ800nmとなるように成膜する。

20

そして、第二の層間絶縁層4の上面全体に、公知のSOG(Spin On Glass)膜や、HDP-CVD(High Density Plasma-Chemical Vapor Deposition)膜を成膜し、第二の層間絶縁層4の平坦化処理を行う。このとき、第二の層間絶縁層4のうち、メモリセル領域Xでは、強誘電体キャパシタCの形成領域とそれ以外の領域との平坦化処理がなされるが、メモリセル領域X及び周辺回路領域Yの高低差(段差)は大きいため、平坦化が行われず段差が形成されたままである。

30

## 【0021】

そして、メモリセル領域Xの平坦化がなされた第二の層間絶縁層4の上面全体に、有機SOG材料などのハードマスク材(レジスト材に対するエッチング選択比を有する材料)からなる下部マスク形成用膜M1を厚さ600nmとなるように成膜する。

この下部マスク形成用膜M1は、最終的に除去する必要があるため、有機SOG材料を使用する場合には、通常よりも100以上低い温度でベーキングするにとどめ、通常の有機SOG膜に比べて大幅にエッチング速度の大きな膜とする必要がある。ここで、図1に示すように、第二の層間絶縁層4に接続孔を開口する場合には、この下部マスク形成用膜M1をAlやTiNなどの金属材料で形成することも可能である。但し、この場合には、第二の層間絶縁層4に形成される接続孔底部に露出する金属をエッチングせずに、下部マスク形成用膜M1のみを除去可能な金属材料とする必要がある。なお、接続孔底部に露出する金属が、シリコン、シリサイド、Ptなどの貴金属材料であれば、ほとんど問題なく下部マスク形成用膜M1を上記したAlやTiNなどの金属材料で形成することができる。

40

## 【0022】

このとき、下部マスク形成用膜M1の膜厚は、周辺回路領域Yにおける第二の層間絶縁層4上に形成される下部マスク形成用膜M1の上面が、メモリセル領域Xに形成された第二の層間絶縁層4の上面と略面一となるように、第二の層間絶縁層4のメモリセル領域Xの上面及び周辺回路領域Yの上面の高低差と略同一寸法とする。

## 【0023】

50

次いで、図1(b)に示すように、公知のフォトリソグラフィ技術及びエッチング技術を用いて、第二の層間絶縁層4上に形成された下部マスク形成用膜M1のうち、メモリセル領域Xの上面に形成された下部マスク形成用膜M1を除去する。このとき、周辺回路領域Yに残存させた下部マスク形成用膜M1の上面と、メモリセル領域Xにおける第二の層間絶縁層4の上面とは略面一となる。

**【0024】**

そして、周辺回路領域Yにおける第二の層間絶縁層4上にのみ下部マスク形成用膜M1が形成された第二の層間絶縁層4の上面全体に、公知のレジスト材からなる上部マスク形成用膜M2を厚さ800nmとなるように成膜する。このとき、メモリセル領域Xにおける第二の層間絶縁層4の上面と、周辺回路領域Yにおける第二の層間絶縁層4の上面とは略面一となっているため、上部マスク形成用膜M2の上面は略平坦に形成することができる。

10

**【0025】**

次いで、図1(c)に示すように、公知のフォトリソグラフィ技術及びエッチング技術を用いて、上部マスク形成用膜M2に、メモリセル領域Xに接続されるビアホール(図示せず)形成と、周辺回路領域Yに接続されるコンタクトホールH形成に利用するマスクパターンP1を形成する。ここで、このマスクパターンP1のうち、ビアホール形成用のパターンの底面には、第二の層間絶縁層4が露出し、一方、コンタクトホールH形成用のパターンの底面には、下部マスク形成用膜M1が露出した状態となる。

**【0026】**

次いで、図1(d)に示すように、フッ素系ガス及び酸素雰囲気下で公知のエッチング技術を行い、コンタクトホールH形成用のパターンの底面に露出した下部マスク形成用膜M1に、マスクパターンP1の一部を転写する。ここで、上部マスク形成用膜M2に形成されたビアホール形成用のパターンと、上部マスク形成用膜M2及び下部マスク形成用膜M1の両方に形成されたコンタクトホールH形成用のパターンと、を備えたマスクパターンP1を完成させる。このとき、ビアホール形成用のパターン及びコンタクトホールH形成用のパターンの底面には、それぞれ第二の層間絶縁層4が露出した状態で形成される。

20

**【0027】**

次いで、図1(e)に示すように、上部マスク形成用膜M2及び下部マスク形成用膜M1に形成されたマスクパターンP1を利用して、第二の層間絶縁層4のメモリセル領域Xにビアホール(図示せず)を形成するとともに、第二の層間絶縁層4の周辺回路領域YにコンタクトホールHを形成する。その後、公知の技術を用いて、上部マスク形成用膜M2及び下部マスク形成用膜M1の両方を除去する。

30

**【0028】**

次いで、図2(a)に示すように、ビアホール及びコンタクトホールHが形成された第二の層間絶縁層4の上面全体に、公知のスputa法を用いて、Tiなどからなる第一の金属膜(厚さ15nm)、TiNなどからなる第二の金属膜(厚さ100nm)、及びAlなどからなる第三の金属膜(厚さ500nm)を順次成膜して配線層5を形成する。このとき、ビアホール及びコンタクトホールH内には、配線層5が充填される。

**【0029】**

そして、配線層5の上面全体に、有機SOG膜などのハードマスク材からなる下部マスク形成用膜M3を厚さ600nmとなるように成膜する。このとき、下部マスク形成用膜M3の膜厚は、周辺回路領域Yに形成される下部マスク形成用膜M3の上面が、メモリセル領域Xに形成された配線層5の上面と略面一となるように、メモリセル領域Xにおける配線層5の上面及び周辺回路領域Yにおける配線層5の上面の高低差と略同一の寸法とする。

40

**【0030】**

次いで、図2(b)に示すように、公知のフォトリソグラフィ技術及びエッチング技術を用いて、配線層5上に形成された下部マスク形成用膜M3のうち、メモリセル領域Xの上面に形成された下部マスク形成用膜M3を除去する。このとき、周辺回路領域Yに残存さ

50

せた下部マスク形成用膜 M 3 の上面と、メモリセル領域 X における配線層 5 の上面とは略面一となる。

【0031】

次いで、図 2 ( c ) に示すように、周辺回路領域 Y にのみ下部マスク形成用膜 M 3 が形成された配線層 5 の上面全体に、公知のレジスト材からなる上部マスク形成用膜 M 4 を厚さ 800 nm となるように成膜する。このとき、メモリセル領域 X における配線層 5 の上面と、周辺回路領域 Y における配線層 5 の上面とは略面一となっているため、上部マスク形成用膜 M 4 の上面は略平坦に形成することができる。

【0032】

次いで、図 3 ( a ) に示すように、公知のフォトリソグラフィ技術及びエッチング技術を用いて、上部マスク形成用膜 M 4 に、メモリセル領域 X 直上の配線形成と、周辺回路領域 Y 直上の配線形成とに利用するマスクパターン P 2 を形成する。ここで、このマスクパターン P 2 のうち、メモリセル領域 X 配線用のパターン底面には、配線層 5 が露出し、一方、周辺回路領域 Y 配線用のパターン底面には、下部マスク形成用膜 M 3 が露出した状態となる。

10

【0033】

次いで、図 3 ( b ) に示すように、フッ素系ガス及び酸素雰囲気下で公知のエッチング技術を行い、周辺回路領域 Y 配線用のパターン底面に露出した下部マスク形成用膜 M 3 に、マスクパターン P 2 の一部を転写する。ここで、上部マスク形成用膜 M 4 に形成されたメモリセル領域 X 配線用のパターンと、上部マスク形成用膜 M 4 及び下部マスク形成用膜 M 3 の両方に形成された周辺回路領域 Y 配線用のパターンと、を備えたマスクパターン P 2 を完成させる。このとき、メモリセル領域 X 配線用のパターン及び周辺回路領域 Y 配線用のパターンの底面には、それぞれ配線層 5 が露出した状態となる。

20

【0034】

次いで、図 3 ( c ) に示すように、上部マスク形成用膜 M 4 及び下部マスク形成用膜 M 3 に形成されたマスクパターン P 2 を利用して配線層 5 のエッチングを行い、メモリセル領域 X 及び周辺回路領域 Y にそれぞれ所望の配線を形成する。そして、公知の技術を用いて下部マスク形成用膜 M 3 及び上部マスク形成用膜 M 4 の両方を除去し、半導体装置を完成させる。

【0035】

このように、本実施形態における半導体装置の製造方法によれば、メモリセル領域 X の上面及び周辺回路領域 Y の上面に段差が形成された第二の層間絶縁層 4 上に、下部マスク形成用膜 M 1、M 3 を形成して段差をなくした後、上部マスク形成用膜 M 2、M 4 を形成するようにしたことによって、接続孔形成工程及び配線パターン形成工程で適用するマスクパターンを精確に形成することが可能となる。よって、メモリセル領域 X の上面及び周辺回路領域 Y の上面に段差が形成された第二の層間絶縁層 4 上に、工程数を大幅に増加させることなく、容易且つ精確に接続孔及び配線パターンを形成することが可能となる。

30

【0036】

また、本実施形態における半導体装置の製造方法によれば、第二の層間絶縁層 4 のメモリセル領域 X の上面及び周辺回路領域 Y の上面に形成された段差をなくするために、大幅な平坦化処理が不要になるため、周辺回路領域 Y に形成されるコンタクトホール H のアスペクト比を大幅に低減させることが可能となる。よって、コンタクトホール H を形成する工程や、このコンタクトホール H 内に配線層 5 を充填する工程などの作業効率を大幅に削減することが可能となる。

40

【0037】

さらに、本実施形態に係る半導体装置の製造方法によれば、メモリセル領域における第二の層間絶縁層 4 或いは配線層 5 の上面と略面一となるように、周辺回路領域 Y のみに下部マスク形成用膜 M 1、M 3 を形成することによって、上部マスク形成用膜 M 2、M 4 を略平坦に形成することができるため、マスクパターン P 1、P 2 をより精確に形成することが可能となる。

50

## 【0038】

さらに、本実施形態における半導体装置の製造方法によれば、下部マスク形成用膜M1、M3をハードマスク材で構成するとともに、上部マスク形成用膜M2、M4をレジスト材で構成することによって、メモリセル領域X及び周辺回路領域Yで異なる条件でエッチングを行うことができるため、エッチング工程における加工精度及び歩留まりを向上させることが可能となる。

## 【0039】

なお、本実施形態においては、下部マスク形成用膜M1、M3及び上部マスク形成用膜M2、M4を、接続孔形成工程と配線パターン形成工程の両方に適用する場合について説明したが、これに限らず、いずれか一つの工程で適用するようにしても構わない。

10

また、本実施形態においては、下部マスク形成用膜M1、M3を、周辺回路領域Yのみに残存させ、この上に上部マスク形成用膜M2、M4を形成する場合について説明したが、下部マスク形成用膜M1、M3の上面と、半導体基板1上に形成されるメモリセル領域Xの上面とを確実に面一とすることが必要な場合(メモリセル領域Xと周辺回路領域Yの段差を完全になくしたい場合)にはこの限りでない。例えば、周辺回路領域Yのみに下部マスク形成用膜M1、M3を残存させた半導体基板1の最上面全体に絶縁層を形成した後、公知のCMP(Chemical Mechanical Polishing)法を用いて、この絶縁層に平坦化処理を施し、絶縁層及び下部マスク形成用膜M1、M3の総膜厚を所望の厚さに調整するようにしてもよい。或いは、下部マスク形成用膜M1、M3の膜厚を、上述した寸法よりも厚めに形成し、この下部マスク形成用膜M1、M3の上面全体に公知のCMP法を用いて平坦化処理を施すことで、下部マスク形成用膜M1、M3の膜厚を所望の厚さに調整するようにしてもよい。

20

## 【0040】

さらに、本実施形態においては、配線パターン形成後の下部マスク形成用膜M3及び上部マスク形成用膜M4を除去する場合について説明したが、製品性能上何ら問題がないようであれば、下部マスク形成用膜M3及び上部マスク形成用膜M4を除去せず残存させたままでも構わない。

さらに、本実施形態においては、メモリセル領域Xと周辺回路領域Yとを備えたFeRAMに適用した場合について説明したが、上面に高低差を有する膜の形状加工を行う場合であれば、これに限らず、例えば、今後実用化が期待されている、メモリセルを複数段積み上げた多層構造を有するクロスポイント型FeRAMなどに好適に用いることができる。

30

## 【図面の簡単な説明】

【図1】本発明の半導体装置の一製造工程を示す断面図である。

【図2】本発明の半導体装置の一製造工程を示す断面図である。

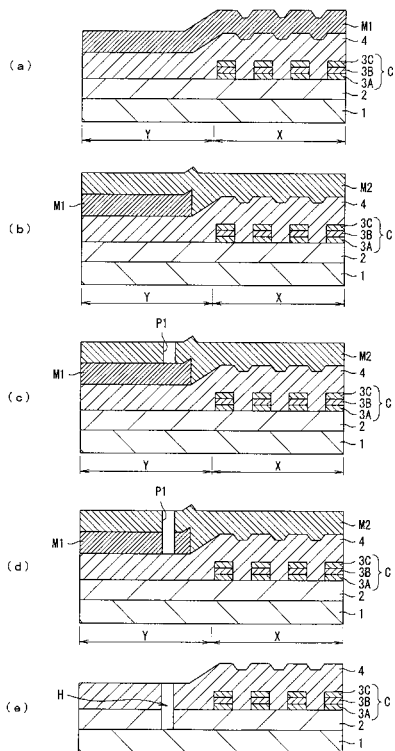
【図3】本発明の半導体装置の一製造工程を示す断面図である。

【図4】従来の半導体装置の一構成例を示す断面図である。

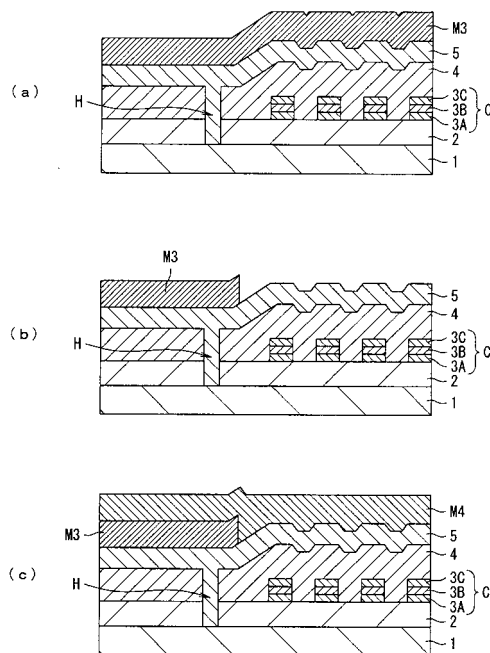
【符号の説明】1、10...半導体基板。2、20...第一の層間絶縁層。3A、30A...上部電極層。3B、30B...強誘電体層。3C、30C...下部電極層。4、40...第二の層間絶縁層。5、50...配線層。H、H10...コンタクトホール。M1、M3...下部マスク形成用膜。M2、M4...上部マスク形成用膜。X...メモリセル領域、Y...周辺回路領域。P1、P2...マスクパターン。

40

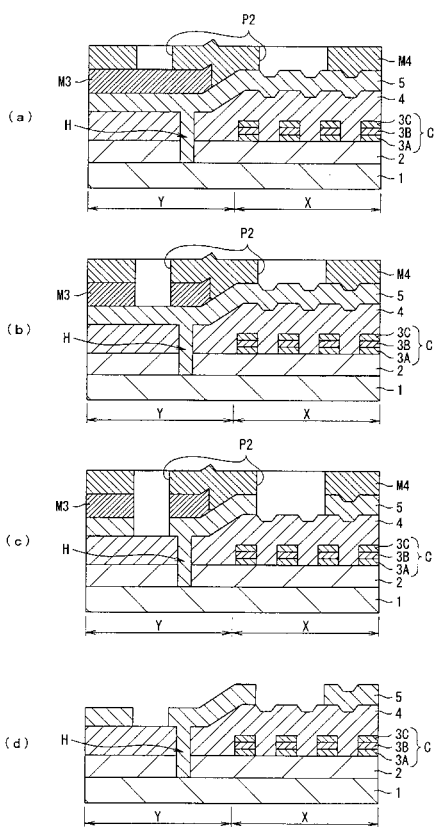
【 図 1 】



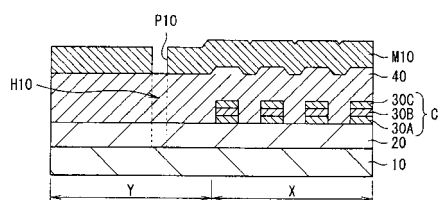
【 図 2 】



【 図 3 】



【 図 4 】



---

フロントページの続き

F ターム(参考) 5F033 HH08 HH18 HH33 JJ01 JJ08 JJ18 JJ33 KK01 KK03 KK07  
MM08 MM13 NN06 NN07 PP15 QQ08 QQ09 QQ10 QQ11 QQ27  
QQ28 QQ37 QQ48 RR04 RR09 SS11 VV10 VV16 XX01 XX04  
5F083 FR01 GA27 JA35 JA36 JA38 JA39 JA40 PR07 PR23 PR40  
PR42 PR52