

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



(10) 国際公開番号

WO 2012/137651 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H02M 1/08 (2006.01)
H01L 27/04 (2006.01) H03K 17/08 (2006.01)
H01L 27/06 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2012/058207
- (22) 国際出願日: 2012 年 3 月 28 日(28.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-082518 2011 年 4 月 4 日(04.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 中原 明宏 (NAKAHARA Akihiro) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 中島 栄 (NAKAJIMA Sakae) [JP/JP]; 〒2118668 神奈川県

川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

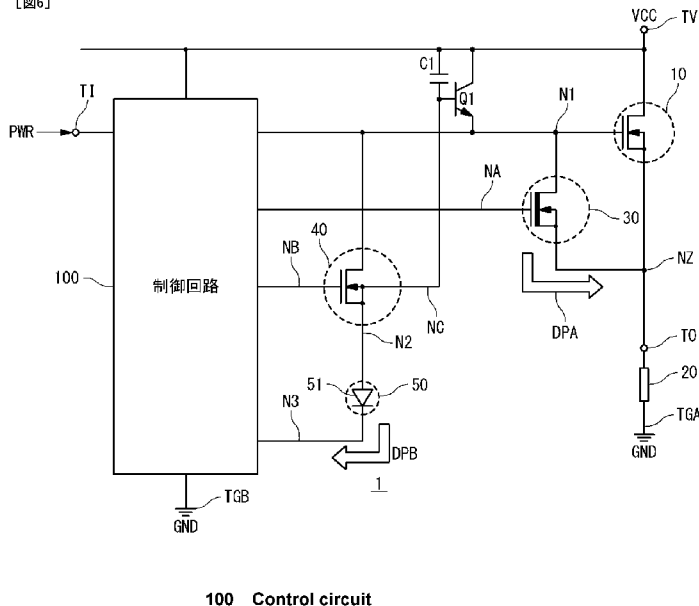
- (74) 代理人: 工藤 実(KUDOH Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号カドヤビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: POWER SEMICONDUCTOR DEVICE

(54) 発明の名称: 電力用半導体装置

[図6]



(57) Abstract: A power semiconductor device is provided with an output transistor, a control circuit for controlling the electrical charge/discharge of a first node connected to a gate of the output transistor, a first discharge route from the first node to an output terminal, and a second discharge route from the first node to a ground terminal. Only the first discharge route is used when turning off normally. Both the first and the second discharge routes are used when a load abnormality occurs. The second discharge route includes a discharge transistor and a reverse flow prevention element. The discharge transistor is connected between the first node and a second node. The reverse flow prevention element prevents the flow of an electrical current from a third node to the second node. The control circuit sets the gate voltage of the discharge transistor to a high level at least during an off period.

(57) 要約: 電力用半導体装置は、出力トランジスタと、出力トランジスタのゲートに接続された第1ノードの充放電を制御する制御回路と、第1ノードから出力端子への第1放電経路と、第1ノードからグランド端子への第2放電経路と、を備える。通常のターンオフ時、第1放電経路だけが用い

られる。負荷異常が発生した場合、第1放電経路と第2放電経路の両方が用いられる。第2放電経路は、放電トランジスタと逆流防止素子を含む。放電トランジスタは第1ノードと第2ノード間に接続されている。逆流防止素子は、第3ノードから第2ノードへの電流の流れを防止する。少なくともOFF期間において、制御回路は、放電トランジスタのゲート電圧をHighレベルに設定する。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電力用半導体装置

技術分野

[0001] 本発明は、電力用半導体装置（power semiconductor device）に関する。

背景技術

[0002] 負荷に対して電力を供給するための電力用半導体装置が知られている。例えば、インテリジェントパワーデバイス（IPD：Intelligent Power Device）と呼ばれる電力用半導体装置は、自動車の電子制御システムにおいて用いられ、マイコンからの命令に従ってヘッドライト等への電力供給を制御する。このような電力用半導体装置では、典型的には、ハイサイドスイッチが使用される（例えば、特許文献1参照）。

[0003] 図1は、特許文献1に記載されている電力用半導体装置の構成を示している。この電力用半導体装置は、電源端子TV、出力端子TO、出力トランジスタ210、制御回路220、抵抗230、放電トランジスタ240及びツェナーダイオード250を備えている。電源端子TVには、電源電圧VCCが供給される。

[0004] 出力トランジスタ210は、電源端子TVと出力端子TOとの間に接続されている。より詳細には、出力トランジスタ210はNチャネルMOSFETであり、そのゲート、ドレイン及びソースは、それぞれ、ノードN1、電源端子TV及び出力端子TOに接続されている。出力端子TOは負荷の一端に接続され、負荷の他端はグランド端子に接続される。このように、出力トランジスタ10は、ハイサイドスイッチとして機能するように接続される。

[0005] 抵抗230は、ノードN1と出力端子TOとの間に接続されている。放電トランジスタ240はNチャネルMOSFETであり、そのゲート、バックゲート、ドレイン及びソースは、それぞれ、ノードNB、ノードNC、ノードN1及びノードN2に接続されている。ノードNC（バックゲート）とノ

ードN2（ソース）はショートされている。ツェナーダイオード250のアンロード及びカソードは、それぞれ、ノードN2及びグランド端子TGに接続されている。ノードN1から放電トランジスタ240及びツェナーダイオード250を経由してグランド端子TGへ到る経路は、ノードN1の放電経路である。

[0006] 制御回路220は、出力トランジスタ210のゲートにつながるノードN1の充放電を制御する。より詳細には、パワーONの場合、制御回路220は、ノードNBの電圧をLowレベルに設定し、放電トランジスタ240をOFFする。これにより、放電トランジスタ240を経由する放電経路は非活性化される。その一方で、制御回路220は、ノードN1を充電し、出力トランジスタ210をONする。これにより、出力端子TOに接続された負荷に電力が供給される。

[0007] パワーOFFの場合、制御回路220は、ノードN1の充電を停止する。また、制御回路220は、ノードNBの電圧をHighレベルに設定し、放電トランジスタ240をONする。これにより、ノードN1から放電トランジスタ240及びツェナーダイオード250を経由してグランド端子TGへ電流が流れ、ノードN1が放電される。同時に、ノードN1から抵抗230を経由して出力端子OUTにも電流が流れ、ノードN1が放電される。従って、ノードN1は急激に放電され、ノードN1の電圧は急激に低下する。その結果、出力トランジスタ210が素早くOFFする。

先行技術文献

特許文献

[0008] 特許文献1：特開平4-364784号公報

発明の概要

[0009] 近年、図1で示されたような電力用半導体装置に対して、様々な要求がある。例えば、通常のパワーOFF時には、ノイズ低減のため、出力トランジスタ210をゆっくりとターンオフすることが求められる。その一方で、パワーONの最中に負荷状態に異常が発生した場合（例えば、負荷ショートが

発生して過電流が流れる場合）、出力トランジスタ 210 には過大な電力が印加されるため、破壊されないように出力トランジスタ 210 を高速にターンオフすることが求められる。すなわち、ノード N1 の放電方法として、「低速放電」と「高速放電」の 2 パターンが要求される場合がある。仮に、図 1 で示された回路構成でその 2 パターンを実現するとすれば、次の通りである。

[0010] 通常のパワー OFF 時には、ノイズを低減するために、「低速放電」が行われる。具体的には、制御回路 220 は、ノード N1 の充電を停止する。また、制御回路 220 は、ノード NB の電圧を Low レベルに設定し、放電トランジスタ 240 を OFF する。これにより、ノード N1 から放電トランジスタ 240 及びツェナーダイオード 250 を経由してグランド端子 TG へ到る高速放電経路は、非活性化される。ノード N1 は、抵抗 230 を経由する低速放電経路を通して放電される。その結果、出力トランジスタ 210 はゆっくりとターンオフする。

[0011] 一方、パワー ON の最中に負荷異常が発生した場合、出力トランジスタ 210 の破壊を防ぐために、「高速放電」が行われる。具体的には、制御回路 220 は、ノード N1 の充電を停止する。また、制御回路 220 は、ノード NB の電圧を High レベルに設定し、放電トランジスタ 240 を ON する。これにより、ノード N1 から放電トランジスタ 240 及びツェナーダイオード 250 を経由してグランド端子 TG へ到る高速放電経路が、活性化される。同時に、ノード N1 から抵抗 230 を経由して出力端子 OUT にも電流が流れる。従って、ノード N1 は急激に放電され、その結果、出力トランジスタ 210 が高速にターンオフする。

[0012] ここで、本願発明者は、次のような課題を発見した。それは、上述のような電力用半導体装置を単一の半導体基板上に形成したときに、外部から印加されるサージ電圧により、出力トランジスタ 210 が熱破壊する可能性があるということである。この課題について、以下に説明する。

[0013] 上述のような電力用半導体装置において、出力トランジスタ 210（パワ

—MOSFET) のオン抵抗は十分に低いことが望ましい。そのためには、出力トランジスタ 210 のゲートにつながるノード N1 に、十分高い駆動電圧を印加する必要がある。このようにノード N1 には高電圧が印加されるため、一般的には、高圧 MOSFET が放電トランジスタ 240 として使用される。図 2 は、出力トランジスタ 210 及び放電トランジスタ 240 の一例の断面構造を示している。放電トランジスタ 240 は、高圧 MOSFET 構造を有している。

[0014] この放電トランジスタ 240 は、図 2 に示されるような縦型の寄生バイポーラトランジスタを有する。図 3 は、その寄生バイポーラトランジスタを含めた回路構成を示している。図 3 に示されるように、放電トランジスタ 240 のドレイン及びバックゲートは、それぞれノード N1 及びノード NC に接続されており、寄生バイポーラトランジスタ Q1 のコレクタ、エミッタ及びベースは、それぞれ電源端子 TV、ノード N1 及びノード NC に接続されている。また、寄生容量（コレクターベース間容量）C1 が、電源端子 TV とノード NC との間に生成される。

[0015] ここで、電力用半導体装置（出力トランジスタ 210）が OFF 状態の時に、電源電圧 VCC の急峻な増加が発生した場合を考える。ノード NC とグランド端子 TG との間にはツェナーダイオード 250 が介在しているため、OFF 状態において、ノード NC（放電トランジスタ 240 のバックゲート）はハイインピーダンスとなっている。従って、電源電圧 VCC の急峻な増加が発生すると、寄生容量 C1 を通して、ノード NC の電圧（寄生バイポーラトランジスタ Q1 のベース電圧）が持ち上がる。その結果、寄生バイポーラトランジスタ Q1 が ON する。この時、コレクタエミッタ間電圧 VCE が耐圧 BVCEO を超えていると、大きな降伏電流が流れる。ここで、図 4 は、寄生バイポーラトランジスタ Q1 の電流－電圧特性を示している。コレクタエミッタ間電圧 VCE が耐圧 BVCEO を超えると、大きな降伏電流が流れることが分かる。

[0016] この降伏電流により、出力トランジスタ 210 のゲートにつながるノード

N 1 の電圧が持ち上がるため、出力トランジスタ 210 が ON してしまう。但し、この時、出力トランジスタ 210 は、高オン抵抗でオンする（ハーフオン）。この場合、出力トランジスタ 210 に過大な電力が印加されるため、熱破壊が発生する可能性がある。

[0017] 例えば、自動車に搭載される電力用半導体装置の電源端子 TV は、バッテリーに接続される。この場合の電源電圧 VCC の急峻な増加の一例として、図 5 に示されるような「ダンプサージ」が考えられる。ダンプサージとは、オルタネータの発電中にバッテリーが外れたときに、電源端子 TV に発生するサージのことである。ダンプサージが電源端子 TV に印加されると、上述の理由により、寄生バイポーラトランジスタ Q1 が動作し、出力トランジスタ 210 の熱破壊が発生する可能性がある。

[0018] 以上に説明されたように、電力用半導体装置が OFF 状態の時に、電源電圧の急峻な増加が発生した場合、出力トランジスタがハーフオンして熱破壊される可能性があった。電力用半導体装置が OFF 状態の時に、電源電圧の急峻な増加が発生した場合であっても、出力トランジスタが ON することを防止することができる技術が望まれる。

[0019] 本発明の 1 つの観点において、電力用半導体装置が提供される。その電力用半導体装置は、電源端子と出力端子との間に接続された出力トランジスタと、出力トランジスタのゲートに接続された第 1 ノードの充放電を制御し、出力トランジスタを ON / OFF 制御する制御回路と、第 1 ノードから出力端子への第 1 放電経路と、第 1 ノードからグランド端子への第 2 放電経路と、を備える。

[0020] ここで、第 1 ノードが充電された後、出力トランジスタが安定的に ON している期間が ON 期間である。第 1 ノードが放電された後、出力トランジスタが安定的に OFF している期間が OFF 期間である。OFF 期間から ON 期間への遷移期間がターンオン期間である。ON 期間から OFF 期間への遷移期間がターンオフ期間である。

[0021] ターンオン期間及び ON 期間、制御回路は、第 1 ノードを充電し、第 1 放

電経路及び第2放電経路を非活性化する。ターンオフ期間及びOFF期間、制御回路は、第2放電経路を非活性化し、また、第1放電経路を活性化することによって、第1放電経路を通して第1ノードを放電する。負荷異常が発生した場合、制御回路は、第1放電経路と第2放電経路の両方を活性化することによって、第1放電経路及び第2放電経路の両方を通して第1ノードを放電する。

[0022] 第2放電経路は、放電トランジスタと逆流防止素子とを含む。放電トランジスタのドレインは第1ノードに接続され、そのソース及びバックゲートは第2ノードに接続されている。逆流防止素子は、第2ノードと第3ノードとの間に接続され、第3ノードから第2ノードへの電流の流れを防止する。負荷異常が発生した場合、制御回路は、放電トランジスタをONする。更に、少なくともOFF期間において、制御回路は、放電トランジスタのゲート電圧をHighレベルに設定する。

[0023] 本発明によれば、電力用半導体装置がOFF状態の時に、電源電圧の急峻な増加が発生した場合であっても、出力トランジスタがONすることを防止することが可能となる。

図面の簡単な説明

[0024] 上記及び他の目的、長所、特徴は、次の図面と共に説明される本発明の実施の形態により明らかになるであろう。

[図1]図1は、関連技術に係る電力用半導体装置の構成を示す回路図である。

[図2]図2は、出力トランジスタ及び放電トランジスタの典型的な断面構造を示す概略図である。

[図3]図3は、寄生バイポーラトランジスタを含む電力用半導体装置の構成を示す回路図である。

[図4]図4は、寄生バイポーラトランジスタの電流－電圧特性を示すグラフ図である。

[図5]図5は、自動車に搭載される電力用半導体装置の電源端子に印加されるダンプサージを示す概念図である。

[図6]図6は、本発明の実施の形態に係る電力用半導体装置の構成を概略的に示すブロック図である。

[図7]図7は、本発明の実施の形態に係る電力用半導体装置の動作を示すタイミングチャートである。

[図8]図8は、本発明の実施の形態の作用・効果を説明するための図である。

[図9]図9は、本発明の実施の形態に係る電力用半導体装置の変形例を示すブロック図である。

[図10]図10は、本発明の実施の形態に係る電力用半導体装置の回路構成例を示す回路ブロック図である。

[図11]図11は、図10に示された回路における真理値表を示している。

[図12]図12は、本発明の実施の形態における電圧制御回路の一例を示す回路図である。

[図13]図13は、本発明の実施の形態における電圧制御回路の他の例を示す回路図である。

発明を実施するための形態

[0025] 添付図面を参照して、本発明の実施の形態に係る電力用半導体装置を説明する。

[0026] 1. 構成

図6は、本実施の形態に係る電力用半導体装置1の構成を概略的に示すブロック図である。電力用半導体装置1は、電源端子TV、入力端子TI、及び出力端子TOを備えている。出力端子TOは負荷20の一端に接続され、負荷20の他端はグランド端子TGAに接続される。電源端子TVには、電源電圧VCCが供給される。入力端子TIには、パワーON信号PWRが入力される。そのパワーON信号PWRの活性化に応答して、電力用半導体装置1はONし、出力端子TOを通して負荷20に電力を供給する。

[0027] より詳細には、電力用半導体装置1は、出力トランジスタ10、第1放電経路DPA、第2放電経路DPB及び制御回路100を備えている。

[0028] 出力トランジスタ10は、電源端子TVと出力端子TOとの間に接続され

ている。具体的には、出力トランジスタ 10 は、NチャネルMOSFETであり、そのゲート、ドレイン及びソースは、それぞれ、第1ノードN1、電源端子TV及び出力端子TO（出力ノードNZ）に接続されている。尚、出力ノードNZは、出力端子TOと同電位であり、出力端子TOと等価なものとして扱われる。

[0029] 第1放電経路DPAは、第1ノードN1をゆっくりと放電するための低速放電経路であり、第1ノードN1から出力ノードNZへつながっている。つまり、第1放電経路DPAは、出力トランジスタ10のゲートーソース間をつないでいる。この第1放電経路DPAは、第1放電トランジスタ30を含んでいる。第1放電トランジスタ30は、NチャネルMOSFETであり、そのゲート、ドレイン及びソースは、それぞれ、第1ゲートノードNA、第1ノードN1及び出力ノードNZに接続されている。第1放電トランジスタ30がONした状態が、第1放電経路DPAが活性化された状態である。一方、第1放電トランジスタ30がOFFした状態が、第1放電経路DPAが非活性化された状態である。

[0030] 第1放電トランジスタ30としては、例えば、定電流特性を有するデプレッション型MOSFETが好適に用いられる。但し、第1放電トランジスタ30は、エンハンスメント型MOSFETであってもよい。あるいは、第1放電トランジスタ30の代わりに抵抗が用いられてもよい。以下の説明では、第1放電トランジスタ30は、デプレッション型NチャネルMOSFETである。

[0031] 第2放電経路DPBは、第1ノードN1を高速に放電するための高速放電経路であり、第1ノードN1からグランド端子TGBへつながっている。尚、グランド端子TGBは、負荷20側のグランド端子TGAとは異なっている。この第2放電経路DPBは、第2放電トランジスタ40及び逆流防止素子50を含んでいる。

[0032] 第2放電トランジスタ40は、NチャネルMOSFETであり、そのゲート、バックゲート、ドレイン及びソースは、それぞれ、第2ゲートノードN

B、バックゲートノードNC、第1ノードN1及び第2ノードN2に接続されている。バックゲートノードNC（バックゲート）と第2ノードN2（ソース）はショートされている。第2放電トランジスタ40がONした状態が、第2放電経路DPBが活性化された状態である。一方、第2放電トランジスタ40がOFFした状態が、第2放電経路DPBが非活性化された状態である。以下の説明では、第2放電トランジスタ40は、エンハンスメント型NチャネルMOSFETである。

[0033] また、本実施の形態においても、第2放電トランジスタ40として、既出の図2で示されたような高圧MOSFETが使用される。従って、第2放電トランジスタ40は、寄生バイポーラトランジスタQ1を有している。図6に示されるように、その寄生バイポーラトランジスタQ1のコレクタ、エミッタ及びベースは、それぞれ、電源端子TV、第1ノードN1及びバックゲートノードNCに接続されている。また、寄生容量（コレクターベース間容量）C1が、電源端子TVとバックゲートノードNCとの間に接続されている。

[0034] 逆流防止素子50は、グランド端子TGBと負荷20側のグランド端子TGAとの間でグランド電圧に差が生じたときに、グランド端子TGBから負荷20側のグランド端子TGAに向けて電流が流れることを防止するために設けられている。この逆流防止素子50は、第2放電トランジスタ40よりもグランド側に設けられている。具体的には、逆流防止素子50は、上記の第2ノードN2と更にグランド端子TGB側の第3ノードN3との間に接続されており、第3ノードN3から第2ノードN2への電流の流れを防止する。例えば、図6に示されるように、逆流防止素子50としてダイオード51が用いられる。そのダイオード51のアノード及びカソードは、それぞれ、第2ノードN2及び第3ノードN3に接続されている。

[0035] 制御回路100は、入力端子TI、電源端子TV、グランド端子TGB、第1ノードN1、第1ゲートノードNA、第2ゲートノードNB及び第3ノードN3に接続されている。この制御回路100は、入力端子TIに入力さ

れるパワーON信号PWRに応じて、第1ノードN1の充放電を制御し、それにより出力トランジスタ10をON/OFF制御する。例えば、パワーON信号PWRが活性化されると、制御回路100は、第1ノードN1を、電源電圧VCCよりも高い高電圧まで充電する。その結果、出力トランジスタ10がONし、負荷20に電力が供給される。

[0036] 一方、出力トランジスタ10をOFFさせる際、制御回路100は、第1放電経路DPA及び第2放電経路DPBを状況に応じて適宜使用することにより、第1ノードN1を放電する。そのために、制御回路100は、第1ゲートノードNA、第2ゲートノードNB及び第3ノードN3の電圧を、状況に応じて制御する。制御回路100は、第1ゲートノードNAの電圧を制御することによって、第1放電経路DPAの活性化／非活性化（第1放電トランジスタ30のON/OFF）を制御することができる。また、制御回路100は、第2ゲートノードNB及び第3ノードN3の電圧を制御することによって、第2放電経路DPBの活性化／非活性化（第2放電トランジスタ40のON/OFF）を制御することができる。

[0037] 以下、本実施の形態に係る電力用半導体装置1の動作を詳しく説明する。

[0038] 2. 動作

図7は、本実施の形態に係る電力用半導体装置1の動作を示すタイミングチャートである。以下、図6及び図7を参照して、電力用半導体装置1の基本的な動作を説明する。その動作を説明するにあたり、4つの期間（フェーズ）：ターンオン期間PA、ON期間PB、ターンオフ期間PC、及びOFF期間PD、を考える。

[0039] ターンオン期間PA及びON期間PBは、パワーON信号PWRが活性化（PWR=Highレベル）されている期間である。パワーON信号PWRが活性化されると、第1ノードN1は充電され、出力トランジスタ10はONし、出力ノードNZも充電される。ON期間PBは、第1ノードN1及び出力ノードNZの電圧が安定し、出力トランジスタ10が安定的にONしている期間である。一方、ターンオン期間PAは、パワーON信号PWRの活

性化タイミングからON期間PBまでの期間である。言い換えれば、ターンオン期間PAは、OFF期間PDからON期間PBへの遷移期間である。

[0040] ターンオフ期間PC及びOFF期間PDは、パワーON信号PWRが非活性化（PWR=Lowレベル）されている期間である。パワーON信号PWRが非活性化されると、第1ノードN1は放電され、出力トランジスタ10はOFFし、出力ノードNZも放電される。OFF期間PDは、第1ノードN1及び出力ノードNZの電圧が安定し、出力トランジスタ10が安定的にOFFしている期間である。一方、ターンオフ期間PCは、パワーON信号PWRの非活性化タイミングからOFF期間PDまでの期間である。言い換えれば、ターンオフ期間PCは、ON期間PBからOFF期間PDへの遷移期間である。

[0041] 2-1. ターンオン期間PA（時刻 $t_1 \sim t_2$ ）

時刻 t_1 において、パワーON信号PWRが活性化され、LowレベルからHighレベルに変わる。それに応答して、制御回路100は、第1ノードN1を充電し始める。

[0042] その一方で、制御回路100は、第1ゲートノードNAの電圧をLowレベルに設定する。第1ゲートノードNAのLowレベルの電圧は、出力ノードNZの電圧未満であり、例えば“出力ノードNZの電圧-3V”である。これにより、第1放電トランジスタ30のゲート電圧はソース電圧未満となるため、第1放電トランジスタ30はOFFし、第1放電経路DPAが非活性化される。

[0043] また、制御回路100は、第2ゲートノードNB及び第3ノードN3の電圧をLowレベルに設定する。第2ゲートノードNB及び第3ノードN3のLowレベルの電圧は、電源電圧VCC未満であり、例えば“VCC-6V”である。これにより、第2放電トランジスタ40のゲート-ソース電圧（ $=0V$ ）は閾値電圧未満となるため、第2放電トランジスタ40はOFFし、第2放電経路DPBが非活性化される。

[0044] このように、ターンオン期間PAにおいて、制御回路100は、第1ノード

ドN1を充電し、且つ、第1放電経路DPA及び第2放電経路DPBを非活性化する。その結果、出力トランジスタ10はONし、出力ノードNZの電圧及び出力電流Ioutが徐々に上昇する。尚、ターンオン期間PAにおいて、第1ノードN1は、電源電圧VCCよりも高い高電圧まで充電される。

[0045] 2-2. ON期間PB（時刻t2～t3）

ON期間PBにおける制御は、ターンオン期間PAの場合と同様である。第1ノードN1の電圧は、電源電圧VCCよりも高い高電圧で安定する。出力ノードNZの電圧は、電源電圧VCC近傍で安定する。出力トランジスタ10は、安定的にONしている。

[0046] 2-3. ターンオフ期間PC（時刻t3～t4）

時刻t3において、パワーON信号PWRが非活性化され、HighレベルからLowレベルに変わる。それに応答して、制御回路100は、第1ノードN1の充電を停止する。

[0047] その一方で、制御回路100は、第1ゲートノードNAの電圧をHighレベルに設定する。第1ゲートノードNAのHighレベルの電圧は、例えば出力ノードNZの電圧である。これにより、第1放電トランジスタ30（デプレッション型MOSFET）はONし、第1放電経路DPAが活性化される。

[0048] また、制御回路100は、第2ゲートノードNB及び第3ノードN3の電圧をHighレベルに設定する。第2ゲートノードNB及び第3ノードN3のHighレベルの電圧は、例えば電源電圧VCCである。この場合、第2ゲートノードNBの電圧はHighレベルであるものの、第2放電トランジスタ40のゲートソース電圧（=0V）は閾値電圧未満であるため、第2放電トランジスタ40はOFFのままである。すなわち、第2放電経路DPBは非活性化されたままであり、通常のパワーOFF動作には影響を与えない。

[0049] このように、ターンオフ期間PCにおいて、制御回路100は、第2放電経路DPBを非活性化する一方、第1放電経路DPAを活性化することによ

り、第1放電経路DPAを通して第1ノードN1を放電する。第1ノードN1の電圧が低下すると、出力ノードNZの電圧も徐々に低下し、最終的に0Vになる。このとき、第1放電トランジスタ30の定電流特性により、第1ノードN1はゆっくりと放電されるため、出力トランジスタ10もゆっくりとターンオフする。

[0050] 2-4. OFF期間PD（時刻t4～t5）

OFF期間PDにおいても、制御回路100は、第1ゲートノードNAの電圧をHighレベルに設定し、第1放電経路DPAを活性化する。また、制御回路100は、第2ゲートノードNB及び第3ノードN3の電圧をHighレベルに設定し、第2放電経路DPBを非活性化する。

[0051] 尚、OFF期間PDにおいて、第1ノードN1の電圧はグランド電圧近傍となっている。よって、第3ノードN3の電圧がLowレベルに設定されても、第2放電経路DPBに電流は流れない。従って、制御回路100は、第3ノードN3の電圧をLowレベルに設定してもよい。

[0052] 2-5. 負荷異常発生時の動作（期間PX：時刻t6～t7）

次に、パワーONの最中に負荷異常が発生した場合（例えば、負荷20がショートして過電流状態となる）を考える。図示されない検出回路（過電流検出回路や過温度検出回路）によって負荷異常が検出されると、出力トランジスタ10の破壊を防ぐために、制御回路100は、「高速放電」を実施する。

[0053] 具体的には、制御回路100は、第1ノードN1の充電を停止する。また、制御回路100は、第1ゲートノードNAの電圧をHighレベルに設定し、第1放電経路DPAを活性化する。更に、制御回路100は、第2ゲートノードNBをHighレベル（VCC）に設定し、第3ノードN3をLowレベル（VCC-6V）に設定する。この場合、第2放電トランジスタ40のゲートソース電圧が閾値電圧を超え、第2放電トランジスタ40はONする。すなわち、第2放電経路DPBが活性化される。

[0054] このように、負荷異常が発生した場合、制御回路100は、第1放電経路

DPAと第2放電経路DPBの両方を活性化し、第1放電経路DPA及び第2放電経路DPBの両方を通して第1ノードN1を放電する。従って、ノードN1の電圧は急激に低下し、その結果、出力トランジスタ10が高速にターンオフする。尚、第2ノードN2の電圧がダイオード51の順方向電圧を下回ると、第2放電経路DPBは遮断される。

[0055] 2-6. ダンプサージ印加時の動作

次に、OFF期間PDにおいて、ダンプサージ等の印加によって、電源電圧VCCの急峻な増加が発生した場合を考える。図7に示される例では、OFF期間PDの最中の時刻t8において、ダンプサージが電源端子TVに印加される。本実施の形態によれば、OFF期間PDの最中にダンプサージが電源端子TVに印加されても、寄生バイポーラトランジスタQ1はONしない。図8を参照して、そのメカニズムを説明する。

[0056] 図8は、OFF期間PDにおける第2放電トランジスタ40及び寄生バイポーラトランジスタQ1の状態を示している。寄生バイポーラトランジスタQ1のコレクタ、エミッタ及びベースは、それぞれ、電源端子TV、第1ノードN1及びバックゲートノードNCに接続されている。また、寄生容量（コレクターベース間容量）C1が、電源端子TVとバックゲートノードNCとの間に接続されている。

[0057] 上述の通り、OFF期間PDにおいて、第2放電トランジスタ40のゲートにつながる第2ゲートノードNBには、Highレベルの電圧（VCC）が印加されている。従って、図8に示されるように、第2放電トランジスタ40のチャネル領域には「反転層L1」が形成される。この反転層L1は、第2放電トランジスタ40のドレイン（第1ノードN1）とソース／バックゲート（第2ノードN2／バックゲートノードNC）との間をショートする。すなわち、反転層L1が形成されることにより、寄生バイポーラトランジスタQ1のエミッターベース間がショートする。

[0058] 従って、電源電圧VCCの急峻な増加が発生し、寄生容量C1を通してノードNCの電圧が持ち上がったとしても、寄生バイポーラトランジスタQ1

はONしない。大きな降伏電流が流れることもないため、第1ノードN1の電圧が持ち上がって出力トランジスタ10がハーフオンすることもない。よって、出力トランジスタ10の熱破壊が防止される。

[0059] 以上に説明されたように、本実施の形態によれば、電力用半導体装置1がOFF状態の時に、電源電圧VCCの急峻な増加が発生した場合であっても、出力トランジスタ10がONすることが防止される。すなわち、出力トランジスタ10の熱破壊が未然に防止される。

[0060] 3. 変形例

図9は、本実施の形態に係る電力用半導体装置1の変形例を示すブロック図である。本変形例では、逆流防止素子50として、ダイオード51の代わりに、PチャネルMOSFET52の寄生ダイオード53が用いられる。このPチャネルMOSFET52のドレイン、ソース及びゲートは、それぞれ、第3ノードN3、第2ノードN2及び第3ノードN3に接続されている。また、PチャネルMOSFET52のバックゲートは、電源端子TVに接続されている。これにより、図9に示されるように、PチャネルMOSFET52のバックゲートーソース間に寄生ダイオード53が形成される。

[0061] 4. 回路構成例

図10は、本実施の形態に係る電力用半導体装置1の回路構成の一例を示している。既出の説明と重複する説明は適宜省略される。

[0062] 図10において、更に、過電圧保護回路60（ダイナミッククランプ回路）が、電源端子TVと第1ノードN1との間に接続されている。この過電圧保護回路60は、ダイオード61、62を備えている。電源端子TVは、ダイオード61のカソードに接続されている。ダイオード61のアノードは、ダイオード62のアノードに接続されている。ダイオード62のカソードは、第1ノードN1に接続されている。この過電圧保護回路60は、負荷20が誘導性負荷である場合に発生する逆起電圧から出力トランジスタ10を保護するために設けられている。

[0063] 制御回路100は、制御入力回路110、昇圧回路120、電圧制御回路

130、負荷異常検出回路140及びインバータ150を備えている。

[0064] 制御入力回路110は、パワーON信号PWRに応じて、昇圧回路120と第1ゲートノードNAの電圧を制御する。パワーON信号PWRが活性化された場合（PWR=High）、制御入力回路110は、昇圧回路120を動作させ、また、第1ゲートノードNAの電圧をLowレベルに設定する。昇圧回路120は、第1ノードN1を電源電圧VCCよりも高い高電圧まで充電する。一方、パワーON信号PWRが非活性化された場合（PWR=Low）、及び、負荷異常が発生した場合、制御入力回路110は、昇圧回路120を停止させ、また、第1ゲートノードNAの電圧をHighレベルに設定する。

[0065] 電圧制御回路130は、電源端子TVとグランド端子TGBとの間に介在している。また、電圧制御回路130は、パワーON信号PWRに応じて、第3ノードN3の電圧を制御する。具体的には、パワーON信号PWRが活性化された場合（PWR=High）、電圧制御回路130は、第3ノードN3の電圧をLowレベル（VCC-6V）に設定する。一方、パワーON信号PWRが非活性化された場合（PWR=Low）、電圧制御回路130は、第3ノードN3の電圧をHighレベル（VCC）に設定する。

[0066] 負荷異常検出回路140は、電源端子TVと第3ノードN3との間に接続されており、電源電圧VCC及び第3ノードN3の電圧をそれぞれ正極電圧及び負極電圧として用いる。負荷異常検出回路140の出力端子は、ノードNDに接続されている。インバータ150も、電源端子TVと第3ノードN3との間に接続されており、電源電圧VCC及び第3ノードN3の電圧をそれぞれ正極電圧及び負極電圧として用いる。インバータ150の出力端子は、第2ゲートノードNBに接続されている。

[0067] 図11は、ノードND、第2ゲートノードNB及び第3ノードN3の状態を示す真理値表である。パワーON信号PWRが非活性化された場合（PWR=Low）、第3ノードN3の電圧はHighレベル（VCC）である。従って、負荷異常検出回路140は、ノードNDにHighレベル（VCC

）の電圧を出力し、インバータ150は第2ゲートノードNBにHighレベル（VCC）の電圧を出力する。

[0068] パワーON信号PWRが活性化された場合（PWR=High）、第3ノードN3の電圧はLowレベル（VCC-6V）である。負荷正常時、負荷異常検出回路140は、ノードNDにHighレベル（VCC）の電圧を出力し、インバータ150は第2ゲートノードNBにLowレベル（VCC-6V）の電圧を出力する。一方、負荷異常が検出された場合、負荷異常検出回路140は、ノードNDにLowレベル（VCC-6V）の電圧を出力し、インバータ150は第2ゲートノードNBにHighレベル（VCC）の電圧を出力する。

[0069] 図12は、電圧制御回路130の一例を示している。図12に示される電圧制御回路130は、NチャネルMOSFET131、ツェナーダイオード132、NチャネルMOSFET133及びNチャネルMOSFET134を備えている。

[0070] NチャネルMOSFET131は、第3ノードN3のプルアップ素子として機能する。本例では、NチャネルMOSFET131はデプレッション型である。NチャネルMOSFET131のドレイン、ソース及びゲートは、それぞれ、電源端子TV、第3ノードN3及び第3ノードN3に接続されている。このNチャネルMOSFET131は、定電流源として機能する。

[0071] ツェナーダイオード132のアノード及びカソードは、それぞれ、第3ノードN3及び電源端子TVに接続されている。

[0072] NチャネルMOSFET133はデプレッション型であり、そのドレイン、ソース及びゲートは、それぞれ、第3ノードN3、ノード135及びノード135に接続されている。このNチャネルMOSFET133は、定電流源として機能する。

[0073] NチャネルMOSFET134はエンハンスメント型であり、そのドレイン、ソース及びゲートは、それぞれ、ノード135、グランド端子TGB及び入力端子TIに接続されている。このNチャネルMOSFET134は、

スイッチとして機能する。

[0074] パワーON信号PWRがHighレベルになると、NチャネルMOSFET 134がONして、第3ノードN3の電圧がグランド電圧方向に引き下げられる。そして、第3ノードN3の電圧が電源電圧VCCからツェナーダイオード132の降伏電圧以上下がると、ツェナーダイオード132に電流が流れる。その結果、電源端子TVと第3ノードN3との間の電圧差は、ツェナーダイオード132の降伏電圧でクランプされる。従って、ツェナーダイオード132の降伏電圧が6Vである場合、第3ノードN3の電圧は“VCC-6V”となる。

[0075] 一方、パワーON信号PWRがLowレベルになると、NチャネルMOSFET 134がOFFする。その結果、第3ノードN3の電圧は、NチャネルMOSFET 131によって、電源電圧VCCにプルアップされる。

[0076] 図13は、電圧制御回路130の他の例を示している。図13に示される電圧制御回路130は、NチャネルMOSFET 131、ツェナーダイオード132、NチャネルMOSFET 136及びPチャネルMOSFET 137を備えている。

[0077] NチャネルMOSFET 131は、第3ノードN3のプルアップ素子として機能する。本例では、NチャネルMOSFET 131はデプレッション型である。NチャネルMOSFET 131のドレイン、ソース及びゲートは、それぞれ、電源端子TV、第3ノードN3及び第3ノードN3に接続されている。このNチャネルMOSFET 131は、定電流源として機能する。

[0078] ツェナーダイオード132のアノード及びカソードは、それぞれ、ノード138及び電源端子TVに接続されている。

[0079] NチャネルMOSFET 136はエンハンスメント型であり、そのドレイン、ソース及びゲートは、それぞれ、ノード138、グランド端子TGB及び入力端子TIに接続されている。このNチャネルMOSFET 136は、スイッチとして機能する。

[0080] PチャネルMOSFET 137はエンハンスメント型であり、そのドレイ

ン、ソース及びゲートは、それぞれ、グランド端子TGB、第3ノードN3及びノード138に接続されている。このPチャネルMOSFET137は、出力バッファとして機能する。

[0081] 図12で示された構成の場合、第3ノードN3からグランド端子TGBへの経路上に、定電流接続されたNチャネルMOSFET133が存在する。そのため、負荷異常発生時の第2放電経路DPBの放電能力は、NチャネルMOSFET133の定電流特性によって制限される。それに対し、図13で示された構成の場合、PチャネルMOSFET137が出力バッファとして付加されているため、負荷異常発生時の第2放電経路DPBの放電能力は制約を受けない。すなわち、第2放電経路DPBを通した放電が、より高速に行われる。

[0082] 以上、本発明の実施の形態が添付の図面を参照することにより説明された。但し、本発明は、上述の実施の形態に限定されず、要旨を逸脱しない範囲で当業者により適宜変更され得る。

[0083] 本出願は、2011年4月4日に提出された日本国特許出願2011-082518を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請求の範囲

[請求項1]

電源端子と出力端子との間に接続された出力トランジスタと、
前記出力トランジスタのゲートに接続された第1ノードの充放電を制御し、前記出力トランジスタをON/OFF制御する制御回路と、
前記第1ノードから前記出力端子への第1放電経路と、
前記第1ノードからグランド端子への第2放電経路と
を備え、
前記第1ノードが充電された後、前記出力トランジスタが安定的にONしている期間がON期間であり、
前記第1ノードが放電された後、前記出力トランジスタが安定的にOFFしている期間がOFF期間であり、
前記OFF期間から前記ON期間への遷移期間がターンオン期間であり、
前記ON期間から前記OFF期間への遷移期間がターンオフ期間であり、
前記ターンオン期間及び前記ON期間、前記制御回路は、前記第1ノードを充電し、前記第1放電経路及び前記第2放電経路を非活性化し、
前記ターンオフ期間及び前記OFF期間、前記制御回路は、前記第2放電経路を非活性化し、また、前記第1放電経路を活性化することによって、前記第1放電経路を通して前記第1ノードを放電し、
負荷異常が発生した場合、前記制御回路は、前記第1放電経路と前記第2放電経路の両方を活性化することによって、前記第1放電経路及び前記第2放電経路の両方を通して前記第1ノードを放電し、
前記第2放電経路は、
ドレインが前記第1ノードに接続され、ソース及びバックゲートが第2ノードに接続された放電トランジスタと、
前記第2ノードと第3ノードとの間に接続され、前記第3ノードか

ら前記第2ノードへの電流の流れを防止する逆流防止素子と
を含み、

前記負荷異常が発生した場合、前記制御回路は、前記放電トランジスタをONし、

少なくとも前記OFF期間において、前記制御回路は、前記放電トランジスタのゲート電圧をHighレベルに設定する
電力用半導体装置。

[請求項2]

請求項1に記載の電力用半導体装置であって、

前記ターンオフ期間において、前記制御回路は、前記放電トランジスタのゲート電圧をHighレベルに設定し、前記放電トランジスタのゲートソース電圧を閾値電圧未満に設定する

電力用半導体装置。

[請求項3]

請求項2に記載の電力用半導体装置であって、

前記ターンオフ期間において、前記制御回路は、前記第3ノードの電圧を前記放電トランジスタのゲート電圧と同じHighレベルに設定する

電力用半導体装置。

[請求項4]

請求項1乃至3のいずれか一項に記載の電力用半導体装置であって、

前記OFF期間において、前記制御回路は、前記第3ノードの電圧を前記放電トランジスタのゲート電圧と同じHighレベルに設定する

電力用半導体装置。

[請求項5]

請求項1乃至4のいずれか一項に記載の電力用半導体装置であって、

前記放電トランジスタのゲート電圧が前記Highレベルに設定された場合、前記放電トランジスタのチャネル領域に反転層が形成される

電力用半導体装置。

[請求項6]

請求項 1 乃至 5 のいずれか一項に記載の電力用半導体装置であって

、

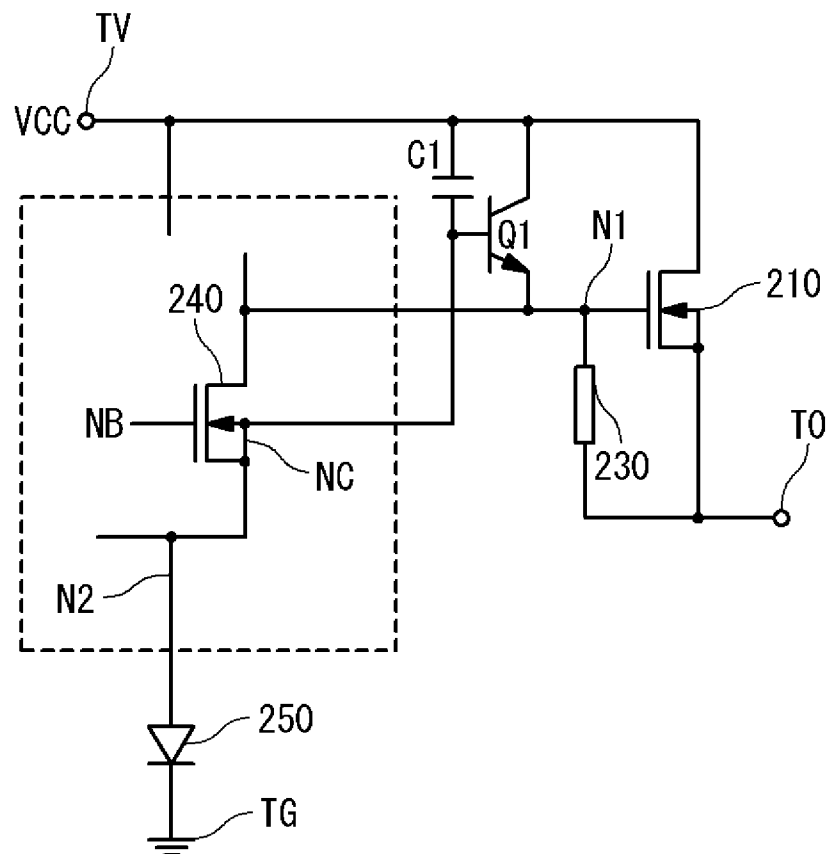
前記放電トランジスタは、寄生バイポーラトランジスタを有し、

前記寄生バイポーラトランジスタのコレクタ、エミッタ及びベースは、それぞれ、前記電源端子、前記第 1 ノード、及び前記放電トランジスタの前記バックゲートに接続されている

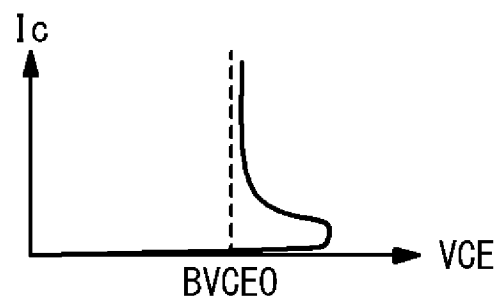
電力用半導体装置。

The diagram illustrates a cross-section of a 2T1D1M1 device. It features two transistors, a diode, and a memory cell. The left transistor (labeled 240) has gates NC, N2, NB, and N1. The right transistor (labeled 210) has gates N1 and T0. The device is built on a substrate with layers labeled p⁺, n⁺, n⁻, p⁻, and n⁺. A diode is connected to the gates of the two transistors. A memory cell is connected to the gates of the two transistors and to a terminal labeled TV (VCC).

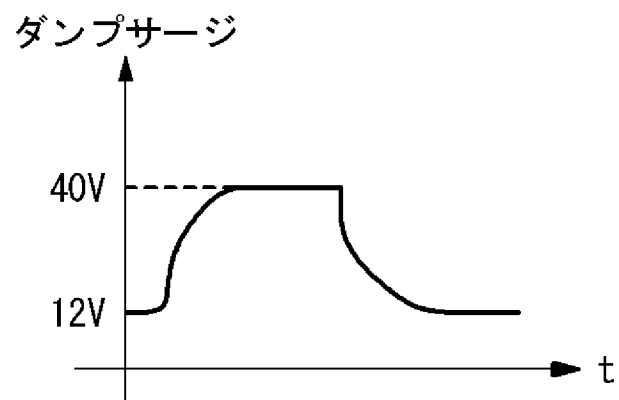
[図3]



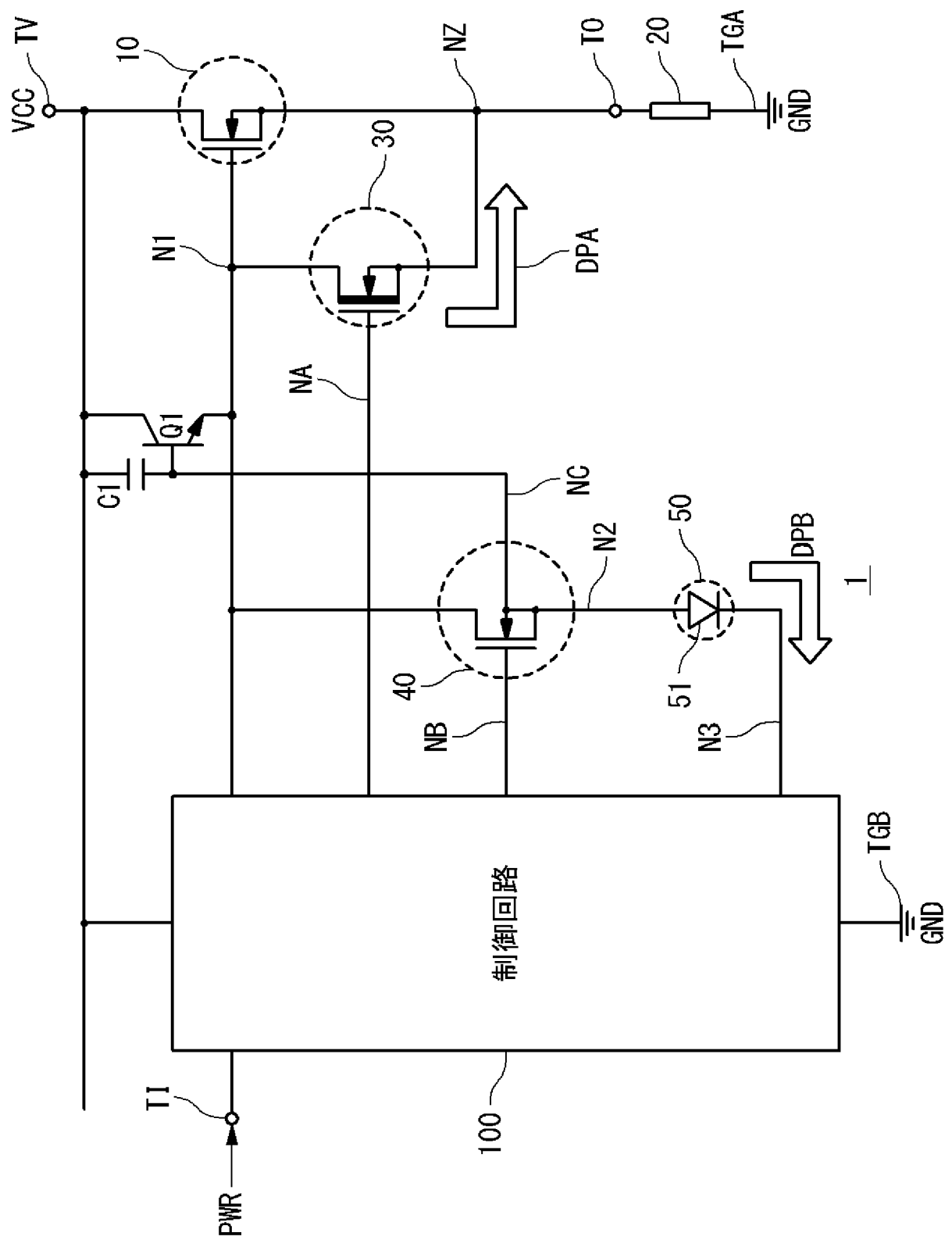
[図4]



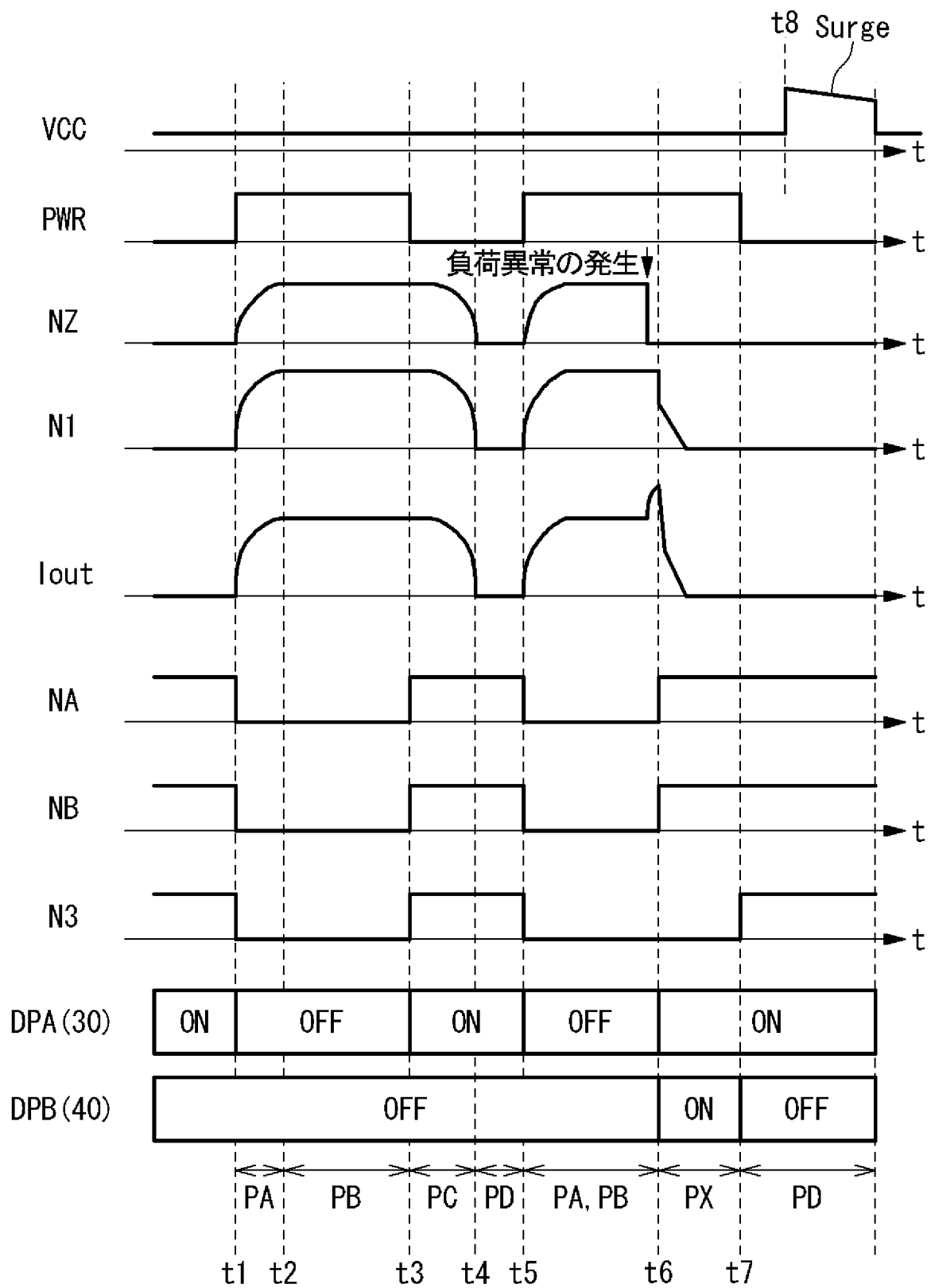
[図5]

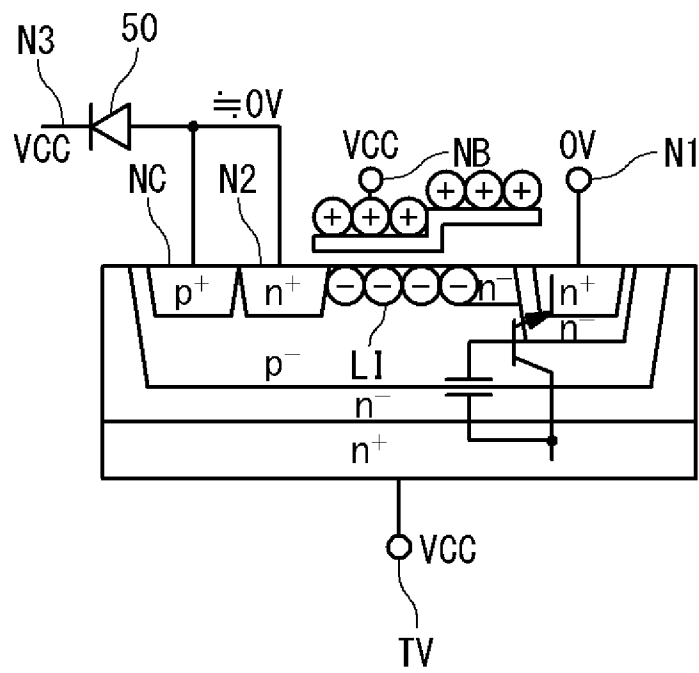


[図6]

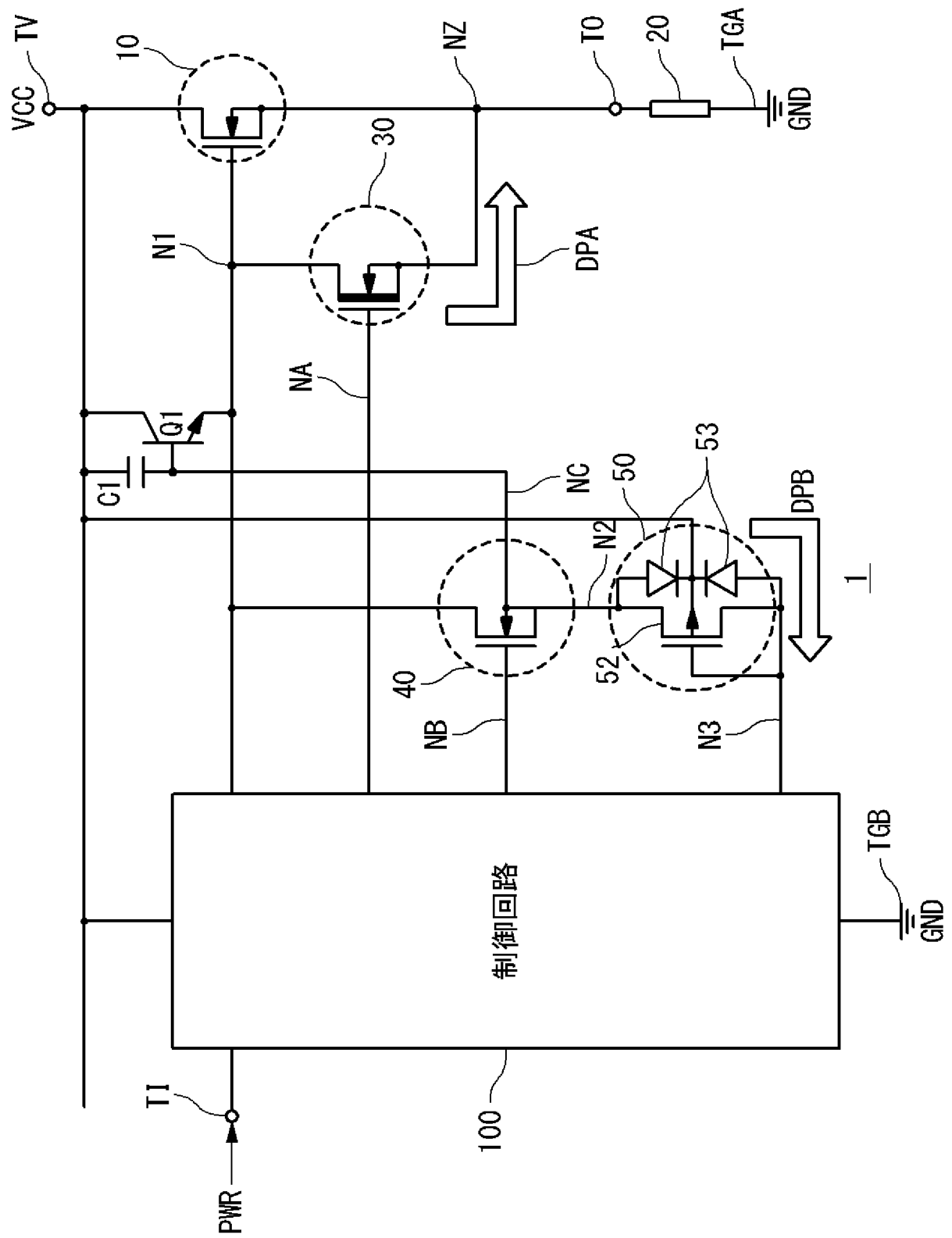


[図7]

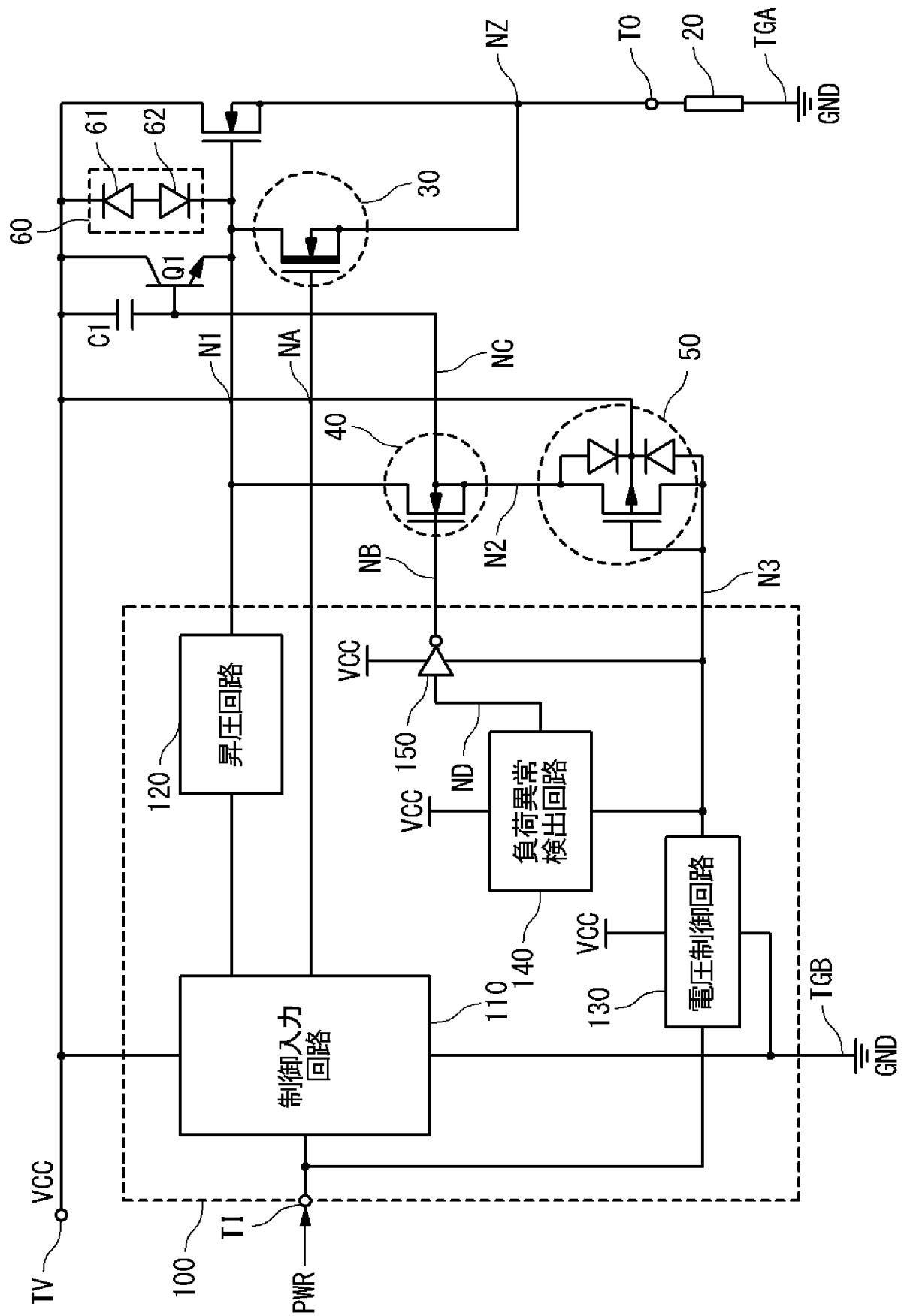




[図9]



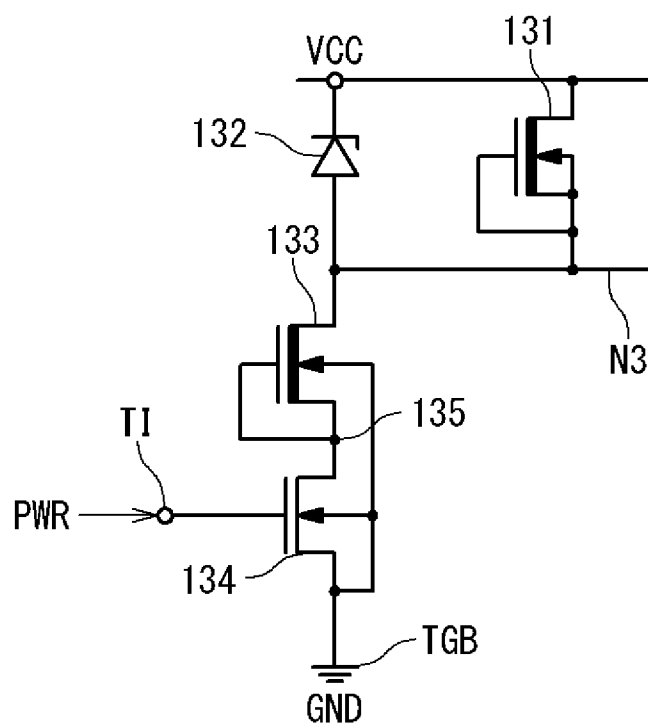
[図10]



[図11]

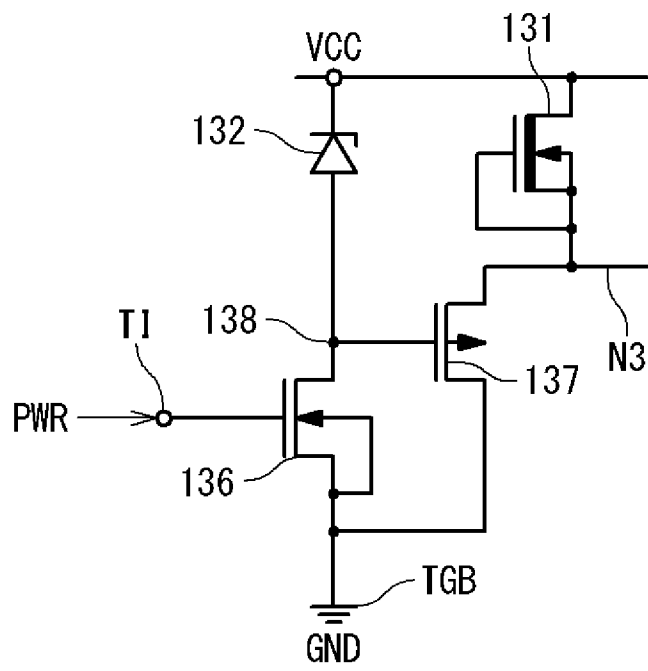
PWR	ND	NB	N3
L	H (VCC)	H (VCC)	H (VCC)
H (負荷正常)	H (VCC)	L (VCC-6V)	L (VCC-6V)
H (負荷異常)	L (VCC-6V)	H (VCC)	L (VCC-6V)

[図12]



130

[図13]

130

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058207

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,
H01L27/06(2006.01)i, H01L27/088(2006.01)i, H02M1/08(2006.01)i, H03K17/08
(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H02M1/08,
H03K17/08, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-288817 A (Hitachi, Ltd.), 01 November 1996 (01.11.1996), fig. 1, 2 and the explanations thereof (Family: none)	1-6
A	JP 2002-84174 A (Denso Corp.), 22 March 2002 (22.03.2002), fig. 9 and the explanations thereof (Family: none)	1-6
A	JP 2009-165113 A (NEC Electronics Corp.), 23 July 2009 (23.07.2009), fig. 8 and the explanations thereof & US 2009/0153225 A1 & EP 2071726 A2	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 May, 2012 (08.05.12)

Date of mailing of the international search report

22 May, 2012 (22.05.12)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058207

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-172940 A (NEC Electronics Corp.), 24 July 2008 (24.07.2008), fig. 9 and the explanations thereof & US 2008/0170345 A1	1-6
A	JP 2005-109162 A (NEC Electronics Corp.), 21 April 2005 (21.04.2005), fig. 1, 2 and the explanations thereof & US 2005/0068705 A1 & DE 102004046418 A & CN 1604474 A	1-6
A	JP 2002-76865 A (Toshiba Micro-Electronics Corp.), 15 March 2002 (15.03.2002), fig. 1, 2 and the explanations thereof (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H02M1/08(2006.01)i, H03K17/08(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H02M1/08, H03K17/08, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-288817 A（株式会社日立製作所）1996.11.01, 図1, 2 及びその説明箇所（ファミリーなし）	1-6
A	JP 2002-84174 A（株式会社デンソー）2002.03.22, 図9 及びその説明箇所（ファミリーなし）	1-6
A	JP 2009-165113 A（NECエレクトロニクス株式会社）2009.07.23, 図8 及びその説明箇所 & US 2009/0153225 A1 & EP 2071726 A2	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-172940 A (NECエレクトロニクス株式会社) 2008.07.24, 図9 及びその説明箇所 & US 2008/0170345 A1	1-6
A	JP 2005-109162 A (NECエレクトロニクス株式会社) 2005.04.21, 図1, 2 及びその説明箇所 & US 2005/0068705 A1 & DE 102004046418 A & CN 1604474 A	1-6
A	JP 2002-76865 A (東芝マイクロエレクトロニクス株式会社) 2002.03.15, 図1, 2 及びその説明箇所 (ファミリーなし)	1-6