

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96118700

※ 申請日期： 96.5.22

※IPC 分類：H01L 23/492 (2006.01)

H01L 23/528 (2006.01)

H01L 21/60 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

塚本 克博

TSUKAMOTO, KATSUHIRO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區大手町2-6-2

6-2, OTEMACHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 秋葉 俊彥

AKIBA, TOSHIHIKO

2. 內藤 孝洋

NAITO, TAKAHIRO

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年07月04日；特願2006-183993

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法，尤其係關於一種有效應用於具有微電腦晶片與記憶體晶片之半導體裝置及其組裝之技術。

【先前技術】

已存在具有如下構件之半導體裝置之技術：第1佈線基板，於其上表面安裝有半導體元件；第2佈線基板，其經由與上述第1佈線基板電性連接之複數個電極端子而層積於第1佈線基板上；以及導體支持構件，其配設於該半導體元件之周圍，且與設置於第1佈線基板及第2佈線基板上之接地佈線層連接(參照例如專利文獻1)。

[專利文獻1]

日本專利特開2005-19568號公報(圖1)

【發明內容】

[發明所欲解決之問題]

作為具有複數個半導體晶片之半導體裝置之一例，眾所周知有被稱為SIP(System In Package，系統級封裝)之半導體裝置，其係於佈線基板上，安裝有具有運算處理功能之半導體晶片(以下，亦稱為微電腦晶片)以及具有記憶體電路之半導體晶片(以下，亦稱為記憶體晶片)。

再者，伴隨半導體裝置之高功能化，要求SIP亦更加小型化、薄型化。於SIP中，安裝複數個記憶體晶片之情形較多，因此常採用晶片層積型構造。例如，於佈線基板上

層積多層記憶體晶片，並將各半導體晶片與佈線基板藉由打線接合而電性連接。

另一方面，為使記憶體晶片與外部之介面發揮作用，較好的是，將微電腦晶片配置於較記憶體晶片更靠近安裝基板之位置。

因此，於上述專利文獻1(日本專利特開2005-19568號公報)中揭示有如下技術：於上層基板上層積配置複數個記憶體晶片，並且於下層基板上安裝微電腦晶片，以實現半導體裝置之小型化。

又，SIP中，於微電腦晶片上安裝有複數個記憶體晶片，並於近年來，伴隨系統之高速化，記憶體晶片使用高速響應之SDRAM(Synchronous Dynamic Random Access Memory，同步動態隨機存取記憶體)，該SDRAM採用DDR(Double Date Rate，雙倍資料傳輸率)方式。DDR方式係於各電路間採取同步時，利用外部時脈訊號上升時與下降時此兩者。處理動作係將資料訊號自微電腦晶片發送至各記憶體晶片。並且，當再自記憶體晶片返回之訊號之時序，大致同時返回至微電腦晶片時，執行處理動作。因此，要求將1個微電腦晶片與複數個記憶體晶片分別電性連接之佈線實現等長化。

然而，於上述專利文獻1所揭示之構造中，層積配置於上層基板上之複數個記憶體晶片與基板之連接中，具有如下問題：因凸塊連接與導線連接混合存在，而無法實現佈線之等長化。

再者，雖設計出於基板內埋入複數個半導體晶片之構造，但於該構造中，存在如下問題：因基板之材質(樹脂)與半導體晶片之材質(Si)之熱膨脹係數之差而導致基板易產生翹曲，故難以對該基板進行焊接連接。

本發明之目的在於提供如下技術，即，可在具有微電腦晶片與複數個記憶體晶片之半導體裝置中，實現複數個記憶體晶片之佈線之等長化。

本發明之其他目的在於提供一種可對埋入有複數個記憶體晶片之基板進行焊接連接之技術。

本發明之上述目的及其他目的與新穎特徵，可根據本說明書之記述及隨附圖式而明確。

[解決問題之技術手段]

如下所述，將簡單說明本申請案所揭示之發明中具有代表性發明之概要。

即，本發明之半導體裝置包括：第1佈線基板；微電腦晶片，其安裝於第1佈線基板上；第2佈線基板，其配置於微電腦晶片上；及複數個第1凸塊電極，其等用以連接第1佈線基板與第2佈線基板；第2佈線基板內建有第1記憶體晶片及第2記憶體晶片，第2記憶體晶片配置於第1記憶體晶片上，並且第1記憶體晶片及第2記憶體晶片係與外部時脈訊號之上升及下降兩方同步地傳輸資料。

又，本發明之半導體裝置之製造方法包括如下步驟：準備第1佈線基板，該第1佈線基板之主面上，設置有複數個第1接合導線；及準備第2佈線基板，該第2佈線基板內建

有第1記憶體晶片及第2記憶體晶片，且第2記憶體晶片配置於第1記憶體晶片上，上述第1記憶體晶片與第2記憶體晶片係與外部時脈訊號之上升與下降兩方同步地傳輸資料。進而本發明之半導體裝置之製造方法包括如下步驟：於第1佈線基板之主面上安裝微電腦晶片；於第1佈線基板之複數個第1接合導線上塗佈焊接膏；將第1凸塊電極連接於第2佈線基板之複數個第2接合導線；及將第1凸塊電極與焊接膏連接，並於第1佈線基板上安裝第2佈線基板。

[發明之效果]

如下所述，將簡單說明本申請案揭示之發明中具有代表性發明所取得之效果。

於具有微電腦晶片及複數個高速記憶體晶片之半導體裝置中，可實現複數個記憶體晶片之佈線之等長化。

又，預先於第1佈線基板之複數個第1接合導線上塗佈焊接膏，以此可將第1凸塊電極與焊接膏連接，並將第2佈線基板安裝於第1佈線基板上，且可對埋入有複數個記憶體晶片且易翹曲之第2佈線基板進行焊接連接。藉此，可將安裝有微電腦晶片且難以翹曲之第1佈線基板配置於下方，且可將易翹曲之第2佈線基板經由第1凸塊電極而安裝於第1佈線基板上。

【實施方式】

於以下實施形態中，除特別須要之情形外，原則上不重複說明同一部分或相同部分。

進而，為方便起見，在必要時，將以下實施形態分割成

複數個部分或實施形態而進行說明，但除特別明示之情形外，此等複數個部分或實施形態並非無關者，而是其中一者為另一者之一部分或全部變形例、詳細內容、補充說明等關係。

又，於以下實施形態中，言及要素之數量等(包括個數、數值、量、範圍等)時，除特別明示之情形及理論上明確限定為特定數量以外，並非限定於上述特定數量，其既可為特定數以上，亦可為特定數以下。

以下，根據圖式對本發明之實施形態進行詳細說明。再者，於用以說明實施形態之所有圖式中，對具有相同功能之構件附以相同符號，省略其重複說明。

(實施形態1) 圖1係示意性表示本發明實施形態1之半導體裝置構造之一例之剖面圖，圖2係示意性表示圖1所示之半導體裝置之等長佈線構造之部分構造圖，圖3係表示對於每一基板，展開圖1所示之半導體裝置之構造之平面圖，圖4係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖。又，圖5係表示圖1所示之半導體裝置之上層側封裝構造之剖面圖，圖6係表示圖1所示之半導體裝置之下層側封裝構造之剖面圖，圖7係表示圖4所示之半導體裝置之下層側封裝構造之剖面圖，圖8係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖，圖9係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖。進而，圖10係表示對於每一基板，展開圖8所示之半導體裝置之構造之平面圖，圖11係示意性表示

本發明實施形態1之變形例之半導體裝置構造之剖面圖，圖12係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖。

圖1~圖3所示之本實施形態1之半導體裝置係具有複數個半導體晶片者，且係具有內建複數個半導體晶片之基板之半導體封裝。於本實施形態1中，舉出SIP 1作為上述半導體裝置之一例進行說明。

對SIP 1之構成進行說明，該SIP 1包含：第1佈線基板4，其具有主面(第1主面)4a及與主面4a對向之背面(第1背面)4b；微電腦晶片3，其安裝於第1佈線基板4之主面4a上；第2佈線基板5，其具有主面(第2主面)5a及與主面5a對向之背面(第2背面)5b，且配置於微電腦晶片3上；以及複數個第1焊接凸塊(第1凸塊電極)34，其等用於電性連接第1佈線基板4與第2佈線基板5。進而，於第1佈線基板4之背面4b上，網格狀配置有複數個第2焊接凸塊(第2凸塊電極)35，作為SIP 1之外部端子。

即，SIP 1具有：第1佈線基板4；安裝於第1佈線基板4上之微電腦晶片3；配置於微電腦晶片3上之第2佈線基板5；連接第1佈線基板4與第2佈線基板5之複數個第1焊接凸塊34；以及設置於第1佈線基板4之背面4b上之複數個第2焊接凸塊35；且SIP 1係於具有第1佈線基板4之封裝完成構造上，安裝具有第2佈線基板5之封裝完成構造之所謂POP(Package on Package，層疊封裝)構造。

進而，高速之第1記憶體晶片2與高速之第2記憶體晶片

6，以層積之狀態內建於第2佈線基板5之內部，於第2佈線基板5內，使第1記憶體晶片2之佈線與第2記憶體晶片6的佈線實現等長化。

以下對SIP 1之構造進行詳細說明：於第1佈線基板4上，經由複數個第1焊接凸塊34而安裝第2佈線基板5，且在第1佈線基板4之主面4a與第2佈線基板5之背面5b之間的區域，配置具有運算處理功能之微電腦晶片3。如圖3所示，微電腦晶片3配置於第1佈線基板4上之大致中央處，且經由例如複數個金凸塊36，而與形成於第1佈線基板4之主面4a上之複數個第1接合導線4c中，微電腦晶片3用之複數個接合導線(未圖示)以覆晶連接之方式連接。即，如圖1所示，微電腦晶片3係以主面3a朝向下方且背面3b朝向上方之方式而安裝。進而，於該覆晶連接部填充有底部填料37，並藉由該底部填料37而保護上述覆晶連接部。此處，經由Au凸塊36將微電腦晶片3進行覆晶連接，藉此可對應於窄間距化。

又，如圖3所示，用於連接第1佈線基板4與第2佈線基板5之第1焊接凸塊34，配置於微電腦晶片3之外側周圍。此時，於圖1所示之SIP 1中，第1佈線基板4與第2佈線基板5之平面方向之大小相同，因此如圖3所示，複數個第1焊接凸塊34排列配置於第1佈線基板4及第2佈線基板5之周緣部。更進一步說明，複數個第1焊接凸塊34排列配置於第1佈線基板4之主面4a上所安裝之微電腦晶片3之周圍。

又，第2佈線基板5中，內建有分別具備記憶體電路之第

1記憶體晶片2及第2記憶體晶片6，此時如圖1所示，第2記憶體晶片6配置於第1記憶體晶片2上。即，將第1記憶體晶片2及第2記憶體晶片6埋入第2佈線基板5中，此時，於第1記憶體晶片2上，層積有第2記憶體晶片6。再者，第1記憶體晶片2及第2記憶體晶片6均係主面2a、6a及背面2b、6b分別朝向相同方向而層積。

如上所述，本實施形態1之SIP 1中，下層側如圖6所示，形成為於第1佈線基板4上安裝微電腦晶片3之封裝完成構造，進而，上層側如圖5所示，形成為於第2佈線基板5內，內建有第1記憶體晶片2與第2記憶體晶片6之封裝完成構造，並且形成為上層側與下層側之封裝完成構造層積而成之構造(以下，亦稱為層疊封裝構造)。

因此，可於獨立之封裝完成構造中，實施記憶體晶片之測試及微電腦晶片之測試，故藉由將良品彼此組合並層積而可使SIP 1組裝時之良率提昇。

又，由於可自由地組合記憶體晶片之封裝構造、及微電腦晶片之封裝構造，因此可組合多種變化而實現各種構造。此時，於測試後，亦可由使用者方來選擇組合。

再者，內建於在SIP 1之上層側所配置之第2佈線基板5內之第1記憶體晶片2及第2記憶體晶片6，例如為雙倍資料傳輸率之同步動態隨機存取記憶體(Double Data Rate SDRAM)。雙倍資料傳輸率之SDRAM係強化SDRAM之同步時序，使傳輸率變為2倍之高速響應之SDRAM，且係與外部時脈訊號之上升及下降此兩者同步地傳輸資料者。

因此，第1記憶體晶片2及第2記憶體晶片6使用外部時脈訊號之上升及下降此兩者，故必須響應極短之時序，本實施形態1中，在第2佈線基板5之內部，與第1記憶體晶片2連接之內部佈線5d、以及與第2記憶體晶片6連接之內部佈線5d可實現等長化。

即，如圖2所示，在第2佈線基板5之內部佈線5d中，自第1記憶體晶片2之第1電極墊2c，至對應於該第1電極墊2c之第2佈線基板5之第2接合導線5c為止之第1距離5e，與自第2記憶體晶片6之第2電極墊6c，至對應於該第2電極墊6c之第2接合導線5c為止之第2距離5f，形成大致相等之長度。

藉此，於第1記憶體晶片2及第2記憶體晶片6中，可實現內部佈線5d之等長化，因此可與外部時脈訊號之上升及下降此兩者同步地傳輸資料。

再者，關於內部佈線5d之等長化，第1距離5e與第2距離5f之差之容許範圍例如為 ± 2 mm以內，較好的是 ± 1 mm以內。

此處，SIP 1中，微電腦晶片3位於系統外部及設置於系統內部之第1記憶體晶片2或第2記憶體晶片6之間，以控制資料之輸入輸出。即，於複數個記憶體晶片之間，交換位址、指令、時脈等資訊。因此，如圖1所示，微電腦晶片3與第1記憶體晶片2及第2記憶體晶片6，分別經由複數個第1接合導線4c、複數個第1焊接凸塊34、以及複數個第2接合導線5c而電性連接。此時，將與微電腦晶片3之複數個

金凸塊36電性連接之微電腦晶片用之接合導線、及與複數個第1焊接凸塊34電性連接之複數個第1接合導線4c，分別電性連接。

於本實施形態1之SIP 1中，將微電腦晶片3配置於下層側，且將記憶體晶片配置於上層側。

其原因在於，第2佈線基板5中，內建有2個較薄之第1記憶體晶片2及第2記憶體晶片6，因此，較內部未安裝半導體晶片之第1佈線基板4更易翹曲。即，由於基板與晶片之熱膨脹係數之差，第2佈線基板5與第1佈線基板4相比易翹曲，因此，在將第2佈線基板5配置於下層側時，無法確保第2佈線基板5之表面(主面5a)之平坦性，對於欲在上層側層積之第1佈線基板4易產生安裝不良。然而，於SIP 1組裝時之第1佈線基板4與第2佈線基板5之焊接連接中，預先於第1佈線基板4之第1接合導線4c上，塗佈焊接膏46(焊料)(參照圖35)，並將該焊接膏46與第1焊接凸塊34連接，藉此，即便第2佈線基板5翹曲時，亦可將第1佈線基板4與第2佈線基板5連接。因而，將翹曲較少之第1佈線基板4配置於下側，故亦可由使用者方來安裝SIP 1。

又，微電腦晶片3與記憶體晶片相比，其接腳數遠多於記憶體晶片，且發熱量亦較大。即，微電腦晶片3係與發送接收訊號之外部間之媒介，並且接腳數多且發熱量亦大。然而，將微電腦晶片3安裝於下層之第1佈線基板4上，可經由第2焊接凸塊35而向安裝有SIP 1之安裝基板散熱。

如上所述，本實施形態1之SIP 1中，於第2佈線基板5中，內建有第1記憶體晶片2及第2記憶體晶片6，且第2記憶體晶片6配置於第1記憶體晶片2上，並且第1記憶體晶片2及第2記憶體晶片6係與外部時脈訊號之上升及下降此兩者同步地傳輸資料之高速記憶體晶片。於內建有上述複數個高速記憶體晶片之第2佈線基板5中，可實現該等記憶體晶片(第1記憶體晶片2及第2記憶體晶片6)之佈線之等長化。

進而，由於將易翹曲之晶片內建之第2佈線基板5配置於上層側，故自微電腦晶片3發出之熱，可經由外部端子即第2焊接凸塊35而向安裝基板散熱。

其次，對本實施形態1之變形例進行說明。圖4所示之變形例之SIP 1係於下層側之第1佈線基板4上層積半導體晶片而安裝者。層積於第1佈線基板4上之下層半導體晶片係以覆晶連接方式所連接之微電腦晶片3。因此，該微電腦晶片3經由第1佈線基板4之第1內部佈線4e而與第1焊接凸塊34及第2焊接凸塊35電性連接。

又，於圖4所示之SIP 1之第1佈線基板4上所層積之上層半導體晶片，可為微電腦晶片3，亦可為記憶體晶片40，且經由金屬線38而與第1佈線基板4之主面4a上之端子4d電性連接。由於記憶體晶片40無須內建於第2佈線基板5之如第1記憶體晶片2及第2記憶體晶片6之高速處理，因此端子4d經由與第1內部佈線4e分離之第2內部佈線4f，而與第2焊接凸塊35連接。再者，下層之微電腦晶片3與上層之記

憶體晶片40、以及金屬線38，藉由密封體39而樹脂密封。

又，於圖4所示之SIP 1中，下層側如圖7所示，形成為於第1佈線基板4上層積有微電腦晶片3與記憶體晶片40之封裝完成構造，進而，上層側如圖5所示，形成為於第2佈線基板5內，內建有第1記憶體晶片2與第2記憶體晶片6之封裝完成構造，並且形成為上層側與下層側之封裝完成構造層積而成之構造(層疊封裝構造)。

因此，可於獨立之封裝完成構造中，實施記憶體晶片之測試及微電腦晶片之測試，故藉由對良品彼此進行組合並層積而可使圖4所示之SIP 1之組裝時之良率提昇。

其次，如圖10所示，圖8所示之變形例之SIP 1之上下層基板之尺寸不同，且配置於下層之第1佈線基板4之尺寸，遠大於配置於上層之第2佈線基板5。進而，如圖8所示，第2佈線基板5與第1佈線基板4之自第2佈線基板5向前突出之部位，由散熱板41覆蓋，可使SIP 1之散熱性提高。散熱板41經由黏著劑42而固著於第1佈線基板4之主面4a之周緣部。

又，圖9所示之變形例之SIP 1中，經由黏著劑42將散熱板41僅固著於第1佈線基板4之自第2佈線基板5向前突出之部位，藉此，亦可使SIP 1之散熱性提高。

又，圖11所示之變形例之SIP 1，係於第1佈線基板4上層積第2佈線基板5，進而於第2佈線基板5上，經由第3焊接凸塊44而層積有第3佈線基板43者。於第3佈線基板43上，例如於其下層，經由金凸塊36而以覆晶連接方式連接

有微電腦晶片45，進而於其上層層積記憶體晶片40，記憶體晶片40係經由金屬線38而電性連接於第3佈線基板43。第3佈線基板43上之微電腦晶片45及記憶體晶片40或金屬線38，藉由密封體39而樹脂密封，進而，於密封體39之表面黏貼散熱板41。

又，圖12所示之變形例之SIP 1係於埋入有第1記憶體晶片2與第2記憶體晶片6之第2佈線基板5的主面5a上，安裝有例如記憶體晶片40(亦可為微電腦晶片45)者，該記憶體晶片40經由金屬線38而與第2佈線基板5之主面5a之端子5g電性連接。由於記憶體晶片40無須如內建於第2佈線基板5之如第1記憶體晶片2及第2記憶體晶片6之高速處理，因此端子5g經由與第2佈線基板5之內部佈線5d分離之其他內部佈線5h，而與第1焊接凸塊34連接，進而，第1焊接凸塊34經由第1佈線基板4之第2內部佈線4f而與第2焊接凸塊35連接。

再者，於第2佈線基板5之主面5a上，記憶體晶片40及金屬線38藉由密封體39而樹脂密封，進而，於密封體39之表面黏貼散熱板41，並且於第1佈線基板4之自第2佈線基板5向前突出之周緣部，亦黏貼散熱板41。

如上所述，圖11及圖12分別所示之變形例之SIP 1，係多層之層疊封裝構造之封裝，可獲得與圖1所示之SIP 1相同之效果，並且藉由安裝更多之半導體晶片(記憶體晶片40或微電腦晶片45等)，而可實現功能進一步提高之SIP 1。

其次，對本實施形態1之圖1所示之SIP 1之組裝進行說明。

圖13~圖18分別係表示圖1所示之半導體裝置組裝中內建晶片形成方法之一例之部分剖面圖，圖19~圖21分別係表示圖1所示之半導體裝置組裝中晶片埋入方法之一例之部分剖面圖，圖22~圖25分別係表示變形例之晶片埋入方法之部分剖面圖。又，圖26係表示圖1所示之半導體裝置組裝中晶片埋入方法之一例之部分剖面圖，圖27係表示圖1所示之半導體裝置組裝中內建晶片層積方法之一例之部分剖面圖，圖28係表示圖1所示之半導體裝置組裝中內建晶片層積後之基板構造之一例之背面圖，圖29係表示沿圖28之A-A線切下之構造之一例的剖面圖。進而，圖30係表示圖1所示之半導體裝置組裝中第1凸塊電極安裝後之構造之一例的部分剖面圖，圖31係表示變形例之第1凸塊電極安裝後之構造之部分剖面圖，圖32係表示圖1所示之半導體裝置組裝中基板單片化及測試結束後之構造之一例的剖面圖，圖33係表示圖1所示之半導體裝置組裝中下側封裝測試結束後之構造之一例的部分剖面圖。

又，圖34係表示圖1所示之半導體裝置組裝結束後之構造之一例的部分剖面圖，圖35係表示圖1所示之半導體裝置組裝中焊料形成時之構造之一例的部分剖面圖，圖36~圖38分別係表示變形例之下側封裝測試結束後之構造之部分剖面圖，圖39係表示變形例之半導體裝置組裝中第1凸塊電極安裝後之構造之部分剖面圖。

首先，如圖13所示，於矽基底7上形成元件層8，進而對在元件層8上形成有第1電極墊2c與鈍化膜10之元件，進行探針檢查與熔斷器9之切斷，以獲得良品元件。

其後，如圖14所示，於第1電極墊2c及鈍化膜10上，形成作為電極層之籽晶層12。

其後，如圖15所示，於籽晶層12上形成光阻膜13，其後，以特定形狀去除第1電極墊2c上之光阻膜13之後，於第1電極墊2c上之籽晶層12上，形成Cu電極14。

其後，如圖16所示，去除Cu電極14周圍之光阻膜13及籽晶層12，完成第1電極墊2c上之Cu電極14。再者，Cu電極14之形成亦可藉由濺鍍法等其他方法而進行。

其後，如圖17所示，研磨矽基底背面，以形成薄膜化元件33。

其後，以切割方式而實施單片化，以獲得圖18所示之第1記憶體晶片2。

其後，如圖19所示，準備多串第1基底基板15，進而，於第1基底基板15上形成樹脂層17、以及作為凹部之空腔16。

其後，將圖18中所形成之第1記憶體晶片2，配置於第1基底基板15上所形成之空腔16內，並以固晶材料18而固著。

其後，如圖20所示，於空腔16內，於第1記憶體晶片2上填充包含環氧樹脂等之絕緣材19，進而，使第1記憶體晶片2之第1電極墊2c上之Cu電極14之上部開口。

其後，利用雷射加工等，於樹脂層17之特定部位形成貫通孔，繼而，如圖21所示，利用電鍍，於貫通孔之內壁形成通孔佈線23，並且於其內部埋入填充材22，進而形成連接於Cu電極14之佈線圖案即導體圖案20、以及用以連接導體圖案20與通孔佈線23之通道墊24。此時，藉由導體圖案20而覆蓋通道墊24。

再者，如圖22及圖23之變形例所示，可於第1基底基板15上進行晶片安裝後，以預浸材等絕緣材19而覆蓋晶片周圍，亦可以絕緣材19覆蓋後，使第1電極墊2c上之Cu電極14之上部開口。開口後，形成通道墊24、以及覆蓋該通道墊24且與Cu電極14連接之導體圖案20。

又，如圖24及圖25之變形例所示，亦可利用圖19所示之空腔構造，形成在樹脂層17之上部並未配置包含環氧樹脂等之絕緣材19之構造。即，僅於空腔16內填充絕緣材19。

其後，如圖26所示，於導體圖案20上形成包含預浸材等之絕緣層11，並且於通道墊24上形成焊墊26。

其後，如圖27所示，準備第2基底基板21。此處，第2基底基板21具有與樹脂層17(包含第1基底基板15)大致相同之厚度，且於第2基底基板21之特定部位，形成通孔佈線23、連接該通孔佈線23之通道墊24、以及中繼圖案25。

其後，如圖28及圖29所示，於第2基底基板21之表面側，配置埋入有第2記憶體晶片6之樹脂層17(包含第1基底基板15)，進而，於第2基底基板21之背面側，配置埋入有第1記憶體晶片2之樹脂層17(包含第1基底基板15)，藉由加

熱壓合等而使第2基底基板21與表面背面此兩面之樹脂層17分別黏著。此時，將各樹脂層17與第2基底基板21黏著，以使第2基底基板21之表面背面此兩面之第2記憶體晶片6與第1記憶體晶片2朝向相同方向。

其結果為，可於中間插入第2基底基板21之狀態下，將第2記憶體晶片6與第1記憶體晶片2層積，並且可進行上下記憶體晶片之等長佈線。此處，如圖29所示，分別連接於第2記憶體晶片6及第1記憶體晶片2之導體圖案20，分別經由通孔佈線23而於A部連接於中繼圖案25，藉此可實現佈線之等長化(圖29中之塗黑佈線為等長化佈線)。

其後，於基板之表面背面此兩面形成光阻膜27。

藉此，將第1記憶體晶片2與第2記憶體晶片6層積並埋入，且使形成有等長化佈線之封裝完成構造之形成結束。

其後，如圖30所示，將第1焊接凸塊34連接於封裝完成構造(第2佈線基板5)背面5b之焊墊26(第2接合導線5c)。

再者，圖31所示之變形例係於封裝完成構造(第2佈線基板5)之焊墊26(第2接合導線5c)上連接第1焊接凸塊34時，當將第2佈線基板5連接於第1佈線基板4時，使第1記憶體晶片2及第2記憶體晶片6之元件面朝向上方者。即，圖31所示之變形例係將第1焊接凸塊34連接於封裝完成構造(第2佈線基板5)之主面5a之焊墊26(第2接合導線5c)者。藉此，即便基板翹曲，亦可提高基板之安裝性，並且可使基板之散熱性提高。

其後，如圖32所示，以切割方式實施基板之單片化，以

形成第2佈線基板5，進而進行該封裝完成構造(記憶體堆疊封裝)之記憶體測試。

其後，如圖33所示，以覆晶連接方式安裝微電腦晶片3，且將第2焊接凸塊35連接，進而準備測試結束之第1佈線基板4(封裝完成構造)。

其後，如圖34所示，經由第1焊接凸塊34而連接具有上層之第2佈線基板5之封裝完成構造、與具有下層之第1佈線基板4之封裝完成構造，以結束SIP 1之組裝。

再者，在連接第1佈線基板4與第2佈線基板5時，於承受熱及載荷之狀態下，將第2佈線基板5安裝於第1佈線基板4上。進而，如圖35所示，較好的是，預先於第1佈線基板4之第1接合導線4c上塗佈焊料，並將上述焊料與連接於第2佈線基板5之第1焊接凸塊34連接。即，較好的是，於第1佈線基板4之主面4a之複數個第1接合導線4c上，預先塗佈作為焊料之焊接膏46，並承受熱及載荷，將第1焊接凸塊34與焊接膏46連接，以於第1佈線基板4上安裝第2佈線基板5。

其原因在於，在配置於上層之第2佈線基板5中，層積並埋入有較薄之第1記憶體晶片2與第2記憶體晶片6，故基板易翹曲。因此，連接配置於上層之第2佈線基板5與配置於下層之第1佈線基板4時，於下層側之第1佈線基板4之第1接合導線4c上預先塗佈焊接膏46(焊料)，並承受熱及載荷而安裝第2佈線基板5，藉此可吸收上層側之第2佈線基板5之翹曲以進行焊接連接。當不承受熱及載荷時，第2佈線

基板5再次翹曲，但此時焊接硬化，第1佈線基板4與第2佈線基板5之連接結束，故不會導致連接不良。

因此，雖可不於第1佈線基板4上塗佈焊接膏46，而僅承受熱及載荷，但更好的是，預先於第1佈線基板4上，塗佈作為焊料之焊接膏46，以此能夠更可靠地安裝易翹曲且晶片內建之第2佈線基板5。

即，採用焊料技術，可將複數個晶片內建且易翹曲之第2佈線基板5配置於上層而進行焊接安裝。其結果為，安裝有微電腦晶片3且難以翹曲之第1佈線基板4配置於下層，且可將易翹曲之第2佈線基板5經由第1焊接凸塊34，安裝於第1佈線基板4上，因此，亦可由使用者方來安裝第2佈線基板5。

其次，圖36係表示變形例者，於第1佈線基板4上，例如將微電腦晶片3與記憶體晶片40層積而安裝，其結果為，存在將該等晶片進行樹脂密封之密封體39之高度變得更高之情形。因此，無法採用於該密封體39之周圍，經由第1焊接凸塊34而將其他封裝層積之POP(Package On Package)構造。故為了將第1佈線基板4上之第1接合導線4c引出至高於密封體39上表面之位置，而插入間隔基板28進行測試。於測試結束後，如圖37所示，使間隔基板28脫離，可返回至初始第1佈線基板4之構造。

又，圖38所示之變形例係在層積於第1佈線基板4上之微電腦晶片3與記憶體晶片40中，經由金屬線38而連接上層記憶體晶片40與基板時，於間隔基板28之空腔內側設置階

差部 28a，並將金屬線 38 連接於該階差部 28a 之電極而進行測試。設置階差部 28a 後，即便在以覆晶連接方式而連接之微電腦晶片 3 與第 1 佈線基板 4 之間填充有底部填充樹脂，亦難以使用底部填充樹脂，來覆蓋經由金屬線 38 而與記憶體晶片 40 電性連接之第 1 佈線基板 4 上之接合導線。

又，圖 39 所示之變形例，係在第 1 記憶體晶片 2 與第 2 記憶體晶片 6 以層積之狀態埋入於第 2 佈線基板 5 中，將兩晶片逆向層積者。即，使第 1 記憶體晶片 2 之背面 2b 與第 2 記憶體晶片 6 之背面 6b 相對而層積，且於該構造中，亦將兩晶片分別經由通孔佈線 23 而連接於中繼圖案 25，藉此可實現佈線之等長化。

(實施形態 2) 圖 40 係示意性表示本發明實施形態 2 之半導體裝置構造之一例之剖面圖，圖 41 係表示圖 40 所示之半導體裝置之上層側封裝構造之剖面圖，圖 42 係表示圖 41 所示之上層側封裝基板之內部構造之一例的部分剖面圖。

圖 40 所示之本實施形態 2 之 SIP 31 中，內建於第 2 佈線基板 5 內之半導體晶片，分別係具有貫通孔 2d、6d、30c 者，且係於各貫通孔 2d、6d、30c 內埋入有導體 29 而使佈線等長化者。

因此，如圖 41 所示，將第 1 記憶體晶片 2、第 2 記憶體晶片 6、及第 3 記憶體晶片 30 層積並埋入於第 2 佈線基板 5 中，故可將該構造作為封裝完全構造而進行記憶體測試。再者，各晶片係各自之主面 2a、6a、30a 及背面 2b、6b、30b 朝向相同方向而層積，並經由埋入於貫通孔 2d、6d、30c

中之導體29而電性連接。

再者，圖42表示具有第2佈線基板5之封裝完成構造之詳細情形，上述第2佈線基板5中僅層積並埋入有第1記憶體晶片2與第2記憶體晶片6，於該封裝完成構造中晶片厚度亦較小，因此可經由導體29而實現佈線之等長化。其結果可獲得與實施形態1之SIP 1相同之效果。

(實施形態3) 圖43係示意性透視表示本發明實施形態3之半導體裝置構造之一例之平面圖，圖44係圖43所示之半導體裝置之剖面圖，圖45至圖48分別係示意性透視表示本發明實施形態3之變形例之半導體裝置構造之平面圖及剖面圖。

本實施形態3之半導體裝置(SIP 32)係於第1佈線基板4上安裝第2佈線基板5時，橫向(水平)安裝微電腦晶片3與第2佈線基板5者，圖43、圖45、及圖47所示之SIP 32自上方透視表示各內部構造。

圖43及圖44表示，於經由金凸塊36而以覆晶連接之方式連接於第1佈線基板4上之微電腦晶片3之旁邊，將層積並埋入有第1記憶體晶片2與第2記憶體晶片6之第2佈線基板5，經由第1焊接凸塊34而安裝之構造。於第1佈線基板4之背面側，設置有複數個第2焊接凸塊35。

於圖45及圖46所示之SIP 32中，安裝有經由金凸塊36而以覆晶連接之方式連接於第1佈線基板4上之微電腦晶片3，進而於微電腦晶片3上，例如層積並安裝有記憶體晶片40等。此時，亦於微電腦晶片3之旁邊，經由第1焊接凸塊

34而安裝有將第1記憶體晶片2與第2記憶體晶片6層積並埋入之第2佈線基板5，進而，於第1佈線基板4之背面側，設置有複數個第2焊接凸塊35。

圖47及圖48之SIP 32，係指於圖45之SIP 32之微電腦晶片3上層積的記憶體晶片40之更上部，設置有散熱板41之情形，除散熱板41以外之構造與圖45之SIP 32相同。

於圖43~圖48所示之SIP 32中，亦可在安裝於第1佈線基板4上且晶片內建之第2佈線基板5上，實現複數個半導體晶片之佈線之等長化，以可獲得與實施形態1之SIP 1相同之效果。

以上，根據發明之實施形態，對本發明者所研製之發明進行了具體說明，但本發明並非限定於以上所述之發明之實施形態，毫無疑問，於不脫離其主旨之範圍內可進行各種變更。

例如，於上述實施形態1~3中，對上層側之第2佈線基板5中，層積並內建有2層或3層半導體晶片之情形進行了說明，但內建之半導體晶片之層積數量只要為2層以上，則可為任意層。

又，例如對於微電腦晶片3之覆晶連接，並非限定於金凸塊，亦可使用焊接凸塊。如圖43~圖48所示，當水平安裝有微電腦晶片3與內建記憶體晶片(第1記憶體晶片2與第2記憶體晶片6)之第2佈線基板5時，可在將其等分別安裝於第1佈線基板4上之後，一併進行回焊處理，並且，與使用Au凸塊之情形相比，可實現安裝步驟之簡略化。

[產業上之可利用性]

本發明適用於具有微電腦晶片與記憶體晶片之電子裝置。

【圖式簡單說明】

圖1係示意性表示本發明實施形態1之半導體裝置構造之一例之剖面圖。

圖2係示意性表示圖1所示之半導體裝置之等長佈線構造之部分構造圖。

圖3係表示對於每一基板，展開圖1所示之半導體裝置之構造之平面圖。

圖4係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖。

圖5係表示圖1所示之半導體裝置之上層側封裝構造之剖面圖。

圖6係表示圖1所示之半導體裝置之下層側封裝構造之剖面圖。

圖7係表示圖4所示之半導體裝置之下層側封裝構造之剖面圖。

圖8係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖。

圖9係示意性表示本發明實施形態1之變形例之半導體裝置構造之剖面圖。

圖10係表示對於每一基板，展開圖8所示之半導體裝置之構造之平面圖。

圖 11 係示意性表示本發明實施形態 1 之變形例之半導體裝置構造之剖面圖。

圖 12 係示意性表示本發明實施形態 1 之變形例之半導體裝置構造之剖面圖。

圖 13 係表示圖 1 所示之半導體裝置組裝中，內建晶片之形成方法之一例的部分剖面圖。

圖 14 係表示圖 1 所示之半導體裝置組裝中，內建晶片之形成方法之一例的部分剖面圖。

圖 15 係表示圖 1 所示之半導體裝置組裝中，內建晶片之形成方法之一例的部分剖面圖。

圖 16 係表示圖 1 所示之半導體裝置組裝中，內建晶片之形成方法之一例的部分剖面圖。

圖 17 係表示圖 1 所示之半導體裝置組裝中，內建晶片之形成方法之一例的部分剖面圖。

圖 18 係表示圖 1 所示之半導體裝置時組裝中，內建晶片之形成方法之一例的部分剖面圖。

圖 19 係表示圖 1 所示之半導體裝置組裝中，晶片埋入方法之一例之部分剖面圖。

圖 20 係表示圖 1 所示之半導體裝置組裝中，晶片埋入方法之一例的部分剖面圖。

圖 21 係表示圖 1 所示之半導體裝置組裝中，晶片埋入方法之一例的部分剖面圖。

圖 22 係表示變形例之晶片埋入方法之部分剖面圖。

圖 23 係表示變形例之晶片埋入方法之部分剖面圖。

圖 24 係表示變形例之晶片埋入方法之部分剖面圖。

圖 25 係表示變形例之晶片埋入方法之部分剖面圖。

圖 26 係表示圖 1 所示之半導體裝置組裝中，晶片埋入方法之一例之部分剖面圖。

圖 27 係表示圖 1 所示之半導體裝置組裝中，內建晶片之層積方法之一例的部分剖面圖。

圖 28 係表示圖 1 所示之半導體裝置組裝中，內建晶片層積後之基板構造之一例的背面圖。

圖 29 係表示沿圖 28 之 A-A 線切下之構造之一例的剖面圖。

圖 30 係表示圖 1 所示之半導體裝置組裝中，第 1 凸塊電極安裝後之構造之一例的部分剖面圖。

圖 31 係表示變形例之第 1 凸塊電極安裝後之構造的部分剖面圖。

圖 32 係表示圖 1 所示之半導體裝置組裝中，基板單片化及測試結束後之構造之一例的剖面圖。

圖 33 係表示圖 1 所示之半導體裝置組裝中，下側封裝測試結束後之構造之一例的部分剖面圖。

圖 34 係表示圖 1 所示之半導體裝置組裝結束後之構造之一例的部分剖面圖。

圖 35 係表示圖 1 所示之半導體裝置組裝中，焊料形成時之構造之一例的部分剖面圖。

圖 36 係表示變形例之下側封裝測試結束後之構造的部分剖面圖。

圖37係表示變形例之下側封裝測試結束後之構造的部分剖面圖。

圖38係表示變形例之下側封裝測試結束後之構造的部分剖面圖。

圖39係表示變形例之半導體裝置組裝中，第1凸塊電極安裝後之構造之部分剖面圖。

圖40係示意性表示本發明實施形態2之半導體裝置構造之一例的剖面圖。

圖41係表示圖40所示之半導體裝置之上層側封裝構造之剖面圖。

圖42係表示圖41所示之上層側封裝之基板內部構造之一例的部分剖面圖。

圖43係示意性透視表示本發明實施形態3之半導體裝置構造之一例的平面圖。

圖44係圖43所示之半導體裝置之剖面圖。

圖45係示意性透視表示本發明實施形態3之變形例之半導體裝置構造的平面圖。

圖46係圖45所示之半導體裝置之剖面圖。

圖47係示意性透視表示本發明實施形態3之變形例之半導體裝置構造的平面圖。

圖48係圖47所示之半導體裝置之剖面圖。

【主要元件符號說明】

- | | |
|---|------------|
| 1 | SIP(半導體裝置) |
| 2 | 第1記憶體晶片 |

2a	主 面
2b	背 面
2c	第 1 電 極 墊
2d	貫 通 孔
3	微 電 腦 晶 片
3a	主 面
3b	背 面
4	第 1 佈 線 基 板
4a	主 面
4b	背 面
4c	第 1 接 合 導 線
4d	端 子
4e	第 1 內 部 佈 線
4f	第 2 內 部 佈 線
5	第 2 佈 線 基 板
5a	主 面
5b	背 面
5c	第 2 接 合 導 線
5d	內 部 佈 線
5e	第 1 距 離
5f	第 2 距 離
5g	端 子
5h	其 他 內 部 佈 線
6	第 2 記 憶 體 晶 片

6a	主 面
6b	背 面
6c	第 2 電 極 墊
6d	貫 通 孔
7	矽 基 底
8	元 件 層
9	熔 斷 器
10	鈍 化 膜
11	絕 緣 層
12	籽 晶 層
13	光 阻 膜
14	Cu 電 極
15	第 1 基 底 基 板
16	空 腔
17	樹 脂 層
18	固 晶 材 料
19	絕 緣 材
20	導 體 圖 案
21	第 2 基 底 基 板
22	填 充 材
23	通 孔 佈 線
24	通 道 墊
25	中 繼 圖 案
26	墊

27	光阻膜
28	間隔基板
28a	階差部
29	導體
30	第3記憶體晶片
30a	主面
30b	背面
30c	貫通孔
31、32	SIP(半導體裝置)
33	薄膜化元件
34	第1焊接凸塊(第1凸塊電極)
35	第2焊接凸塊(第2凸塊電極)
36	金凸塊
37	底部填料
38	金屬線
39	密封體
40	記憶體晶片
41	散熱板
42	黏著劑
43	第3佈線基板
44	第3焊接凸塊
45	微電腦晶片
46	焊接膏

五、中文發明摘要：

本發明於具有微電腦晶片與複數個高速記憶體晶片之半導體裝置中，謀求複數個記憶體晶片之佈線等長化。本發明之半導體裝置包括：第1佈線基板4；安裝於第1佈線基板4上之微電腦晶片3；配置於微電腦晶片3上之第2佈線基板5；連接第1佈線基板4與第2佈線基板5之複數個第1焊接凸塊34；及設置於第1佈線基板4之背面4b之外部端子，即複數個第2焊接凸塊35；於第2佈線基板5中，層積而內建有高速之第1記憶體晶片2與第2記憶體晶片6，於第2佈線基板5內使第1記憶體晶片2之佈線與第2記憶體晶片6之佈線等長化，並且於具有第1佈線基板4之封裝完成構造上，安裝有具有第2佈線基板5之封裝完成構造。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於包括：第1佈線基板，其具有第1主面及與上述第1主面對向之第1背面；微電腦晶片，其安裝於上述第1佈線基板之第1主面上；第2佈線基板，其具有第2主面及與上述第2主面對向之第2背面，且配置於上述微電腦晶片上；複數個第1凸塊電極，其等將上述第1佈線基板與上述第2佈線基板電性連接；及複數個第2凸塊電極，其等配置於上述第1佈線基板之第1背面；上述第2佈線基板內建有第1記憶體晶片與第2記憶體晶片，上述第2記憶體晶片配置於上述第1記憶體晶片上，並且上述第1及第2記憶體晶片係與外部時脈訊號之上升及下降兩方同步而傳輸資料。
2. 如請求項1之半導體裝置，其中
於上述第1佈線基板之主面及上述第2佈線基板之主面中任一方或兩方上設置有散熱板。
3. 如請求項1之半導體裝置，其中
上述微電腦晶片覆晶連接於上述第1佈線基板上。
4. 如請求項1之半導體裝置，其中
上述微電腦晶片複數個安裝於上述第1佈線基板上。
5. 如請求項1之半導體裝置，其中
上述複數個第1凸塊電極分別配置於複數個第1接合導線與複數個第2接合導線之間，該複數個第1接合導線係設置於上述第1佈線基板之第1主面上，該複數個第2接合導線係設置於上述第2佈線基板之第2背面上。

6. 如請求項5之半導體裝置，其中

上述微電腦晶片與上述第1及第2記憶體晶片分別經由上述複數個第1接合導線、上述複數個第1凸塊電極及上述複數個第2接合導線而電性連接。

7. 如請求項6之半導體裝置，其中

自上述第1記憶體晶片之第1電極墊至對應於上述第1電極墊之上述第2佈線基板之第2接合導線之第1距離與自上述第2記憶體晶片之第2電極墊至對應於上述第2電極墊之上述第2接合導線之第2距離相等。

8. 如請求項7之半導體裝置，其中

上述第1距離與上述第2距離之差之容許範圍為 ± 2 mm以內，較好的是 ± 1 mm以內。

9. 一種半導體裝置，其特徵在於包括：第1佈線基板，其具有主面及與上述主面對向之背面；微電腦晶片，其安裝於上述第1佈線基板之主面上；第2佈線基板，其具有主面及與上述主面對向之背面，且配置於上述微電腦晶片上；複數個第1凸塊電極，其等將上述第1佈線基板與上述第2佈線基板電性連接；及複數個第2凸塊電極，其等配置於上述第1佈線基板之背面；上述第2佈線基板內建有第1記憶體晶片與第2記憶體晶片，上述第1及第2記憶體晶片分別具有開口於各自之主面與背面之貫通孔，且經由埋入各貫通孔內之導體而電性連接，上述第1及第2記憶體晶片係與外部時脈訊號之上升及下降兩方同步而傳輸資料。

10. 如請求項9之半導體裝置，其中

於上述第1佈線基板之主面及上述第2佈線基板之主面中任一方或兩方上設置有散熱板。

11. 如請求項9之半導體裝置，其中

上述微電腦晶片覆晶連接於上述第1佈線基板上。

12. 如請求項9之半導體裝置，其中

上述複數個第1凸塊電極分別配置於複數個第1接合導線與複數個第2接合導線之間，該複數個第1接合導線係設置於上述第1佈線基板之第1主面上，該複數個第2接合導線係設置於上述第2佈線基板之第2背面上。

13. 如請求項12之半導體裝置，其中

上述微電腦晶片與上述第1及第2記憶體晶片分別經由上述複數個第1接合導線、上述複數個第1凸塊電極及上述複數個第2接合導線而電性連接。

14. 如請求項13之半導體裝置，其中

自上述第1記憶體晶片之第1電極墊至對應於上述第1電極墊之上述第2佈線基板之第2接合導線之第1距離與自上述第2記憶體晶片之第2電極墊至對應於上述第2電極墊之上述第2接合導線之第2距離相等。

15. 一種半導體裝置之製造方法，其特徵在於包括如下步驟：

準備第1佈線基板，其具有主面及與上述主面對向之背面，且於上述主面上設置有複數個第1接合導線；準備第2佈線基板，其具有主面及與上述主面對向之背

面，且內建有與外部時脈訊號之上升及下降兩方同步而分別傳輸資料之第1記憶體晶片與第2記憶體晶片，進而將上述第2記憶體晶片配置於上述第1記憶體晶片上，且於上述背面上設置有複數個第2接合導線；於上述第1佈線基板之主面上安裝微電腦晶片；於上述第1佈線基板主面之上述複數個第1接合導線上塗佈焊接膏；將第1凸塊電極連接於上述第2佈線基板背面之上述複數個第2接合導線；及將上述第1凸塊電極與上述焊接膏連接而於上述第1佈線基板上安裝上述第2佈線基板。

16. 如請求項15之半導體裝置之製造方法，其中

於加上熱及負荷之狀態下，將上述第2佈線基板安裝於上述第1佈線基板上。

17. 如請求項15之半導體裝置之製造方法，其中

自上述第1記憶體晶片之第1電極墊至對應於上述第1電極墊之上述第2佈線基板之第2接合導線之第1距離與自上述第2記憶體晶片之第2電極墊至對應於上述第2電極墊之上述第2接合導線之第2距離相等。

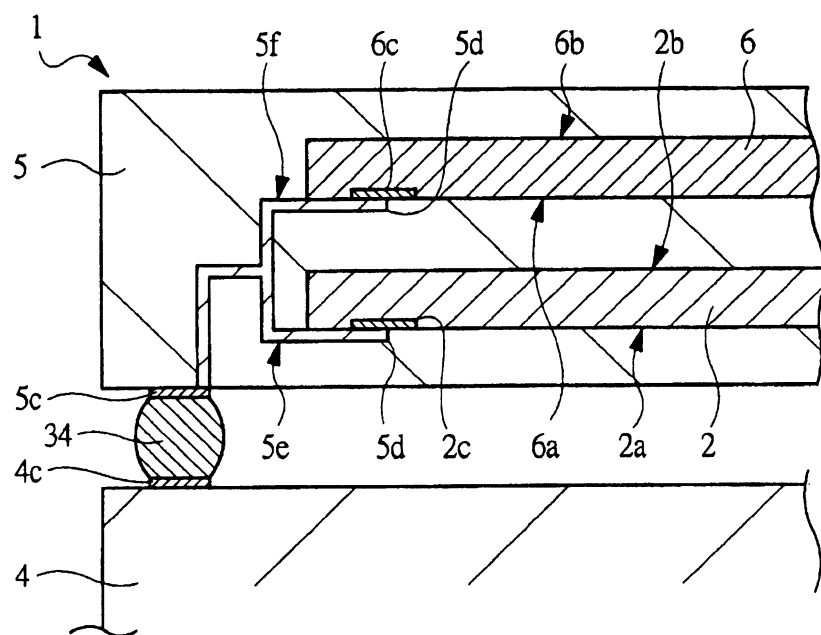


圖2

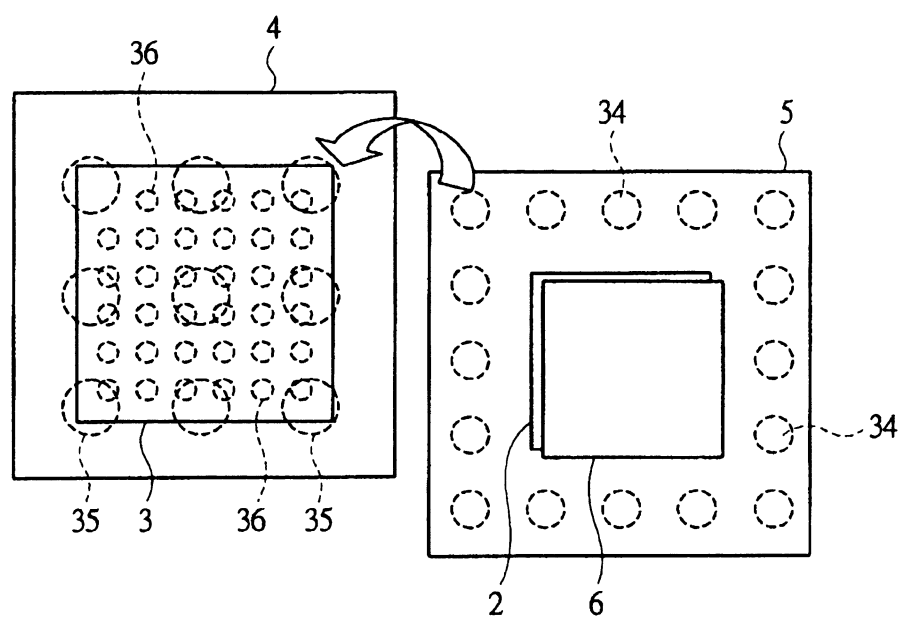


圖3

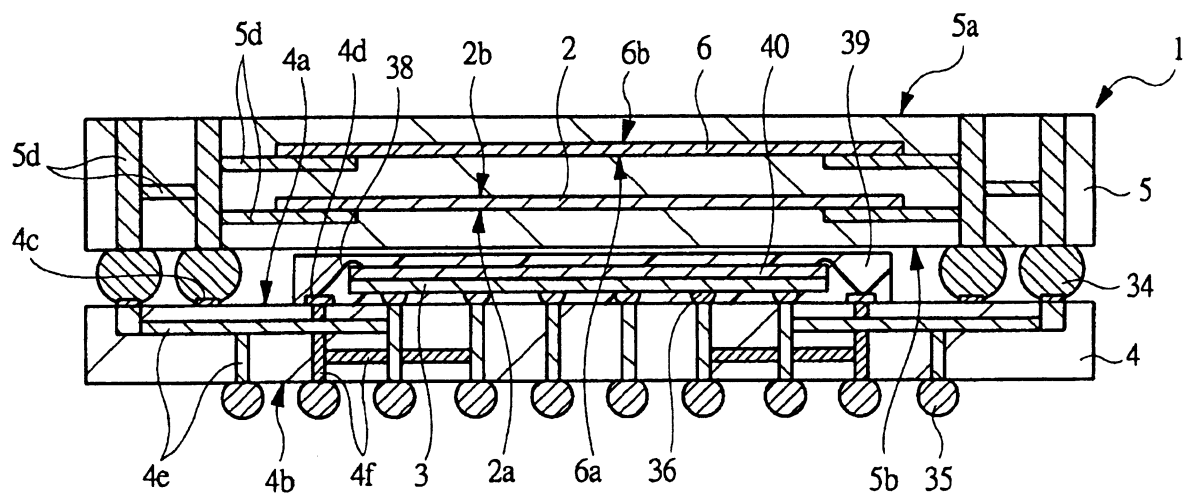


圖4

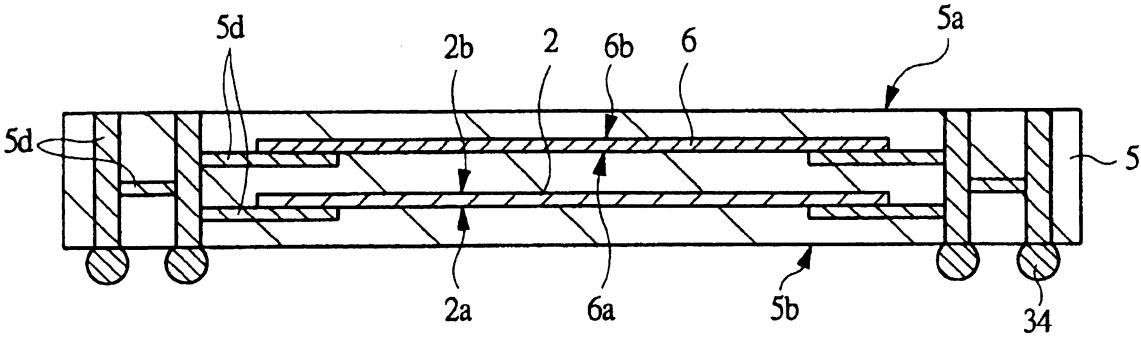


圖5

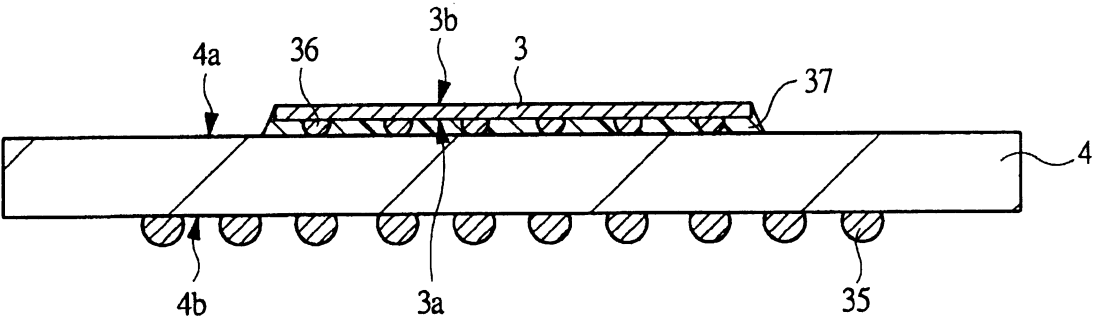


圖6

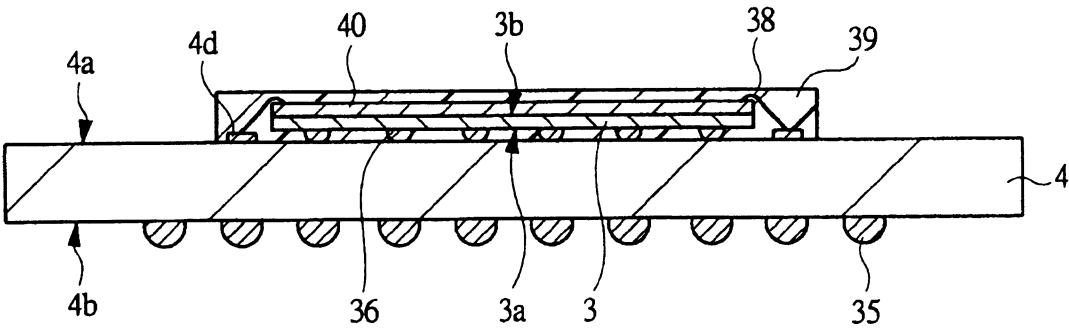


圖7

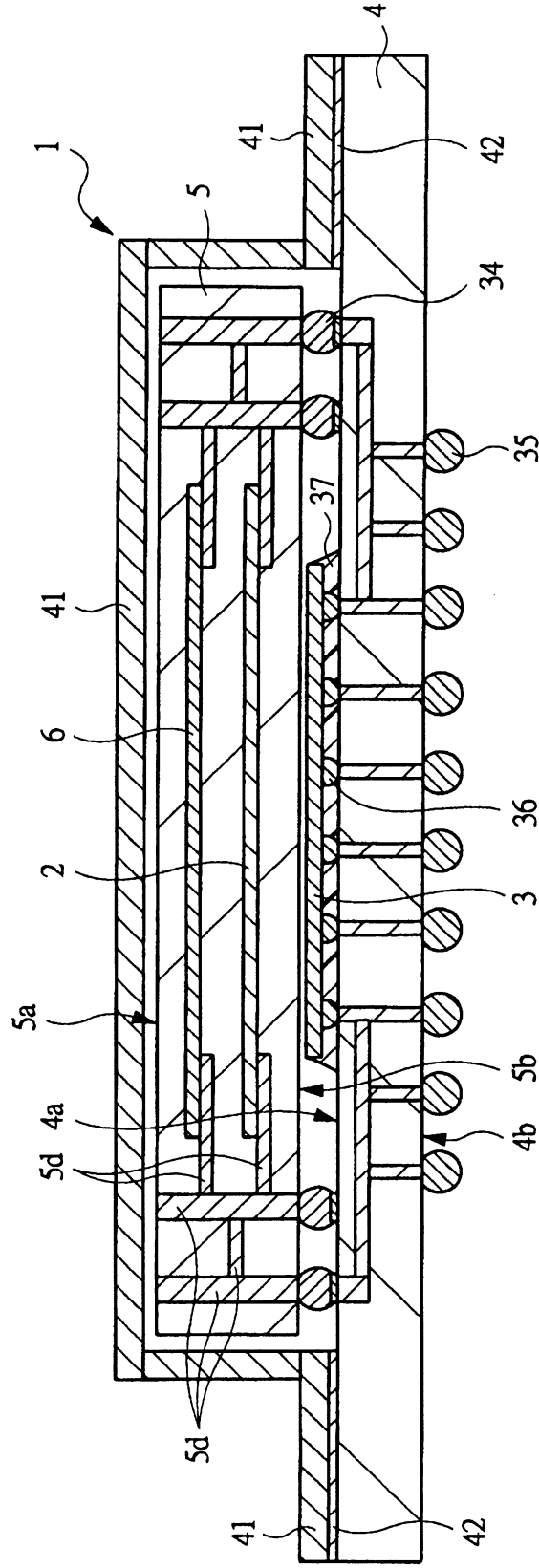


圖8

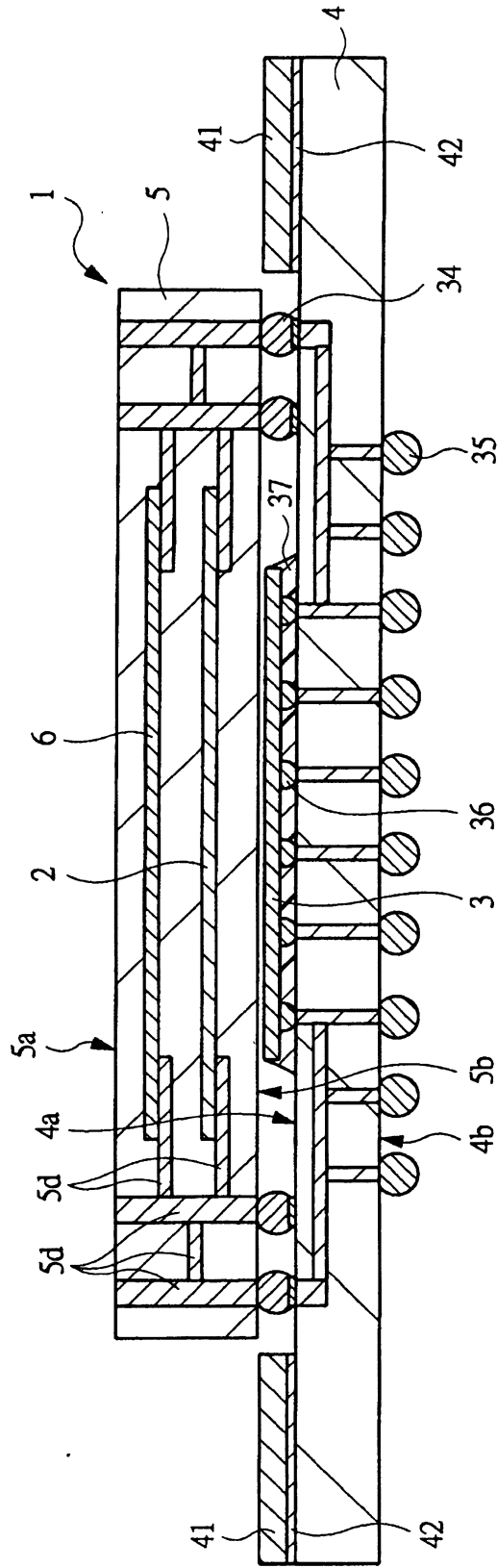


圖9

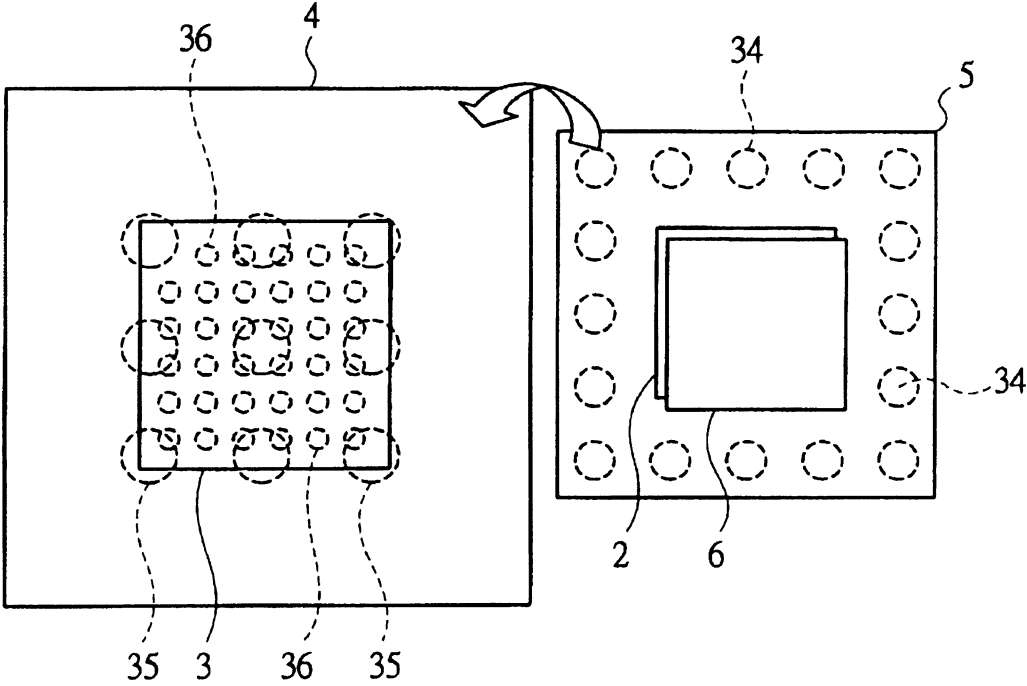


圖10

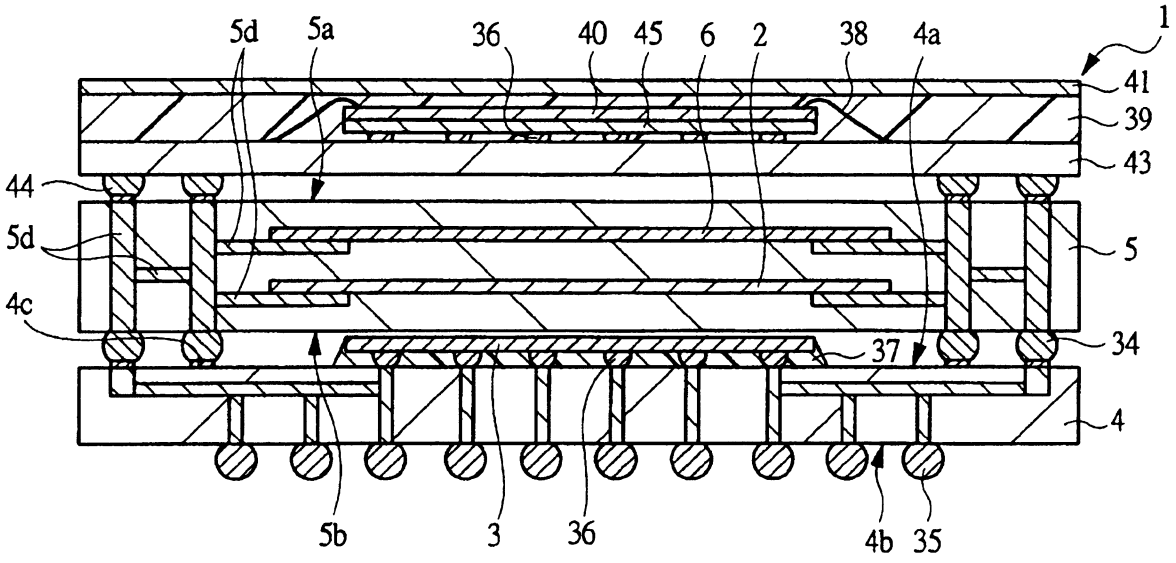


圖11

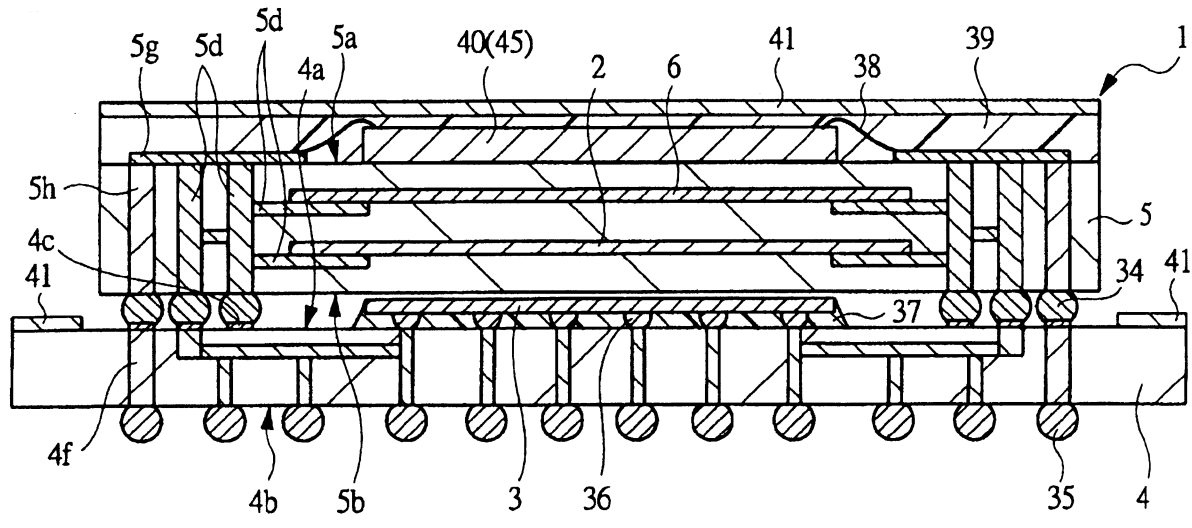


圖12

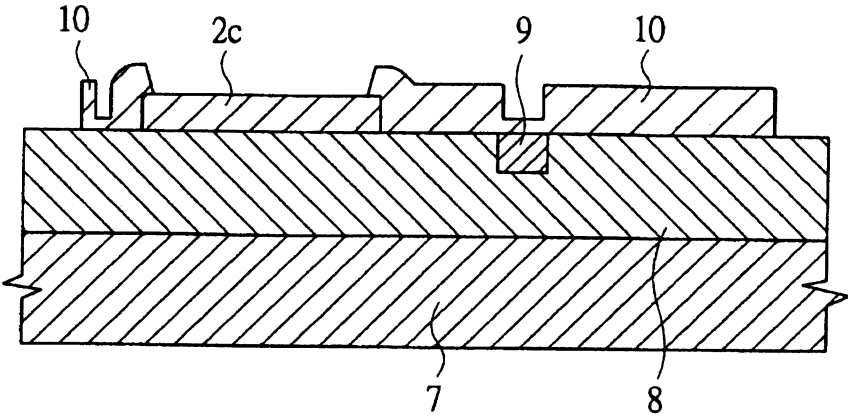


圖13

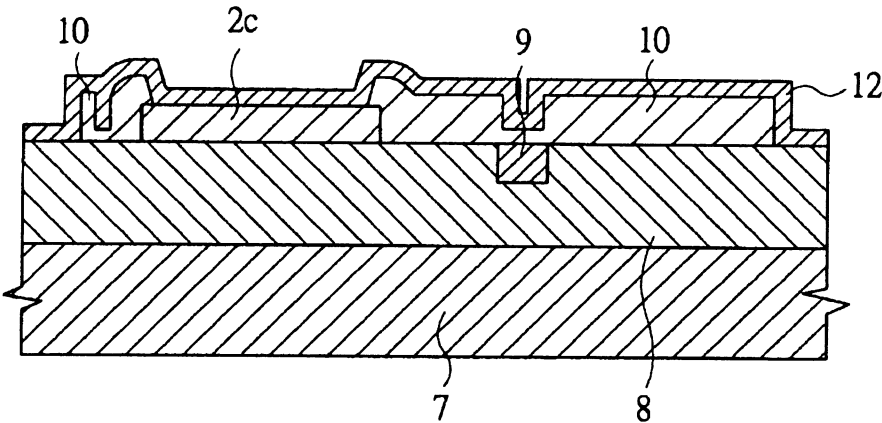


圖14

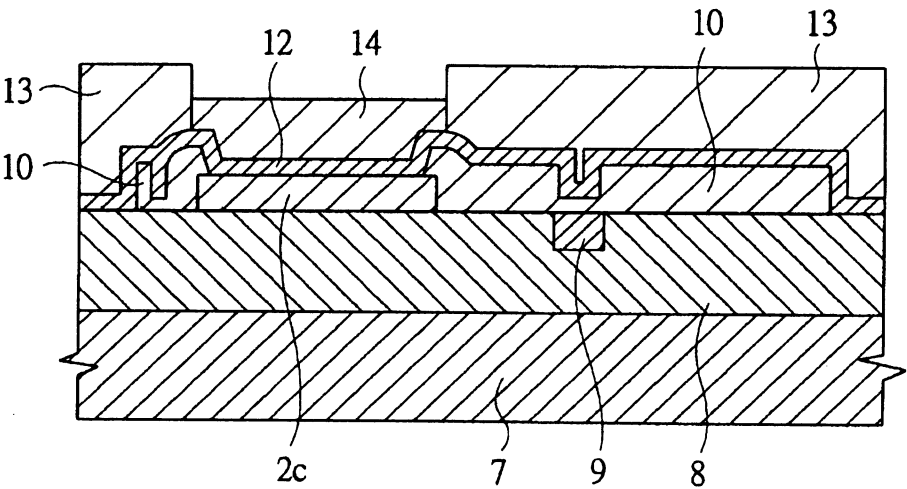


圖15

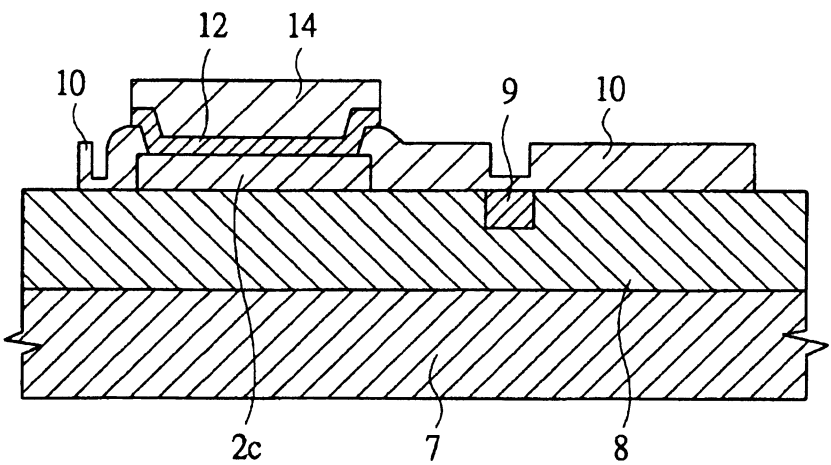


圖16

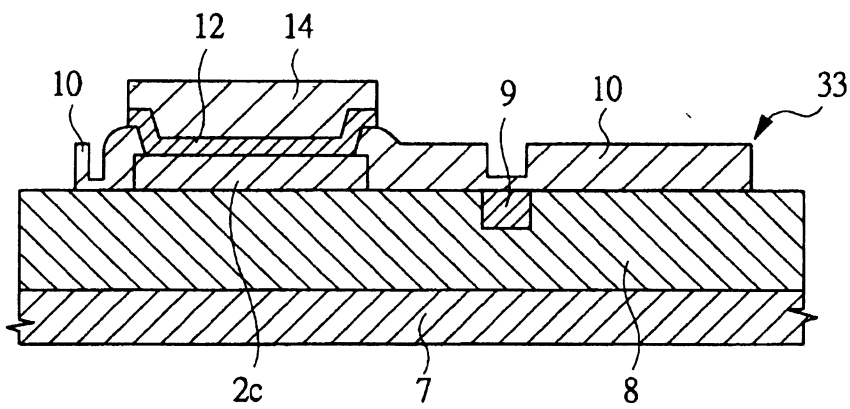


圖17

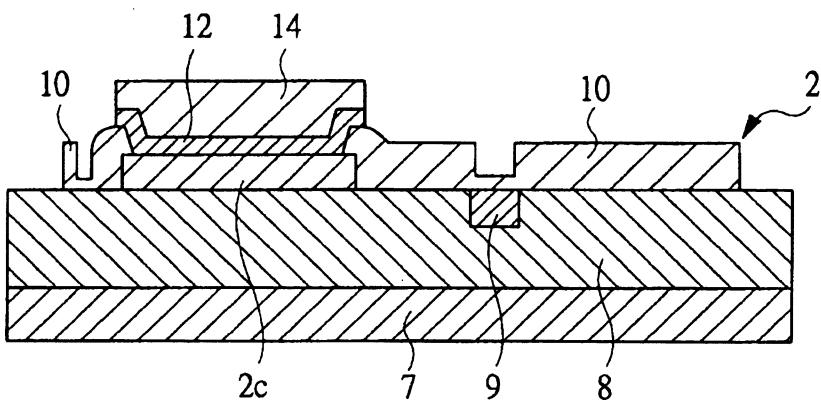


圖18

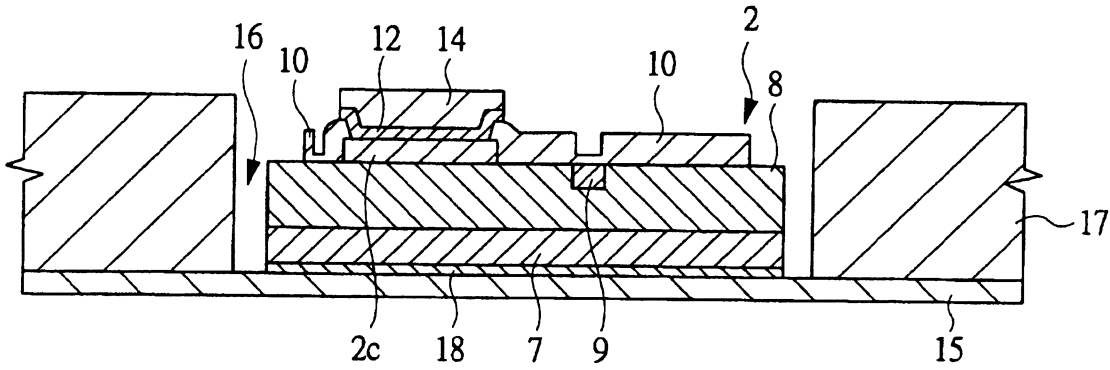


圖19

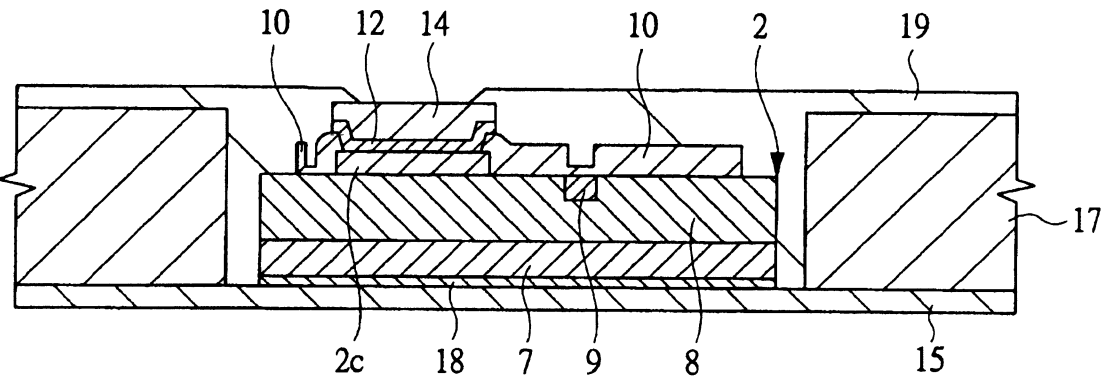


圖20

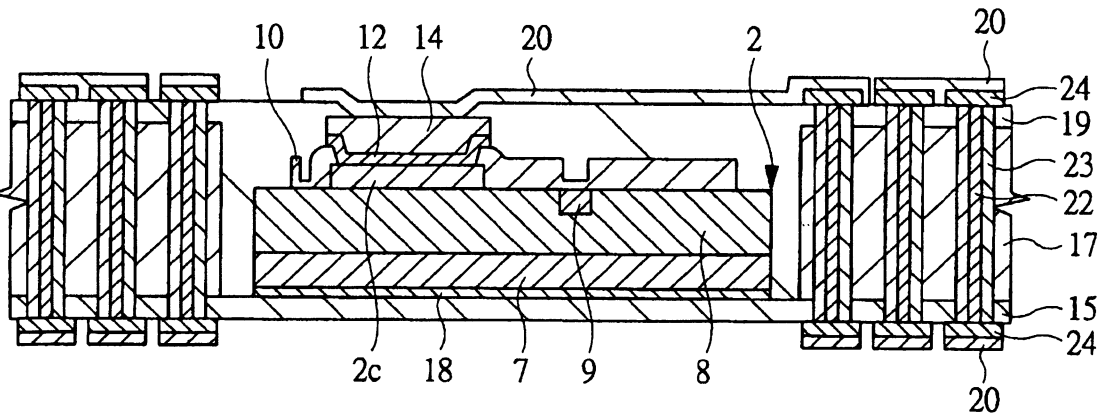


圖21

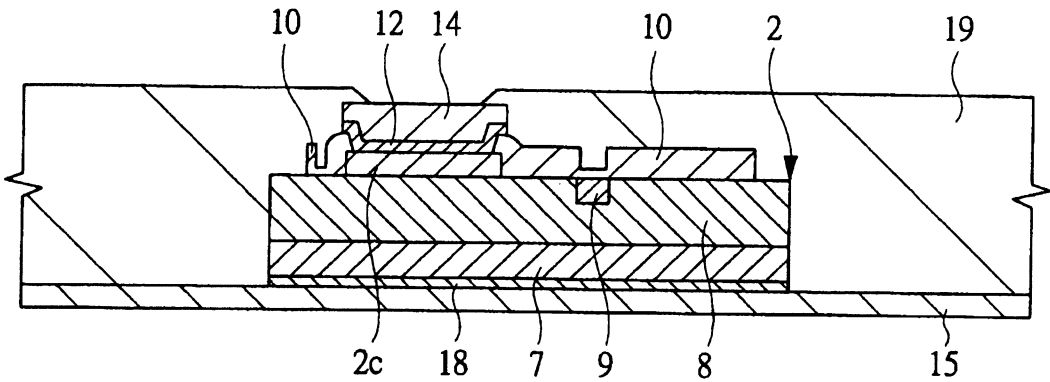


圖22

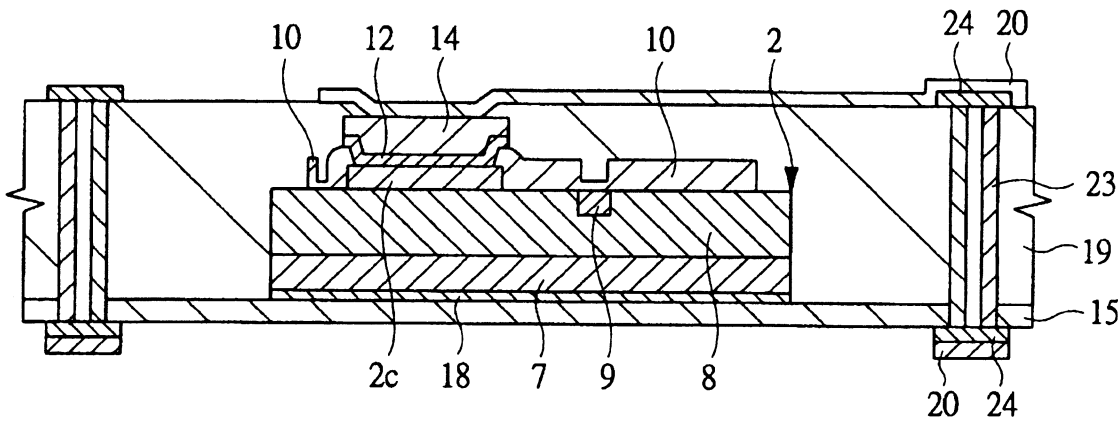


圖23

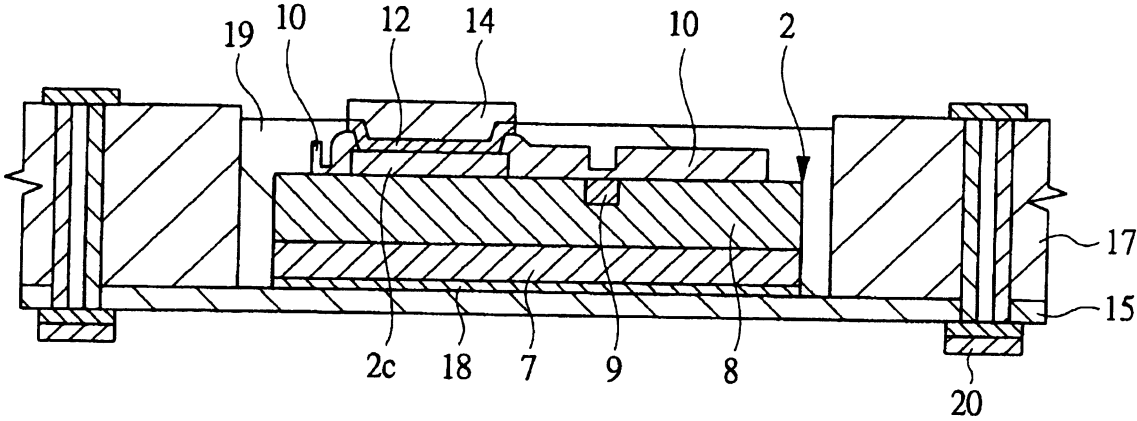


圖24

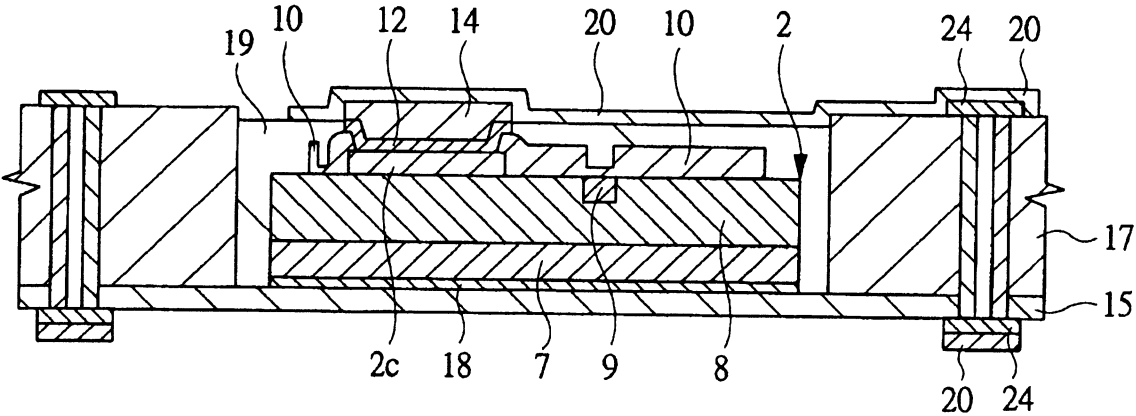


圖25

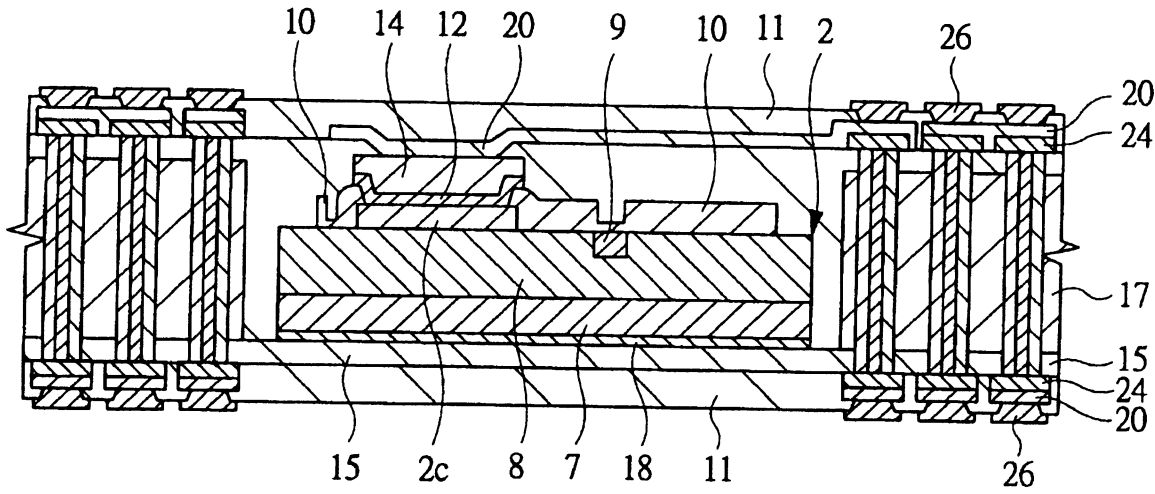


圖26

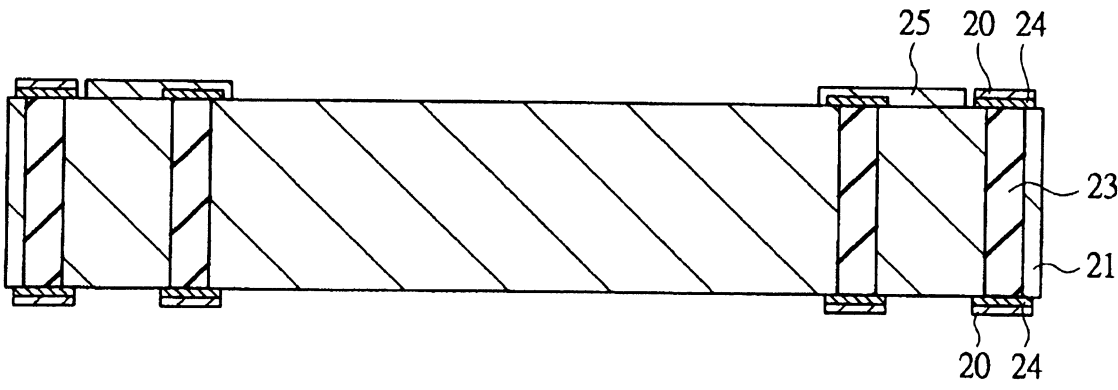


圖27

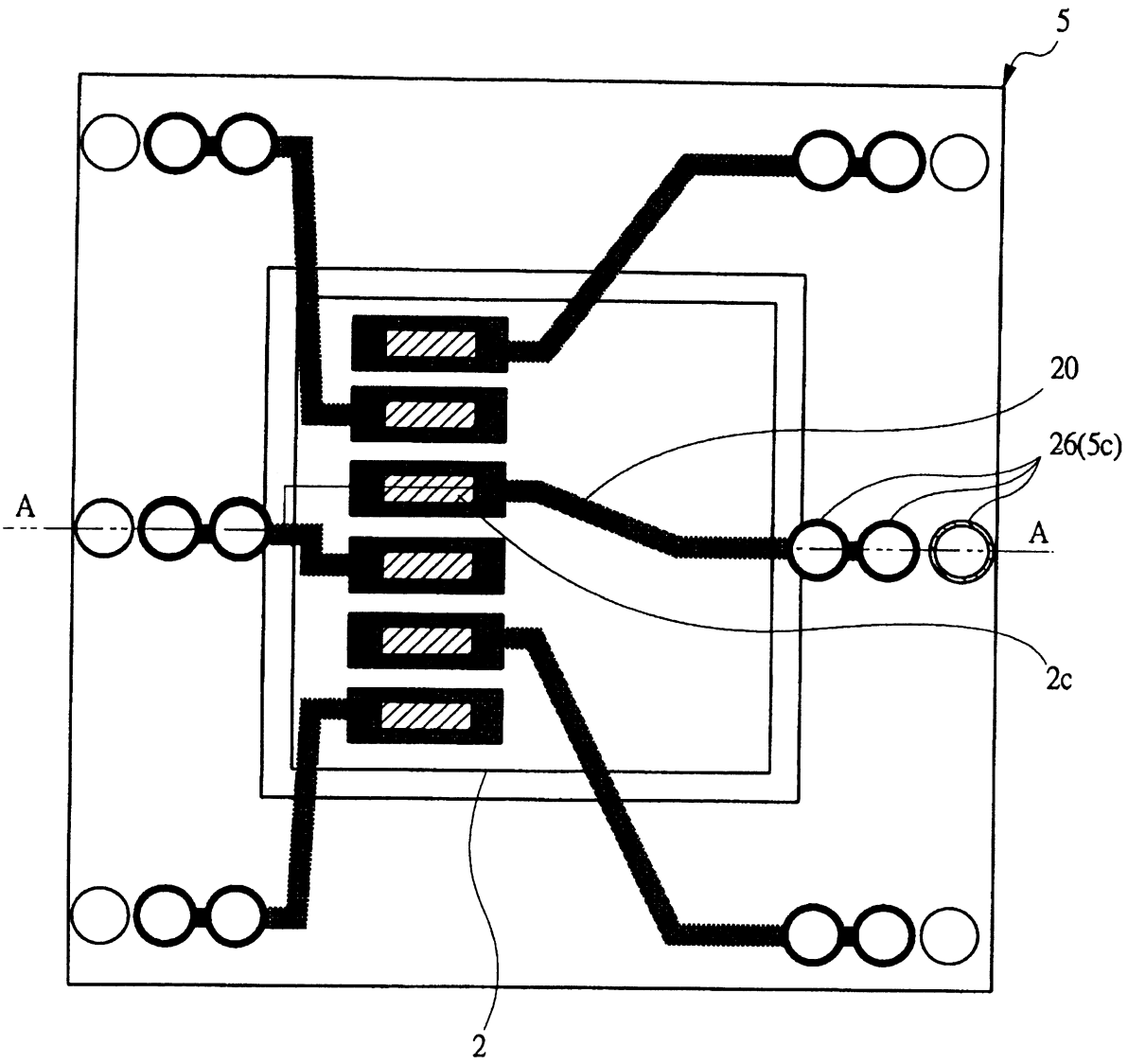


圖28

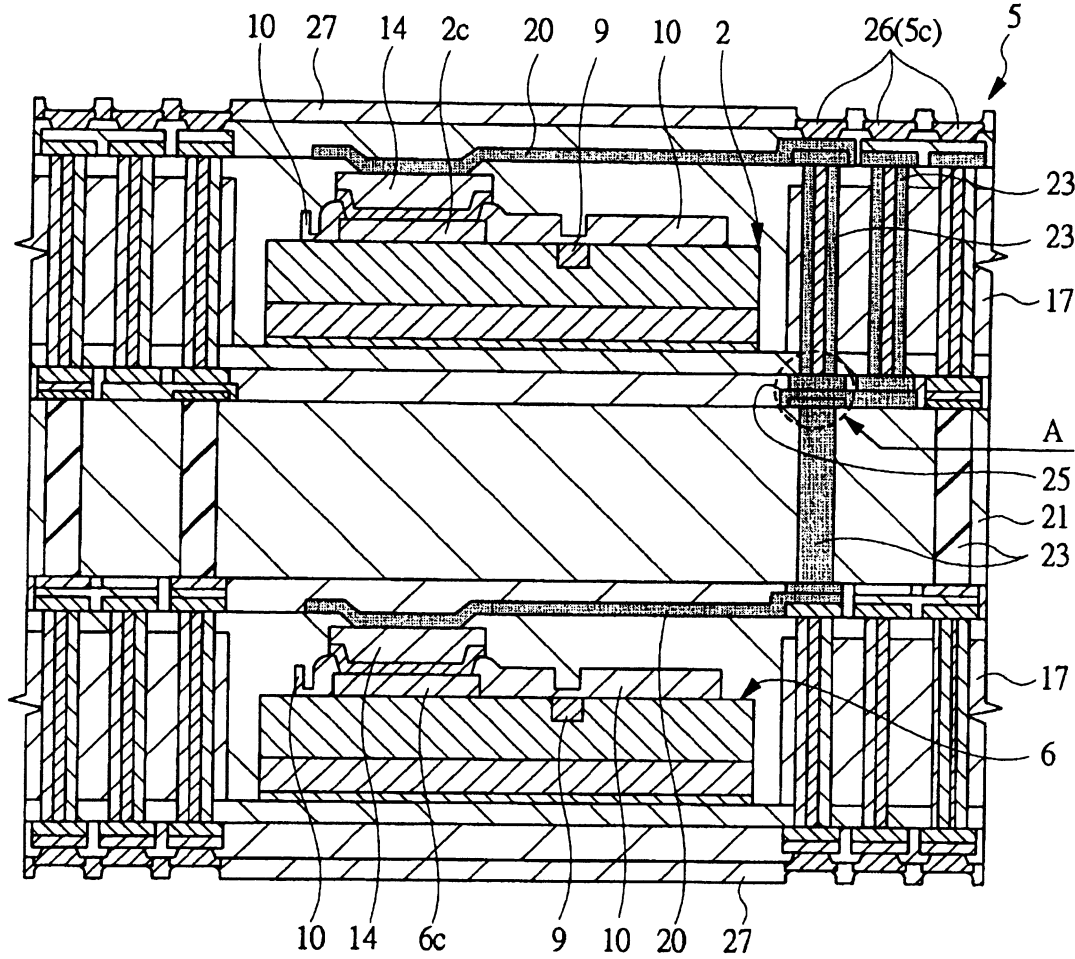


圖29

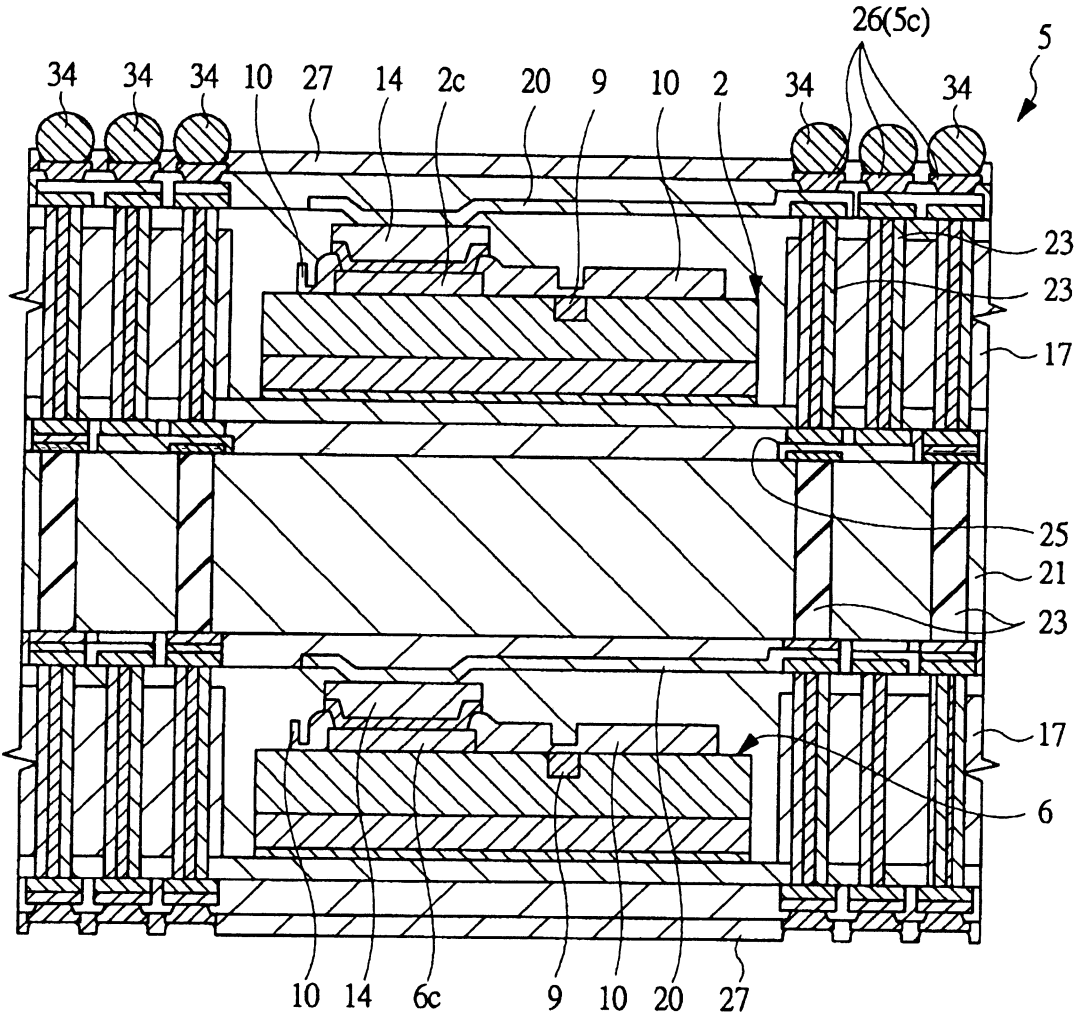


圖30

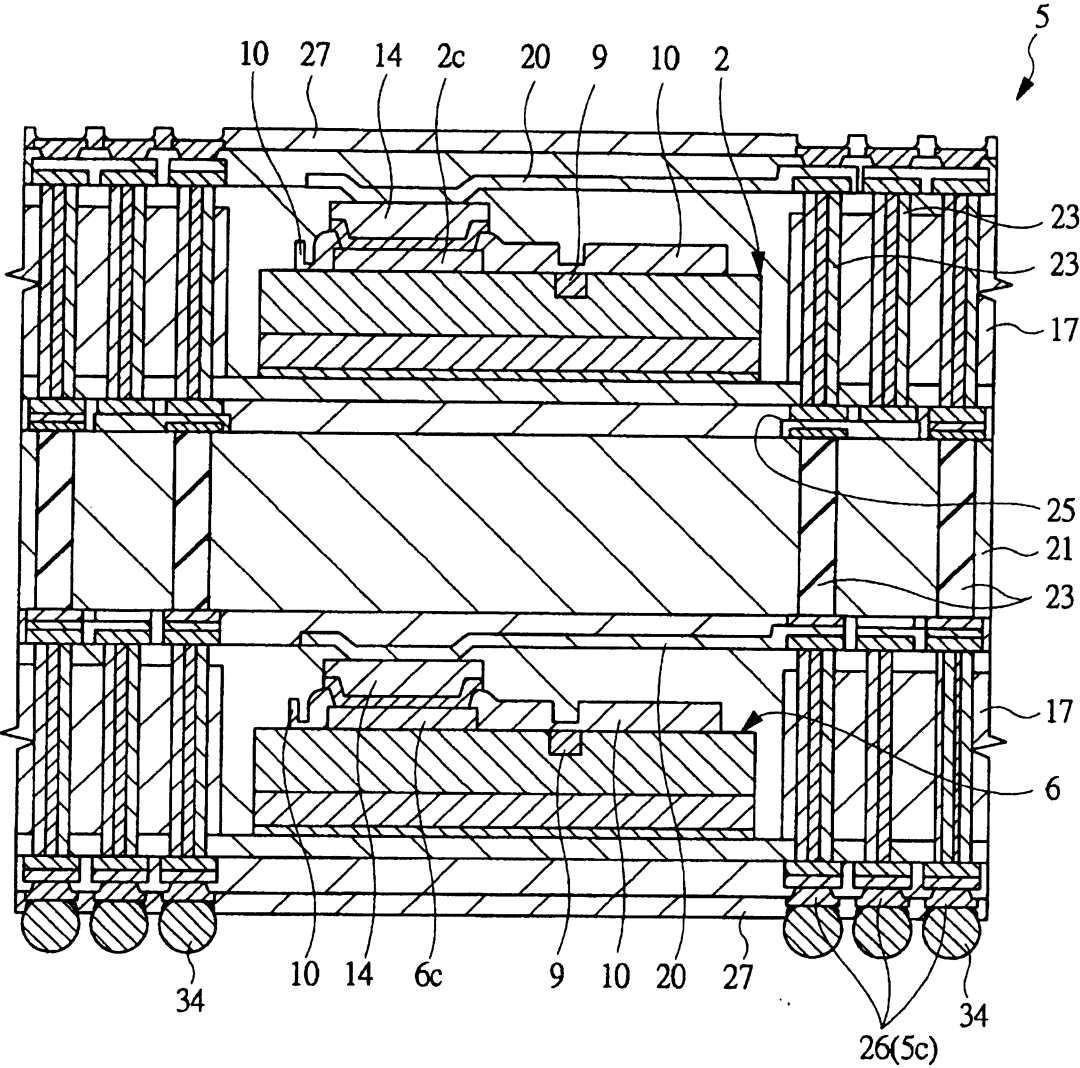


圖31

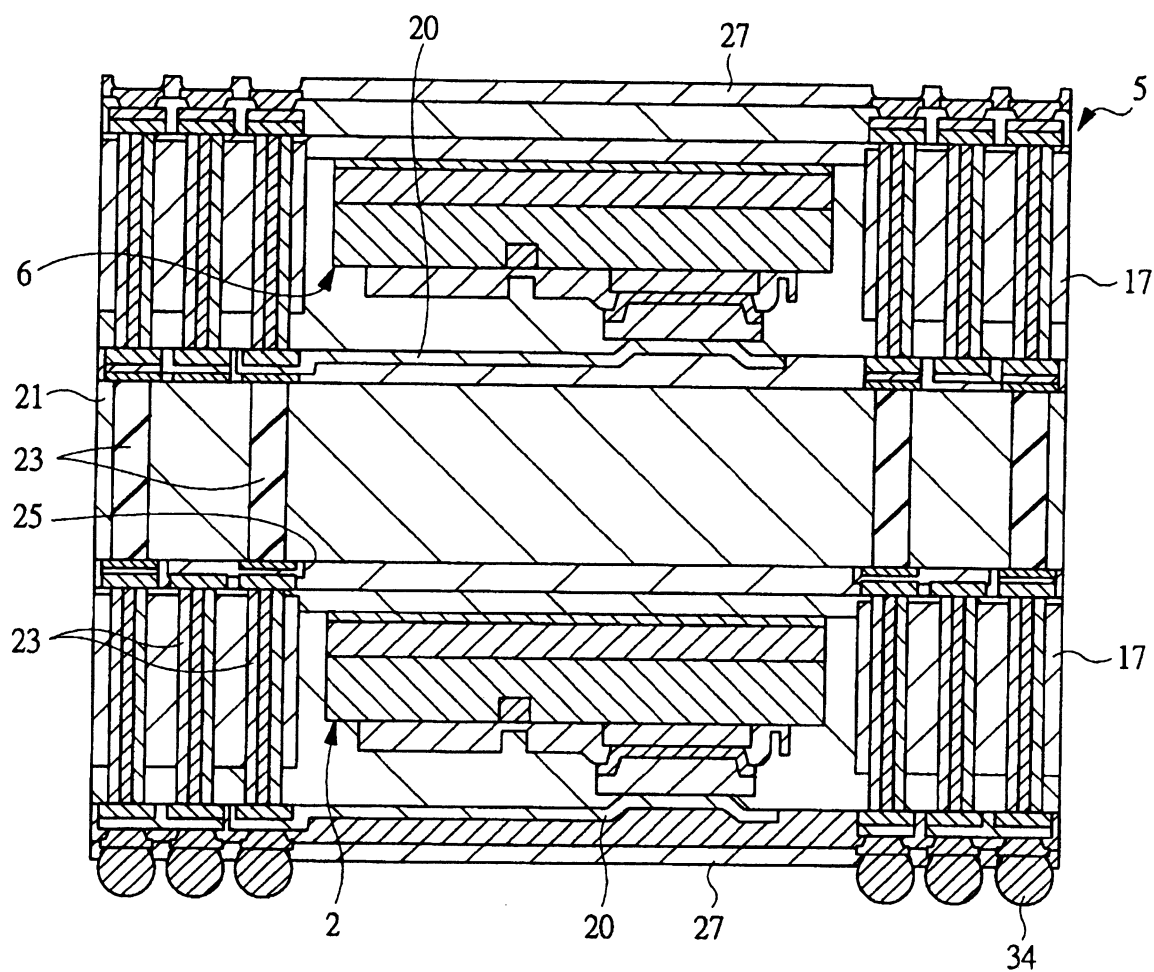


圖32

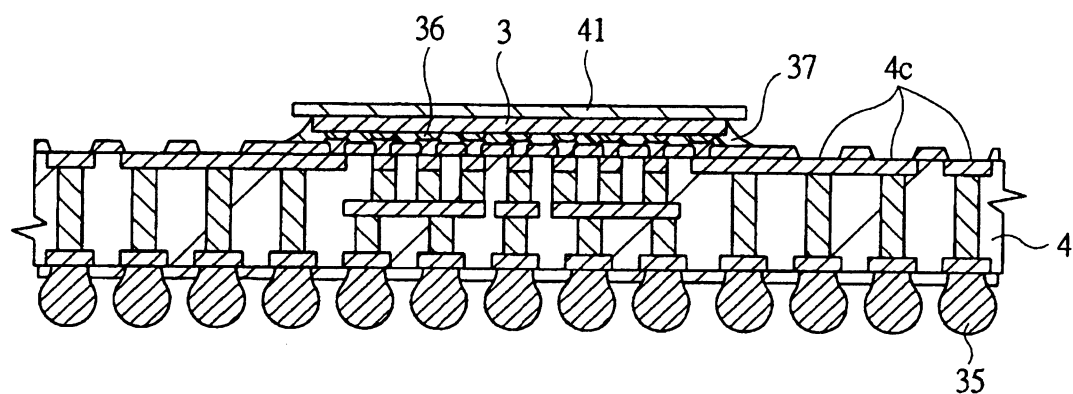


圖33

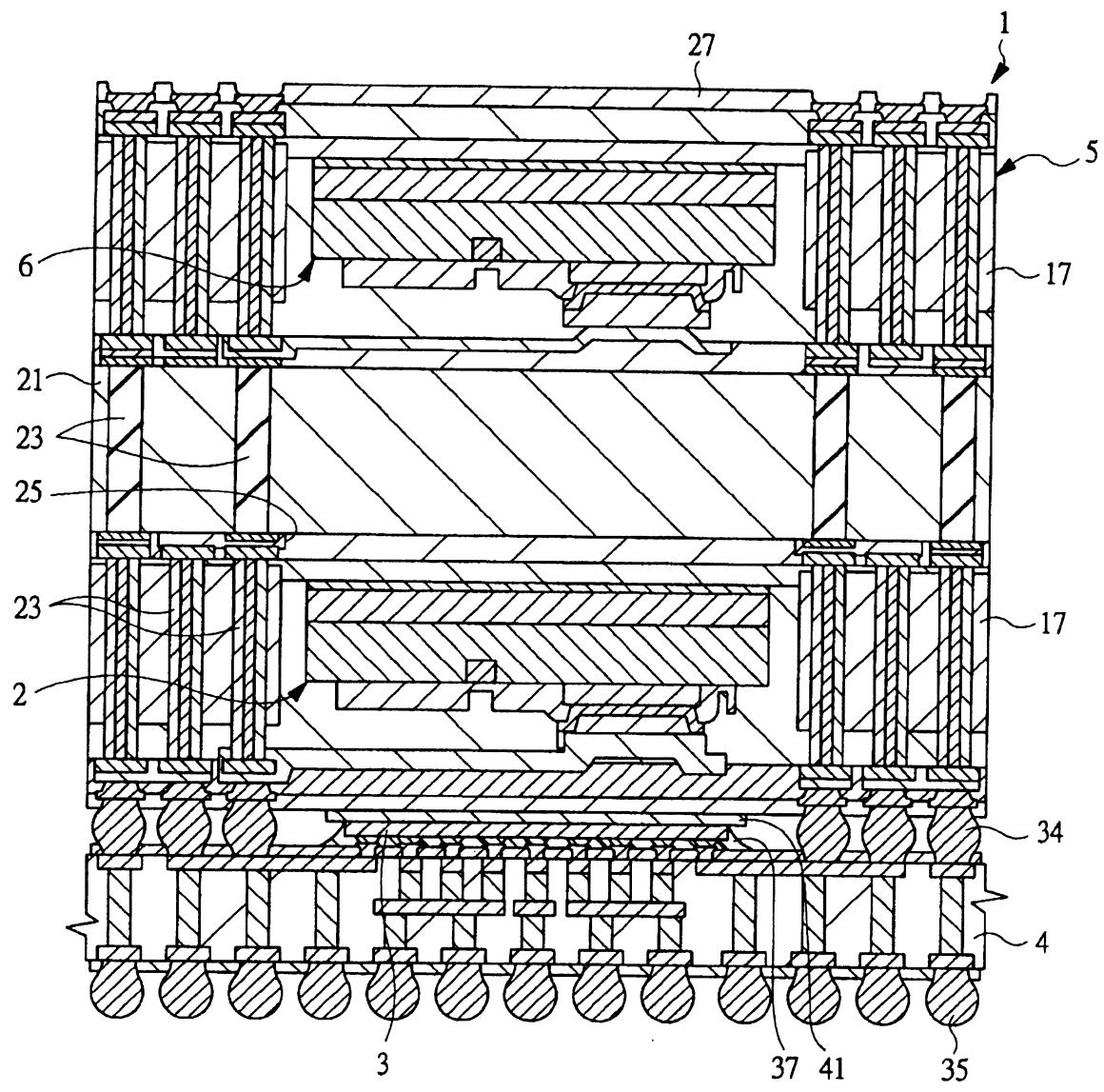


圖34

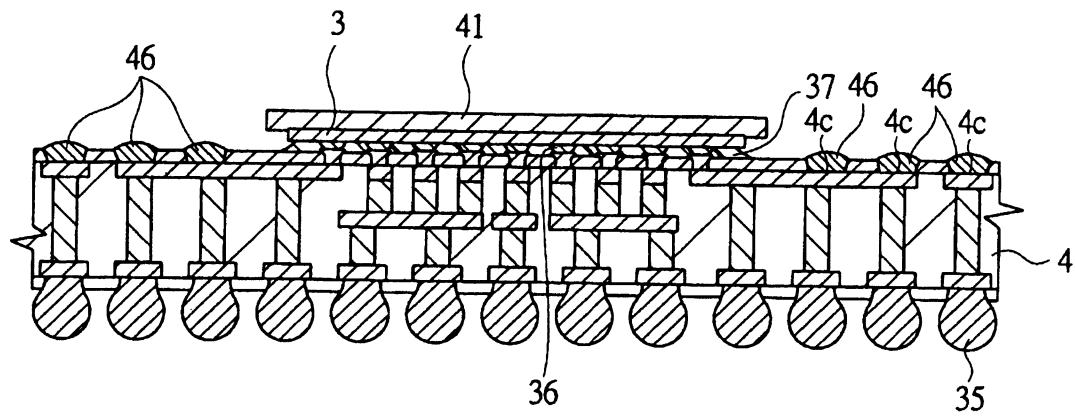


圖35

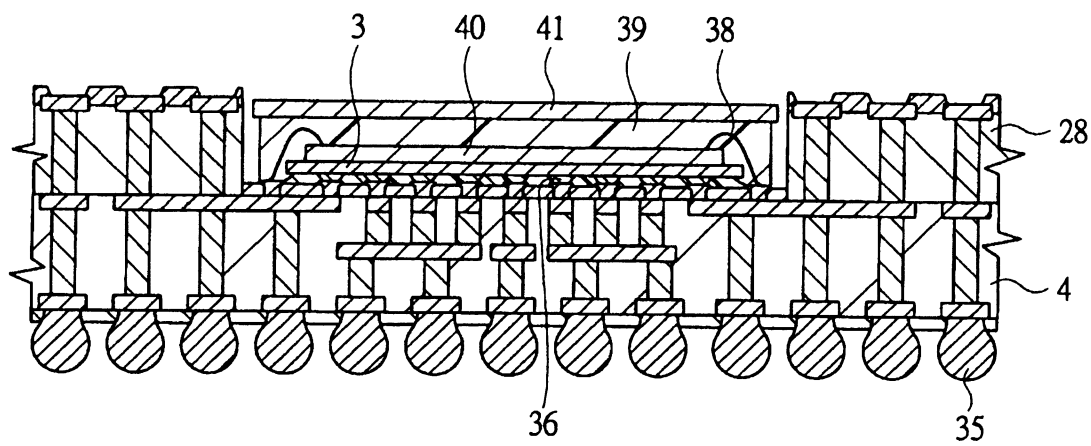


圖36

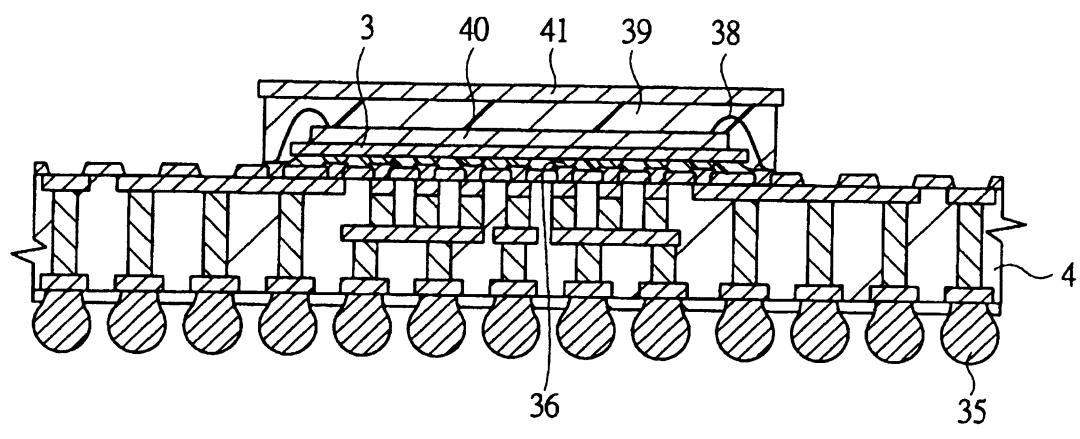


圖37

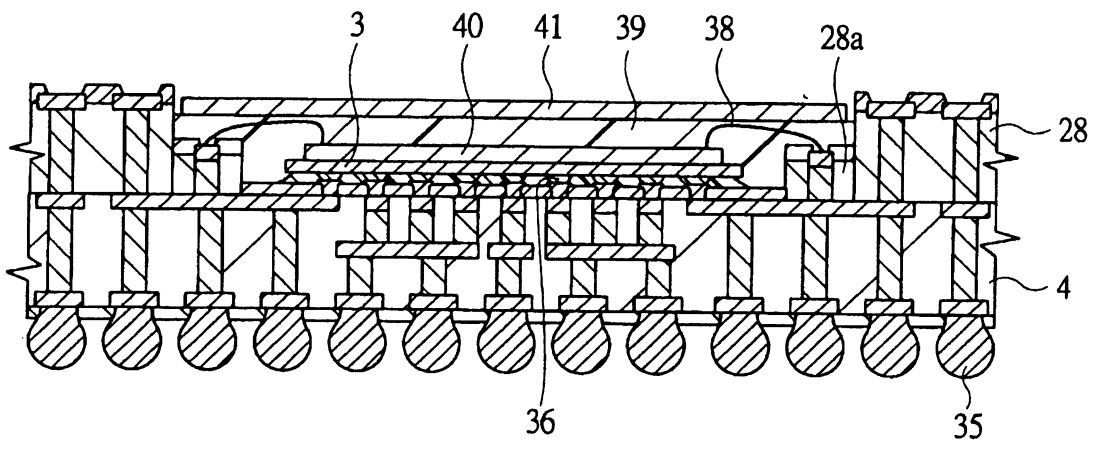


圖38

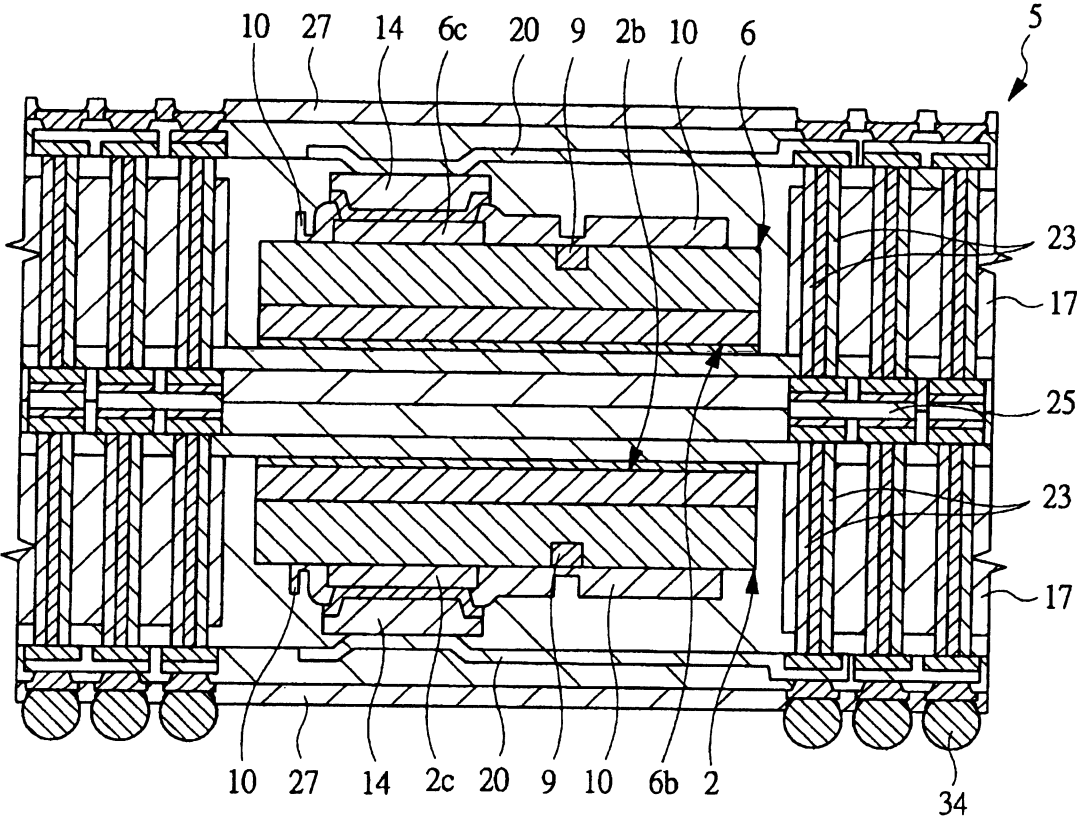


圖39

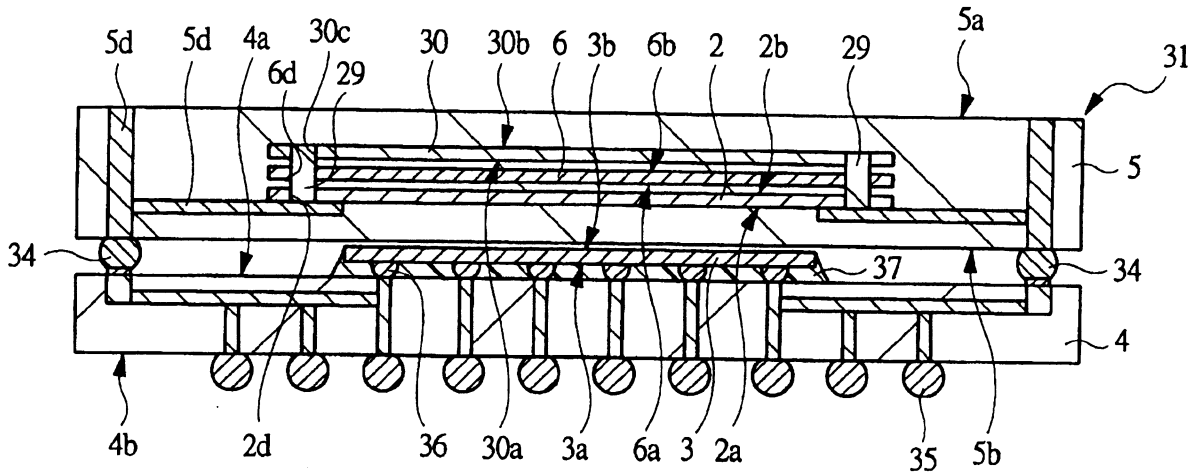


圖40

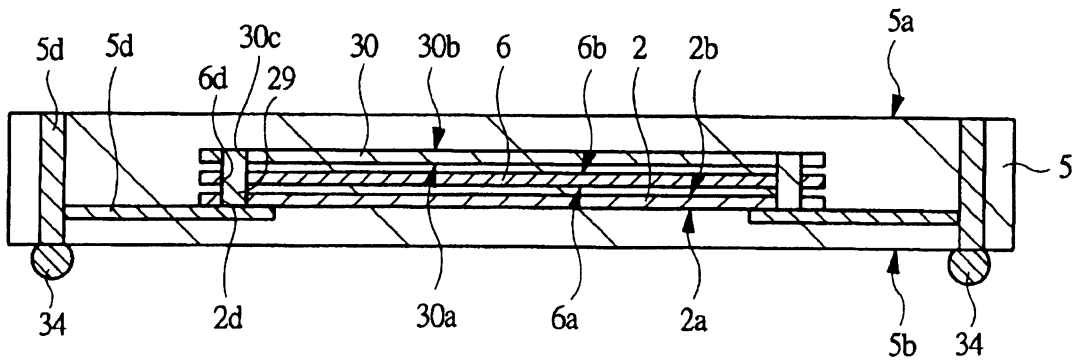


圖41

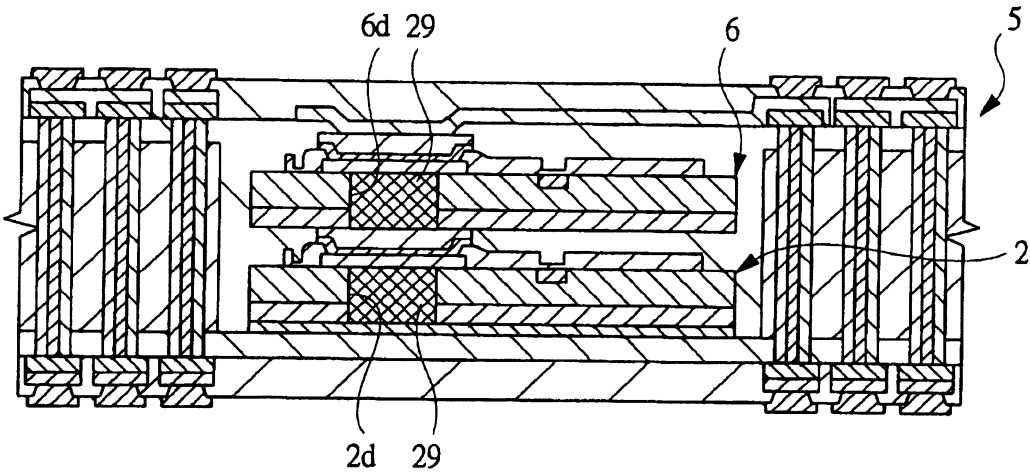


圖42

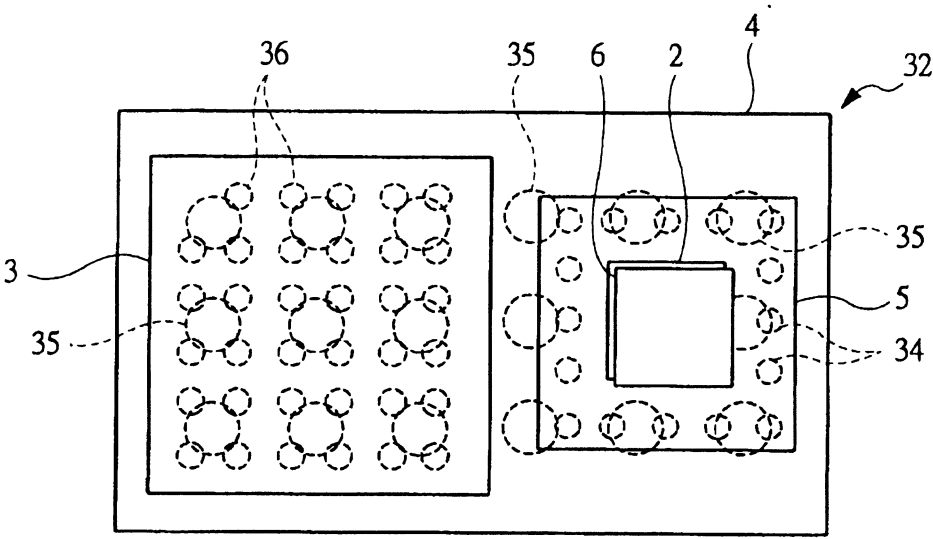


圖43

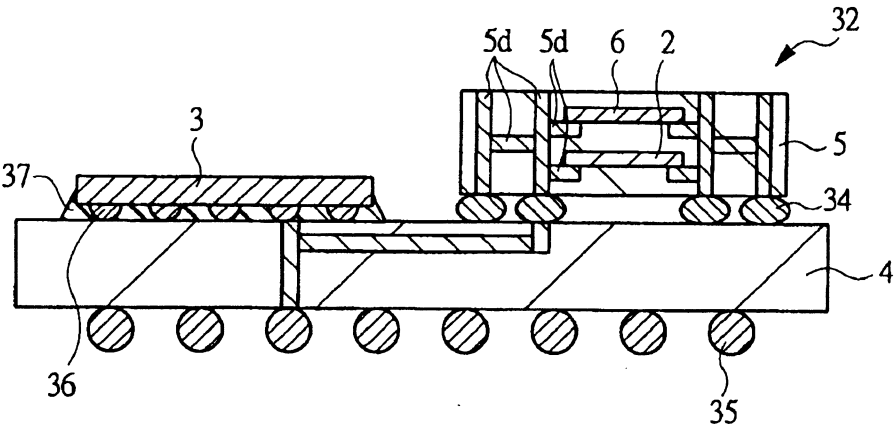


圖44

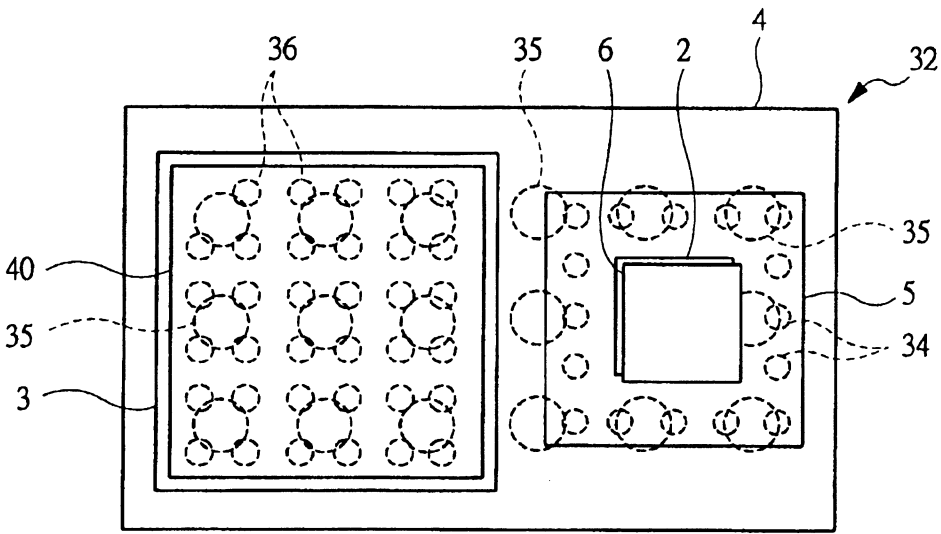


圖45



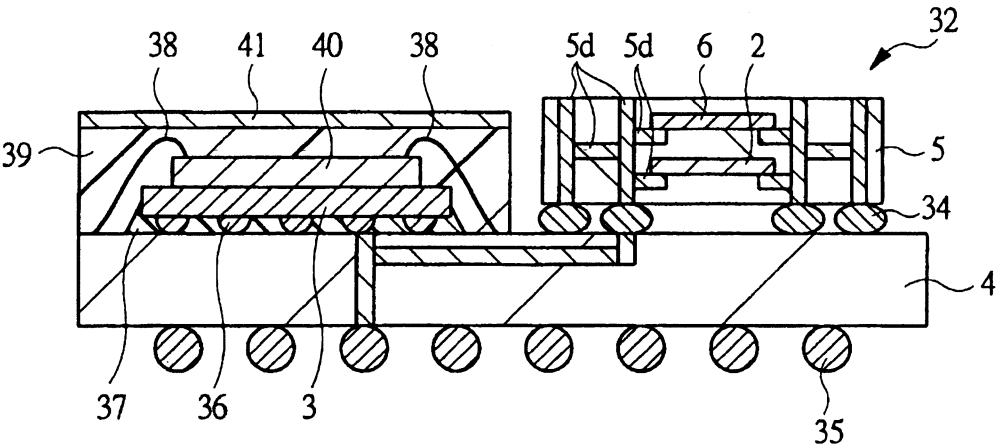


圖48

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	SIP(半導體裝置)
2	第1記憶體晶片
2a、3a、4a、5a、6a	主面
2b、3b、4b、5b、6b	背面
3	微電腦晶片
4	第1佈線基板
5	第2佈線基板
5d	內部佈線
6	第2記憶體晶片
34	第1焊接凸塊(第1凸塊電極)
35	第2焊接凸塊(第2凸塊電極)
36	金凸塊
37	底部填料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)