

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成22年6月17日(2010.6.17)

【公表番号】特表2009-537852(P2009-537852A)

【公表日】平成21年10月29日(2009.10.29)

【年通号数】公開・登録公報2009-043

【出願番号】特願2009-510426(P2009-510426)

【国際特許分類】

G 09 G 3/30 (2006.01)

G 09 G 3/20 (2006.01)

H 01 L 51/50 (2006.01)

【F I】

G 09 G 3/30 K

G 09 G 3/30 J

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 1 1 H

G 09 G 3/20 6 4 1 D

G 09 G 3/20 6 2 4

G 09 G 3/20 6 7 0 Q

G 09 G 3/20 6 7 0 K

H 05 B 33/14 A

【手続補正書】

【提出日】平成22年4月22日(2010.4.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

発光素子を制御する回路であって、

前記発光素子に接続可能な第1のコンデンサと、

前記第1のコンデンサを充電する充電手段であり、前記第1のコンデンサを制御可能に充電する制御電圧に応答可能な制御電極を有する電流制御手段を含む、当該充電手段と、

前記第1のコンデンサの前記充電手段に対する接続および切断を交互に行い、それに応じて前記第1のコンデンサを前記発光素子に接続するようになされた切換え手段であって、前記第1のコンデンサを交互に充電および放電することができるよう構成され、前記第1のコンデンサの充電電流または放電電流が、前記発光素子の電流とほぼ対応している、当該切換え手段と、

を含む、前記回路であり、

ダイオードまたはダイオードとして動作するようになされたトランジスタをさらに含み、前記ダイオードまたはダイオード・トランジスタが、前記発光素子のアノードまたはカソードの電位を制御するために前記発光素子のアノードまたはカソードに接続される、前記回路。

【請求項2】

前記充電手段の前記電流制御手段が、制御可能な電流源または制御可能な抵抗器として動作する少なくとも1つの充電トランジスタを含む、請求項1に記載の発光素子を制御する回路。

【請求項 3】

前記充電手段が、前記制御電極に接続されて前記制御電圧を蓄積する蓄積コンデンサを含む、請求項 2 に記載の回路。

【請求項 4】

前記充電手段が、前記蓄積コンデンサへの所定のプログラミング電圧を制御可能に受け取るようになされた、請求項 3 に記載の回路。

【請求項 5】

前記第 1 のコンデンサが、前記発光素子のアノードまたはカソードに接続可能である、請求項 1 から 4 の一項に記載の回路。

【請求項 6】

前記充電トランジスタのドレインまたはソース電極が前記第 1 のコンデンサに接続され、前記充電手段が、基本的に一定のドレインまたはソース電流を提供するために、充電トランジスタのゲート電圧を連続的に増大または減少させるようになされた、請求項 2 から 4 の一項に記載の回路。

【請求項 7】

前記第 1 のコンデンサを放電させる放電手段を含み、前記放電手段が、前記第 1 のコンデンサを所定の電位に接続する、前記第 1 のコンデンサの両側の電極を短絡する、または前記第 1 のコンデンサを基準電位と発光素子の間で逆に接続する、の何れかを選択的に行うようになされた切換えトランジスタを含む、請求項 1 から 6 の一項に記載の回路。

【請求項 8】

複数の発光素子と、複数の請求項 1 から 7 の一項に記載の回路とを含むアクティブ・マトリクス・ディスプレイであって、各発光素子に対して 1 つの回路が個別に設けられている、前記アクティブ・マトリクス・ディスプレイ。

【請求項 9】

発光素子に接続可能なコンデンサと、

前記コンデンサを充電する充電手段であり、制御電圧に応答可能な制御電極を有するトランジスタ、および第 1 の電極で前記制御電極に接続されて前記制御電圧を蓄積する蓄積コンデンサを有する電流制御手段を含む、前記充電手段と、

前記コンデンサを前記充電手段および前記発光素子に選択的に接続するように構成された切換え手段と、

前記発光素子のアノードまたはカソードに接続された、ダイオードまたはダイオードとして動作するようになされたトランジスタと、

を含む、電子回路を制御する方法であって、

前記コンデンサを充電するための所定の電流を設定するように前記充電手段内の前記電流制御手段を制御するために、前記制御電圧を印加するステップと、

前記切換え手段を相応に制御することによって前記コンデンサと前記充電手段とを交互に接続および切断して、それに応じて前記コンデンサを前記発光素子に接続し、それにより前記コンデンサを充電および放電するステップであって、前記コンデンサの充電電流または放電電流が前記発光素子を流れる電流にほぼ対応している、当該ステップと、

を含む、前記方法であり、

前記電流制御手段の前記トランジスタのしきい値電圧を補償するために、

前記発光素子を短絡するように前記ダイオードまたはダイオード・トランジスタを接続するステップと、

前記電流制御手段の前記トランジスタが導通を開始するのに十分な量だけ前記蓄積コンデンサの第 2 の電極の電位を変化させるステップと、

をさらに含む、前記方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】**【発明の詳細な説明】****【発明の名称】**発光素子を制御する回路、およびその回路を制御する方法**【技術分野】****【0001】**

本発明は、発光素子、特に有機発光ダイオードOLEDを制御するドライバおよび方法に関する。これらのOLEDは、マイクロ・ディスプレイのピクセルとして利用することもできる。有機発光ダイオード(OLED)は、発光層が特定の有機化合物の薄膜を含む、特殊なタイプの発光ダイオード(LED)である。発光性エレクトロルミネセンス層は、様々な色の光を発出できるピクセルのマトリクスを作成する単純な「印刷」手法を用いて適當な有機化合物を担体上に例えば行列状に堆積することを可能にする高分子物質を含むことができる。

【背景技術】**【0002】**

OLEDディスプレイは、テレビジョンの画面、コンピュータ・ディスプレイ、携帯機器の画面に使用できるほかに、広告、情報、各種指示などの分野でも使用することができる。また、OLEDは、一般照明の光源にも使用することができる。OLEDは、大面積発光素子を実施するのに向いている。従来のLCDディスプレイに優るOLEDディスプレイの最大の利点の1つは、OLEDディスプレイではバックライトを動作させる必要がないことである。これはつまり、OLEDディスプレイでは消費電力が大幅に少なくなり、バッテリから給電する場合に、1回の充電でより長い時間動作することができるということである。

【0003】

マイクロ・ディスプレイは、駆動に必要な電子回路がその上に配置された単結晶シリコンの基板をベースにすることができる。この基板の1つの面上に、複数のOLED材料の層を堆積させる。

【0004】

マイクロ・ディスプレイには、例えば以下のような、いくつかの技術的課題がある。

利用できるセル領域内における回路素子のスペースが限られていること。

高電圧で動作すること(3.5V)。

OLEDのダイオード電流が、例えば1nA未満など極めて小さく、例えばトランジスタのサブスレッショルド動作が必要となり、リーク電流の影響を受けやすくなること。

OLEDのI/U特性が電流に影響を及ぼし、ひいてはピクチャの均一性に影響を及ぼすこと。

電流が小さいために、ピクセルのプログラミングに必要なダイナミックに難点があること。

【発明の開示】**【発明が解決しようとする課題】****【0005】**

本発明の目的は、現況技術の欠点を克服した、発光素子(DO)を制御するための改良されたドライバを提供することである。

【課題を解決するための手段】**【0006】**

上記の目的は、添付の特許請求の範囲による、発光素子、特に有機発光ダイオードを制御するドライバによって達成される。このドライバは、発光素子に接続可能なコンデンサと、コンデンサを充電する充電手段と、切換え手段とを含む。この切換え手段は、発光素子からのコンデンサの切断と、発光素子へのコンデンサの接続とを交互に行うようになされている。コンデンサは、交互に充電および放電される。コンデンサの充電電流または放電電流によって、発光素子の電流を駆動する。充電手段は、コンデンサ充電するための少なくとも1つの充電トランジスタを含む。

【0007】

以下に述べる本発明による回路は、OLEDダイオード電流を生成する新しい回路を含む。電流は、所与のクロック周波数でコンデンサを充電および放電することによって設定される。

【発明を実施するための最良の形態】

【0008】

以下、本発明の好ましい実施例を、図面を参照して説明する。

【0009】

本発明の基本原理を、図1に示す。図1は、有機発光ダイオードDOを制御するドライバを示す図である。この回路は、電圧源Vdcと、コンデンサC1と、スイッチSと、有機発光ダイオードDOとからなる。ダイオードDOは、アノードおよびカソードを有する。カソードは、接地電位に接続される。ダイオードDOのアノードは、スイッチSを介してコンデンサC1の一方の電極に接続可能である。コンデンサのもう一方の電極は、接地電位に接続される。さらに、電圧源Vdcも、スイッチSを介してコンデンサに接続されることがある。電圧源は、接地電位を基準とする。ここで接地電位を選択したのは、単に便宜上の理由である。別法として、任意の所定の基準電位を選択してもよい。スイッチSは、電圧源VdcまたはダイオードDOの何れか一方を、コンデンサに接続する。電圧源とダイオードが同時にコンデンサC1に接続されることはない。

【0010】

図1の回路は、電圧源VdcとダイオードDOを交互にコンデンサに接続することによって動作する。電圧源は、コンデンサに接続されている間、コンデンサC1をその出力電圧まで充電する。コンデンサは、ダイオードDOに接続されると、ダイオードDOを介して放電する。ダイオードを流れる電流は、コンデンサの電圧と接地電位の電位差によって決まる。ダイオードの輝度は、コンデンサC1に所望の電荷を印加して、対応する電圧を発生させることによって制御することができる。その電圧が、ダイオードを流れる電流を生み出し、この電流が輝度を決定するからである。

【0011】

基本原理を、図1に示す。ダイオード電流（理想値）は、以下の式で与えられる。

【0012】

【数1】

$$I_{DO} = C_1 \cdot V_{dc} \cdot f_s$$

ここで、fsはスイッチSの切換え周波数、C1はコンデンサC1の容量、Vdcは電圧源Vdcの電圧である。電流IDOは、充電電圧に比例する。より厳密に言えば、この電流は、コンデンサの充電状態と放電状態の電圧差に比例する。周波数の制御および安定、コンデンサの整合、ならびに高い電圧精度を狭い許容誤差範囲内で達成することができるので、良好なピクチャ均一性を達成することができる。

【0013】

上述の原理は、パッシブ・マトリクスOLEDディスプレイに比べて動作時の電流が本質的に小さいためにOLEDの表示性能を高め寿命を延ばすことができる、アクティブ・マトリクスOLEDディスプレイの回路に適用することもできる。アクティブ・マトリクスOLEDディスプレイ（AMOLED）は、ディスプレイの個々の発光素子を切り換えるためにトランジスタを使用するタイプのディスプレイである。

【0014】

アクティブ・マトリクス・ディスプレイは、発光素子の他に、マトリクス状の薄膜トランジスタ（TFT）を含むこともある。これらのデバイスは、他の全てのピクセルを更新しながら、ディスプレイ上の1つのピクセルの電気的状態を記憶する。この方法により、同じサイズのパッシブ・マトリクスよりもはるかに明るく鮮鋭な表示になる。

【0015】

薄膜トランジスタを使用して、アクティブ・マトリクスを構成してもよい。ただし、薄膜トランジスタは、アクティブ・マトリクスの単なる一構成要素であり、設計によっては、ダイオードなど、その他のアクティブな構成要素を使用しているものもある。パッシブ・マトリクス・ディスプレイでは、単純な導電性グリッドを使用して、目標領域の発光素子に電流を送達するが、アクティブ・マトリクス・ディスプレイでは、薄膜トランジスタと共に集積することができる、限られた期間だけ電荷を保持する機能を有するトランジスタおよびコンデンサのグリッドを使用する。トランジスタの切換え動作によって、所望のピクセルと関連づけられたコンデンサだけが電荷を受け取り、そのコンデンサは、次のリフレッシュ・サイクルまでその電荷を保持し、これによりパッシブ・マトリクスに比べて画質が向上する。

【0016】

集積MOSコンデンサは、通常は、1ミクロン四方あたり 5 fF の範囲の単位面積あたりの静電容量を有する。例えば $5 \times 5 \mu\text{m}$ のピクセルで、コンデンサの面積を $2 \times 2 \mu\text{m}$ としたとき、充電コンデンサを 20 fF と仮定することができる。スイッチSを 32 kHz で動作させ、フル・スケール(FS)の電圧を 2 V と仮定すると、平均ダイオード電流のFS値は、以下のようなになる。

【0017】

【数2】

$$I_{D0, max} = 1.28 \text{ nA}$$

【0018】

スイッチが閉じているときに高ピーク電流を回避するために、ランプ状制御電圧を使用してもよい。すなわち、電圧源がスイッチに接続されている間は、電圧源Vdcの出力電圧を連続的に増加するように制御することができる。ピーク電流は、電圧源とコンデンサの電圧差が最大になったときに発生する。これは、電圧源がコンデンサC1に接続されたときに起こる。出力電圧を段階的に印加した場合に比べて、ランプ状出力電圧ではピーク電流が低減する。

【0019】

詳細な分析から、Vthの不整合、すなわち個々のMOSトランジスタ間のしきい値電圧Vthのばらつきの影響が分かっている。最初の大まかな分析では、単結晶シリコン上で、FS(フル・スケール)電圧振幅を 2 V と仮定すると、Vthの不整合は基本的に無視できる程度であることが分かった。何れにしても、以下で述べる回路の一部は、何らかの不整合の補償を含んでいる。

【0020】

図2は、nチャネルFET(電界効果トランジスタ)を使用した例示的な回路を示す図である。図2では、対応する要素は同じ参照符号で示してある。

【0021】

図2に示す回路は、アクティブ・マトリクス・ディスプレイ内の1つの素子を表している。ディスプレイ内の各発光素子は、列線および行線を用いてアドレッシングすることができる。各列線は、マトリクスの1列に含まれる各発光素子に接続され、各行線は、マトリクスの1行に含まれる各発光素子に接続される。図2では、列線および行線はそれぞれ参照符号ColおよびRowで示してある。

【0022】

図2は、アノードが一定の基準電圧Vdioに接続された発光ダイオードDOを含む。この点で、図2の回路は、ダイオードDOのアノードへの電流が制御される図1の回路と異なる。発光ダイオードDOのカソードは、電界効果トランジスタN2およびN4を介してコンデンサC1に接続される。トランジスタN2のソースsは、トランジスタN4のドレインに接続される。トランジスタN2のドレイン電流は、発光ダイオードDOを流れる電流に対応する。さらに、N2のドレイン電流は、トランジスタN4のソース電流sには

ぼ対応する。ダイオード D O の光度は、トランジスタ N 4 のソースに接続されたコンデンサ C 1 を充電および放電することによって制御される。

【 0 0 2 3 】

ダイオード D O を流れる電流の量は、トランジスタ N 2 のゲートに印加される電圧とトランジスタ N 2 のドレイン d とソース s の間の降下電圧との電圧差によって決まる。この電流は、トランジスタのゲート電圧 g によって制御され、トランジスタのゲート電圧 g は、列信号および行信号によって制御される。トランジスタ N 1 は、列線および行線の両方、ならびにトランジスタ N 2 のゲートに接続される。トランジスタ N 1 のゲートは、行線に接続される。行線が高電圧信号を搬送してきた場合は、トランジスタ N 1 のドレイン / ソース・チャネルが導電状態になる。トランジスタ N 1 のドレインに接続された列線の電圧信号は、トランジスタ N 1 のソースおよびトランジスタ N 2 のゲートに伝達される。この例では、トランジスタ N 2 は、飽和領域で動作する。プログラミング段階の間は、ノード g はプログラミング電圧に設定される。これは、列線 C o 1 にプログラミング電圧を印加し、行線 R o w に高パルスを印加することによって行われる。プログラミングは、通常は、線ごとに入来ビデオ信号と同期して行われる。

【 0 0 2 4 】

トランジスタ N 2 のソース s の電圧は、C 0 の電圧からゲート / ソース間の電圧降下分を引いた値に等しい。コンデンサ C 1 は、しばらくの間 N 4 を導電状態にすることによって、ほぼ C 0 の電圧まで繰り返し充電される。ソース・フォロワ・トランジスタ N 2 と C 0 の電圧とによって、いつ充電が完了するかが決まる。トランジスタ N 2 および N 4 を流れる電流は、発光ダイオード D O を流れる電流でもある。

【 0 0 2 5 】

コンデンサ C 1 を充電した後、トランジスタ N 4 のゲートに低電圧を印加して、このコンデンサをトランジスタ N 2 のソースから切り離す。この間に、C 1 は放電する。これは、トランジスタ N 4 のソースを接地することによって行われる。この目的で、コンデンサ C 1 と並列に動作するトランジスタ N 3 のゲートには、高電圧 V r e s が印加される。コンデンサ C 1 を充電するプロセスは、トランジスタ N 3 のゲートに低電圧 V r e s を印加し、トランジスタ N 4 のゲートに高電圧 V o n を印加すると再開される。

【 0 0 2 6 】

図 2 の表は、V o n および V c a p 1 の例示的な電圧信号を示している。この表の各エントリは、時間に対する電圧信号 V o n および V c a p 1 の振幅を表している。V c a p は、トランジスタ N 2 のゲートに接続されていない方のコンデンサ C 0 の電極に印加される電圧である。

【 0 0 2 7 】

V c a p 1 を制御すると、プログラミング期間中は列 C o 1 に生じる可能性のある電圧を適当な範囲にシフトさせ、その後、最良のチャージ・ポンプ動作を行うための別のレベルにシフトさせるのに役立つ。特に、トランジスタ N 1 のゲートが低信号を受信しているときには、コンデンサ C 0 の電圧を、電圧 V c a p 1 を用いて調節することができる。電圧 V o n は、トランジスタ N 4 のゲートに印加される電圧を表す。電圧 V o n が高電圧であると、コンデンサ C 1 に流れる電流が増加する。表の第 1 行目では、電圧 V o n の期間は方形波関数に従い、電圧 V c a p 1 は鋸歯形である。鋸歯形電圧では、トランジスタ N 2 のゲートの電圧およびコンデンサ C 1 に流れる電流が次第に増加し、トランジスタ N 4 のゲートは高信号を受信する。これにより、コンデンサおよび発光ダイオードに流れるピーク電流を減少させることができる。その結果として、発光ダイオード D O の電流および輝度は、コンデンサ C 1 が充電されているときには基本的に一定である。

【 0 0 2 8 】

図 2 の表の第 2 行目では、電圧 V o n が鋸歯形で、電圧 V c a p 1 は接地電位に接続されている。この場合は、トランジスタ N 4 を使用して、コンデンサ C 1 に流れるピーク電流を減少させる。高ピーク電流は、トランジスタ N 4 のゲートに高電圧が急激に印加された場合に流れる。その場合には、トランジスタのドレインとソースの間の電圧差が最大に

なり、ピーク電流につながる。コンデンサC1は徐々に充電されるので、トランジスタのソースとドレインの間の電圧差は徐々に低減する。トランジスタN4のゲート電圧V_{on}を徐々に増大させることによって、ピーク電流を減少させ、一般に、コンデンサC1に流れ込む電流を制御する。この場合には、トランジスタN4は、制御可能抵抗器として動作し、それにより、トランジスタN2のドレインとソースの間の電圧降下を適当に制御することができる。

【0029】

図2の回路は、さらに、トランジスタN5またはダイオードD1を含むこともある。この図では、トランジスタN5のドレインがトランジスタN5のゲートに接続されているので、トランジスタN5はダイオードとして動作する。ダイオードD1およびダイオードとして動作するトランジスタN5のアノードは、発光ダイオードD0のカソードに接続される。ダイオードD1のカソードは、供給電圧V_{dd}で駆動される。追加のダイオードは、具体的には以下のよう、様々な目的のために使用することができる。

高電圧動作および低電圧CMOSプロセスの場合。電圧V_{dd}が最大許容IC供給電圧V_{dd}を超える場合に、例えばN5などのダイオードによって、トランジスタN2のドレイン電極の電圧を制限する。

ある程度の試験容易性を実現するために、製造段階中、例えばOLEDデバイスをトランジスタのアレイまたはマトリクスのうえにまだ形成していない場合などに、ダイオードN5またはD1を使用して、電流経路を形成することができる。これにより、適度な試験範囲で生ウェハの製造試験を行うことが可能になる。この場合には、例えば列線または行線を分離するように供給電圧V_{dd}を印加することもできる。

ある程度のV_{th}補償を実現するために、例えば、OLEDをダイオードによって意図的に短くする期間を設けることができる。これは、V_{dd}を低下させることによって実現することができる。その場合、電圧V_{cap1}と、その結果としてトランジスタN2のゲートの電圧とがわずかに上昇するので、トランジスタN2が導通を開始する。この場合には、電界効果トランジスタN2は、飽和領域とオーミック領域の間の境界で動作する。コンデンサC1と、同様にトランジスタN2のソースは、トランジスタN2のゲート電圧よりN2のV_{th}だけ低い電圧に到達する。V_{th}は、トランジスタNのしきい値電圧であり、製造許容誤差によって変動する可能性がある。その結果生じる電流は、トランジスタN2のしきい値電圧およびその許容誤差から独立している。

【0030】

電圧V_{cap2}およびV_{cap1}は、供給電圧V_{dd}または接地電圧GNDに接続することができる。供給レール上の追加AC電流要素によって有害な影響が引き起こされるのを回避するためには、接地電圧GNDに接続することが好ましい。ただし、コンデンサの実装という理由から、供給電圧V_{dd}を使用することもできる。

【0031】

図3は、本発明の第2の実施例を示す図である。図3の実施例は、大部分は図2の実施例に対応している。図2および図3において、同じ構成要素は、同じ参照番号で示してある。図2と図3の唯一の違いは、発光ダイオードD0、トランジスタN2およびコンデンサC1に対するトランジスタN4の配置である。図3に示す第2の実施例では、トランジスタN4は、ダイオードD0とトランジスタN2の間に配置されている。トランジスタN2およびN4の位置が入れ替わっている。回路全体の機能は同じである。配置上の理由から、図2または図3に示す回路の何れかが好ましい場合がある。トランジスタN5およびD5を必要に応じて追加することも、図2と同じである。さらに、提案している、図3に添付した表に示す信号を用いたトランジスタN4およびコンデンサC0の動作も、図2と同じである。

【0032】

図4は、図2と同様のトポロジを示す図である。図2のnチャネル・トランジスタN1、N2、N3およびN4が、図4のpチャネル・トランジスタP1、P2、P3およびP4にそれぞれ対応している。図2の実施例とは異なり、各トランジスタP1からP4のゲ

ートに入力される信号は反転している。このようにするのは、nチャネル・トランジスタが正のゲート電圧を必要とするのに対して、pチャネル・トランジスタは、そのソース電極に対して負のゲート電圧で動作しなければならないからである。さらに、発光ダイオードD Oのカソードではなくアノードが、トランジスタP 2、P 4およびコンデンサC 1に直列に接続される。pチャネル・トランジスタのソース／ドレイン電流の方向は、対応するnチャネル・トランジスタの電流方向とは逆である。そのために、図4の実施例では、発光ダイオードのカソードではなくアノードが選択されているのである。コンデンサC 0およびC 1は、基準端子がV d dまたはG N Dに接続されている。図3を参照して述べたのと同様に、この場合も、必要に応じてP 2とP 4の順序を入れ替えることができる。

【0033】

多くの一般的なO L E Dディスプレイでは、カソード(V d i o)である共通の上部電極を用いているので、pチャネルM O Sデバイスを使用することが好ましいことがある。図2および図3に示すnチャネル回路では、P 4とP 2の順序を入れ替えることができる。図4にはさらに、それぞれトランジスタP 3およびP 4を駆動する、時間変化する電圧信号V r e sおよびV o nの例も示してある。トランジスタP 3は、方形波信号によって駆動される。この信号の効果は、コンデンサC 1を供給電圧V d dに接続して、コンデンサC 1を放電させることである。あるいは、トランジスタP 3のソースを接地電位G N Dに接続してもよい。方形波パルスは、コンデンサC 1を周期的に放電させる。コンデンサC 1は、トランジスタP 4のゲートに鋸歯形電圧V o nを印加することによって断続的に充電される。鋸歯形であることにより、比較的一定の電流が生じ、上記で説明したように、これが発光ダイオードD Oを駆動し、コンデンサC 1を充電する。

【0034】

図5は、本発明の第4の実施例による、発光素子D Oを制御する回路を表す図である。図5の回路では、ダイオードを駆動するためにnチャネル・トランジスタを使用している。図5の回路の構成は、大部分は図2による回路に対応している。図2と異なるのは、図5ではトランジスタN 4が省略されている点である。その他の点では、図2と図5におけるトランジスタおよびコンデンサの構成は同じである。図5では切換えトランジスタN 4がないので、図5の回路の動作は、図2の回路の動作とは異なる。図5にはさらに、コンデンサC 0、トランジスタN 3のゲート、および行線にそれぞれ印加される、時間変化する電圧信号V c a p、V r e sおよびR o wも示してある。各電圧の振幅は、時間とともに変化するものとして示してある。最初に、方形パルス行電圧信号によって、列線の電圧がトランジスタN 2のゲートに印加される。その後、電圧V c a pが段階的に低下する。その結果として、トランジスタN 2は、カットオフ領域で動作する。次のステップで、方形波電圧信号V r e sをトランジスタN 3のゲートに印加することによって、コンデンサC 1を接地する。トランジスタN 3を用いてコンデンサC 1を接地すると、電圧V c a pを低状態に駆動して、トランジスタN 2が導通状態になるのを防止しなければならない。その後、nチャネル・トランジスタN 3が開放される、すなわち導通しなくなり、コンデンサC 0にランプ電圧信号V c a pを用いてトランジスタN 2のゲート電圧を徐々に増大させる。従って、一定期間、すなわち駆動期間を通じて、ほぼ一定の電流が発光ダイオードD Oを流れる。

【0035】

図6は、本発明によるドライバの第5の実施例を示す図である。図6の回路は、nチャネル・トランジスタN 1からN 5と、コンデンサC 0およびC 1と、発光ダイオードD Oとで構成される。図6のコンデンサC 0とトランジスタN 1の構成は、図5の構成に対応している。図5と異なるのは、コンデンサC 1が発光ダイオードD Oのアノードに直接接続されている点である。トランジスタN 2のソースは、コンデンサC 1に直列に接続されている。トランジスタN 2のベースは、ベース・トランジスタN 1に高電圧を印加することによってトランジスタN 1を飽和領域で動作させたときに、列線によって駆動される。トランジスタN 3は、コンデンサを放電するためにコンデンサC 1に接続される。トランジスタN 3のドレインは、接地電位に接続される。

【0036】

この回路は、図5の回路にトランジスタN5およびN4を追加したものである。トランジスタN5は、そのソースおよびベースを接地電位に接続することによって、ダイオードとして動作させる。トランジスタN5のドレインは、発光ダイオードDOのアノードにも接続される。従って、このトランジスタは、基本的に、発光ダイオードDOのアノードの電位が接地電位未満に降下することを防止する。トランジスタN3がリセットのためにコンデンサを接地電位に接続すると、この図ではトランジスタN5によって構成されるダイオードを流れる電流によって発光ダイオードのアノードの電位が上昇する。このリセットにより、トランジスタN5のしきい値電圧V_{th}への依存性が生じる。これは、DOのアノード電圧に対応するN5のドレイン電圧が、接地電位からしきい値電圧V_{th}を引いた値にほぼ等しくなるからである。発光ダイオードDOのカソードは、ダイオード電圧V_{dio}に接続される。カソード電圧V_{dio}は、コンデンサC1が放電した後はダイオードDOに電流が流れないように選ばなければならない。

【0037】

この回路には、真のnチャネルに基づく解決策が与えられるという利点がある。しかしながら、この回路では、ドレイン・ノードだけでなくnMOSのゲートも高電圧となる。さらに、発光ダイオードDOがトランジスタN2のソース経路上にあるために、その電気的特性、例えば発光ダイオードDOのU/I特性または順方向電圧の影響を受ける。さらに、コンデンサC1に、供給レベルV_{dd}のノードがない。

【0038】

後者の点から、列線C01上の電圧は、発光ダイオードDOのアノードとカソードの間の電圧降下より高くなければならない。1つの例示的な実施例では、カソード電圧V_{dio}は、接地電圧に対して負の電圧になるように選択される。発光ダイオードDOは、アノードが基板接地レベルであるときには、導通しないこともある。

【0039】

図7は、本発明の第6の実施例を示す図である。図7の回路は、大部分は図6の回路に対応している。図6と異なるのは、トランジスタN3が、トランジスタN2のソースを発光ダイオードDOのアノードに接続している点である。従って、コンデンサは、コンデンサC1の両側を短絡することによって放電する。トランジスタN5の代わりに、ダイオードD1が発光ダイオードDOのアノードに接続される。ダイオードD1は、ダイオードとして動作する図6のトランジスタN5と同じ機能を実行する。ダイオードD1は、トランジスタN3の一部であってもよく、その場合には、トランジスタのアクティブなn⁺領域をpドープ基板に接続することによって形成される。コンデンサはトランジスタN2およびN4を用いて充電される。トランジスタN4のゲート電圧は、駆動中にほぼ一定の電流を供給するために、ランプ形である。充電中のコンデンサは、発光ダイオードDOを流れる電流を駆動する。

【0040】

図8は、本発明の第7の実施例を示す図である。図8の回路は、基本的には図7の回路に対応している。図7の回路と異なるのは、図8の回路が、切換えトランジスタN4を含まない点である。その代わりに、トランジスタN2のドレインは、供給電圧V_{dd}に接続される。その他の点では、第6の実施例と第7の実施例は同じである。図8の実施例では、コンデンサC1のリセット中に、トランジスタN2に電流が流れないように留意しなければならない。従って、コンデンサC0に印加される電圧V_{cap}を適当に選択しなければならない。V_{cap}は、トランジスタN2のゲートの電位を低下させるために、低減しなければならない。その結果として、コンデンサC1が放電している間は、このトランジスタはカットオフ領域で動作することになる。この回路では、プログラミング中に1つの電荷パルスが必要となることがある。

【0041】

図9は、本発明の第8の実施例による、発光ダイオードを制御する回路、すなわちnMOSデバイスをベースとする、共通カソード形のOLEDを備えたピクセル回路を示す図

である。上述した実施例と同様に、トランジスタN2およびN4の順序は入れ替えることができる。トランジスタN1、N2、コンデンサC0、ならびに列線C01および行線ROWの構成は、図8の実施例の構成と同じである。第8の実施例では、発光ダイオードD0のアノードが、ダイオードD1のカソードおよびトランジスタN3のソースに接続される。充電コンデンサは、ゲート電圧Vonによって駆動されるトランジスタN3のドレインに接続される。図8の実施例と異なり、コンデンサC1は、発光ダイオードD0のアノードに直接には接続されない。

【0042】

コンデンサC1は、トランジスタN3のゲート電圧Vonを徐々に増大させることによって放電させる。時間に対する電圧信号Vonのグラフも、図9に示してある。コンデンサC1およびトランジスタN3のドレインはともに、ゲート電圧Vresによって駆動されるトランジスタN4のソースに接続される。ゲート電圧Vonを上昇させることによってコンデンサC1を放電させている間、トランジスタN4のゲート電圧Vresは低状態にある。すなわち、トランジスタN4はカットオフ領域で動作する。従って、トランジスタN4のソース電流はゼロであり、コンデンサC1の全放電電流は、発光ダイオードD0に流れる。ダイオードD1はカソードがトランジスタN3に接続されているので、放電電流はダイオードD1には流れない。

【0043】

コンデンサC1の充電は、トランジスタN3をカットオフ領域で動作させ、トランジスタN4からの電流が完全にコンデンサC1の回路ノードgに流れるようにすることによって行われる。トランジスタN3のゲート電圧Vonが低状態である間に、方形パルス電圧信号VresをトランジスタN4のゲートに印加する。充電電流の大きさは、トランジスタN2のゲート電圧、およびトランジスタN2のドレインに供給される供給電圧Vddの両方によって決まる。コンデンサC1の充電では一定の電流を供給する必要がないので、ゲート電圧は増加させない。トランジスタN4は、コンデンサC1を充電するために、単純にスイッチとして動作する。トランジスタN2のゲート電圧は、トランジスタが適当な行線電圧を用いて飽和領域で動作しているときには、列線C01の電圧に基本的に等しい。

【0044】

コンデンサC0は、一方の電極がトランジスタN2のゲートに接続され、他方の電極が電圧Vcap0に接続される。コンデンサC0は、列線C01からの電圧を蓄積する。Vcap0は、供給電圧Vddまたは接地電位GNDに等しくなるように選択することができる。コンデンサC1の一方の電極は、トランジスタN4のソースおよびトランジスタN3のドレインに接続され、コンデンサC1の他方の電極は、供給電圧Vddまたは接地電位に等しくなるように選択することができる電圧Vcap1に接続される。Vcap0とVcap1を供給電圧Vddに接続すると、コンデンサC0およびC1をpMOSコンデンサとして実装することができるので有利である。ダイオードD1は、トランジスタN3の固有のダイオードで形成することができる。この実施例は、浮遊コンデンサがないので有利である。

【0045】

図10は、本発明の第9の実施例による回路を示す図である。図10の回路は、2点の例外を除いて図4の回路に対応している。第1に、図4のコンデンサC0は電位Vcap1に接続されるが、図10のコンデンサC0は接地される。第2に、図4のコンデンサC1は電圧Vcap2に接続されるが、図10の対応するコンデンサC1はやはり接地される。図10の発光ダイオードD0のダイオード電流は、コンデンサC1を充電および放電することによって制御される。

【0046】

図11は、電荷ポンプの電圧および電流のシミュレーションのために使用される本発明による例示的な回路を示す図である。このシミュレーション回路は、図10の回路に基本的に対応している。上述の回路と比較すると、シミュレーションの主な関心が電荷ポンプ

機能の分析のために、プログラミング・トランジスタ P 1 および蓄積コンデンサ C 0 が、D C 電源 V 2 で置き換えられている。シリコン・ダイオードと比較して O L E D の方が順方向電圧が高いことを考慮するために、O L E D の D O は、直列に接続した 5 つのシリコン・ダイオード D 4、D 6、D 8、D 9 および D 1 0 で置き換えられている。ダイオード D 1 は、電流が流れていないと、図 1 0 のトランジスタ P 2 に対応する駆動トランジスタ M 1 のドレインにおける過電圧破壊を回避する。例示的なシミュレーションでは、図 1 0 のコンデンサ C 1 に対応するコンデンサ C 0 を、例えば周波数 1 0 0 k H z で充電および放電することができる。発光ダイオード D O のカソードは、- 2 V に等しくすることもできる電圧 V d i o に接続される。図 1 0 の V d i o は、図 1 1 では電源 V 1 で表されている。図 1 1 では電源 V 0 で表される供給電圧 V d d は、3 . 3 V に等しいことが好ましい。リセット電圧 V r e s は、図 1 0 のトランジスタ P 3 に対応するトランジスタ M 3 のベースに印加される方形波パルス信号である。充電コンデンサ C 1 の静電容量は、1 0 f F に等しくなるように選択することができる。ポンプ・コンデンサ C 0 (図 1 0 では C 1) は、最大輝度の場合に相当する、約 2 V - V t h まで充電される。

【 0 0 4 7 】

図 1 2 は、図 1 1 の回路のシミュレーション結果を示す図である。図 1 2 の波形は、上方の部分は、回路に印加される制御電圧も含めた電圧を示している。一番下の線は、O L E D に流れ込む電流を表す。1 0 μ s の各期間の中心部分では、電流は基本的に 3 n A で一定であることが分かる。平均電流は約 1 n A である。これは、第 1 の期間ではいくつかの電圧の初期化が見られるので、第 2 および第 3 の期間を見ると最もよく分かる。

【 0 0 4 8 】

図 1 3 は、ポンプ・コンデンサ C 1 を 1 . 5 V - V t h まで充電した場合のシミュレーション波形を示す図である。図 1 2 の波形と比較すると、平均電流が低くなっていることがはっきりと分かる。その理由は、主に電流の流れる時間が短縮されたことである。

【 0 0 4 9 】

図 1 4 は、図 1 1 の P 2 および P 4 に対応するトランジスタを入れ替えた回路のシミュレーション波形を示す図である。大きな違いは見られない。

【 0 0 5 0 】

図 1 5 は、本発明による回路をさらに発展させたものを表す図である。この実施例では、コンデンサ C 1 は、充電中および放電中に発光手段 D O に結合される。ただしそれの場合で結合される電極は逆である。コンデンサの充電中には、その充電電流により、コンデンサの一方の電極に結合された発光手段が発光する。もちろん、他方の電極は、好ましくは所望の電圧波形の調節を可能にする制御可能な電圧調整器を介して充電電源に結合される。充電電圧が例えば上述した鋸歯形など適当な波形であれば、充電電流、従ってダイオードを流れる電流は、基本的には一定になる。そうでない場合には、電流制御手段を設けて、充電中の電流を制御することができる。コンデンサが所望のレベルまで充電されたら、充電に使用した電源をコンデンサから切り離す。これで、コンデンサの電位の高い方の電極は、電源ではなく発光手段 D O に結合される。コンデンサの他方の電極は、コンデンサの両端間の電圧より低い基準電位に結合される。基準電位は、接地、または発光手段の順方向電圧降下に基本的に対応する電源とし、コンデンサを完全に放電させることができるようになることができる。これで、放電電流が発光手段を流れ、この動作段階中にも発光させる。基本的に線形になるように放電電流を制御すると、所望の強度の光が発出される総時間を約 2 倍にすることができる。もちろん、スイッチ S 1 および S 2 は、コンデンサを交互に発光手段に接続し、充電電圧と基準電位の交差接続を回避するが、起こりうる危険な D C 短絡を引き起こさないように制御する必要がある。

【 0 0 5 1 】

トランジスタ P 4 の鋸歯形信号の波形を最適化することによって、電流の衝撃係数を高めることができる。コンデンサのサイズ、クロック・レートおよびクロック信号振幅の間のトレードオフは、動的散逸 (dynamic dissipation) に影響を及ぼす。

【0052】

実際には、過電圧ダイオード D 1 が有用である。このシミュレーションで、5 V のトランジスタが不要であることが分かった。アクティブ・デバイスに関しては、0.18 μなどの標準的な論理プロセスでは、例えば 1.8 V / 3.3 V を使用して、この回路の製造を容易且つ安価にすることができる。3.3 V デバイスのみを使用して、製造プロセスの複雑さをさらに軽減することも考えられる。

【図面の簡単な説明】

【0053】

【図 1】本発明の基本原理を示す図である。

【図 2】本発明の第 1 の実施例を示す図である。

【図 3】本発明の第 2 の実施例を示す図である。

【図 4】本発明の第 3 の実施例を示す図である。

【図 5】本発明の第 4 の実施例を示す図である。

【図 6】本発明の第 5 の実施例を示す図である。

【図 7】本発明の第 6 の実施例を示す図である。

【図 8】本発明の第 7 の実施例を示す図である。

【図 9】本発明の第 8 の実施例を示す図である。

【図 10】本発明の第 9 の実施例を示す図である。

【図 11】電圧および電流のシミュレーションをするために使用される回路を示す図である。

【図 12】本発明の一実施例の第 1 のシミュレーションの波形を示す図である。

【図 13】本発明の一実施例の第 2 のシミュレーションの波形を示す図である。

【図 14】本発明の一実施例の第 3 のシミュレーションの波形を示す図である。

【図 15】本発明による回路をさらに発展させたものを示す図である。

【手続補正 3】

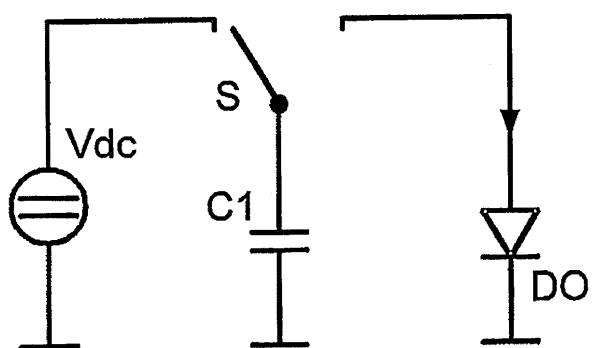
【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【図 1】



【手続補正 4】

【補正対象書類名】図面

【補正対象項目名】図 15

【補正方法】変更

【補正の内容】

【図 1 5】

