(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0063657
(43) 공개일자 2009년06월18일

(51) Int. Cl.
H01L 21/76 (2006.01)
(21) 출원번호 10-2007-0131107
(22) 출원일자 2007년12월14일
심사청구일자 2007년12월14일

(71) 출원인
주식회사 동부하이텍
서울특별시 강남구 대치동 891-10
(72) 발명자
방상철
서울 마포구 망원동 485-31번지 4층
(74) 대리인
김원준, 장성구

전체 청구항 수 : 총 2 항

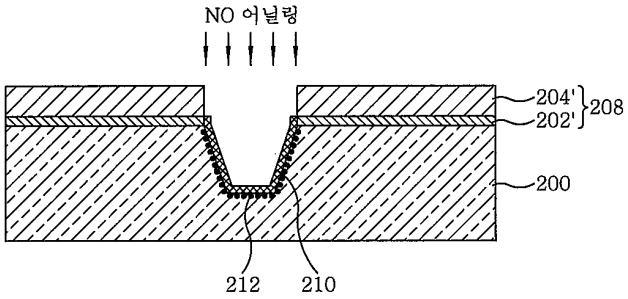
(54) 소자 분리막 형성 방법

(57) 요 약

본 발명에 따른 소자 분리막 형성 방법은, 실리콘 기판 상에 패드 산화막 및 패드 질화막을 순차적으로 형성한 후 패드 질화막과 패드 산화막을 선택적으로 식각하여 트렌치 마스크 패턴을 형성하는 단계와, 트렌치 마스크 패턴에 의해 드러난 실리콘 기판을 일정 두께로 식각하여 트렌치를 형성하는 단계와, 트렌치의 계면에 따라 라이너 산화막을 형성하는 단계와, 라이너 산화막과 트렌치 계면 사이에 산화 질화막을 형성하는 단계와, 산화 질화막이 형성된 트렌치에 충진재를 매립하고, 그 표면을 평탄화시킴으로서 소자 분리막을 형성하는 단계를 포함한다.

이와 같이, 본 발명은 라이너 산화막을 형성한 후 트렌치의 계면과 라이너 산화막이 만나는 부분에 산화 질화막을 형성함으로서, 보론의 침투를 방지하고 실리콘 기판의 계면 특성을 향상시킬 수 있을 뿐만 아니라 누설 전류의 영향을 최소화시켜 반도체 소자의 신뢰성을 향상시킬 수 있다.

대 표 도 - 도2e



특허청구의 범위

청구항 1

실리콘 기판 상에 패드 산화막 및 패드 질화막을 순차적으로 형성한 후 상기 패드 질화막과 패드 산화막을 선택적으로 식각하여 트렌치 마스크 패턴을 형성하는 단계;

상기 트렌치 마스크 패턴에 의해 드러난 실리콘 기판을 일정 두께로 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 측벽에 따라 라이너 산화막을 형성하는 단계;

상기 렌치 계면 사이에 산화 질화막을 형성하는 단계; 및

상기 산화 질화막이 형성된 트렌치에 충진재를 매립하고, 그 표면을 평탄화시킴으로서 소자 분리막을 형성하는 단계

를 포함하는 소자 분리막 형성 방법.

청구항 2

제 1 항에 있어서,

상기 산화 질화막을 형성하는 단계는, 질산 가스를 이용한 어닐링 공정을 통해 상기 산화 질화막을 형성하는 것을 특징으로 하는 소자 분리막 형성 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체의 소자 분리막 형성 방법에 관한 것으로, 더욱 상세하게는 트랜지스터 제조 공정에서누설 전류의 영향을 줄일 수 있을 뿐만 아니라 보론(boron)의 침투를 방지할 수 있는 반도체의 소자 분리막 형성 방법에 관한 것이다.

배 경 기 술

<2> 일반적으로 반도체 기판 상에는 트랜지스터 및 캐패시터 등을 형성하기 위하여, 반도체 기판에 전기적으로 통전이 가능한 활성영역과 전기적으로 통전되는 것을 방지하고 소자를 서로 분리하도록 하는 소자분리영역을 형성한다.

<3> 이와 같이 소자를 분리시키기 위한 공정에는 열 산화 방법을 사용하여 반도체 기판 상에 형성된 두꺼운 산화막을 선택적으로 성장시켜 소자분리영역을 형성하는 로코스(Local Oxidation of Silicon; LOCOS) 공정이 있다.

<4> 그러나 반도체 소자가 고집적화 됨에 따라 로코스 공정으로는 소자의 크기 축소와 소자간의 전기적 절연이 어렵기 때문에, 이를 개선하기 위하여 제안된 방법의 하나가 STI(Shallow Trench Isolation, 이하 'STI'라고한다.) 공정이다.

<5> STI 공정은 소자 분리시 실리콘 기판을 국부적으로 식각하여 트렌치를 형성한 후에 절연막(예를 들어, 산화막)을 증착하고, 화학 기계적 연마(Chemical Mechanical Polishing; CMP) 공정에 의해 액티브 영역 위의 절연막을 식각하여 필드 영역에만 절연막이 잔존하도록 하는 얕은 트렌치 분리(STI) 기법이 주로 이용되고 있다. 특히, 트렌치의 깊이를 3㎛ 이하로 얕게 형성하는 STI 기법은, 현재 0.15 ㎛급 이하의 디자인룰까지 큰 문제없이 적용되고 있다.

<6> 즉, 반도체 장치가 집적화되면서 상당한 면적을 점유하는 소자 분리 영역을 줄이기 위한 상기 STI 기술은 반도체 기판에 트렌치를 형성하고 화학기상증착 방법으로 실리콘 산화물을 매립하는 구조를 갖는다. 이는 기존 방식에 비해 버즈빅이 발생하지 않게 되어 활성 영역의 손실이 없으며, 평탄한 활성 영역을 구현할 수 있다.

<7> 특히, 소자의 게이트 길이가 줄어들면서 상기 트렌치 소자 분리 산화막을 채용하는 구조에서 발생하는 누설 전류 성분은 확산 전류(diffusion current)와 표동 전류(Drift current)로 대별된다. 여기서, 상기 표동 전류는

소자 사이의 최단 거리를 통해 흐르는 반면, 상기 확산 전류는 산화막의 계면을 통해 흐른다.

<8> 이러한 STI 공정은 실리콘 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계, 상기 트렌치 및 기판의 상부에 절연막을 증착하는 단계, 및 상기 절연막을 전면 식각(etch back) 또는 CMP 방법으로 식각하여 상기 트렌치의 내부를 절연막으로 충진(filling) 또는 매립하는 단계로 이루어진다. 현재는 트렌치를 충진하는 산화막으로 USG(undoped silicate glass), TEOS(tetra-ethyl-ortho-silicate) 및 HTO(high temperature oxide), 또는 이들의 조합을 사용하고 있다. 상기한 물질들은 산화 공정에 의해 형성되는 산화막(thermal oxide)에 비해 열 다발(heat budget)이 적고 쓰루풋(throughput)이 높은 반면에, 습식 식각율이 빠르다.

<9> 이하, 도 1a 내지 도 1f를 참조하여, 종래 기술에 따른 STI 기법을 이용한 반도체 소자 분리 과정을 구체적으로 설명한다.

<10> 도 1a 내지 도 1f는 종래 기술에 따른 반도체 소자의 트렌치형 소자 분리막을 형성하는 공정을 나타내는 도면들이다.

<11> 먼저, 도 1a에 도시된 바와 같이, 실리콘 기판(11) 상에 열산화막 재질의 완충 산화막(Pad Oxide; 13)과 질화막(15)을 형성한다.

<12> 이후, 도 1b에 도시된 바와 같이, 상기 완충 산화막(13) 및 질화막(15) 상에 감광막(Photo Resist: PR)(17) 패턴을 형성한다. 여기서, 도면부호 A는 상기 감광막(17)에 형성된 패턴을 나타낸다.

<13> 이후, 도 1c에 도시된 바와 같이, 상기 감광막(17)을 마스크로 하여 상기 완충 산화막(13) 및 질화막(15)을 식각하고, 상기 감광막(17) 패턴을 제거하여 실리콘 기판(11)의 표면 노출 부위를 일정 두께 식각하여 트렌치를 형성한다. 여기서, 도면부호 B는 트렌치를 나타내며, 상기 완충 산화막(13) 및 질화막(15)은 식각에 의해 식각된 완충 산화막(13') 및 질화막(15')이 된다. 이와 같이 형성된 트렌치(B)는 얕은 트렌치 분리(STI) 소자를 형성하기 위한 것이다.

<14> 다음에, 도 1d에 도시된 바와 같이, STI 손상을 방지하기 위해서 트렌치 내부 계면을 따라 전면에 걸쳐 STI 라이너 산화(Liner Oxidation) 시켜 라이너 산화막(19)을 형성한다. 여기서, 상기 라이너 산화막은 후속 산화 공정에 의해 필드 산화막의 부피(volume)가 팽창함으로써 발생하는 스트레스 발생 문제를 해결하기 위해 사용된다. 즉, 상기 라이너는 산화제(oxidant)가 트렌치 측벽으로까지 확산되지 못하도록 하는 산화 장벽(oxidation barrier) 역할을 한다. 이후, 도 1e에 도시된 바와 같이, 상기 트렌치 내부가 충분히 채워지도록 충진재, 예를 들어, TEOS(tetra-ethyl-ortho- silicate)(21) 또는 HDP(high density plasma : CVD)를 증착한다.

<15> 다음에, 도 1f에 도시된 바와 같이, 화학적 기계 연마(CMP) 공정으로 평탄화 작업을 수행한 다음에, 소정의 온도로 어닐링을 수행한 후에, 통상적으로 습식 식각에 의해 상기 완충 산화막(13') 및 질화막(15')을 제거하여 STI를 형성하고, 후속적으로 클리닝 공정을 수행하여 소자 분리 공정을 완료하게 된다.

발명의 내용

해결 하고자하는 과제

<16> 상기와 같은 종래의 STI 형성 공정은 이후 트랜지스터 소자에서의 문턱전압 조절용으로 주입되는 보론(boron) 이온이 산화막의 계면에서 산화막 쪽으로 쉽게 확산되는 문제점이 있을 뿐만 아니라 실리콘 기판 계면의 절연 특성이 나쁘다는 문제점이 있다.

<17> 또한, 이러한 종래의 STI 형성 공정은 근본적인 누설 전류 및 확산 전류를 제어할 수 없는 단점이 있다.

<18> 본 발명은 라이너 산화막을 형성한 후 질산 가스(NO) 주입을 통해 트렌치의 계면에 산화 질화막을 형성함으로서, 보론의 침투를 방지하고 실리콘 기판의 계면 특성을 향상시킬 수 있을 뿐만 아니라 누설 전류의 영향을 최소화시킬 수 있다.

과제 해결수단

<19> 본 발명의 소자 분리막 형성 방법은, 실리콘 기판 상에 패드 산화막 및 패드 질화막을 순차적으로 형성한 후 상기 패드 질화막과 패드 산화막을 선택적으로 식각하여 트렌치 마스크 패턴을 형성하는 단계와, 상기 트렌치 마스크 패턴에 의해 드러난 실리콘 기판을 일정 두께로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치의 측벽

에 따라 라이너 산화막을 형성하는 단계와, 상기 트렌치 계면에 산화 질화막을 형성하는 단계와, 상기 산화 질화막이 형성된 트렌치에 충진재를 매립하고, 그 표면을 평탄화시킴으로서 소자 분리막을 형성하는 단계를 포함한다.

<20> 본 발명에서의 상기 산화 질화막을 형성하는 단계는, 질산 가스를 이용한 어닐링 공정을 통해 상기 산화 질화막을 형성하는 것을 특징으로 한다.

효 과

<21> 본 발명은 라이너 산화막을 형성한 후 질산 가스(NO) 주입을 통해 트렌치의 계면에 산화 질화막을 형성함으로서, 보론의 침투를 방지하고 실리콘 기판의 계면 특성을 향상시킬 수 있을 뿐만 아니라 누설 전류의 영향을 최소화시켜 반도체 소자의 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 아울러 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.

<23> 본 발명의 바람직한 실시 예에서는 트렌치의 측벽에 라이너 산화막을 형성한 후 NO 가스의 주입을 통해 트렌치의 계면에 산화 질화막을 형성하여 보론 침투를 방지하고 실리콘 기판 계면의 절연특성을 향상시킬 수 있을 뿐만 아니라 누설 전류의 영향을 줄일 수 있는 소자 분리막 형성 공정에 대해 설명한다.

실 시 예

<24> 도 2a 내지 도 2f는 본 발명의 바람직한 실시 예에 따른 STI형 소자 분리막 형성 과정을 도시한 공정 단면도이다.

<25> 도 2a에 도시된 바와 같이, 실리콘 기판(200) 상에 패드 산화막(202) 및 패드 질화막(204)을 순차적으로 형성하는데, 패드 산화막(202)은 식각 마스크로 사용될 패드 질화막(202)과 실리콘 기판(200)간의 스트레스 완화를 위한 것이며, 열 산화 공정을 통해 형성될 수 있다.

<26> 패드 질화막(204)은 STI 형성을 위해 실리콘 기판(200)을 식각할 때 사용될 식각 마스크로 사용된다.

<27> 이후, 도 2b에 도시된 바와 같이, 패드 질화막(204)의 상부에 포토레지스트를 도포한 후 사진 및 현상 공정을 실시하여 패드 질화막(204)의 소정 영역이 오픈된 포토레지스트 패턴(206)을 형성하고, 포토레지스트 패턴(206)을 식각 마스크로 패드 질화막(204) 및 패드 산화막(202)을 식각하여 식각된 패드 산화막(202)' 및 패드 질화막(204')으로 이루어진 트렌치 마스크 패턴(208)을 형성한다.

<28> 그런 다음, 도 2c에 도시된 바와 같이, 스트립 공정을 통해 포토레지스트 패턴(206)을 제거한 후 트렌치 마스크 패턴(208)에 의해 드러난 실리콘 기판을 일정 두께 식각하여 트렌치(C)를 형성한다.

<29> 그런 다음, 도 2d에 도시된 바와 같이, STI 손상을 방지하기 위해서 트렌치(C) 내부 계면을 따라 라이너 산화막(210)을 형성한다.

<30> 그리고 나서, 도 2e에 도시된 바와 같이, 질산(NO) 가스를 이용한 어닐링 공정을 실시하여 트렌치(C)의 계면에 산화 질화막(212)을 형성한다.

<31> 그런 다음, 도 2f에 도시된 바와 같이, 트렌치 내부가 충분히 채워지도록 충진재(214), 예를 들어 TEOS(Tetra-Ethyl-Ortho-Silicate) 또는 HDP CVD 등을 증착한 후 식각된 패드 질화막(204')을 연마 정지점으로 하는 화학적 기계 연마 공정으로 평탄화 작업을 수행하고, 통상의 인신 용액을 이용한 습식 식각을 통해 식각된 패드 질화막(204')을 제거한다. 그리고 나서, HF 용액 또는 BOE 용액을 사용한 습식 식각으로 식각된 패드 산화막(202')을 제거함으로서, STI를 형성한다. 이후, 도시 생략되었지만, 소자 분리 공정을 완료한 후 실리콘 기판(200) 상의 액티브 영역에 불순물 이온 주입 공정을 통해 N-웰 또는 P-웰을 형성한 후 후속적으로 반도체 소자를 제조한다.

<32> 이와 같이, 본 발명의 바람직한 실시 예에 따르면, 트렌치에 라이너 산화막을 형성한 후 질산 가스를 이용한 어닐링 공정을 통해 트렌치(C)의 계면에 산화 질화막(212)을 형성함으로서, 보론의 침투를 방지하고 실리콘 기판(200)의 계면 특성을 향상시킬 수 있을 뿐만 아니라 누설 전류에 의한 영향을 최소화시킬 수 있다.

<33> 지금까지 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시 예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

도면의 간단한 설명

<34> 도 1a 내지 도 1f는 종래 기술에 따른 반도체 소자의 소자 분리막 형성 과정을 도시한 공정 단면도이며,

<35> 도 2a 내지 도 2f는 본 발명의 바람직한 실시 예에 따른 소자 분리막 형성 과정을 도시한 공정 단면도이다.

<36> <도면의 주요부분에 대한 부호의 설명>

<37> 200 : 실리콘 기판 202 : 패드 산화막

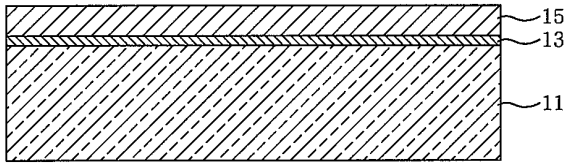
<38> 204 : 패드 질화막 206 : 포토레지스트 패턴

<39> 208 : 라이너 산화막 210 : 산화 질화막

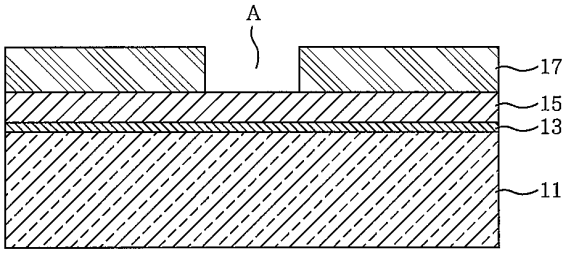
<40> 212 : 충진재

도면

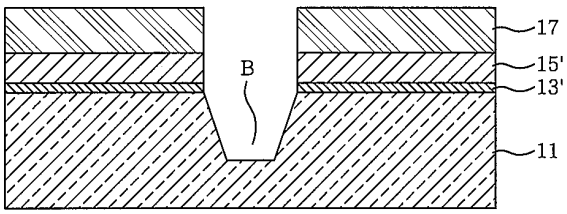
도면1a



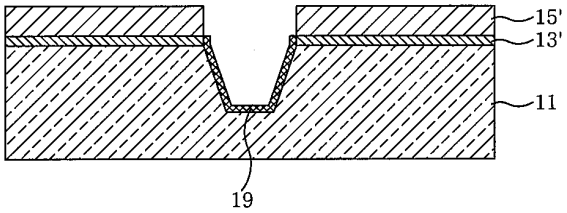
도면1b



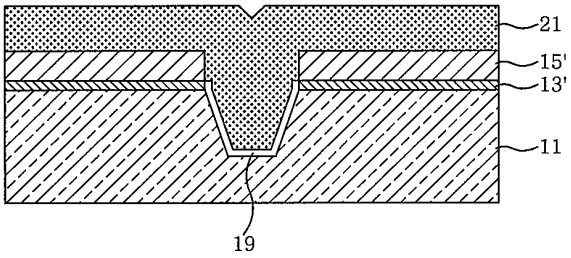
도면1c



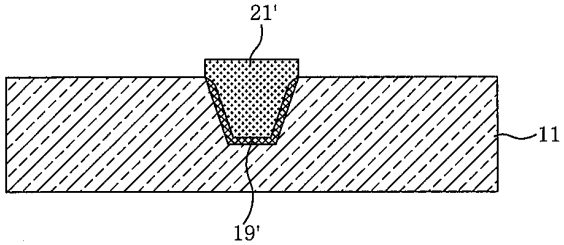
도면1d



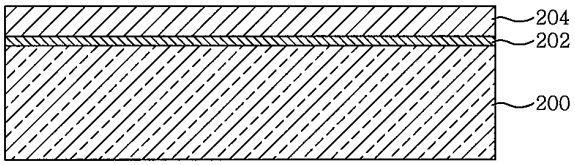
도면1e



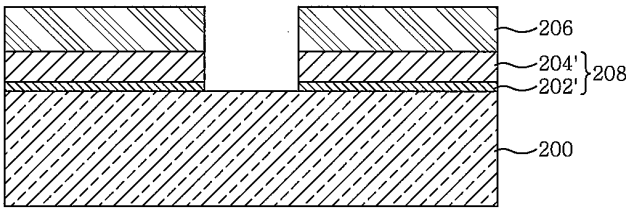
도면1f



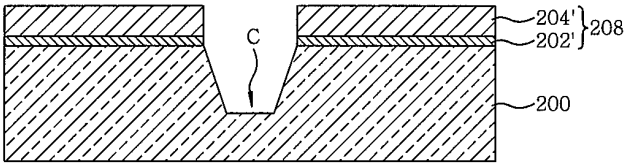
도면2a



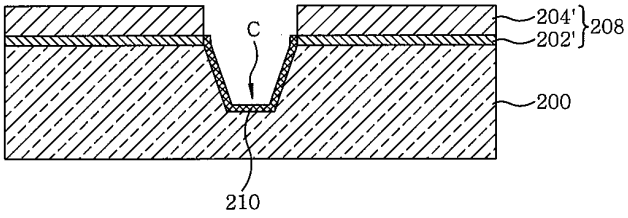
도면2b



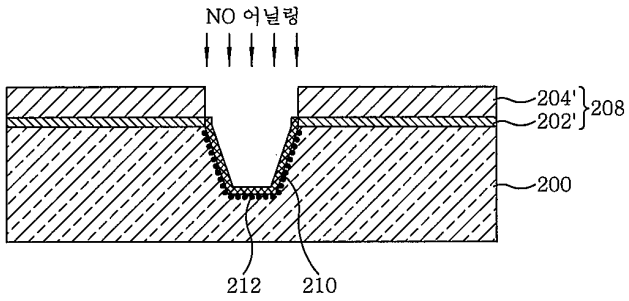
도면2c



도면2d



도면2e



도면2f

