



(21) 申請案號：105112971

(22) 申請日：中華民國 105 (2016) 年 04 月 26 日

(51) Int. Cl. : **H01L23/31 (2006.01)**

(30) 優先權：2015/06/25 世界智慧財產權組織 PCT/US15/37814

(71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)
美國(72) 發明人：李奎五 LEE, KYU-OH (KR)；沙拉瑪 伊斯蘭 A SALAMA, ISLAM A. (US)；維斯
瓦納斯 倫恩 S VISWANATH, RAM S. (US)；聖克曼 羅伯特 L SANKMAN,
ROBERT L. (US)；薩比 巴巴克 SABI, BABAK (US)；查瓦里 斯里查伊特拉
J CHAVALI, SRI CHAITRA JYOTSNA (IN)

(74) 代理人：惲軼群；劉法正

申請實體審查：無 申請專利範圍項數：20 項 圖式數：19 共 50 頁

(54) 名稱

用於堆疊式封裝之帶有凹入式傳導接點的積體電路結構

INTEGRATED CIRCUIT STRUCTURES WITH RECESSED CONDUCTIVE CONTACTS FOR
PACKAGE ON PACKAGE

(57) 摘要

本案所揭示的是用於堆疊式封裝(PoP)之具有凹入式傳導接點的積體電路(IC)結構。舉例來說，一 IC 結構可包括：具有一第一抗蝕表面的一 IC 封裝；設置在該第一抗蝕表面內的一凹處，其中該凹處的一底部包括一第二抗蝕表面；位於該第一抗蝕表面的一第一複數個傳導接點；以及位在該第二抗蝕表面的一第二複數個傳導接點。可揭示及/或主張其他具體例。

Disclosed herein are integrated circuit (IC) structures having recessed conductive contacts for package on package (PoP). For example, an IC structure may include: an IC package having a first resist surface; a recess disposed in the first resist surface, wherein a bottom of the recess includes a second resist surface; a first plurality of conductive contacts located at the first resist surface; and a second plurality of conductive contacts located at the second resist surface. Other embodiments may be disclosed and/or claimed.

指定代表圖：

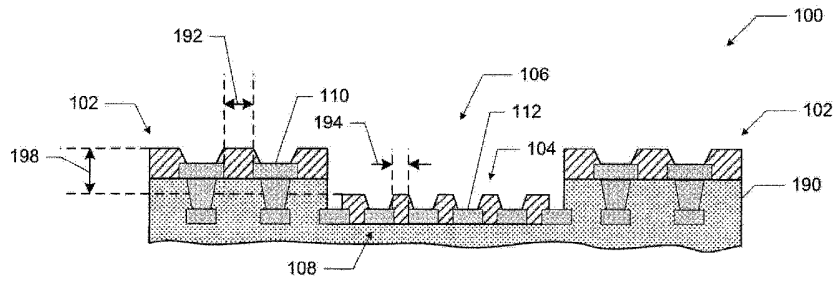


圖1

符號簡單說明：

- 100 . . . IC 封裝
- 102 . . . 第一抗蝕表面
- 104 . . . 第二抗蝕表面
- 106 . . . 凹處
- 108 . . . 底部
- 110 . . . 傳導接點
- 112 . . . 傳導接點
- 190 . . . 增層材料
- 192 . . . 距離
- 194 . . . 距離
- 198 . . . 深度

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於堆疊式封裝之帶有凹入式傳導接點的積體電路結構
INTEGRATED CIRCUIT STRUCTURES WITH RECESSED
CONDUCTIVE CONTACTS FOR PACKAGE ON PACKAGE

【技術領域】

發明領域

[0001]本發明揭示內容一般關於積體電路(ICs)的領域，且更尤其，關於用於堆疊式封裝(PoP)之帶有凹入式傳導接點的IC結構。

【先前技術】

發明背景

[0002]堆疊式封裝(PoP)結構係有時用於減少積體電路裝置的腳位(footprint)。然而，習用PoP結構的高度就小型規格設定，例如智慧型手機而言可能太大。

【發明內容】

[0003]依據本發明之一實施例，係特地提出一種積體電路(IC)結構，其包含：一IC封裝，其具有一第一抗蝕表面；一凹處，其設置在該第一抗蝕表面內，其中該凹處的一底部包括一第二抗蝕表面；一第一複數個傳導接點，其位於該第一抗蝕表面；以及一第二複數個傳導接點，其位於該第二抗蝕表面。

【圖式簡單說明】

[0004]藉由下列詳細說明與附圖，將容易地理解具體

例。為幫助本說明，相似的參考編號表示相似的結構元件。具體例是以舉例的方式，而非以限制的方式繪示於附圖的圖示中。

[0005]圖1是根據各式具體例的IC封裝之一部分的剖面側視圖。

[0006]圖2是根據各式具體例的帶有堆疊式封裝(PoP)結構的積體電路(IC)結構之一部分的剖面側視圖。

[0007]圖3-12是根據各式具體例、依照製造順序之各式階段的IC結構的剖面側視圖。

[0008]圖13-14是根據各式具體例、依照組裝順序之各式階段的IC結構的剖面側視圖。

[0009]圖15是根據各式具體例之製作IC封裝的方法的流程圖。

[0010]圖16是根據各式具體例之製作帶有PoP結構之IC結構的方法的流程圖。

[0011]圖17是根據各式具體例的IC封裝之一部分的剖面側視圖。

[0012]圖18是根據各式具體例帶有PoP結構的IC結構之一部分的剖面側視圖。

[0013]圖19是例示計算裝置的方塊圖，該計算裝置可包括本案揭示的IC封裝與結構的任何一或多者。

【實施方式】

詳細說明

[0014]本案所揭示的是用於堆疊式封裝(PoP)之帶有凹

入式傳導接點的積體電路(IC)結構以及相關結構和方法。本案揭示的各式各樣具體例可啓用一種IC結構，其中一IC封裝係設置在另一IC封裝的凹處，且在凹處的該IC封裝係經由具有細間距的傳導接點電性耦合。

[0015] PoP結構已用於爲小型規格裝置，例如智慧型手機和平板電腦提供高密度邏輯電路(譬如，藉由堆疊記憶體組件)。然而，現有PoP互連技術無法順應提供新世代的計算裝置(譬如，該等帶有多核心的應用處理器)所需的記憶體頻寬。舉例來說，已嘗試藉由使用非常高的銅柱或桿將記憶體裝置夾在第一封裝與第二封裝中間，以連接該第一封裝與第二封裝，同時帶有供夾在中間的記憶體裝置用的足夠空隙。此方式需要使用鍍銅製程以形成銅柱，並且既昂貴又費時。已進行其他嘗試以將記憶體裝置容納在第一與第二封裝之間，其係藉由第一封裝上的一第一層錒錫凸塊、耦合至該第一層錒錫凸塊的一中介物、與該中介物上的一第二層錒錫凸塊(該第二封裝係耦合至該中介物)所形成的結構來連接該兩封裝；在此類方式中，該中介物係用於擴大該第一與第二封裝之間的空隙。此方式很繁瑣，因爲需要分別地製造該中介物並組裝複雜的PoP結構。此外，當間距減少且傳導接點變得更加接近時，在製造過程期間以此方式使用焊球會出現橋接風險。就細間距的應用而言，在封裝翹曲期間的橋接風險與失效的可能性亦限制現有互連技術(例如在貫穿-模製通孔的頂部堆疊較小尺寸焊球)的實用性。

[0016] 本案揭示的各式各樣具體例採用完全不同的方式：運用在封裝底部的一凹處，以創造足夠空間，俾使可插入另一組件。一些此類具體例可減少IC結構的整體高度並啓用高密度互連，而無需昂貴與複雜的製造操作。

[0017] 在下列詳細說明中，參照形成本案一部分的附圖，其中通篇相似的編號標示相似的部件，且其中以例示方式顯示可實行的具體例。應理解的是可使用其他具體例且可進行結構上或邏輯的變化，而不逸離本揭示內容的範疇。因此，下列詳細說明不應以限制性的意義理解，且具體例的範疇係由隨附申請專利範圍及其等效物界定。

[0018] 各種操作可以最有助於理解所主張標的之方式用多個分立動作或依序操作說明。然而，說明的順序不應解釋為暗示該等操作必須依照該順序。尤其，該等操作可不以呈現的順序進行。所述操作可以異於所述具體例的順序進行。在額外的具體例中，可進行各種額外的操作及/或可省略所述操作。

[0019] 就本揭示內容目的而言，用語「A及/或B」意指(A)、(B)、或(A與B)。就本揭示內容目的而言，用語「A、B、及/或C」意指(A)、(B)、(C)、(A與B)、(A與C)、(B與C)、或(A、B、與C)。

[0020] 說明使用了用語「在一具體例中」或「在具體例中」，其可各指稱一些或不同具體例的一或多者。再者，術語「包含」、「包括」、「具有」、等等在用於本揭示內容的具體例時是同義的。

[0021]如本案使用，術語「封裝」可指稱一積體電路組件，其具有一支撐外殼與將該組件連接至一電路板的電性接點。

[0022]圖1是根據各式具體例的IC封裝100之一部分的剖視圖。該IC封裝100可具有一第一抗蝕表面102與設置在該第一抗蝕表面102內的一凹處106。該凹處106的一底部108可包括一第二抗蝕表面104。一或多個傳導接點110可位於該第一抗蝕表面102，且一或多個傳導接點112可位於該第二抗蝕表面104。根據任何適宜的習知技術，該第一抗蝕表面102與該第二抗蝕表面104可形成在一增層材料190上，且可被圖案化以分別地露出該傳導接點110與112。在一些具體例中，該傳導接點112可提供第一層互連(FLI)且該傳導接點110可提供堆疊式封裝互連。任何適宜的增層材料可用作本案討論的增層材料，例如日裔味之素(Ajinomoto)增層膜(ABF)與半固化片增層膜。該增層材料190以內可包括另外的結構，例如通孔、傳導接點、其他裝置、或任何其他適宜的電性或絕緣結構(顯示了一些非限制例)。

[0023]該IC封裝100可具有核心、或可為無核心的封裝。該凹處106可具有一深度198(在該第一抗蝕表面102的「頂部」與該第二抗蝕表面104的「頂部」之間測得)。該凹處106的深度198可以採用任何適宜的值(如下文參照圖3-14所討論者並可藉由在製造期間改變增層的厚度或疊層數目來輕易地調整)。舉例來說，在一些具體例中，該凹處106可具有介於50微米與300微米之間的深度198。

[0024] 在一些具體例中，至少兩個傳導接點112可位於該第二抗蝕表面104，且可藉由少於35微米的一距離194隔開，儘管可使用任何適宜的間隔。在一些具體例中，該距離194可介於30微米與200微米之間。在一些具體例中，至少兩個傳導接點110可設置在該第一抗蝕表面102，且可藉由少於35微米的一距離192隔開，儘管可使用任何適宜的間隔(舉例來說，介於100與400微米之間)。該傳導接點110與該傳導接點112的一或多者可由銅形成(譬如，例如銅墊)。

[0025] 圖2是根據各式具體例帶有PoP結構的IC結構200之一部分的剖視圖。如例示般，該IC結構200可包括IC封裝100的一具體例。圖2例示的IC封裝100可包括一核心202以及在該核心202的兩側292和294的增層材料和傳導結構。通孔與其他傳導元件可允許電信號從核心的一側行進到另一側。儘管圖2的IC結構200係顯示為具有核心，但參照該IC結構200討論的結構(尤其，參照IC結構200的側邊292討論的結構)可用於形成無核心的IC結構，且無核心具體例係使用本案揭示的技術輕易地形成。此外，儘管圖2例示特定數目的IC封裝，但可視需要利用本案揭示的技術形成具有更少或更多封裝(譬如，設置在凹處)的IC結構。一些此類具體例的例子係於下文參照圖17-18討論。

[0026] 如上文參照圖1所討論，圖2的IC封裝100可具有一第一抗蝕表面102與設置在該第一抗蝕表面102的一凹處106。該凹處106的一底部108可包括一第二抗蝕表面104。一或多個傳導接點110可位於該第一抗蝕表面102，且一或

多個傳導接點112可位於該第二抗蝕表面104。

[0027]該IC封裝100可包括沿著一軸212設置在該核心202與該第一抗蝕表面102之間的一第一增層部分204。該第一增層部分204可具有一距離206（沿著該軸212在核心202與第一抗蝕表面102之間測得）。該IC封裝100可包括沿著該軸212設置在該核心202與該第二抗蝕表面104之間的一第二增層部分208。如下文參照圖3-6所討論，該第一增層部分204與該第二增層部分208可使用一系列的增層沉積操作形成。尤其，增層的第一階段可提供該第二增層部分208，而該第一增層部分204可藉由增層的第一階段與該增層的第一階段之後的增層的第二階段的組合提供。該第二增層部分208可具有一厚度210（沿著該軸212在核心202與第二抗蝕表面104之間測得）。該距離206可大於該厚度210。如圖2例示，該第一增層部分204可包括配置在該第一增層部分內並和傳導接點110電性接觸的數個電性結構，例如通孔與傳導焊墊。該第二增層部分208亦可包括配置在該第二增層部分內並和傳導接點112電性接觸的數個電性結構，例如通孔與傳導焊墊。

[0028]圖2的IC結構200亦包括配置於該核心202側邊292的一IC組件214。該IC組件214可為任何適宜的IC組件，例如系統單晶片(SoC)、應用處理器、等等。在一些具體例中，該IC組件214可為裸晶。在其他具體例中，該IC組件214可為晶圓級晶片尺寸的封裝。該IC組件214可具有一第一表面216、相對於該第一表面216設置的一第二表面218、與位

於該第二表面218的一或多個傳導接點220。該IC組件214可至少部分地位於該凹處106內且配置成俾使該IC組件214的傳導接點220的一或多者耦合至IC封裝100的傳導接點112的對應一或多者。尤其，該傳導接點220可設置在該傳導接點112與IC結構200的該第一表面216之間。在圖2中，該傳導接點220係例示為經由設置在該第二抗蝕表面104的傳導接點112上的焊球252耦合至傳導接點112（譬如，在藉由圖案化第二抗蝕表面104形成的孔隙內）。

[0029]該第一增層部分204的厚度(以距離206表示)可為該傳導接點110與該核心202分隔的距離。當該IC組件214耦合至該IC封裝100時，該傳導接點220可以一距離226與該核心202分隔。在一些具體例中，該距離226可少於該距離206。

[0030]圖2的該IC結構200亦包括配置在該核心202側邊292的一IC封裝228。該IC封裝228可為任何適宜的IC封裝，例如一記憶體裝置。該IC封裝228可包括上方設置一晶粒290的一封裝基板296。舉例來說，該晶粒290可為矽晶片，且可經由打線、倒晶耦合、或任何其他適宜的技術耦合至該封裝基板296。在一些具體例中，該晶粒290可用環氧樹脂模製化合物包覆成型(無顯示)。在一些具體例中，多個晶粒290或其他組件可設置在該IC封裝228上。

[0031]該IC封裝228可具有一第一表面230、相對於該第一表面230設置的一第二表面232、與位於該第二表面232的一或多個傳導接點234。該IC封裝228可耦合至該IC封裝

100，俾使該IC組件214設置在該IC封裝100與該IC封裝228之間。尤其，該傳導接點234的一或多者可耦合至該傳導接點110的對應一或多者。尤其，該傳導接點234可設置在該傳導接點110與該IC封裝228的該第一表面230之間。在圖2中，該傳導接點234係例示為經由設置在該第一抗蝕表面102的傳導接點110上的焊球242耦合至該傳導接點110（在藉由圖案化第一抗蝕表面102形成的孔隙內）。

[0032]該IC封裝228的該第二表面232可以一距離236和該IC封裝100的該第一抗蝕表面102分隔。該IC組件214的該第一表面216可以一距離298和該IC封裝100的該第二抗蝕表面104分隔。在一些具體例中，該距離236可少於該距離298。在一些具體例中，該距離236可少於250微米。

[0033]如上所註，該凹處106的深度可採用任何適宜的值。尤其，該凹處106的深度可考慮欲設置在該凹處106的IC組件高度(譬如，IC組件214)及/或在IC封裝100與耦合至該第一抗蝕表面102的傳導接點110的另一IC封裝(譬如，IC封裝228)之間的預期間隔來選擇。在一些具體例中，該凹處106可足夠深，俾使該IC組件214的該第一表面216可設置為「低於」該第一抗蝕表面102的水平。在其他具體例中(例如圖2例示的具體例)，該IC組件214的該第一表面216可配置為「高於」該第一抗蝕表面102的水平。

[0034]圖3-12是根據各式具體例、依照製造順序之各式階段的IC結構的剖面側視圖。尤其，圖3-12例示的製造順序是以製造圖2的IC封裝100顯示。然而，此僅為例示性，

且下文參照圖3-12所討論的操作可用於製作任何適宜的IC結構。此外，各式製造操作將以在帶有核心之結構的一側上進行來討論，但各式操作亦將例示為在該結構的另一側上進行。熟習此藝者將理解到可在該結構的任一側上進行任何適宜的操作，以形成任何適宜的結構。此外，儘管下文參照圖3-12所討論的各式製造操作是以特定的順序討論，但該製造操作可以任何適宜的順序進行。

[0035]圖3例示一結構300，其包括具有一增層材料316的一核心202與配置在該增層材料內的電性結構312。該結構300亦可包括延伸通過該核心202以電性耦合該核心202任一側上的組件的電性結構。該結構300可包括設置在一表面310的一第一區408的一或多個傳導接點112與設置在該表面310的一第二區410的一或多個傳導材料部分308。該傳導接點112與該傳導材料部分308可由相同材料(譬如，銅)形成。在該310表面上的該第一區408與該第二區410係不重疊。該結構300可使用任何適宜的習用基板增層方法形成。

[0036]圖4例示一結構400，其係接續著在該結構300的該表面310的至少若干第一區408上方提供阻焊劑，以形成一第二抗蝕表面104之後。該第二抗蝕表面104可被圖案化，以包圍該傳導接點112並露出該傳導接點112。該第二抗蝕表面104不可與該第二區410內的該傳導材料部分308接觸。

[0037]圖5例示一結構500，其係接續著在該結構400的該第一區408上方提供一釋放層502，俾使該第二抗蝕表面

104設置在該釋放層502與該核心202之間之後。該釋放層502不可與該第二區410內的該傳導材料部分308接觸。在一些具體例中，提供該釋放層502可包括焊膏印製該釋放層502。在其他具體例中，提供該釋放層502可包括層壓(laminating)該釋放層502。用於該釋放層502的材料對第二抗蝕表面104與傳導接點112可具有弱黏著力，俾使可在稍後的製作操作中輕易地去除(譬如，如下文參照圖9所討論者)。任何適宜的釋放材料可用於本案揭示的釋放層，例如環氧樹脂、矽酮或帶有以碳為基質的粒子或纖維之以石蠟為基質的樹脂。該釋放材料對增層膜(譬如，半固化片膜)與銅可具有差的黏著力。

[0038]圖6例示一結構600，其係接續著提供一增層材料至該結構500並形成額外的傳導結構610與傳導接點110之後。尤其，該增層材料可包括提供至該第一區408的增層材料602與提供至該第二區410上方的增層材料608。儘管分開地區別該增層材料602與該增層材料608，但該增層材料602與該增層材料608可用連續及/或共同的製造操作或多個操作提供。可提供該增層材料602，俾使該釋放層502設置在該增層材料602與該核心202之間。該傳導結構610(譬如，傳導焊墊與通孔)可另擇地藉由提供增層材料形成(譬如，藉由沉積增層材料、鑽穿或以其他方式去除一部分的增層材料，形成傳導結構，隨後重複該方法)。該傳導接點110可形成在該第二區410上方。在設置成「高於」該釋放層502的增層材料602內或上可不形成傳導接點或其他傳導結構。

[0039]圖7例示一結構700，其係接續著在該結構600上形成該第一抗蝕表面102之後。如上文參照圖1與2所討論，該第一抗蝕表面102可被圖案化，以在該第二區410上方露出該傳導接點110。該第一區408上方可不施加阻焊劑。

[0040]圖8例示一結構800，其係接續著在該第一區408上方向下切割該結構700的該增層材料602並包括釋放層502之後。在一些具體例中，切割該增層材料602可藉由在第一區的邊界以雷射切割該增層材料602進行。在一些具體例中，用於切割該增層材料602與該釋放層502的雷射能量可切穿該釋放層502並在到達硬質金屬(譬如，該傳導接點112的銅)時停止。可發生的切割深度可取決於用於進行該切割的雷射功率。在其他具體例中，切割該增層材料602可藉由在第一區的邊界以機械方式成形該增層材料602進行。注意圖8是一結構的剖面側視圖；當從「頂部」觀察時，該增層材料602可切割形成任何所欲的形狀(譬如，矩形)，並藉此形成具有任何所欲腳位的一凹處，如下文所討論。

[0041]圖9例示一結構900，其係接續著去除該釋放層502與設置在該結構800的該釋放層502上的該增層材料602之後。當該釋放層502的邊緣在切割之後露出時，該釋放層502可被機械地舉起並從該第二抗蝕表面104「撕」開，同時去除該增層材料602。當該釋放層502與該增層材料602被去除時，可形成一凹處106且該傳導接點112可在該凹處106的底部108露出，同時在第一區408上方的阻焊劑提供該第二抗蝕表面104。該結構900可為上文參照圖1討論的該IC封

裝100的一具體例。尤其，該結構900可形成一IC封裝，其具有一第一抗蝕表面102、在該底部108具有一第二抗蝕表面104的一凹處106、位於該第一抗蝕表面102的一或多個傳導接點110、與位於該第二抗蝕表面104的一或多個傳導接點112。該凹處106的深度是設置在該釋放層502上的增層材料602厚度的函數。於是，藉由調整和各層沉積的增層材料厚度及/或在沉積該釋放層502之後形成的層數(譬如，疊層數目)，可在製作期間設定該凹處106的深度。

[0042]圖10例示一結構1000，其係接續著該結構900的表面處理之後。在一些具體例中，根據習知的技術，表面處理可包括施用鎳-鈀-金(NiPdAu)處理或銅有機可焊性保護劑(CuOSP)處理。尤其，該傳導接點110與該傳導接點112的外露表面可經表面處理。該結構1000的其他部分也可經表面處理(譬如，在該結構1000「底部」的第二-層級互連(SLI))。該結構1000可為上文參照圖1討論的IC封裝100的一具體例。尤其，該結構1000可形成一IC封裝，其具有一第一抗蝕表面102、底部108具有一第二抗蝕表面104的一凹處106、位於該第一抗蝕表面102的一或多個傳導接點110、與位於該第二抗蝕表面104的一或多個傳導接點112。

[0043]圖11例示一結構1100，其係接續著在該凹處106提供焊球252至該傳導接點112之後。該焊球252可使用習用技術提供，例如微球凸塊法或焊膏印製凸塊法。該結構1100可為上文參照圖1討論的該IC封裝100的一具體例。尤其，該結構1100可形成一IC封裝，其具有一第一抗蝕表面102、

底部108具有一第二抗蝕表面104的一凹處106、位於該第一抗蝕表面102的一或多個傳導接點110，與位於該第二抗蝕表面104的一或多個傳導接點112。

[0044]圖12例示一結構1200，其係接續著經由該焊球252將一IC組件214耦合至該結構1100之後。該IC組件214可設置於該凹處106，且可包括經由該焊球252與該傳導接點112電性連接的傳導接點220。該結構1200可為上文參照圖1討論的該IC封裝100的一具體例。尤其，該結構1200可形成一IC封裝，其具有一第一抗蝕表面102、底部108具有一第二抗蝕表面104的一凹處106、位於該第一抗蝕表面102的一或多個傳導接點110，與位於該第二抗蝕表面104的一或多個傳導接點112。

[0045]圖13-14是根據各式具體例、依照組裝順序之各式階段的IC結構的剖面側視圖。尤其，圖13-14例示的組順序是以製造圖2的IC結構200顯示。然而，此僅為例示性，且下文參照圖13-14討論的操作可用於製作任何適宜的IC結構。此外，各式製造操作將以在帶有核心之結構的一側上進行來討論，但各式操作亦將例示為在結構的另一側上進行。熟習此藝者將理解到可在該結構的任一側上進行任何適宜的操作，以形成任何適宜的結構。

[0046]圖13例示一結構1300，其係接續著在該第一抗蝕表面102提供焊球242至該傳導接點110之後。該焊球242可使用習用技術提供，例如球柵陣列(BGA)附接。該結構1300可為上文參照圖1討論的該IC封裝100的一具體例。尤其，

該結構1300可形成一IC封裝，其具有一第一抗蝕表面102、底部108具有一第二抗蝕表面104的一凹處106、位於該第一抗蝕表面102的一或多個傳導接點110，與位於該第二抗蝕表面104的一或多個傳導接點112。

[0047]圖14例示一結構1400，其係接續著經由焊球242將一IC封裝228耦合至該結構1300之後。該IC封裝228可包括經由該焊球242電性耦合至該傳導接點110的傳導接點234。該結構1400可採用上文參照圖2討論的該IC結構200之任何具體例的形式。該結構1400亦可為上文參照圖1討論的該IC封裝100的一具體例。尤其，該結構1400可形成一IC封裝，其具有一第一抗蝕表面102、底部108具有一第二抗蝕表面104的一凹處106、位於該第一抗蝕表面102的一或多個傳導接點110，與位於該第二抗蝕表面104的一或多個傳導接點112。

[0048]圖15是根據各式具體例之製作IC封裝的方法1500的流程圖。儘管方法1500的操作可參照IC封裝100及其組件討論，此僅用於例示性目的且可利用方法1500形成任何適宜的IC封裝。

[0049]在1502中，可提供一結構(譬如，圖3的結構300)。該結構可具有一表面，該表面具有一第一區與一第二區(譬如，圖3的表面310的第一區408與第二區410)。該第一區與該第二區可不重疊，且一或多個傳導接點可位於該第一區的表面(譬如，圖3的一或多個傳導接點112)。

[0050]在1504中，可在該第一區的至少若干表面(譬

如，圖4的結構400的第二抗蝕表面)上方提供阻焊劑。

[0051]在1506中，可在阻焊劑上方提供一釋放層(譬如，圖5的結構500的釋放層502)。在一些具體例中，1506可包括焊膏印製該釋放層。在一些具體例中，1506可包括層壓(laminating)該釋放層。

[0052]在1508中，可提供一增層材料至該第一區與第二區(譬如，圖6結構600的分別地第一區408與第二區410的增層材料602與608)。

[0053]在1510中，可切割該增層材料與該釋放層(譬如，如參照圖8結構800例示般切開釋放層502)。在一些具體例中，1510可包括在第一區的邊界以雷射切割或以機械方式成形該增層材料與該釋放層。

[0054]在1512中，可去除設置在該釋放層上的該釋放層與該增層材料，以露出一或多個傳導接點(譬如，如上文參照圖9討論的結構900)。

[0055]在一些具體例中，方法1500亦可包括，在1508提供增層材料之後與在1510切割增層材料之前，在第二區的增層材料中形成一或多個傳導通孔(譬如，如上文參照圖6所討論者)。在一些此類的具體例中，方法1500亦可包括，在形成複數個傳導通孔之後，在該第二區形成複數個傳導接點，且提供焊球至該傳導接點，形成在1512露出的傳導接點內。

[0056]圖16是根據各式具體例之製作具有PoP結構的IC結構的方法1600的流程圖。儘管方法1600的操作可參照IC

結構200及其組件討論，但此僅用於例示性目的且可利用方法1500形成任何適宜的IC結構。

[0057]在1602中，可提供一IC封裝(譬如，圖1的IC封裝100或圖9的IC結構900)。在1602提供的該IC封裝可具有一第一抗蝕表面；設置在該第一抗蝕表面的一凹處，其中該凹處的一底部為一第二抗蝕表面；位於該第一抗蝕表面的一第一複數個傳導接點；以及位於該第二抗蝕表面的一第二複數個傳導接點(譬如，設置於第一抗蝕表面102的凹處106，該凹處106的底部108提供第二抗蝕表面104、第一複數個傳導接點110、與第二複數個傳導接點112)。

[0058]在1604中，一IC組件可設置於該凹處(譬如，設置在圖2或圖12的凹處106的IC組件214)。該IC組件可具有一第一表面、一第二表面、與位於該第二表面的一第三複數個傳導接點(譬如，第一表面216、第二表面218、與第三複數個傳導接點220)。該第三複數個傳導接點可耦合至該IC封裝的該第二複數個傳導接點，該IC組件可配置成俾使該第三複數個傳導接點設置在該第二複數個傳導接點與該IC組件的該第一表面之間(譬如，如圖2與12例示)。

[0059]在一些具體例中，方法1600的IC封裝可為一第一IC封裝，且該方法1600亦可包括，在將IC組件設置於該凹處之後，將一第二IC封裝(譬如，IC封裝228)貼附至該第一IC封裝。該第二IC封裝可具有一第一表面、一第二表面、與位於該第二IC封裝的第二表面的一第四複數個傳導接點(譬如，圖2的第一表面230、第二表面232、與傳導接點234)。

該第四複數個傳導接點可耦合至該第一複數個傳導接點，且該第二IC封裝可配置成俾使該IC組件設置在該第一IC封裝與該第二IC封裝的該第二表面之間。

[0060] 本案所揭示IC封裝的各式具體例可包括多個凹處，其具有位於底部的傳導接點。舉例來說，圖17是根據各式具體例的IC封裝100之一部分的剖面側視圖。圖17的IC封裝100，類似圖1的IC封裝100，可具有一第一抗蝕表面102與設置於該第一抗蝕表面102的一凹處106。該凹處106的一底部108可包括一第二抗蝕表面104。一或多個傳導接點110可位於該第一抗蝕表面102，且一或多個傳導接點112可位於該第二抗蝕表面104。根據任何適宜的習知技術，該第一抗蝕表面102與該第二抗蝕表面104可形成在增層材料190上，且可分別地被圖案化以露出該傳導接點110與112。增層材料190以內可包括另外的結構，例如通孔、傳導接點、其他裝置、或任何其他適宜的電性或絕緣結構(未顯示以便於例示)。

[0061] 此外，圖17的IC封裝100可包括設置在第一抗蝕表面102的一額外的凹處1716。該凹處1716的一底部1792可包括一第三抗蝕表面1708。一或多個傳導接點1722可位於該第三抗蝕表面1708。任何所欲數目的傳導接點1722可用任何所欲的配置位於該第三抗蝕表面1708 (譬如，如上文參照圖18所述)。根據任何適宜的習知技術，該第三抗蝕表面1708可形成在增層材料190上，且可被圖案化，以露出該傳導接點1722。凹處106可具有一深度1744且凹處1716可具有

一深度1746。在一些具體例中，深度1744與深度1746可不同。舉例來說，如圖17例示，深度1746可少於深度1744。IC封裝1700的凹處、抗蝕表面、與傳導接點可採用本案揭示的IC封裝100之任何具體例的形式。

[0062] 本案所揭示IC結構的各式具體例可包括具有帶有位於底部之傳導接點的多個凹處的IC封裝及/或設置在PoP結構的一單一凹處的多個IC組件。舉例來說，圖18是根據各式具體例的IC結構200之一部分的剖視圖。圖18的IC結構200可以，類似圖2的IC結構200，包括IC封裝100的一具體例(如例示般，圖17的IC封裝100)。

[0063] 圖18的IC結構200包括一IC組件214，其至少部分地位於凹處106且配置成俾使IC組件214的傳導接點220的一或多者耦合至IC封裝100的傳導接點112的對應一或多者(譬如，根據上文參照圖2討論的任一具體例)。

[0064] 圖18的IC結構200包括至少部分地位於該凹處1716的一IC組件1802與一IC組件1804。該IC組件1802與該IC組件1804可在該凹處1716中彼此毗鄰。該IC組件1802可包括一或多個傳導接點1812 (譬如，如上文參照IC組件214的傳導接點112所討論者)且可配置成俾使該IC組件1802的傳導接點1812的一或多者耦合至IC封裝100的傳導接點1722的對應一或多者(譬如，根據上文參照圖2討論的任何具體例)。該IC組件1804可包括一或多個傳導接點1814 (譬如，如上文參照IC組件214的傳導接點112所討論者)且可配置成俾使該IC組件1804的傳導接點1814的一或多者耦合至

IC封裝100的傳導接點1722的對應一或多者(譬如，根據上文參照圖2討論的任何具體例)。一IC封裝1806可被包括在IC結構200內，俾使該IC組件1802、1804與214設置在IC封裝100與IC封裝1806之間(譬如，如上文參照圖2的IC封裝228所討論者)。

[0065]本揭示內容的具體例可使用本案所揭示的可獲益自凹入式傳導接點之任何IC封裝或封裝結構與製作技術實施為一系統。根據一些實例，圖19係以圖解例示一計算裝置1900，其可包括具有根據本案揭示的任何具體例形成的凹入式傳導接點的IC封裝或封裝結構。舉例來說，圖1與17的IC封裝100、或圖2與18的IC結構200可被構造為包括計算裝置1900的一儲存裝置1908、一處理器1904、或一通信晶片1906(如下文討論)。

[0066]計算裝置1900可為，舉例來說，一移動通信設備或桌上型或機架型(rack-based)計算裝置。該計算裝置1900可容納一板，例如一主機板1902。該主機板1902可包括數個組件，包括(但不限於)一處理器1904與至少一通信晶片1906。本案參照該計算裝置1900所討論的任何組件可配置於根據本案所揭示技術的堆疊式封裝結構中。在另外的實例中，該通信晶片1906可為處理器1904的一部分。

[0067]該計算裝置1900可包括一儲存裝置1908。在一些具體例中，該儲存裝置1908可包括一或多個固態硬碟。可包括於儲存裝置1908內的儲存裝置的例子包括揮發性記憶體(譬如，動態隨機存取記憶體(DRAM))、非揮發性記憶體

(譬如，唯讀記憶體，ROM)、快閃記憶體、與大容量儲存裝置(例如硬式磁碟機、光碟(CDs)、多樣化數位光碟(DVDs)以及等等)。

[0068]取決於其應用，該計算裝置1900可包括其他組件，該組件可或可不實際上電性連接至主機板1902。該等其他組件可包括，但不限於，繪圖處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示器、觸控螢幕、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、蓋格計數器、加速計、陀螺儀、擴音器、與照相機。

[0069]通信晶片1906與天線可啓用無線通信，將資料傳至計算裝置1900及從計算裝置1900輸出。術語「無線」及其衍生詞可用於說明電路、裝置、系統、方法、技術、通信頻道、等等，其可經由使用調製的電磁輻射通過非固體介質傳送數據。該術語並不意味該關連裝置不含任何線路，儘管在一些具體例中，彼等可能沒有。通信晶片1906可實施數個無線標準或協議的任一者，包括但不限於電氣及電子工程師學會(IEEE)標準，其包括Wi-Fi (IEEE 802.11家族)、IEEE 802.16標準(譬如，IEEE 802.16-2005修正案)、長期演進技術(LTE)計劃連同任何修正、更新、及/或改版(譬如，先進的LTE計劃、超行動寬頻(UMB)計劃(亦稱作"3GPP2")，等等)。IEEE 802.16相容的寬頻廣域(BWA)網路一般稱作WiMAX網路，首字母的縮寫代表全球互通微波存取，其係通過IEEE 802.16標準的一致性與互通性測試之產

品的認證標誌。該通信晶片1906可根據全球移動通信系統(GSM)、通用封包無線服務(GPRS)、通用移動通訊系統(UMTS)、高速封包存取(HSPA)、進化HSPA (E-HSPA)、或LTE網路操作。該通信晶片1906可根據GSM進化增強數據(EDGE)、GSM EDGE無線存取網路(GERAN)、通用陸面無線存取網路(UTRAN)、或進化UTRAN(E-UTRAN)操作。該通信晶片1906可根據分碼多重存取(CDMA)、分時多重存取(TDMA)、數位增強無線通訊(DECT)、最佳進化數據(EV-DO)、其等的衍生物，以及命名為3G、4G、5G、與以外的任何其他無線協議操作。在其他具體例中，該通信晶片1906可根據其他無線協議操作。

[0070]計算裝置1900可包括複數個通信晶片1906。舉例而言，一第一通信晶片1906可專門用於較短範圍無線通信，例如Wi-Fi與藍芽，以及一第二通信晶片1906可專門用於較長範圍無線通信，例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO、與其他。在一些具體例中，該通信晶片1906可支援有線通信。舉例來說，該計算裝置1900可包括一或多個有線伺服器。

[0071]在一積體電路(IC)封裝中，計算裝置1900的處理器1904及/或通信晶片1906可包括一或多個晶粒或其他組件。此類IC封裝可使用本案揭示技術的任一者(譬如，使用本案揭示的凹入式結構)和另一IC組件及/或IC封裝耦合。術語「處理器」可指稱處理來自暫存器及/或記憶體的電子數據以將該電子數據轉變成可儲存於暫存器及/或記憶體的

其他電子數據的任何裝置或裝置的一部分。

[0072]在各式實例中，計算裝置1900可為膝上型電腦、輕省筆電、筆記型電腦、超輕薄電腦、智慧型手機、平板電腦、個人數位助理(PDA)、超便攜式PC、移動電話、桌上型電腦、伺服器、印表機、掃描器、螢幕、機上盒、娛樂控制單元、數位相機、便攜式音樂播放器或數位錄影機。在另外的實例中，該計算裝置1900可為處理數據的任何其他電子裝置。在一些具體例中，本案揭示的凹入式傳導接點可在高效能的計算裝置中實施。

[0073]下列段落提供本案揭示之具體例的實施例。

[0074]實施例1是一種IC結構，其包括：一IC封裝，其具有一第一抗蝕表面；一凹處，其設置在該第一抗蝕表面內，其中該凹處的一底部包括一第二抗蝕表面；一第一複數個傳導接點，其位於該第一抗蝕表面；以及一第二複數個傳導接點，其位於該第二抗蝕表面。

[0075]實施例2可包括實施例1之標的，且可再指明：該IC封裝更包含一第一增層部份，其沿著一軸設置在該IC封裝的一核心與該第一抗蝕表面之間，以及一第二增層部份，其沿著該軸設置在該IC封裝的該核心與該第二抗蝕表面之間；以及沿著該軸的該第一增層部份的厚度大於沿著該軸的該第二增層部份的厚度。

[0076]實施例3可包括實施例1-2中任一者之標的，且可再包括：一IC組件，其具有一第一表面、相對於該IC組件之第一表面的一第二表面、與位於該IC組件之該第二表面

的一第三複數個傳導接點；其中該第三複數個傳導接點係耦合至該第二複數個傳導接點，且該IC組件係配置成俾使該第三複數個傳導接點設置在該第二複數個傳導接點與該IC組件之第一表面之間。

[0077] 實施例4可包括實施例3之標的，且可再指明該第二複數個傳導接點之至少二者係以少於35微米的一距離隔開。

[0078] 實施例5可包括實施例3-4中任一者之標的，且可再指明該第一複數個傳導接點係以一第一距離和該IC封裝的一核心分隔，該第三複數個傳導接點係以一第二距離和該IC封裝的該核心分隔，且該第二距離係少於該第一距離。

[0079] 實施例6可包括實施例3-5中任一者之標的，且可再指明該IC組件是一系統單晶片。

[0080] 實施例7可包括實施例3-6中任一者之標的，且可再指明該IC封裝是一第一IC封裝，且其中該IC結構更包括一第二IC封裝，其具有一第一表面、相對於該IC封裝之該第一表面的一第二表面、與位於該第二IC封裝之第二表面的一第四複數個傳導接點；其中該第四複數個傳導接點係耦合至該第一複數個傳導接點，且該第二IC封裝係配置成俾使該IC組件設置在該第一IC封裝與該第二IC封裝之第二表面之間。

[0081] 實施例8可包括實施例7之標的，且可再指明該第二IC封裝的第二表面係以一第一距離和該第一IC封裝的第一抗蝕表面分隔，該IC組件的該第一表面係以一第二距離

和該第一IC封裝的該第二抗蝕表面分隔，且該第一距離係少於該第二距離。

[0082] 實施例9可包括實施例7-8中任一者之標的，且可再指明該第一複數個傳導接點之至少二者係以少於35微米的一距離隔開。

[0083] 實施例10可包括實施例7-9中任一者之標的，且可更包括一焊球，該焊球與該第二複數個傳導接點之一者實際接觸且亦與該第四複數個傳導接點之一者實際接觸。

[0084] 實施例11可包括實施例7-10中任一者之標的，且可再指明該第二IC封裝是一記憶體裝置。

[0085] 實施例12可包括實施例7-11中任一者之標的，且可再指明在該第二IC封裝的第二表面與該第一抗蝕表面之間的一距離係少於250微米。

[0086] 實施例13可包括實施例1-11中任一者之標的，且可再指明該第二複數個傳導接點包含複數個銅墊。

[0087] 實施例14可包括實施例1-13中任一者之標的，且可再指明該IC封裝係無核心。

[0088] 實施例15是一種製造一IC封裝的方法，其包括：提供具有一表面的一結構，該表面具有一第一區與一第二區，該第一區與該第二區在該表面上係不重疊，以及複數個傳導接點係位於該第一區的該表面；在至少若干該第一區上方提供阻焊劑；在提供該阻焊劑之後，在該第一區上方提供一釋放層；在該第一區與第二區上方提供一增層材料；切割該增層材料與該釋放層；以及去除該釋放層與設

置在該釋放層上的該增層材料，以露出該複數個傳導接點。

[0089] 實施例16可包括實施例15之標的，且可再指明提供該釋放層包含焊膏印製該釋放層。

[0090] 實施例17可包括實施例15-16中任一者之標的，且可再指明提供該釋放層包括層壓(laminating)該釋放層。

[0091] 實施例18可包括實施例15-17中任一者之標的，且可再指明切割該增層材料與該釋放層包括在該第一區的邊界以雷射切割該增層材料與該釋放層。

[0092] 實施例19可包括實施例15-18中任一者之標的，且可更包括，在提供該增層材料之後與在切割該增層材料之前，在該表面之該第二區上方的該增層材料內形成複數個傳導通孔。

[0093] 實施例20可包括實施例19之標的，且更可包括，在形成該複數個傳導通孔之後，在該第二區上方形成一第二複數個傳導接點，且提供焊球至該第一與第二複數個傳導接點。

[0094] 實施例21可包括實施例19-20中任一者之標的，且可再指明該複數個傳導通孔之至少二者係以少於35微米的一距離隔開。

[0095] 實施例22是一種製造積體電路(IC)結構的方法，其包括：提供一IC封裝，其包括一基板，該基板具有一第一抗蝕表面、設置於該第一抗蝕表面內的一凹處，其中該凹處的一底部是一第二抗蝕表面，一位於該第一抗蝕表面的第一複數個傳導接點、與位於該第二抗蝕表面的一

第二複數個傳導接點；以及在該凹處設置一IC組件，其中該IC組件具有一第一表面、相對於該IC組件之該第一表面的一第二表面、與位於該IC組件之該第二表面的一第三複數個傳導接點，該第三複數個傳導接點係耦合至該第二複數個傳導接點，且該IC組件係配置成俾使該第三複數個傳導接點設置在該第二複數個傳導接點與該IC組件之該第一表面之間。

[0096] 實施例23可包括實施例22之標的，且可再指明該IC組件是一應用處理器。

[0097] 實施例24可包括實施例22-23中任一者之標的，且可再指明該IC封裝為一第一IC封裝，且該方法更包括，在該凹處設置該IC組件之後，將一第二IC封裝貼附至該第一IC封裝，其中該第二IC封裝具有一第一表面、相對於該第二IC封裝之該第一表面的一第二表面、與位於該第二IC封裝之該第二表面的一第四複數個傳導接點，該第四複數個傳導接點係耦合至該第一複數個傳導接點，且該第二IC封裝係配置成俾使該IC組件設置在該第一IC封裝與該第二IC封裝之該第二表面之間。

[0098] 實施例25可包括實施例22-24中任一者之標的，且可再指明該凹處具有介於50微米與300微米之間的一深度。

【符號說明】

100...IC封裝

104...第二抗蝕表面

102...第一抗蝕表面

106...凹處

108...底部	242...焊球
110...傳導接點	252...焊球
112...傳導接點	290...晶粒
190...增層材料	292、294...側邊
192...距離	296...封裝基板
194...距離	298...距離
198...深度	300...結構
200...IC結構	308...傳導材料部分
202...核心	310...表面
204...第一增層部分	312...電性結構
206...距離	316...增層材料
208...第二增層部分	400...結構
210...厚度	408...第一區
212...軸	410...第二區
214...IC組件	500...結構
216...第一表面	502...釋放層
218...第二表面	600...結構
220...傳導接點	602...增層材料
226...距離	608...增層材料
228...IC封裝	610...傳導結構
230...第一表面	700...結構
232...第二表面	800...結構
234...傳導接點	900...結構
236...距離	1000...結構

1100...結構	1716...凹處
1200...結構	1722...傳導接點
1300...結構	1744...深度
1400...結構	1746...深度
1500...方法	1792...底部
1502...流程	1802...IC組件
1504...流程	1804...IC組件
1506...流程	1806...IC封裝
1508...流程	1812...傳導接點
1510...流程	1814...傳導接點
1512...流程	1900...計算裝置
1600...方法	1902...主機板
1602...流程	1904...處理器
1604...流程	1906...通信晶片
1708...第三抗蝕表面	1908...儲存裝置

發明摘要

※ 申請案號：105112971

※ 申請日：105.04.26

※IPC 分類：H01L 27/31 (2006.01)

【發明名稱】(中文/英文)

用於堆疊式封裝之帶有凹入式傳導接點的積體電路結構
INTEGRATED CIRCUIT STRUCTURES WITH RECESSED
CONDUCTIVE CONTACTS FOR PACKAGE ON PACKAGE

【中文】

本案所揭示的是用於堆疊式封裝(PoP)之具有凹入式傳導接點的積體電路(IC)結構。舉例來說，一IC結構可包括：具有一第一抗蝕表面的一IC封裝；設置在該第一抗蝕表面內的一凹處，其中該凹處的一底部包括一第二抗蝕表面；位於該第一抗蝕表面的一第一複數個傳導接點；以及位在該第二抗蝕表面的一第二複數個傳導接點。可揭示及/或主張其他具體例。

【英文】

Disclosed herein are integrated circuit (IC) structures having recessed conductive contacts for package on package (PoP). For example, an IC structure may include: an IC package having a first resist surface; a recess disposed in the first resist surface, wherein a bottom of the recess includes a second resist surface; a first plurality of conductive contacts located at the first resist surface; and a second plurality of conductive contacts located at the second resist surface. Other embodiments may be disclosed and/or claimed.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100...IC封裝

102...第一抗蝕表面

104...第二抗蝕表面

106...凹處

108...底部

110...傳導接點

112...傳導接點

190...增層材料

192...距離

194...距離

198...深度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

申請專利範圍

1. 一種積體電路(IC)結構，其包含：
 - IC封裝，其具有一第一抗蝕表面；
 - 凹處，其設置在該第一抗蝕表面內，其中該凹處的一底部包括一第二抗蝕表面；
 - 第一複數個傳導接點，其位於該第一抗蝕表面；以及
 - 第二複數個傳導接點，其位於該第二抗蝕表面。
2. 如請求項1的IC結構，其中：

該IC封裝更包含：

 - 第一增層部份，其沿著一軸設置在該IC封裝的一核心與該第一抗蝕表面之間，以及
 - 第二增層部份，其沿著該軸設置在該IC封裝的該核心與該第二抗蝕表面之間；以及

沿著該軸的該第一增層部份的厚度係大於沿著該軸的該第二增層部份的厚度。
3. 如請求項1的IC結構，其更包含：
 - IC組件，其具有一第一表面、相對於該IC組件之該第一表面的一第二表面與位於該IC組件之該第二表面的一第三複數個傳導接點；

其中該第三複數個傳導接點係耦合至該第二複數個傳導接點，且該IC組件係配置成俾使該第三複數個傳導接點設置在該第二複數個傳導接點與該IC組件之該

第一表面之間。

4. 如請求項3的IC結構，其中該第二複數個傳導接點之至少二者係以少於35微米的一距離隔開。
5. 如請求項3的IC結構，其中該第一複數個傳導接點係以一第一距離和該IC封裝的一核心分隔，該第三複數個傳導接點係以一第二距離和該IC封裝的該核心分隔，且該第二距離係少於該第一距離。
6. 如請求項3的IC結構，其中該IC組件是一系統單晶片 (system on chip)。
7. 如請求項3的IC結構，其中該IC封裝是一第一IC封裝，且其中該IC結構更包含：
 - 一第二IC封裝，其具有一第一表面、相對於該第二IC封裝之該第一表面的一第二表面與位於該第二IC封裝之該第二表面的一第四複數個傳導接點；
 - 其中該第四複數個傳導接點係耦合至該第一複數個傳導接點，且該第二IC封裝係配置成俾使該IC組件設置在該第一IC封裝與該第二IC封裝之該第二表面之間。
8. 如請求項7的IC結構，其中該第二IC封裝的該第二表面係以一第一距離和該第一IC封裝的該第一抗蝕表面分隔，該IC組件的該第一表面係以一第二距離和該第一IC封裝的該第二抗蝕表面分隔，且該第一距離係少於該第二距離。
9. 如請求項7的IC結構，其中該第一複數個傳導接點之至少二者係以少於35微米的一距離隔開。

10. 如請求項7的IC結構，其更包含一焊球，其與該第二複數個傳導接點之一者實際接觸且亦與該第四複數個傳導接點之一者實際接觸。
11. 如請求項7的IC結構，其中該第二IC封裝是一記憶體裝置。
12. 如請求項7的IC結構，其中在該第二IC封裝的該第二表面與該第一抗蝕表面之間的一距離係少於250微米。
13. 如請求項1的IC結構，其中該第二複數個傳導接點包含複數個銅墊。
14. 如請求項1的IC結構，其中該IC封裝係無核心。
15. 一種製造一積體電路(IC)封裝的方法，其包含：
 - 提供具有一表面的一結構，其中：
 - 該表面具有一第一區與一第二區，
 - 該第一區與該第二區在該表面上係不重疊，且
 - 複數個傳導接點係位於該第一區內的該表面；
 - 在至少若干該第一區上方提供阻焊劑；
 - 在提供該阻焊劑之後，在該第一區上方提供一釋放層；
 - 在該等第一與第二區上方提供一增層材料；
 - 切割該增層材料與該釋放層；以及
 - 去除該釋放層與設置在該釋放層上的該增層材料，以露出該複數個傳導接點。
16. 如請求項15的方法，其中提供該釋放層包含焊膏印製該釋放層或層壓(laminating)該釋放層。

17. 如請求項15的方法，其中切割該增層材料與該釋放層包含在該第一區之一邊界雷射切割該增層材料與該釋放層。
18. 如請求項15的方法，其更包含，在提供該增層材料之後與切割該增層材料之前，在該表面之該第二區上方的該增層材料內形成複數個傳導通孔。
19. 如請求項18的方法，其更包含，在形成該複數個傳導通孔之後，在該第二區上方形成一第二複數個傳導接點，且提供焊球至該第一與第二複數個傳導接點。
20. 如請求項18的方法，其中該複數個傳導通孔之至少二者係以少於35微米的一距離隔開。

