

(43) 国際公開日
2007年12月6日 (06.12.2007)

PCT

(10) 国際公開番号
WO 2007/138646 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 49/02 (2006.01)
- (21) 国際出願番号: PCT/JP2006/310468
- (22) 国際出願日: 2006年5月25日 (25.05.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 斎藤 慎一 (SAITO, Shinichi) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所 中央研究所

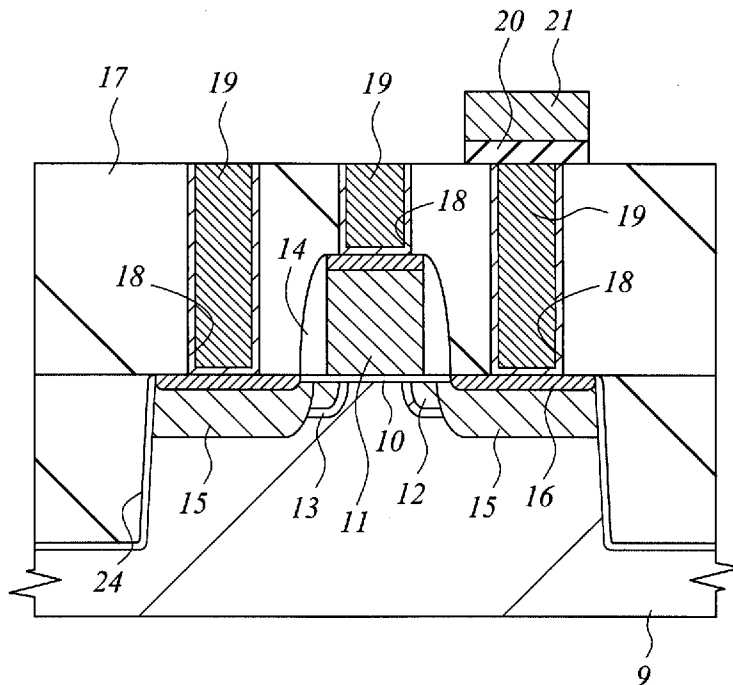
内 Tokyo (JP). 松井 裕一 (MATSUI, Yuichi) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所 中央研究所内 Tokyo (JP). 木村 紳一郎 (KIMURA, Shinichiro) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所 中央研究所内 Tokyo (JP). 尾内 享裕 (ONAI, Takahiro) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所 中央研究所内 Tokyo (JP).

- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1020076 東京都千代田区五番町14番地 国際中正会館 6階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: NONVOLATILE MEMORY ELEMENT, ITS MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE USING THE NONVOLATILE MEMORY ELEMENT

(54) 発明の名称: 不揮発性メモリ素子およびその製造方法ならびに不揮発性メモリ素子を用いた半導体装置



(57) Abstract: A nonvolatile memory element is formed by a variable-resistance section and MISFET for memory selection connected in series to the variable-resistance section. The variable-resistance section includes: a thin film (tantalum pentoxide film (20)) formed by a strongly correlated electron-based material in which the outermost orbital is formed by a d electron or f electron; a first electrode (electrode (21)) in ohmic contact with one surface of the thin film; and a second electrode (plug (19)) in non-ohmic contact with the other surface of the thin film. Information is stored according to the intensity of the electric resistance value at the boundary between the thin film formed by the strongly correlated electron-based material and the second electrode. As the strongly correlated electron-based material and the electrode material, a material already used in the existing silicon process or a material which can be easily introduced can be used.

(57) 要約: 不揮発性メモリ素子は、可変抵抗部と、可変抵抗部に直列に接続されたメモリセル選択用MISFETとによって構成されている。可変抵抗部は、最外殻電子軌道がd電子またはf電子によって構成された強相関電子系材料からなる薄膜（五酸化タンタル膜20）と、薄膜の一方の面にオーミック接触された第1電極（電極21）と、薄膜の他方の面に非オーミック接触された第2電極（プラグ19）とからなり、強相関電子系材料からなる薄膜と前記第2電極との界面における電気抵抗値の大小によって情報が記憶される。強相関電子系材料や電極材料には、既存のシ

[続葉有]



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

不揮発性メモリ素子およびその製造方法ならびに不揮発性メモリ素子を用いた半導体装置

技術分野

[0001] 本発明は、不揮発性メモリ素子およびその製造技術に関し、特に、強相関電子系材料を用いた抵抗値可変型不揮発性メモリに適用して有効な技術に関する。

背景技術

[0002] シリコン(Si)を用いた大規模集積回路(Large Scale Integration)技術は、現代社会に欠かすことができない技術となっている。例えばパーソナル・コンピュータや携帯電話には、複数のLSIが搭載されている。これらのLSIには、CPU(Central Proceccing Unit)などのように、情報を処理するプロセッサと呼ばれるものや、DRAM(Dynamic Random-Access Memory)に代表されるように、情報を記憶するメモリと呼ばれるものなどがある。プロセッサもメモリも、半導体の微細加工技術が進展するにつれて、より多くのトランジスタを一つの半導体チップ(以下、単にチップという)に集積化することが可能になり、より多くの情報を処理することができるようになっている。素子の微細化による高集積化はスケーリングと呼ばれ、半導体産業を支える指導原理となっている。

[0003] ところが、製品レベルの最小加工寸法が100nmを下回るにつれて、素子のさらなる微細化に大きな困難が生じている。例えば、CPUを支える個々のトランジスタは、電界効果型トランジスタ(Metal Insulator Semiconductor Field Effect Transistor; MISFET)を主体としているが、このMISFETのゲート絶縁膜の膜厚は、2.0nmを下回っている。これは、実に原子層10層分程度の薄さである。そのため、ゲート絶縁膜のさらなる薄膜化を行うと、膜中を直接トンネル電流が流れるようになり、消費電力の増大を招く。

[0004] そこで、この問題を解決するために、ゲート絶縁膜材料として、誘電率が従来の酸化シリコン(SiO_2)よりも大きい高誘電率ゲート絶縁膜(比誘電率はkで表されることが多いため、high-k膜とよばれる)の研究開発が世界中で活発に行われるようになって

ている。high-k膜のゲート絶縁膜への適用は、未だ実用化されていないが、次世代のCPUには不可欠の技術であると考えられている。

[0005] このように、トランジスタの例をみてもわかる通り、スケーリングをさらに推し進めるためには、単なる構造の微細化だけでは不十分であり、シリコン・プロセスには使われていない新しい材料を導入することを検討する必要がある。新しい材料を導入することによって、現在では限界と思われる性能を突破することができれば、LSIチップの性能をさらに高めることができ、より高度な情報処理ができるようになるので、産業界のニーズに応えることができるようになる。

[0006] 新材料の導入による性能向上は、CPUに限ったものではない。メモリの一種であるDRAMは、キャパシタに蓄えられる電荷の量で情報を記憶しているが、より多くの電荷を蓄えるために、キャパシタ用絶縁膜として酸化タンタル(Ta_2O_5)などのhigh-k膜が適用されており、すでに大量生産されている。

[0007] ところが、DRAMにおいても、さらなるhigh-k絶縁膜の薄膜化はリーク電流の増大を招くため、デバイスの性能劣化と信頼性低下の観点から許されなくなっている。また、DRAMでは、微細化によってキャパシタの面積を小さくすると、その容量が減ってしまうという問題もある。これまでは、キャパシタ構造を深いトレンチ型にするなどして面積の低下を防いできた。しかし、さらなる微細化を推進しようとする、トレンチのアスペクト比が加工の限界に達し、最先端の加工技術を駆使しても歩留り良くデバイスを作ることができなくなるため、DRAMの材料的・構造的な限界が検討されている。

[0008] 係る状況に鑑み、最近では、様々な新しいメモリ素子が提案されている。例えばカルコゲナイド材料を用いた相変化メモリ、スピンを利用したMRAM (Magnetic RAM)、有機分子の酸化・還元を利用した分子メモリ、RRAM (Resistance Random Access Memory)などを挙げることができる。これらのメモリがDRAMの代換技術になり得るかどうかは、現在のところ百家争鳴であるが、現在普及しているDRAMを置き換えるためには、単なる延長線上の技術では許されない。すなわち、現在のDRAMが有している高速読み出しメモリ特性に加えて、新たな付加価値が求められる。具体的には、電源を遮断してもメモリ特性を保持するという不揮発性が求められる。不揮発性RAM

が実現すれば、例えばパーソナル・コンピュータの電源を投入した直後にOS(Operating System)を起動させることなどが可能になるため、消費者の使い勝手は格段に向上することになる。

[0009] 上記した数々の不揮発性RAM候補のうち、RRAMは、強相関電子系と呼ばれる物質を使っており、高速の読み書きが可能であることから、注目を集めているメモリ素子である。例えば特許文献1(米国特許第6, 673, 691B2号)には、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 層の上下にPt層を接触させた4元系ペロブスカイト構造に不揮発性メモリ特性が生じること、および電圧パルスの正負の符号を反転させることによってメモリの書き換えが出来ることが開示されている。また、この特許文献1には、RRAMを用いると、書き込み・消去にかかる時間がDRAMよりも短縮され、かつ不揮発性メモリとして十分な保持特性も得られることが開示されている。

[0010] 非特許文献1(Applied Physics Letters, (2004) pp.4073-4075)は、 SrTiO_3 基板上にエピタキシャル成長させた SrRuO_3 下部電極上に、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 層をエピタキシャル成長させ、さらに上部電極をTiとした構造において、非線形の整流特性が得られること、およびヒステリシスが表れることを報告している。一方、非特許文献2(Technical Digest of International Electron Device Meeting, (2004) pp.587-590)は、2元系遷移金属酸化物であるNiO層の上下に貴金属層を積層させた構造において、不揮発性メモリ特性が得られること、および正負の符号を反転させても対称な電流-電圧(I-V)特性が得られることを報告している。また、正電圧のみ、あるいは負電圧のみの単一の符号を有する電圧を印加した場合において、低電圧を印加するか高電圧を印加するかによって、素子の抵抗を高抵抗状態にしたり、低抵抗状態にしたりすることができることを報告している。

特許文献1:米国特許第6, 673, 691B2号

非特許文献1:Applied Physics Letters, (2004) pp.4073-4075

非特許文献2:Technical Digest of International Electron Device Meeting, (2004) pp. 587-590

発明の開示

発明が解決しようとする課題

- [0011] 上述のように、強相関電子系材料をメモリ素子に応用しようという試みは、これまでに幾つか存在するものの、現在までのところ、DRAMのように、大規模に集積化して製品化する見通しが立っているとは言い難い。以下に、本発明者が検討した解決すべき課題を述べる。
- [0012] まず第一に、これまで報告されているRRAMは、メモリ動作の機構が明らかにされていない。本願発明者等は、先立ってRRAMについて検討を行った。特許文献1および非特許文献1で報告された $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ という材料は、巨大磁気抵抗(Colossal Magneto Resistance; CMR)を示すことから、CMR材料とも呼ばれている。巨大磁気抵抗とは、磁場を印加した際に抵抗が大幅に下がる現象のことを指す。この負の磁気抵抗は、磁場を印加することによって、磁気的な散乱が抑制されるために生ずるものであると理解されている。ところが、このような現象は、少なくとも -50°C 以下、典型的には -200°C 程度以下でのみ出現する現象であり、室温で観測されているメモリ効果との関係は定かではない。
- [0013] 非特許文献1が明らかにしたように、RRAMで観測されている抵抗値は、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ という材料そのものが本来有するバルクの抵抗値と比べて圧倒的に大きい。このことは、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ と電極との界面で大きな抵抗が生じており、RRAMの特性を決めていることを示唆している。しかし、特許文献1で公開されている構造、すなわち、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ の上下に同じ電極材料(Pt)を形成している場合では、上下の界面の性質が対称的であると考えられる。
- [0014] ところが、対称的な構造を有する場合は、メモリ性が出てくることが理解できない。なぜならば、片方の界面に電圧をかけてその界面が低抵抗(または高抵抗)状態になったとすると、もう一方の界面は高抵抗(または低抵抗)状態になるからである。電圧の符号を変えても、一方の界面が高抵抗でもう一方が低抵抗であるという事情は変わらないはずであるから、メモリ性が出ることを説明できない。非特許文献1は、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ の上下の電極材料を変えた場合に、メモリ性が出現することを発見し、界面に生ずるショットキー障壁が変化しているのではないかと論じている。しかしながら、何故にショットキー障壁が変化したり、メモリ動作が観測されたりするのかは、学術的にも十分解明されていない。

- [0015] メモリ動作の機構に関して、非特許文献2では、電圧を印加することで生じたフィラメント的なパーコレーション・パスの形成がメモリ動作と関連しているのではないかと論じている。しかし、仮にこのような伝導パスの形成がメモリの起源であるとするならば、デバイスは絶縁破壊を起こしかけており、長期信頼性のあるデバイスを歩留り良く大量生産することが困難であると考えられる。
- [0016] このように、メモリの動作機構が不明であると、メモリ構造の最適化やプロセス開発の指針が立たないという問題がある。加えて、観測されたメモリにスケーラビリティがあるのかどうかも判断できない。また、信頼性評価が困難であるという問題も生じる。
- [0017] RRAMが有する第2の課題は、メモリ材料や電極材料が特殊であるために、シリコン・プロセスへの親和性が低いという点である。例えば、特許文献1や非特許文献1で開示された $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ は、4つの元素が使われている4元系であるため、均一な膜を制御よく作ることが大変困難である。すなわち、組成が少しでも異なってしまうと、材料の抵抗値が大きく変化する物質群であることが知られており、歩留り良く多くのデバイスを作ることは困難である。加えて、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ に代表されるCMR材料は、ペロブスカイト構造と呼ばれる複雑な結晶構造を有している。このような複雑な結晶構造は、大量生産には不向きである。実際、非特許文献1で使われたエピタキシャル成長技術を使うためには、 SrTiO_3 基板のような下地となる単結晶基板が必要であり、格子定数の大きく異なるシリコンを基板として用いることはできない。
- [0018] また、メモリ材料だけでなく電極材料も特殊であることが、シリコン・プロセスへの導入を困難にしている。特許文献1や非特許文献1で開示されたRRAMでは、Pt電極が使われているが、Ptは熱拡散速度が大きいため汚染源となり易く、シリコン・プロセスへの導入が容易ではない。RRAMのメモリ特性を得るためには、貴金属であることが望ましいとされているが、同様の理由で、Ptをはじめとする貴金属は何れもシリコン・プロセスに導入することが困難である。非特許文献2にも、NiOをメモリ材料として使う場合には、貴金属電極が望ましいことが記載されている。
- [0019] 本発明の目的は、強相関電子材料を用いた不揮発性メモリ素子を提供することにある。
- [0020] 本発明の他の目的は、強相関電子材料を用いた不揮発性メモリ素子の製造技術を

提供することにある。

- [0021] 本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

- [0022] まず、本発明の第1の目的を達成するために、メモリ性の出現する原理について説明する。本発明の不揮発性RAMは、金属・絶縁体転移、またの名をモット転移と呼ばれる現象を利用しているので、まず、これについて簡単に説明する。
- [0023] 図1(a)～(f)は、強相関電子系と呼ばれる一連の物質群の結晶構造を模式的に示したものである。原子サイト1が整然と並ぶことによって、結晶格子を組んでいる様子が示されている。ここでは、説明を簡単にするために、伝導に寄与する原子サイト1のみを示している。また、バンドの縮退効果などの説明も省略するが、バンド縮退がある場合への拡張は容易である。
- [0024] 電気抵抗の大小などの物性値を決めているのは、原子内に強く束縛された内殻電子ではなく、最外殻電子である。図1には、この最外殻電子のうち、上向きのスピンを有する電子2と下向きの電子を有する電子3とが示されている。図1(a)は、単位体積当たりの原子サイト1の数(N_{site})に対して、上向きのスピンを有する電子2と下向きの電子を有する電子3を合わせた単位体積当たりの電子の数(N_{el})が圧倒的に少ない場合($N_{\text{site}} \gg N_{\text{el}}$)を示している。この場合は、伝導に寄与するキャリアとなる電子の数が少ないために電気抵抗が高く、系はバンド絶縁体として振舞う。
- [0025] ここで、電子の数を増やして図1(b)の状態にすることを考える。伝導電子の数を変えることはドーピングとよばれるが、ドーピング方法としては、原子サイト1の一部を価数の異なる原子で置換する方法や、結晶の隙間に過剰の酸素を入れたり、酸素欠陥を入れたりする方法が知られている。図1(b)の状態では、多くの電子が存在する($N_{\text{site}} < N_{\text{el}}$)ために電気抵抗が低くなり、系は金属として振舞う。
- [0026] ここで、さらに電子の数を増やして行き、図1(c)の状態にしたとする。図1(c)の状態では、原子サイト1の数と電子の数とが同程度($N_{\text{site}} \sim N_{\text{el}}$)である。強相関電子系の特徴が最も良く表れるのは、この図1(c)の状態である。
- [0027] 同一の原子サイト1に、上向きのスピンを有する電子2と下向きの電子を有する電子

3とが同時に入った状態を2重占有状態と呼ぶ。強相関電子系では、2重占有状態において、電子間に非常に強い電子間相互作用が働く。これは、強相関電子系の多くが遷移金属酸化物などであり、最外殻軌道がd電子またはf電子で構成されているので、電子の軌道が原子サイト1に強く束縛されているためである。

[0028] このような強いクーロン反発力の結果、電子はなるべく原子サイト1を2重占有しないように、お互いを避けあつて動くようになる。原子サイト1の数と電子の数とが同程度である図1(c)の状態では、多くの電子の隣の原子サイト1がすでに別の電子によって占有されているために、動くことが困難である。ここで、パウリの排他率によって、同一のスピンを有する電子は同一の原子サイト1に絶対に入ることができないという制約がある。パウリの排他率に違反しないで動くためには、2重占有状態にしなければならぬが、この場合は非常に強いクーロン相互作用が働いてエネルギー的に不利になるために、2重占有状態になる確率は小さい。結果として、電子の数は非常に多いにも係わらず、電子が動き回れないので電気抵抗が高く、系は絶縁体として振舞う。この状態は、古くから解析した物理学者モットにちなんで、モット絶縁体(Mott-insulator)と呼ばれている。このように、電子数の変化に伴い、金属になったり、絶縁体になったりする現象は、金属・絶縁体転移またはモット転移と呼ばれる。

[0029] 次に、図1(c)の状態からさらに電子の数を増やした図1(d)の状態を考える。この場合は、上向きのスピンを有する電子2あるいは下向きの電子を有する電子3の何れかが、ほぼすべての原子サイト1を占有しており、さらに過剰の電子が原子サイト1を2重に占有している。先に2重に占有している状態はエネルギーが高いと述べたが、過剰に電子が存在するために、エネルギーが高くても2重占有せざるを得ない。2重占有状態が少ない図1(d)の状態では系は、相変わらずモット絶縁体である。

[0030] ところが、電子の数がさらに多い図1(e)の状態では、多くの原子サイト1が2重占有状態になっており、一部の1重占有状態と共存している。この図1(e)の状態では、1重占有状態が隣接する原子サイト1に動いてもクーロン相互作用エネルギーは変化しない。言い換えれば、1重占有状態は、2重占有状態に対して逆向きのスピンを有するホールをドーピングしたことに相当し、そのホールが動き回ることができるようになる。その結果、図1(e)の状態は、ホールの数(N_{hole})が多いため、抵抗が低い金属状

態になる。ここで、電子の数がさらに多くなった図1 (f) の状態を考えると、今度はすべての原子サイト1が2重占有されるため、ホール数が少なく($N_{\text{site}} \gg N_{\text{hole}}$)、系は抵抗の高いバンド絶縁体となる。

[0031] 以上のように、図1 (d)、(e)、(f) の状態で起こる金属・絶縁体転移は、図1 (a)、(b)、(c) の状態で起こる金属・絶縁体転移と対称的である。これは、強相関電子系が本質的に有している電子・正孔の対称性を反映したものであり、極く一般的に成立する。実際の物質では、バンド構造が複雑であることを反映して電子とホールの有効質量が異なるなど、厳密には電子・ホールの対称性は成立しないが、少なくとも近似的には成立するため、金属になったり、絶縁体になったりするという定性的な対称性が成立する。

[0032] 本発明の不揮発性RAMは、上記した金属・絶縁体転移という原理を用いる。そのためには、まず、強相関電子系となる材料が必要であるのは言うまでもない。上述のように、強相関電子系は、電子間に働くクーロン相互作用の強い系で、遷移金属酸化物などのように、電子の最外殻軌道がd電子やf電子から構成されている物質である。

[0033] ここで、強相関電子系の定義に関して注意を述べる。電子間の強い相互作用が系全体の性質に大きな影響を及ぼすのは、図1 (c) で示したように、電子の数(N_{el})が原子サイト1の数(N_{site})と同程度($N_{\text{site}} \sim N_{\text{el}}$)の場合である。電子の数が少ない場合には、お互いの電子が衝突する確率が小さいために、図1 (a) や図1 (b) の状態では、クーロン相互作用の影響はそれほど大きくない。そこで、図1 (c) の状態近傍のモット絶縁体と金属のみを強相関電子系とみなすという分類も成立し得る。

[0034] しかしながら、原子サイト1内で2重占有した場合のクーロン相互作用が強い事情は電子の数とは無関係であるから、本発明では、電子の数が少ない図1 (a) や図1 (b) の状態も含めて強相関電子系と呼ぶことにする。例を挙げると、 SrTiO_3 、 HfO_2 、 ZrO_2 、 Ta_2O_5 、 TiO_2 などは通常分類からするとバンド絶縁体に属するが、伝導性に重要となる最外殻軌道はd電子やf電子であり、電子の数は少なくとも電子間に働くクーロン相互作用は強いため、強相関電子系である。 NiO 、 V_2O_3 などのモット絶縁体やそれらにキャリアをドーピングした金属が強相関電子系に属することは言うまでもな

い。

- [0035] 他方、強相関電子系でない材料とは、最外殻軌道がs電子やp電子によって構成される物質である場合が多く、例えば SiO_2 や Al_2O_3 などを挙げることができる。最外殻電子の軌道がs電子やp電子によって構成される物質でも、例外的には強相関電子系となる材料も存在し、例えばBEDT-TTF(bis(ethylenedithio)tetrathiafulvalene)などのような有機分子結晶を挙げることができる。
- [0036] しかしながら、BEDT-TTFなどの有機分子結晶は、本発明の第2の課題であるシリコン・プロセスとの整合性を考えると、余り適切な材料であるとは言えない。総じて、強相関電子系である物質群の中には、電子の数に応じてモット絶縁体になるものもあれば、金属になるものもあり、さらにはバンド絶縁体になるものもある。強相関電子系を取り扱うモデルのひとつにハバード模型(Hubbard model)と呼ばれるものがあるが、このHubbard模型には、運動エネルギー(t)と相互作用エネルギー(U)という二つの重要なエネルギー・スケールが存在する。上述の強相関電子系とは、電子の数によらずに、運動エネルギー(t)に比べて相互作用エネルギー(U)が大きい系である。すなわち、強相関電子系とは電子間の相互作用が強い系として定義されるが、これは自然な定義である。
- [0037] 本発明の不揮発性RAMは、上記したような強相関電子系材料の薄膜を利用するが、この薄膜の一方の面に、この強相関電子系材料との電気的な接触が良好な電極材料を接合する。ここで、電気的に良好な接触とは、接触に伴って生ずる接触抵抗値が、良好でない接触に比べて小さいことを指している。望ましくは、強相関電子系材料と電極材料との間で線形なI-V特性が得られるオーミック接触とするが、厳密に線形でなくても差し支えない。良好な接触を取るためには、真空準位から測った強相関電子系材料の伝導帯または価電子帯までの値が、電極材料の仕事関数値に近い材料と組み合わせればよい。また、強相関電子系材料にドーピングを施すことによってフェルミ準位(Fermi level)を調整し、電極とのオーミック接続を取り易くすることも可能である。
- [0038] 次に、強相関電子系材料の薄膜のもう一方の面に、強相関電子系材料との電気的な接触が良好でない電極材料を接合する。ここで、電気的に良好でない接触とは、

接触抵抗値が、もう一方の面における良好な接触よりも大きいということ、あるいは良好でない電極材料との界面におけるI-V特性が非線形となる非オーミック接触になることを意味している。このような界面を形成するためには、真空準位から測った強相関電子系材料の伝導帯または価電子帯までの値が、電極材料の仕事関数値と一致しないように、材料の組み合わせを選べば良い。本発明の不揮発性RAMでは、このようにして形成した良好でない接触により、電極材料と強相関電子系材料との界面が、メモリ性の出現に重要な役割を担っている。

[0039] このように、本発明の不揮発性RAMは、強相関電子系材料からなる薄膜の一方の面に電氣的な接触が良好な電極を接続し、もう一方の面に電氣的な接触が良好でない電極を接続するMIM(Metal-Insulator-Metal)構造をとる。ここで、MIMと記載したが、上述のように強相関電子系材料の薄膜は、ドーピングが施された材料であっても差し支えないため、必ずしも絶縁体とは限らない。強相関電子系材料として、バンド絶縁体またはモット絶縁体を用いた場合には、絶縁体であることは言うまでもない。

[0040] 次に、このような構造でメモリ性が出現する原理について説明する。図2には、強相関電子系材料とこれに対して良好でない接触をとる電極を接続する前の状態が示されている。図2(a)は、用意した強相関電子系材料と電極との界面におけるエネルギーと電子密度との関係を示している。図2(a)に示したのは、強相関電子系材料として、電子密度=0.5付近となるようにバンド絶縁体にキャリアとして電子がドーピングされた状態である。説明が明示的になるように、電子をドーピングした場合で説明するが、ホールをドーピングした場合にも同様の議論が成立することは言うまでもない。この場合、電子密度=0.5付近にエネルギーが最小値となる安定状態4が存在する。

[0041] 図2(b)には、強相関電子系材料5とこれに対して良好でない接触をとる電極6とを接触させる前のバンド・ダイヤグラムが示されている。良好でない接触をとる電極6のフェルミ準位(E_F)が、強相関電子系材料5の価電子帯(E_v)とも伝導帯(E_c)とも隣接していないことが重要である。

[0042] 図3には、強相関電子系材料5とこれに対して良好でない接触をとる電極6とを接触する前の界面付近での状態密度が示されている。良好でない接触を実現するために

は、接触前の両者のフェルミ準位が、一致していないことが重要である。より正確な表現をすると、接触前の仕事関数の値が一致していないことが要求される。

[0043] 次に、強相関電子系材料5に対して良好でない接触をとる電極6を接触させた状態について図4を用いて説明する。図4(a)には、接触させた場合のエネルギーと電子密度との関係を示している。接触に伴い、後述のように帯電エネルギーが発生するため、電子密度=0.5よりも若干小さい密度で安定となる安定状態4が存在する。

[0044] 図4(b)は、接合させた界面付近にショットキー障壁7が発生していることを示している。これは、接触前の強相関電子系材料5と良好でない接触をとる電極6との仕事関数が一致していなかったことを反映している。より一般的には、接触させた界面で化学反応が生じることが多いため、ショットキー障壁7の高さは、単純に仕事関数から予想される値とずれを生じる場合があることが知られている。例えば、界面で化学的な反応が起こり、界面付近のフェルミ準位(E_F)が実効的に変化するフェルミ・レベル・ピンニング(Fermi Level Pinning)という現象が生じることがある。

[0045] しかしながら、界面反応も考慮して最終的に実験で観測されるショットキー障壁7の値を考慮してデバイス設計をすれば全く問題ない。図4(b)のように接触させたことに伴い、強相関電子系材料5に存在していた電子の一部は、より低いエネルギー準位を有している良好でない接触をとる電極6に流入する。その結果、強相関電子系材料5側の界面は正に帯電し、良好でない接触をとる電極6の界面は負に帯電する。この状態における界面付近の状態密度を示したのが図5である。統計力学の原理に基づき、強相関電子系材料5のフェルミ準位(E_F)と電極6のフェルミ準位(E_F)とは一致している。これは、接触していると電子のやりとりが可能になるため、接触している両者の化学ポテンシャルが等しくなるためである。

[0046] なお、本発明ではフェルミ準位と化学ポテンシャルとを同じ意味として扱っている。本発明のデバイスは室温で動作するため、フェルミ準位という言葉を使うよりは化学ポテンシャルという言葉を使った方が学術的には正確であるが、慣例に倣ってフェルミ準位という言葉を用いることにする。また、電圧を印加した場合については、フェルミ準位や化学ポテンシャルという言葉を使わずに、電気化学ポテンシャルという言葉を使う場合もあるが、本発明ではこれらを区別しないこととする。

[0047] 電圧を印加していない図5の状態では、両者のフェルミ準位(E_F)が一致しており、界面ではショットキー障壁7が形成されるため、結果として、強相関電子系材料5内のバンドが緩やかに変形することになる。この界面に垂直に電流を流す場合には、電子をショットキー障壁7を量子力学的なトンネル効果によって通過させなければならない。図5のような状態では、ショットキー障壁7の幅が大きいので、トンネル効果は発生しにくい。これは、トンネル効果がトンネルする距離の指数関数に依存して生じにくくなることを反映している。従って、図5の状態では、界面の接触抵抗値が大きい高抵抗状態が実現している。

[0048] ここで、接触に伴う界面付近のエネルギー変化について図6を用いて説明する。強相関電子系のエネルギーに加えて、界面付近では帯電効果による帯電エネルギーが存在する。これは、界面では、良好でない接触をとる電極6のフェルミ準位が強相関電子系材料5の伝導帯と一致していないため、外界から電位差を与えていなくとも、実効的に電圧が印加されていることに相当するからである。古典電磁気学によると、単位体積当たりの容量 C は、強相関電子系材料の比誘電率を k 、真空の比誘電率を ϵ_0 、ショットキー障壁の厚さを d とした場合に、 $C = k * \epsilon_0 / d$ で与えられる。また、ショットキー障壁に蓄えられる電荷を Q とした場合に、帯電エネルギー(E_{charge})は、 $E_{charge} = Q^2 / (2 * C)$ で与えられる。従って、ショットキー障壁を介してより多くの電荷 Q が蓄えられるためには、強相関電子系材料の比誘電率(k)が大きく、ショットキー障壁の厚さ(d)が薄いことが望ましい。

[0049] このようにして計算される帯電エネルギーを考慮すると、界面付近の全エネルギーは、図6に示すように、2重井戸型となる。このうち、エネルギーの最も低い状態が安定状態4であり、局所的な極小値をとる状態が準安定状態8である。上述のように安定状態4は、高抵抗状態である。一方、以下に示すように、準安定状態8は低抵抗状態となる。ここで、図6に示した例では電子密度 $=1.2$ 付近に実現する状態を準安定状態8と述べたが、この状態は、本発明に基づく不揮発性RAMを使用する上では、極めて安定な状態として機能する。確かに、エネルギー的には、最安定な状態である安定状態4と比べてエネルギーは高い。しかしながら、一度、界面付近の電子状態がこの状態になると、系は原子サイト1当たり、0.5～数eVもの膨大なエネルギー障

壁に守られているので、極めて安定なメモリ保持特性が得られる。

[0050] このように、準安定状態8は、局所的に極小値を持った状態であるため、外界から外乱要因となる摂動が加わった場合にも、自動的に準安定状態8が保持されるようになる。例えば、界面に保持された電子の一部が失われた場合にも、系は熱力学的に安定な状態を保とうとするために、再び近隣の電子を束縛し、準安定状態8に戻るように自動的に修復する。このように、安定状態4と準安定状態8とが実現するような系は、不揮発性メモリとして使う場合に極めて安定的に使えることが判る。

[0051] 次に、強相関電子系材料をメモリ素子として動作させるための原理について説明する。メモリ素子として動作させるためには、安定状態4から準安定状態8へ、またはその逆に、準安定状態8から安定状態4へと切り替えることが必要である。この切り替え方法について説明する。

[0052] 図7は、強相関電子系材料5の一方の界面に接触した良好な接触をとる電極(図示せず)を基準として、もう一方の界面に接触した良好でない接触をとる電極6に+4Vの電圧を印加した場合の界面でのエネルギーの様子(a)とバンド・ダイヤグラム(b)とを示している。この場合、ショットキー障壁7を介して、強相関電子系材料5側は負の電荷を持つように帯電し、良好でない接触をとる電極6側は正の電荷を持つように帯電する。その結果、図7(a)に示すように、電子密度 $=1.7 > 1.0$ 付近でエネルギーが最小値4となる点が存在する。これは、強相関電子系でとりうる図1の状態(a)～(f)のうち、(e)の状態に相当する。一旦この状態にした後、電圧を印加しない0Vの状態にすると、系は、図4のエネルギー状態のうち準安定状態8で安定化することになる。

[0053] 次に、図6に示したエネルギー状態のうち、準安定状態8から安定状態4へと変化させる方法について述べる。図8に示すように、今度は、強相関電子系材料5の一方の界面に接触した良好な接触をとる電極(図示せず)を基準として、もう一方の界面に接触した良好でない接触をとる電極6に逆符号となる-2Vの電圧を印加する。その場合の界面でのエネルギーの様子を図8(a)に示し、バンド・ダイヤグラムを図8(b)に示す。

[0054] この場合、ショットキー障壁7を介して、強相関電子系材料5側は、負の電荷を持つように帯電し、良好でない接触をとる電極6側は、正の電荷を持つように帯電する。そ

の結果、図8(a)に示すように、電子密度 $=0.4 < 1.0$ 付近でエネルギーが最小値4となる。一旦、この状態にした後、電圧を印加しない0Vの状態にすると、系は、図6に示したエネルギー状態のうち、安定状態4で安定化することになる。これは、強相関電子系でとりうる図1の状態(a)～(f)のうち、(b)の状態に相当する。安定状態4が準安定状態8よりも低いエネルギーを有していることを反映して、準安定状態8から安定状態4に戻すためには、印加する電圧の絶対値をより小さく設定することで可能となる。このようにして、電極に正負の電圧を印加することによって、図1(b)の状態と図1(e)の状態とを相互に切り替えることが可能であることが判る。

[0055] 次に、このようにして切り替えた状態をどのようにして読み出すかについて述べる。そのために、準安定状態8についてもう少し説明を加える。図9は、界面の状態が準安定状態8になった場合の(a)界面のエネルギー、(b)バンド・ダイヤグラムを示し、図10は、このときの界面付近の状態密度を示している。

[0056] 図9(b)では、ショットキー障壁7を介して、強相関電子系材料5内の価電子帯のバンドが大きく曲がっていることが判る。これは、図10に示したように、強相関電子系特有の強いクーロン相互作用によって、価電子帯がlower Hubbard bandと呼ばれる状態とupper Hubbard bandと呼ばれる状態とに分裂することを反映している。その結果、図9(b)に示された状態では、ショットキー障壁7の幅が狭くなっており、ショットキー障壁7を流れるトンネル電流は格段に流れやすくなる。従って、準安定状態8は、界面で生じる界面抵抗の値が小さくなっている。このような状態を実現するためには、ショットキー障壁7を介して、多量の電荷を静電的に蓄えなければならない。従って、強相関電子系材料5の比誘電率は大きいこと(好ましくは20以上)が望ましい。

[0057] しかしながら、通常のhigh-k材料と異なる点は、強相関電子系材料5内で電荷の出し入れをするために、強相関電子系材料5の一方の界面は、電極と電氣的に良好な接触をする必要がある。従って、少なくとも一方の電極とはバンド・オフセットを小さくする必要がある。これは、通常のhigh-k材料探索指針とは全く逆である。通常のhigh-k膜の用途ではリーク電流を小さくする必要があるため、バンド・オフセットはできるだけ大きくとるように材料を組み合わせる。このように、本発明では、従来のMIM構造の使われ方とは全く逆の指針を用いて、デバイスを作製する必要があることが判

る。

[0058] 以上の説明から分かるように、安定状態4が実現しているか、それとも準安定状態8が実現しているかを読み出すには、単に界面抵抗値の違いを読み出せばよい。すなわち、安定状態4が実現している場合には、ショットキー障壁7の幅が広いために、界面抵抗値が大きい。従って、界面に電圧を印加した場合に流れる電流は小さい。一方、準安定状態8が実現している場合には、ショットキー障壁7の幅が狭いために、界面抵抗値は小さい。従って、界面に電圧を印加した場合に流れる電流は小さい。

[0059] ここで、界面抵抗値の大小で区別できると説明したが、上でも注意したように、流れる電流が非線形の場合は、単純に抵抗値を定義し難い。しかし、その場合においても、電圧を印加した場合の電流値の大小は区別可能である。従って、以下、電流電圧特性が非線形の場合も含めて、同じ電圧を印加した場合に流れる電流が大きい(または小さい)ということ、単純に界面抵抗値が大きい(または小さい)と述べることにする。また、メモリ状態の読み出しの際に印加する電圧は、書き換えの際に印加する電圧に比べて小さいことは言うまでもない。小さい電圧を印加した場合には、安定状態4も準安定状態8も変化することはないため、メモリ状態を攪乱することなく読み出すことが可能である。このように、本発明の強相関電子メモリは、デバイスの動作原理が明確である。

[0060] 次に、本発明の第2の目的である、既存のシリコンプロセスを用いて容易に形成可能な抵抗値可変型メモリ並びにその製造方法について述べる。

[0061] 上述のデバイスの動作原理に基づけば、既存のシリコンプロセスですでに使われている材料、または容易に導入可能な材料を用いて抵抗値可変型メモリを製造することが可能である。強相関電子系材料としては、d電子またはf電子を含む材料であって、かつシリコンプロセスで使いやすいものを用いれば良い。例えば、 Ta_2O_5 、 Nb_2O_5 、 TiO_2 、 Ti_2O_3 、 HfO_2 、 ZrO_2 、 V_2O_3 、 VO_2 、 WO_3 などの遷移金属酸化物または酸窒化物や、酸素と遷移金属との混合比が整数でない TaO_x 、 NbO_x 、 TiO_x 、 NiO_x 、 CoO_x 、 MnO_x 、 CrO_x 、 CuO_x などの材料(xは形式価数で非整数値を取りうる)、またはこれらにドーピングを施した材料を用いれば良い。

[0062] ドーピングを施すことは、強相関電子系材料のフェルミ準位を調整することに相当し

、電極との電氣的接触を調整する役割がある。例えば V_2O_3 、に対し、Vと価数の異なるCrやTiを添加することができることは、バルク状態で良く知られているが、本発明の強相関電子メモリにおいて、薄膜状態でも適用することができる。また、 Ta_2O_5 に対してNbを添加することで、格子定数の値を変化させ、比誘電率を大きくすることがキャパシタ応用技術として知られているが、この技術は、本発明の強相関電子メモリにも応用することができる。

[0063] また、 Ta_2O_5 に対して価数の異なるWとTaを置換することによって、キャリア・ドーピングも可能である。 TiO_2 については、酸素の価数を変えることによって、バンド絶縁体である TiO_2 からモット絶縁体である Ti_2O_3 まで変化させることが可能である。これは、 Ti_2O_3 を形式的に $TiO_{1.5}$ と表示すれば、酸素の形式価数を1.5から2.0まで変化させることに相当する。1.5から2.0までの中間の値に調整すれば、フェルミ準位を調整することが可能である。このような調整は、シリコンプロセスを用いれば、成膜後の酸素雰囲気でのアニールによって容易に調整可能である。加えて TiO_x に対してVなどを添加することによって、さらにドーピングの制御をすることも可能である。

[0064] なお、本発明に基づく強相関電子メモリにおいては、メモリ性を担っているのが、電極との界面のみであるため、強相関電子系材料5の結晶状態には依存しない。従って、エピタキシャル成長技術を用いて単結晶を成長させる必要がないため、下地の基板を選択する必要がなくなる。従って、シリコンプロセスにおける配線工程で作製することも可能である。実際に、CVD(Chemical Vapor Deposition)法やスパッタリング法などで強相関電子系材料5の薄膜を形成すると、アモルファス状態、または材料の一部が結晶化した多結晶状態になることが多いことが確認されている。このように。薄膜状態で強相関電子系材料5を用いると、バルクの単結晶状態では不安定な組成や構造でも、薄膜状態では実現できる場合があり、強相関電子メモリのデバイス特性を向上させることができる。

[0065] これらの強相関電子系材料に対して、既存のシリコンプロセスで作製可能な電極材料を用い、電氣的に良好な接触をとる電極材料と、電氣的に良好でない接触をとる電極材料とを接触させる。そのためには、仕事関数の大きい材料と小さい材料とを組み合わせれば良い。良好な接触をとる電極材料としては、例えばTi、n型不純物が高

濃度にドーピングされた多結晶シリコン、TiN、Alなどを挙げることができる。また、良好でない接触をとる電極材料としては、W、NiSi、CoSi、p型不純物が高濃度にドーピングされた多結晶シリコンなどを挙げることができる。

発明の効果

[0066] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0067] 本願の一発明に基づく強相関電子メモリを用いれば、デバイスの動作原理が明確であるため、容易に最適な材料設計が可能な抵抗値可変型の不揮発性RAMを提供できる。

[0068] また、本願の一発明に基づく強相関電子メモリは、その原理的な構成から、エネルギーの双安定性を利用しているため、きわめて安定かつ高信頼なデバイス特性が得られる。その結果、今後、シリコン・デバイスのスケーリングを進めていったとしても、産業界の要請を満足する信頼性が期待できる。

[0069] また、本願の一発明に基づく強相関電子メモリは、既存のシリコン・プロセスで使われている装置を用いて作製が可能であり、かつ金属汚染などの新たな問題も発生しない。すなわち、既存の設備を用いて大量生産が可能であり、新たな設備投資などが不要である。

図面の簡単な説明

[0070] [図1](a)～(f)は、強相関電子系物質の結晶構造を模式的に示した図である。

[図2](a)は、強相関電子系材料のエネルギーと電子密度との関係を示す図、(b)は、強相関電子系材料とこれに対して良好でない接触をとる電極とを接触させる前のバンド・ダイヤグラムを示す図である。

[図3]強相関電子系材料とこれに対して良好でない接触をとる電極とを接触する前の界面付近での状態密度を示す図である。

[図4](a)は、強相関電子系材料とこれに対して良好でない接触をとる電極との界面におけるエネルギーと電子密度との関係を示す図、(b)は、強相関電子系材料とこれに対して良好でない接触をとる電極とを接触させた状態でのバンド・ダイヤグラムを示す図である。

[図5]強相関電子系材料とこれに対して良好でない接触をとる電極とを接触させた状態での界面付近における状態密度を示す図である。

[図6]強相関電子系材料とこれに対して良好でない接触をとる電極とを接触させた状態での界面付近におけるエネルギー変化を説明する図である。

[図7]強相関電子系を安定状態から準安定状態に切り替える方法を説明する図であって、(a)は、強相関電子系材料の一方の界面に接触した良好な接触をとる電極を基準として、もう一方の界面に接触した良好でない接触をとる電極に電圧を印加した場合の界面でのエネルギーと電子密度との関係を示す図、(b)は、強相関電子系材料の一方の界面に接触した良好な接触をとる電極を基準として、もう一方の界面に接触した良好でない接触をとる電極に電圧を印加した場合のバンド・ダイヤグラムを示す図である。

[図8]強相関電子系を準安定状態から安定状態に切り替える方法を説明する図であって、(a)は、強相関電子系材料の一方の界面に接触した良好な接触をとる電極を基準として、もう一方の界面に接触した良好でない接触をとる電極に電圧を印加した場合の界面でのエネルギーと電子密度との関係を示す図、(b)は、強相関電子系材料の一方の界面に接触した良好な接触をとる電極を基準として、もう一方の界面に接触した良好でない接触をとる電極に電圧を印加した場合のバンド・ダイヤグラムを示す図である。

[図9] (a)は、強相関電子系材料とこれに対して良好でない接触をとる電極との界面の状態が準安定状態になった場合の界面でのエネルギーと電子密度との関係を示す図、(b)は、強相関電子系材料とこれに対して良好でない接触をとる電極との界面の状態が準安定状態になった場合のバンド・ダイヤグラムを示す図である。

[図10]強相関電子系材料とこれに対して良好でない接触をとる電極との界面の状態が準安定状態になった場合の界面付近における状態密度を示す図である。

[図11]本発明の実施の形態1である強相関電子メモリの製造方法を示す断面図である。

[図12]図11に続く強相関電子メモリの製造方法を示す断面図である。

[図13]図12に続く強相関電子メモリの製造方法を示す断面図である。

[図14]図13に続く強相関電子メモリの製造方法を示す断面図である。

[図15]図14に続く強相関電子メモリの製造方法を示す断面図である。

[図16]図15に続く強相関電子メモリの製造方法を示す断面図である。

[図17]図16に続く強相関電子メモリの製造方法を示す断面図である。

[図18]本発明の実施の形態2である強相関電子メモリの製造方法を示す断面図である。

[図19]図18に続く強相関電子メモリの製造方法を示す断面図である。

[図20]図19に続く強相関電子メモリの製造方法を示す断面図である。

[図21]本発明の実施の形態3である強相関電子メモリの製造方法を示す断面図である。

[図22]図21に続く強相関電子メモリの製造方法を示す断面図である。

[図23]図22に続く強相関電子メモリの製造方法を示す断面図である。

[図24]本発明の実施の形態4である強相関電子メモリの製造方法を示す断面図である。

[図25]図24に続く強相関電子メモリの製造方法を示す断面図である。

[図26]図25に続く強相関電子メモリの製造方法を示す断面図である。

[図27]本発明の強相関電子メモリを集積したメモリアレイの回路図である。

[図28]本発明の強相関電子メモリの書き換え方法を示す波形図である。

[図29]本発明の強相関電子メモリの読み出し方法を示す波形図である。

発明を実施するための最良の形態

[0071] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0072] (実施の形態1)

図11～図17を用いて、本実施の形態による強相関電子メモリの製造方法を工程順に説明する。まず、図11に示すように、面方位(100)の単結晶シリコンよりなるp型の半導体基板(以下、基板という)9を用意する。基板9としては、単結晶シリコン基板以外の半導体基板、例えばSOI基板(Silicon On Insulator)、単結晶Ge基板、GOI基

板(Ge On Insulator)、結晶に歪み応力を加えた歪みシリコン基板などを用いても差し支えない。

[0073] 次に、窒化シリコン膜をマスクとして用いたドライエッチングによって基板9に開口を施した後、この開口内に酸化シリコン膜を埋め込む。続いて、化学的機械的研磨(Chemical Mechanical Polishing、CMP)法によって基板9の表面を平坦化し、STI(Shallow Trench Isolation)部24を形成することにより、トランジスタが形成される活性領域を画定する。

[0074] 次に、基板濃度調整用のイオン注入と引き延ばし熱処理、およびしきい値電圧調整用のイオン注入と活性化熱処理を行う。続いて、基板9の表面を希釈フッ酸水溶液によって洗浄した後、熱酸化処理を行うことにより、膜厚3nm程度の酸化シリコン膜からなるゲート絶縁膜10を形成する。ゲート絶縁膜10としては、酸化シリコン膜以外の絶縁膜、例えば表面付近を窒化処理した酸窒化シリコン膜(SiON膜)や種々の金属を酸化または窒化処理したhigh-k膜、あるいはこれらの積層膜などを用いても差し支えない。

[0075] 次に、ゲート絶縁膜10上にCVD法で多結晶シリコン膜11aを堆積する。多結晶シリコン膜11aは、ゲート電極材料となるものであり、その膜厚は、70nm程度とする。ゲート電極材料としては、多結晶シリコン膜11aの他、シリサイド膜や金属膜などを用いても差し支えない。

[0076] 次に、多結晶シリコン膜11a上にCVD法で膜厚10nm程度の酸化シリコン膜(図示せず)を堆積した後、多結晶シリコン膜11aの導電型をn型にするために、リンまたはヒ素をイオン注入する。続いて、950℃の窒素雰囲気中で不純物イオンの引き延ばしおよび活性化のための熱処理を30秒程度行うことにより、多結晶シリコン膜11aの不純物濃度を $2 \times 10^{20} \text{cm}^{-3}$ 程度にする。次に、フッ酸水溶液を用いて酸化シリコン膜を除去する。

[0077] 次に、図12に示すように、フォトリジスト膜をマスクに用いたドライエッチングで多結晶シリコン膜11aをパターニングすることにより、ゲート電極11を形成する。次に、基板9にリンまたはヒ素をイオン注入して浅いn⁻型拡散層12を形成した後、基板1にホウ素をイオン注入することにより、浅いn⁻型拡散層12を囲むように、パンチスルー防

止用のp型拡散層13を形成する。

[0078] 次に、図13に示すように、基板9上に堆積した酸化シリコン膜を異方性エッチングすることにより、ゲート電極11の側壁にサイドウォールスペーサ14を形成する。酸化シリコン膜は、プラズマ補助堆積法(成膜温度=400℃)により堆積し、その膜厚は50nmとする。次に、基板9にヒ素をイオン注入した後、1000℃の活性化熱処理を行うことにより、ソース、ドレイン用の高濃度 n^+ 拡散層15を形成する。

[0079] 次に、図14に示すように、基板9上にスパッタリング法でNi膜を堆積し、続いて熱処理によってシリコン(ゲート電極11および基板9)とNi膜とを反応させた後、未反応のNi膜をウェットエッチングで除去することにより、ゲート電極11の表面と n^+ 拡散層15の表面とにNiシリサイド層16を形成する。シリサイド層の金属材料としては、Coなどを使用することもできる。ここまでの工程により、nチャネル型のメモリセル選択用MISFETが完成する。

[0080] なお、本実施の形態では、メモリセル選択用MISFETをnチャネル型MISFETで構成したが、上記したプロセスにおいて、不純物の導電型をp型に変更することにより、pチャネル型MISFETを形成することもできる。このように、同一の基板にnチャネル型MISFETとpチャネル型MISFETとを形成することにより、CMOS(Complementary Metal-Oxide-Semiconductor)回路を形成できるため、より低い消費電力で複雑な回路動作を行うことができる。

[0081] また、本実施の形態では、メモリセル選択用MISFETのゲート電極11を多結晶シリコン膜11aとNiシリサイド層16との積層膜で構成したが、多結晶シリコン膜11a上にバリアメタル膜としてWN(タングステンナイトライド)膜を積層し、さらにその上部にW(タングステン)膜を積層したポリメタル構造のゲート電極を形成することもできる。さらに、低融点金属材料を用いたダミーゲートプロセスによってゲート電極を形成することもできる。ダミーゲートプロセスでは、まずゲート絶縁膜上に堆積したダミーゲート用の電極材料(多結晶シリコン膜など)を加工してダミーゲート電極を形成し、続いてソース拡散層およびドレイン拡散層を形成した後、ゲート絶縁膜およびダミーゲート電極を除去する。次に、ゲート絶縁膜を再度形成し、続いてその上部にゲート用の低融点金属膜を堆積した後、この低融点金属膜を加工してゲート電極を形成する。このダ

ミーゲートプロセスを用いた場合は、結晶化温度の低いhigh-k材料を用いてゲート絶縁膜を形成することもできる。このように、メモリセル選択用MISFETの形成方法は多岐に及んでいるが、本発明の強相関電子メモリを駆動させるためには、何れの方法を用いて作製したトランジスタを使っても差し支えないので、ダミーゲートプロセスの詳細については、説明を省略する。

[0082] 次に、図15に示すように、基板9上にCVD法で厚い酸化シリコン膜17を堆積し、続いてその表面を化学的機械研磨法で平坦化した後、ゲート電極11および n^+ 拡散層15(ソース、ドレイン)のそれぞれの上部の酸化シリコン膜17にコンタクトホール18を形成し、コンタクトホール18の内部にプラグ19を形成する。プラグ19は、例えばTiN膜とW膜との積層膜で構成する。本実施の形態では、プラグ19の主要部を構成するW膜が、前述した強相関電子系材料5に対して良好でない接触をとる電極6として機能する。

[0083] 次に、図16に示すように、酸化シリコン膜17の上部に、強相関電子系材料として、膜厚2nm程度の五酸化タンタル(Ta_2O_5)膜20を堆積する。五酸化タンタル膜20は、例えばペンタエトキシタンタル($Ta(C_2H_5O)_5$)を含むガスを原料ガスとし、550℃以下の減圧状態(例えば400mTorr)で成膜を行う熱CVD法によって堆積する。また、ペンタエトキシタンタルと酸化剤(例えば H_2O)を交互に供給する原子層CVD法によって堆積することもできる。五酸化タンタル膜20中には、Wなどのような価数の異なる遷移金属材料をドーピングしても差し支えない。Wをドーピングしておくと、キャリアとして電子がドーピングされ、五酸化タンタルのフェルミ準位が上昇するので、電氣的に良好な接触をとる電極との接触抵抗値を低下させることができる。また、五酸化タンタル膜20の膜厚を2nm程度と比較的薄くしたが、これは、前述したように、強相関電子メモリの特性は、強相関電子系材料と電極との界面で決まるためである。

[0084] 次に、五酸化タンタル膜20上にCVD法で膜厚50nm程度の多結晶シリコン膜21aを堆積する。多結晶シリコン膜21aは、成膜中にリンをドーピングすることによって、その導電型をn型にする。多結晶シリコン膜21aは、五酸化タンタル膜20に対して電氣的に良好な接触をとる電極材料である。この種の電極材料としては、Tiのような仕事関数の小さい材料を用いることもできるが、シリコンプロセスとの整合性という観点から

は、多結晶シリコンを使うことが望ましい。特に、五酸化タンタルの価電子帯は、シリコンの価電子帯の近くにあるので、五酸化タンタルとn型多結晶シリコンとを接触させると、比較的良好な電氣的接触が得られる。このような材料の組み合わせは、MIMのキャパシタをつくる上ではリーク電流が増大するために非常識であるが、本発明の強相関電子メモリを実現する上では、逆に望ましい組み合わせとなる。

[0085] 次に、図17に示すように、フォトレジスト膜をマスクに用いたドライエッチングで多結晶シリコン膜21aと五酸化タンタル膜20とをパターニングすることにより、 n^+ 拡散層15(ドレイン)に接続されたプラグ19の上部に、五酸化タンタル膜20に対して電氣的に良好な接触をとる電極21を形成する。

[0086] 強相関電子メモリの特性は、強相関電子系材料と電極との界面で決まるため、五酸化タンタル膜20は必ずしもパターニングしなくてよいが、五酸化タンタル膜20の膜厚が2nm程度と薄いため、多結晶シリコン膜21aをパターニングすると、通常は五酸化タンタル膜20も同時にパターニングされる。また、多結晶シリコン膜21aをパターニングして電極21を形成する際は、微細加工によるプラグ19との合わせずれを回避するために、電極21の幅をプラグ19の径よりも大きくする。

[0087] 図示は省略するが、その後、電極21の上部にCVD法で酸化シリコン膜からなる層間絶縁膜を堆積し、続いて電極21の上部の層間絶縁膜をエッチングしてスルーホールを形成した後、層間絶縁膜の上部にメタル配線を形成し、スルーホールを通じてメタル配線と電極21とを電氣的に接続することにより、本実施の形態の強相関電子メモリが完成する。

[0088] 本実施の形態の強相関電子メモリの外観的特徴は、プラグ19の径が電極21の幅よりも小さいことにある。従って、強相関電子メモリの特性を担う部分の面積が小さくなるが、接触抵抗値は、低抵抗状態と高抵抗状態とで一桁以上異なるので、全く問題ない。このように、本実施の形態の強相関電子メモリは、その特性を担う部分の面積が小さくとも不揮発性を保持するため、DRAMのキャパシタのように深いトレンチを形成する必要がない。従って、デバイスのスケーリングを進めても、アスペクト比の増加による加工不良が生じない。また、熱拡散の速い貴金属材料を用いていないことも、本実施の形態の強相関電子メモリの特徴である。

[0089] 次に、本実施の形態に基づく強相関電子メモリの動作について述べる。なお、説明を簡単にするために、 n^+ 拡散層15(ソース)の電位を0Vにしたものとして説明する。まず、五酸化タンタル膜20とW膜(プラグ19)の界面を低抵抗状態にするためには、良好な接触をとる電極21に対して-4Vの電位を印加した後、メモリセル選択用MISFETのゲート電極11の電位を+1Vとし、トランジスタをオン状態にする。すると、図7(b)に示したように、バンドが変形し、界面により多くの電子が蓄えられる。電圧を印加している時間は、10ns程度の短時間で差し支えない。すべての電位を0Vに戻すと、系の状態は図9(a)に示した準安定状態8になり、界面で発生する接触抵抗が低くなる。系の状態は準安定状態8であり、安定状態4よりエネルギーは高い。しかし、一旦この状態になると、少なくとも観測可能な十分長い時間でこの準安定状態8を保つことが確認された。従って、本実施の形態の強相関電子メモリは、不揮発性を有している。

[0090] 次に、五酸化タンタル膜20とW膜(プラグ19)との界面を高抵抗状態にするためには、良好な接触をとる電極21に対して+2Vの電位を印加した後、メモリセル選択用MISFETのゲート電極11の電位を+1Vとし、トランジスタをオン状態にする。すると、図8(b)に示したように、バンドが変形し、界面に蓄えられていた電子が流れる。電圧を印加している時間は、10ns程度の短時間で差し支えない。すべての電位を0Vに戻すと、系の状態は図4(a)に示した安定状態4になり、界面で発生する接触抵抗が高くなる。

[0091] 読み出しの際には、メモリを書き換えるよりも小さい電圧を印加して流れる電流の大小を観測すればよい。従って、書き換えの時と同じように、 n^+ 拡散層15(ソース)の電位を0Vにしたとすると、良好な接触をとる電極20に対して+1Vの電位を印加した後、メモリセル選択用MISFETのゲート電極11の電位を+1Vとし、流れる電流の大小を観測すればよい。本実施の形態に基づく強相関電子メモリでは、界面抵抗の大小による電流比が約1000であった。これは、高抵抗状態と低抵抗状態とを十分に区別できることを示している。

[0092] (実施の形態2)

図18～図20を用いて、本実施の形態による強相関電子メモリの製造方法を工程

順に説明する。本実施の形態では、まず、図18に示すように、基板9の主面にメモリセル選択用MISFETを形成し、続いて基板9上に堆積した厚い酸化シリコン膜17を化学的機械研磨法で平坦化した後、ゲート電極11および n^+ 拡散層15(ソース、ドレイン)のそれぞれの上部の酸化シリコン膜17にコンタクトホール18を形成し、コンタクトホール18の内部にプラグ19を形成する。ここまでの工程は、前記実施の形態1の図11～図15に示した工程と同じである。プラグ19は、TiN膜とW膜との積層膜で構成する。前記実施の形態1と同様、プラグ19の主要部を構成するW膜は、強相関電子系材料5に対して良好でない接触をとる電極6として機能する。

[0093] 次に、図19に示すように、プラグ19(TiN膜とW膜)の表面部を酸素雰囲気中で熱処理する。これにより、プラグ19の表面部には、中央部(W膜が形成されていた領域)が WO_x 層からなり、側壁部(TiN膜が形成されていた領域)が TiO_yN_z 層からなる強相関電子系材料膜22が形成される。ここで、 WO_x 層は、その形式価数である x が2.9となるように調整する。また、 WO_x 層の膜厚は3.0nm程度とする。側壁部に形成された TiO_yN_z 層は、 WO_x 層に比べて一桁程度体積が少ないため、メモリ特性に大きな影響を与えることはない。

[0094] 次に、図20に示すように、酸化シリコン膜17の上部にスパッタリング法でTi膜を堆積した後、フォトリソ膜をマスクに用いたドライエッチングでTi膜をパターニングすることにより、良好な接触をとる電極23を形成する。なお、電極23を形成しない領域、すなわち n^+ 拡散層15(ドレイン)の上部以外の領域に形成された強相関電子系材料膜22は、プラグ26の抵抗を低減するために、Ti膜をパターニングする際に除去する。このようにすると、強相関電子系材料膜22が除去されたプラグ26の表面と酸化シリコン膜17の表面との間に段差が生じるが、この段差は3.0nm程度と極めて小さいため、電氣的に問題になることはない。

[0095] 図示は省略するが、その後、電極21の上部にCVD法で酸化シリコン膜からなる層間絶縁膜を堆積し、続いて電極23の上部の層間絶縁膜をエッチングしてスルーホールを形成した後、層間絶縁膜の上部にメタル配線を形成し、スルーホールを通じてメタル配線と電極23とを電氣的に接続することにより、本実施の形態の強相関電子メモリが完成する。

[0096] このように、本実施の形態に基づく強相関電子メモリの製造方法では、既存のシリコンプロセスの配線材料として使用されているWを熱酸化することによって、強相関電子系材料を形成する。従って、新たな設備投資をすることなく高性能の不揮発性RAMを製造することができる。

[0097] (実施の形態3)

図21～図23を用いて、本実施の形態による強相関電子メモリの製造方法を工程順に説明する。まず、前記実施の形態1の図11～図15に示した工程に従って、メモリセル選択用MISFETの上部に堆積した酸化シリコン膜17にコンタクトホール18を形成し、続いてコンタクトホール18の内部にプラグ19を形成する。次に、図21に示すように、酸化シリコン膜17の上部にスパッタリング法で膜厚50nm程度のTi膜を堆積することによって、強相関電子系材料に対して良好な接触をとる電極23を形成する。

[0098] 次に、図22に示すように、酸素雰囲気中で基板1を熱処理し、電極23を構成するTi膜の表面部を酸化することにより、電極23の表面に TiO_x からなる強相関電子系材料膜22を形成する。ここで、 TiO_x 層の形式価数 x は、1.57となるように調整する。このように、強相関電子系材料膜22の酸素濃度を精密に制御することによって、Ti原子サイトに存在する電子数が、モット絶縁体を実現する $x=1.50$ よりもわずかに少ない状態が実現する。遷移金属膜を酸化処理してその表面に強相関電子系材料膜22を形成する上記の方法は、Tiの他、例えばTa、Nb、Hf、Zr、V、W、Ni、Co、Mn、Cr、Cuなどを用いることによっても、実現可能である。

[0099] 次に、図23に示すように、基板9上にスパッタリング法で膜厚50nm程度のW膜を堆積した後、フォトリソ膜をマスクに用いたドライエッチングでW膜をパターニングすることにより、良好でない接触をとる電極25を形成する。このとき、Ti膜からなる電極23によって素子間が短絡するのを防ぐため、良好な接触をとる電極23を強相関電子系材料膜22と共にパターニングする必要がある。

[0100] 図示は省略するが、その後、電極25の上部にCVD法で酸化シリコン膜からなる層間絶縁膜を堆積し、続いて電極25の上部の層間絶縁膜をエッチングしてスルーホールを形成した後、層間絶縁膜の上部にメタル配線を形成し、スルーホールを通じてメ

タル配線と電極25とを電氣的に接続することにより、本実施の形態の強相関電子メモリが完成する。

[0101] 次に、前記実施の形態1と同じ方法で、電極の上部に層間絶縁膜を堆積し、続いて層間絶縁膜にスルーホールを形成した後、層間絶縁膜の上部にメタル配線を形成し、スルーホールを通じてメタル配線と電極とを電氣的に接続することにより、強相関電子メモリが完成する。

[0102] 本実施の形態に基づく強相関メモリは、キャリア濃度を酸素密度によって精密に制御したことから、消去電圧を高抵抗化および低抵抗化を共に $\pm 2.0V$ で行うことができる。なお、本実施の形態による製造方法では、前記実施の形態1、2と比較した場合、良好でない接触をとる電極25と良好な接触をとる電極23とが上下逆になっているため、印加すべき電圧の符号に注意する必要がある。このように、強相関電子系材料膜22のフェルミ準位を調整することによって、デバイス特性を最適化することができる。

[0103] (実施の形態4)

図24～図26を用いて、本実施の形態による強相関電子メモリの製造方法を工程順に説明する。まず、前記実施の形態1の図11～図15に示した工程に従って、メモリセル選択用MISFETの上部に堆積した酸化シリコン膜17にコンタクトホール18を形成した後、図24に示すように、コンタクトホール18の内部にプラグ26を形成する。

[0104] 前記実施の形態1では、TiN膜とW膜との積層膜でプラグ19を構成したが、本実施の形態では、TiN膜でプラグ26を構成する。この場合は、前記実施の形態1と逆に、プラグ26を構成するTiN膜が、前述した強相関電子系材料5に対して良好な接触をとる電極6として機能する。

[0105] 次に、図25に示すように、プラグ26 (TiN膜) の表面部を酸素雰囲気中で熱処理する。これにより、プラグ26の表面部には、膜厚3.0nm程度の TiO_yN_z 層からなる強相関電子系材料膜22が形成される。次に、図26に示すように、基板9上にスパッタリング法で膜厚50nm程度のW膜を堆積した後、フォトリソ膜をマスクに用いたドライエッチングでW膜をパターンニングすることにより、良好でない接触をとる電極25を形成する。なお、電極25を形成しない領域、すなわち n^+ 拡散層15 (ドレイン) の上部以

外の領域に形成された強相関電子系材料膜22は、プラグ26の抵抗を低減するために、W膜をパターニングする際に除去する。このようにすると、強相関電子系材料膜22が除去されたプラグ26の表面と酸化シリコン膜17の表面との間に段差が生じるが、前記実施の形態2と同様、この段差は3.0nm程度と極めて小さいため、電氣的に問題になることはない。

[0106] その後の工程は、前記実施の形態1～3と同じである。本実施の形態の製造方法によれば、前記実施の形態1～3と比較して、強相関電子メモリの製造工程を簡略化することができる。

[0107] (実施の形態5)

図27は、例えば前記実施の形態3の方法で製造された強相関電子メモリを基板上1に多数集積したメモリアレイの回路図である。強相関電子メモリは、X方向に延在する複数のワード線WLとY方向に延在する複数のビット線BLとの交点に配置されている。ワード線WLには、X方向に並んだ複数の強相関電子メモリのそれぞれのゲート電極11が接続されている。

[0108] 強相関電子メモリの n^+ 拡散層15(ドレイン)と基板1は、接地されている。図23に示すように、 n^+ 拡散層15(ドレイン)は、プラグ19を介して良好な接触をとる電極23に繋がっており、この電極23とその上部に形成された強相関電子系材料膜22との界面が可変抵抗体として機能している。また、強相関電子系材料膜22の上部に形成された、良好でない接触をとる電極25は、ビット線BLに接続されている。

[0109] 次に、図27に示す回路を用いて、メモリセルの動作を説明する。まず、書き込みの際には、強相関電子系材料膜22と電極25との界面を低抵抗状態にするために、低抵抗状態にしたいメモリセルに接続されたビット線BLに+2Vの電位を印加した後、このメモリセルに接続されたワード線WLの電位を+1Vとし、メモリセル選択用MISFETをオン状態にする。すると、図7に示したように、バンドが変形し、強相関電子系材料膜22と電極25との界面により多くの電子が蓄えられる。電圧を印加している時間は、10ns程度の短時間で差し支えない。ワード線WLとビット線BLの電位をそれぞれ0Vに戻すと、系の状態は図9に示した準安定状態8になり、界面の抵抗が低くなる。

- [0110] 一方、強相関電子系材料膜22と電極25との界面を高抵抗状態にするためには、高抵抗状態にしたいメモリセルのビット線BLに $-2V$ の電位を印加した後、低抵抗状態にしたいメモリセルのワード線WLの電位を $+1V$ とし、メモリセル選択用MISFETをオン状態にする。すると、図8に示したように、バンドが変形し、界面に蓄えられていた電子が流れる。電圧を印加している時間は、同じく $10ns$ 程度の短時間で差し支えない。ワード線WLとビット線BLの電位をそれぞれ $0V$ に戻すと、系の状態は図4に示した安定状態4になり、界面で発生する接触抵抗が高くなる。このように、上記メモリアレイは、選択的にメモリセルの書き換えができる。
- [0111] 次に、メモリセルの読み出し動作を説明する。読み出しの際には、メモリセルを書き換えるよりも小さい電圧を印加して流れる電流の大小を観測すればよい。すなわち、読み出しを行いたいメモリセルのビット線BLに $+1V$ の電位を印加した後、低抵抗状態にしたいメモリセルのワード線WLの電位を $+1V$ とし、メモリセル選択用MISFETをオン状態にする。このとき、界面が低抵抗状態の場合には、ビット線BLに大きな電流が流れるが、界面が高抵抗状態の場合には、ビット線BLに小さい電流しか流れない。ビット線BLに印加する電圧が $1V$ 程度と小さい場合には、記憶されているメモリ情報が書き換えられてしまうことはない。このようにして、メモリアレイに蓄えられた情報を選択的に抽出することが可能となる。
- [0112] 上記のような書き換えおよび読み出し動作を行った場合の波形について、図28および図29を用いて説明する。非選択時のワード線WLとビット線BLには、共に $0V$ の電位を印加しておき、選択メモリセル以外のメモリセルから電流が流れないようにしておく。図28に示すように、メモリセルを低抵抗状態にするためには、ビット線BLに $2V$ の電圧を印加し、ワード線WLに $1V$ の電圧を印加する。これによって、抵抗が低抵抗状態に変化する。次に、メモリセルを高抵抗状態に書き換える場合には、選択メモリセルに接続されたビット線BLに $-2V$ の電圧を印加し、ワード線WLに $1V$ の電位を印加する。これによって、抵抗が高抵抗状態に変化する。
- [0113] 読み出しの場合は、図29に示すように、選択メモリセルに接続されたワード線WLとビット線BLに同時に $1V$ の電位を印加する。これによって、流れる電流の大小によって抵抗状態を区別する。選択メモリセル以外にも、ワード線WLまたはビット線BLの

電圧が印加されるメモリセルがあるが、そのようなメモリセルは、ワード線WLまたはビット線BLのいずれかが0Vの電圧に設定されているため、メモリセル選択用MISFETがオン状態に動作することではなく、選択メモリセル以外のメモリセルにディスタープされることはない。

- [0114] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

- [0115] 本発明は、強相関電子メモリを用いた抵抗値可変型不揮発性RAMに適用することができる。

請求の範囲

- [1] 可変抵抗部と、前記可変抵抗部に直列に接続されたメモリセル選択用MISFETとによって構成された不揮発性メモリ素子であって、
前記可変抵抗部は、最外殻電子軌道がd電子またはf電子によって構成された強相関電子系材料からなる薄膜と、前記薄膜の一方の面にオーミック接触された第1電極と、前記薄膜の他方の面に非オーミック接触された第2電極とからなり、
前記強相関電子系材料からなる薄膜と前記第2電極との界面における電気抵抗値の大小によって情報を記憶することを特徴とする不揮発性メモリ素子。
- [2] 前記強相関電子系材料は、Ta、Nb、Ti、Hf、Zr、V、W、Ni、Co、Mn、CrおよびCuからなる群より選択されたいずれか一種、または二種以上の元素を含む遷移金属酸化物または遷移金属酸窒化物であることを特徴とする請求項1記載の不揮発性メモリ素子。
- [3] 前記遷移金属酸化物は、酸素と遷移金属との混合比が整数でないことを特徴とする請求項2記載の不揮発性メモリ素子。
- [4] 前記強相関電子系材料の比誘電率は、20以上であることを特徴とする請求項1記載の不揮発性メモリ素子。
- [5] 前記薄膜の一方の面にオーミック接触された前記第1電極は、Ti、TiN、Alまたはn型不純物がドーピングされた多結晶シリコンからなることを特徴とする請求項1記載の不揮発性メモリ素子。
- [6] 前記薄膜の他方の面に非オーミック接触された前記第2電極は、W、NiSi、CoSiまたはp型不純物がドーピングされた多結晶シリコンからなることを特徴とする請求項1記載の不揮発性メモリ素子。
- [7] 前記強相関電子系材料からなる薄膜と前記第2電極との界面に蓄えられる電荷量の大小によって、前記界面の電気抵抗値が変化することを特徴とする請求項1記載の不揮発性メモリ素子。
- [8] 半導体基板の主面に形成された前記メモリセル選択用MISFETと、少なくとも一部が前記メモリセル選択用MISFETを覆う絶縁膜の上部に形成された前記可変抵抗部とからなり、前記絶縁膜に形成されたコンタクトホール内のプラグを介して前記メモ

リセル選択用MISFETのドレインと前記可変抵抗部の前記第1または第2の電極とが電氣的に接続された請求項1記載の不揮発性メモリ素子。

[9] 前記第2の電極は、前記プラグによって構成されていることを特徴とする請求項8記載の不揮発性メモリ素子。

[10] 半導体基板の主面の第1方向に延在する複数のワード線と、前記第1方向と直交する第2方向に延在する複数のビット線との交点に形成された不揮発性メモリ素子を有する半導体装置であって、

前記不揮発性メモリ素子は、可変抵抗部と、前記可変抵抗部に直列に接続されたメモリセル選択用MISFETとによって構成され、

前記可変抵抗部は、最外殻電子軌道がd電子またはf電子によって構成された強相関電子系材料からなる薄膜と、前記薄膜の一方の面にオーミック接触された第1電極と、前記薄膜の他方の面に非オーミック接触された第2電極とからなり、

前記強相関電子系材料からなる薄膜と前記第2電極との界面における電気抵抗値の大小によって情報を記憶することを特徴とする半導体装置。

[11] 可変抵抗部と、前記可変抵抗部に直列に接続されたメモリセル選択用MISFETとによって構成され、

前記可変抵抗部は、最外殻電子軌道がd電子またはf電子によって構成された強相関電子系材料からなる薄膜と、前記薄膜の一方の面にオーミック接触された第1電極と、前記薄膜の他方の面に非オーミック接触された第2電極とからなり、

前記強相関電子系材料からなる薄膜と前記第2電極との界面における電気抵抗値の大小によって情報を記憶する不揮発性メモリ素子の製造方法であって、

(a) 半導体基板の主面に前記メモリセル選択用MISFETを形成する工程と、

(b) 前記メモリセル選択用MISFETの上部に絶縁膜を形成した後、前記メモリセル選択用MISFETの上部の前記絶縁膜にコンタクトホールを形成する工程と、

(c) 前記コンタクトホールの内部にプラグを埋め込んだ後、前記プラグの上部に前記可変抵抗部を形成する工程と、

を含むことを特徴とする不揮発性メモリ素子の製造方法。

[12] 前記工程(c)は、前記コンタクトホールの内部に前記第2電極を構成する前記プラ

グを埋め込む工程と、前記プラグの上部に前記強相関電子系材料からなる薄膜を形成する工程と、前記強相関電子系材料からなる薄膜の上部に前記第1電極を形成する工程とを含むことを特徴とする請求項11記載の不揮発性メモリ素子の製造方法。

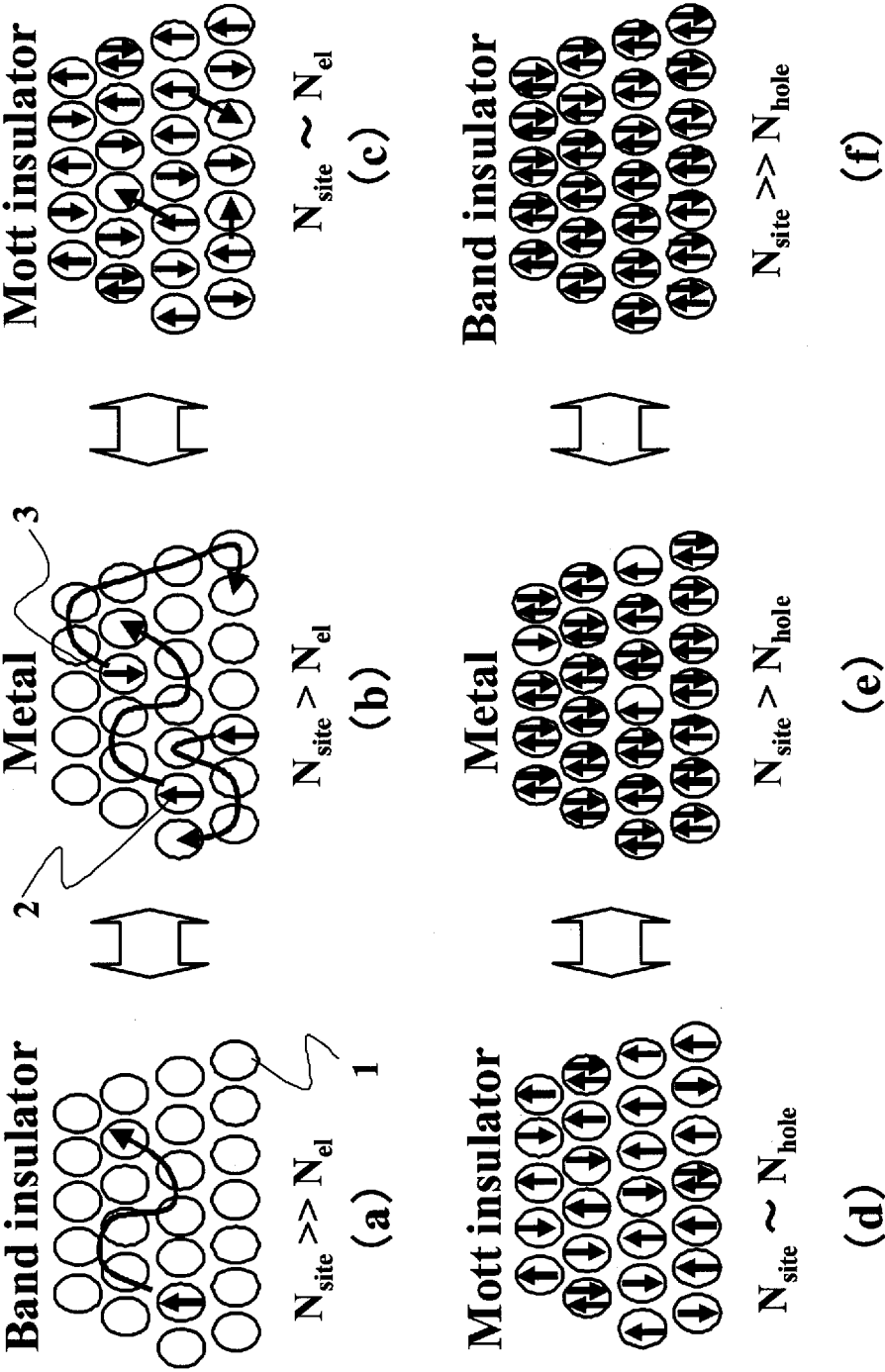
[13] 前記工程(c)は、前記コンタクトホール内部に前記第2電極を構成する前記プラグを埋め込む工程と、前記プラグの表面部を酸化することによって、前記プラグの表面部に前記強相関電子系材料からなる薄膜を形成する工程と、前記強相関電子系材料からなる薄膜の上部に前記第1電極を形成する工程とを含むことを特徴とする請求項11記載の不揮発性メモリ素子の製造方法。

[14] 前記工程(c)は、前記コンタクトホール内部にプラグを埋め込む工程と、前記プラグの上部に第1電極を形成する工程と、前記第1電極の表面部を酸化することによって、前記第1電極の表面部に前記強相関電子系材料からなる薄膜を形成する工程と、前記強相関電子系材料からなる薄膜の上部に前記第2電極を形成する工程とを含むことを特徴とする請求項11記載の不揮発性メモリ素子の製造方法。

[15] 前記工程(c)は、前記コンタクトホール内部に前記第1電極を構成する前記プラグを埋め込む工程と、前記プラグの表面部を酸化することによって、前記プラグの表面部に前記強相関電子系材料からなる薄膜を形成する工程と、前記強相関電子系材料からなる薄膜の上部に前記第2電極を形成する工程とを含むことを特徴とする請求項11記載の不揮発性メモリ素子の製造方法。

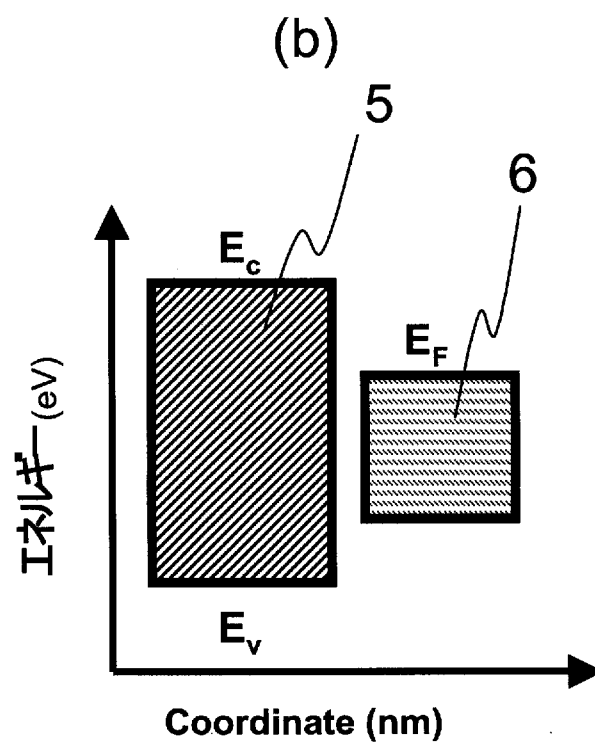
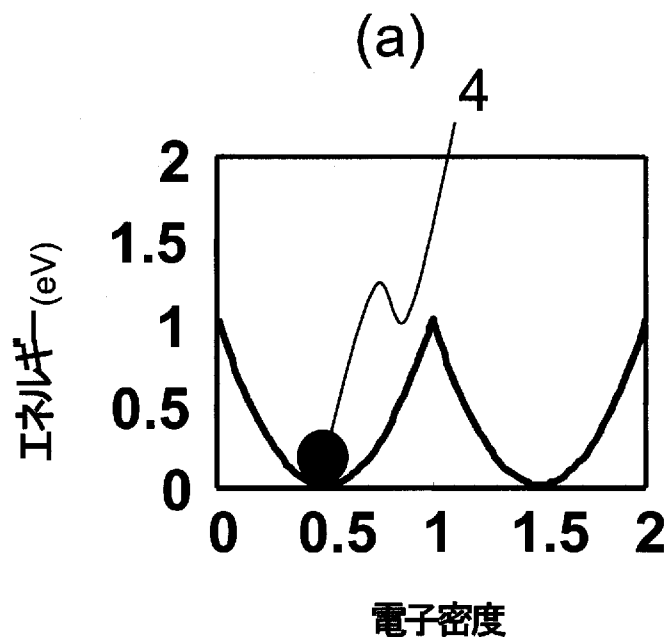
[図1]

図 1



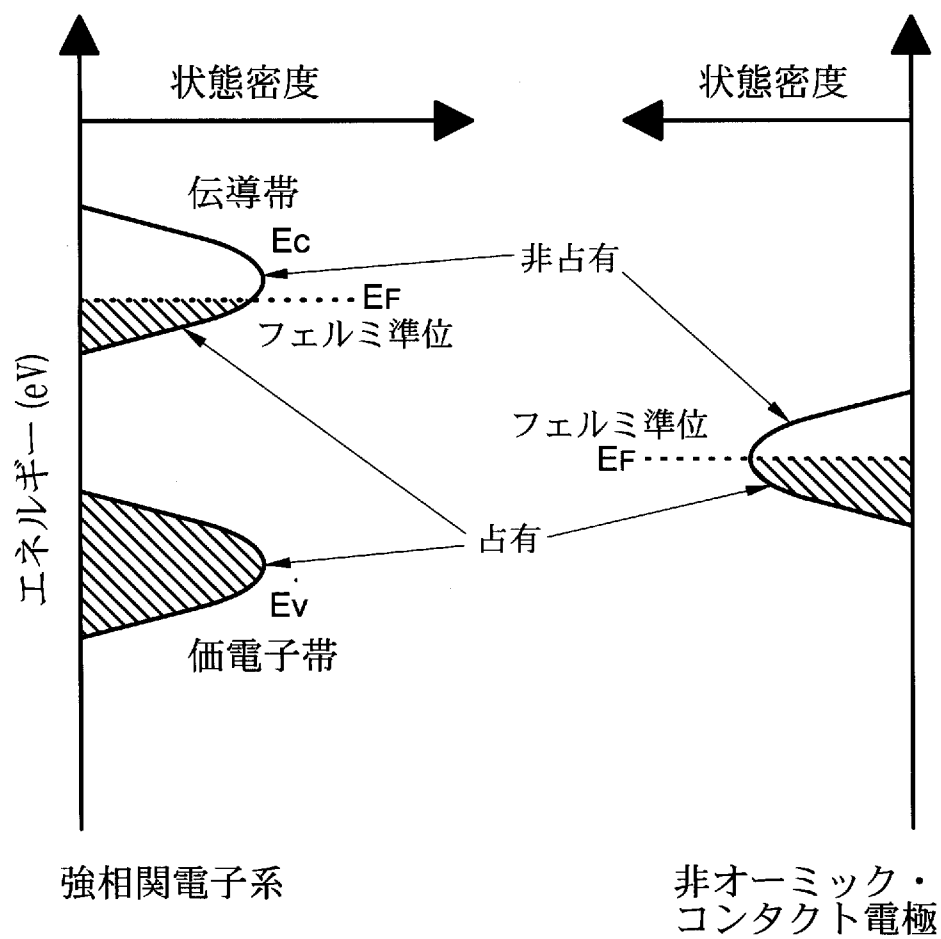
[図2]

図 2



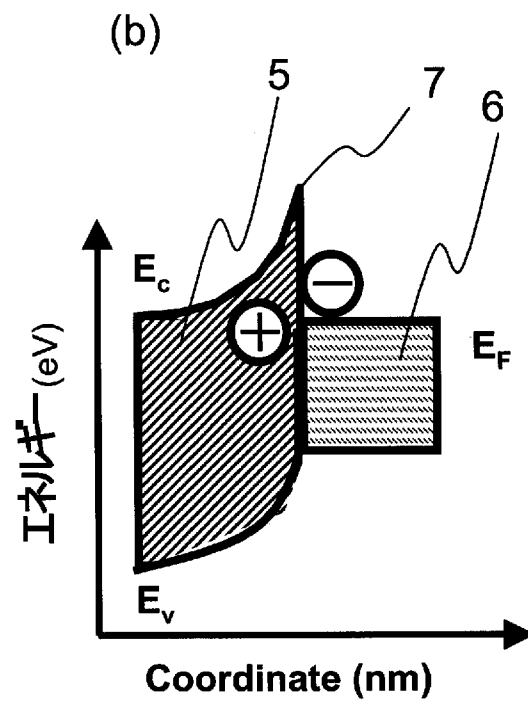
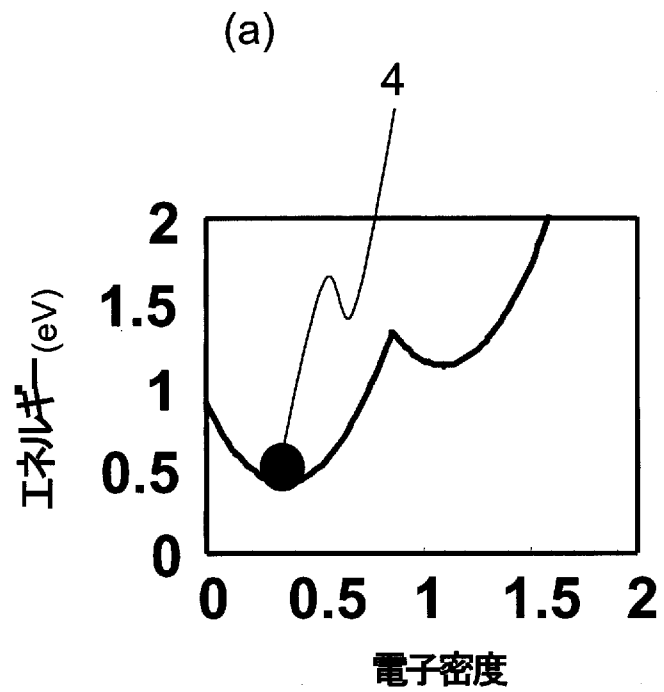
[図3]

図 3



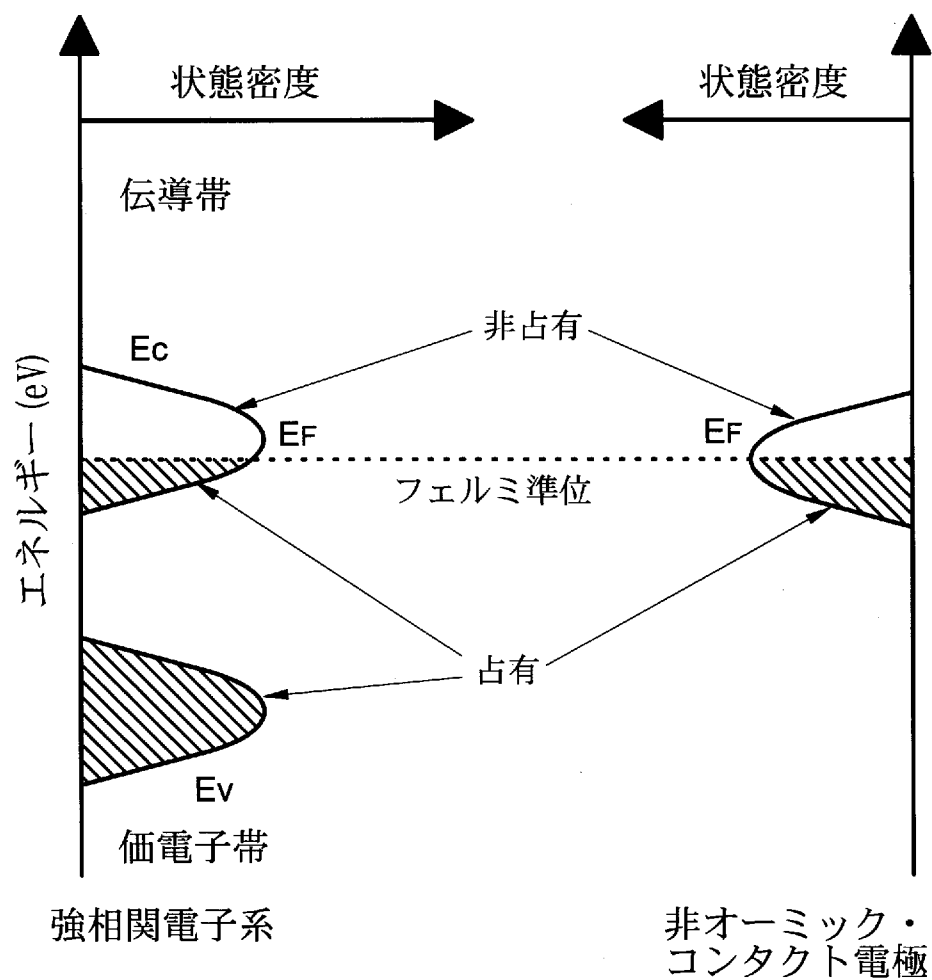
[図4]

図 4



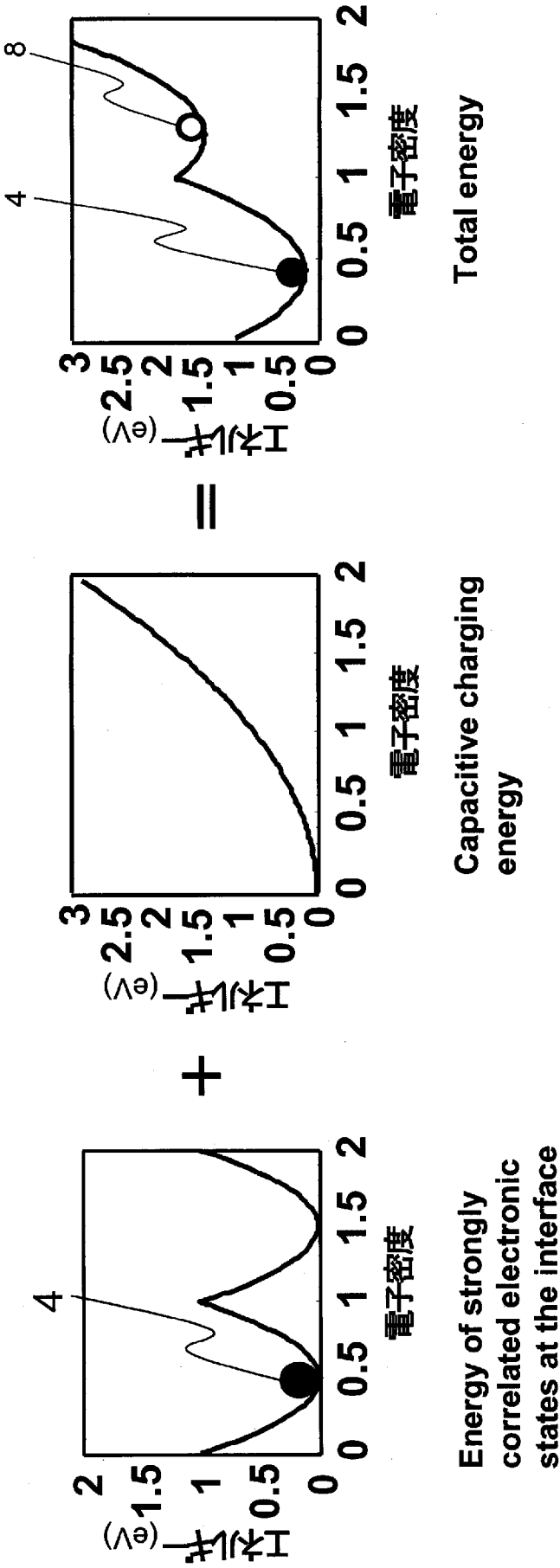
[図5]

図 5

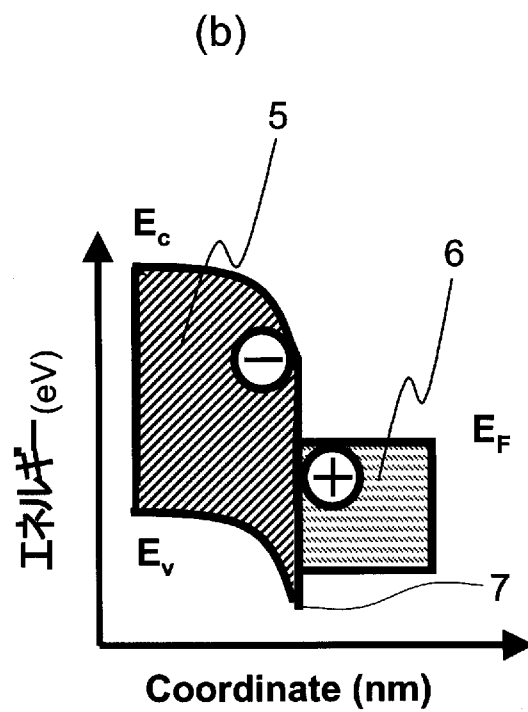
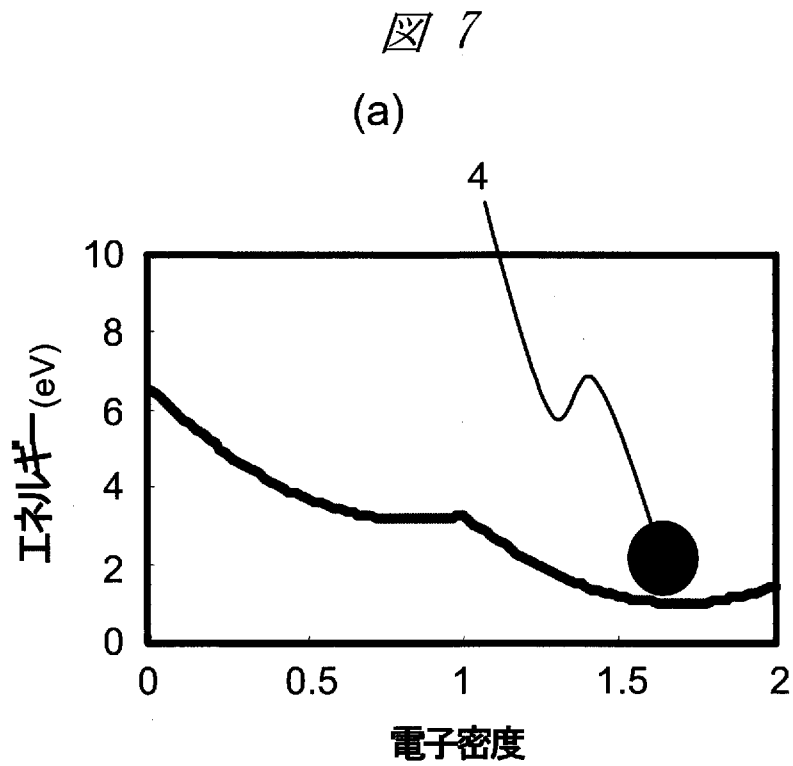


[図6]

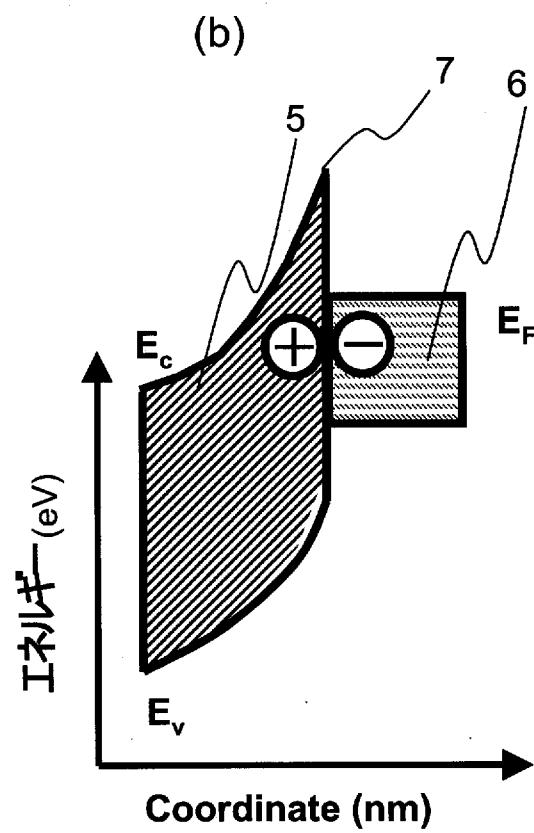
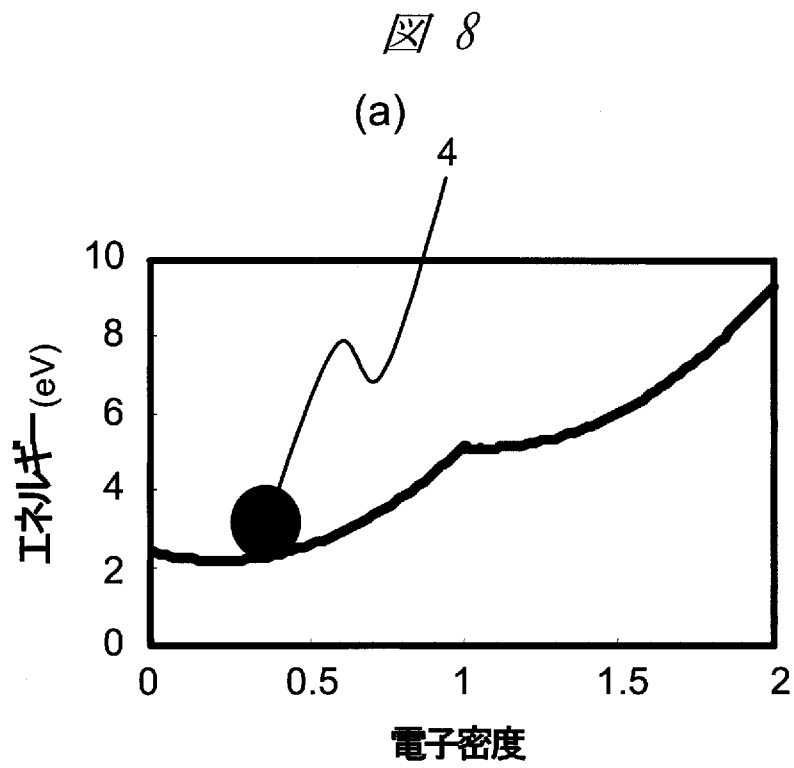
図 6



[図7]

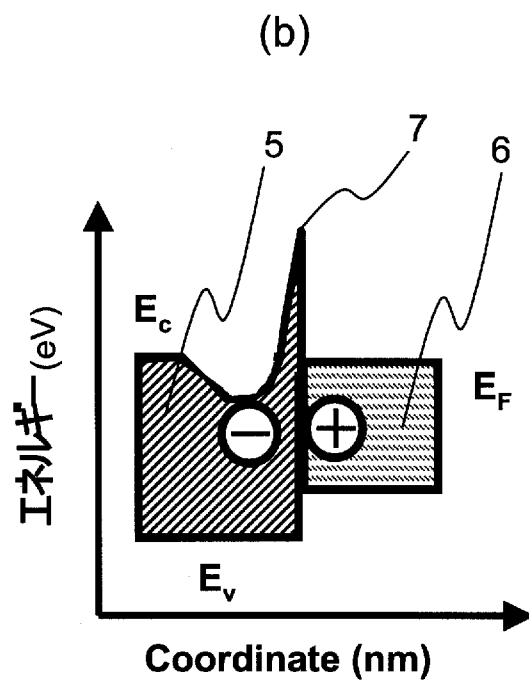
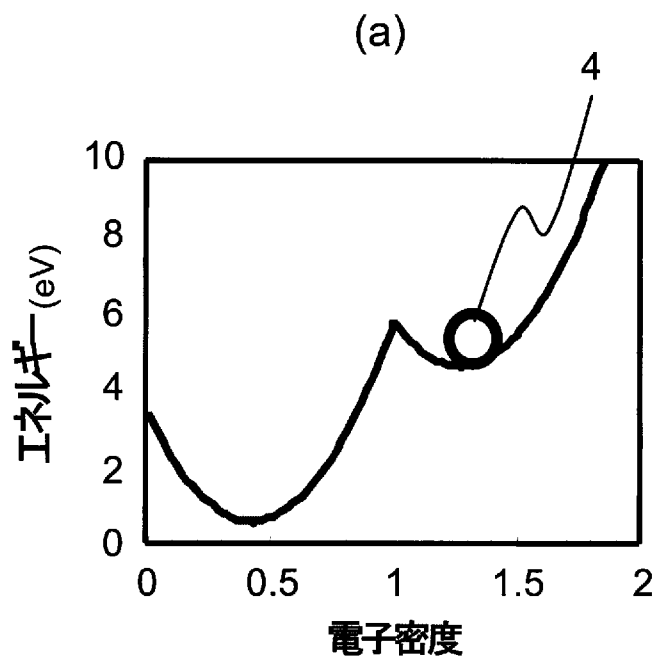


[図8]



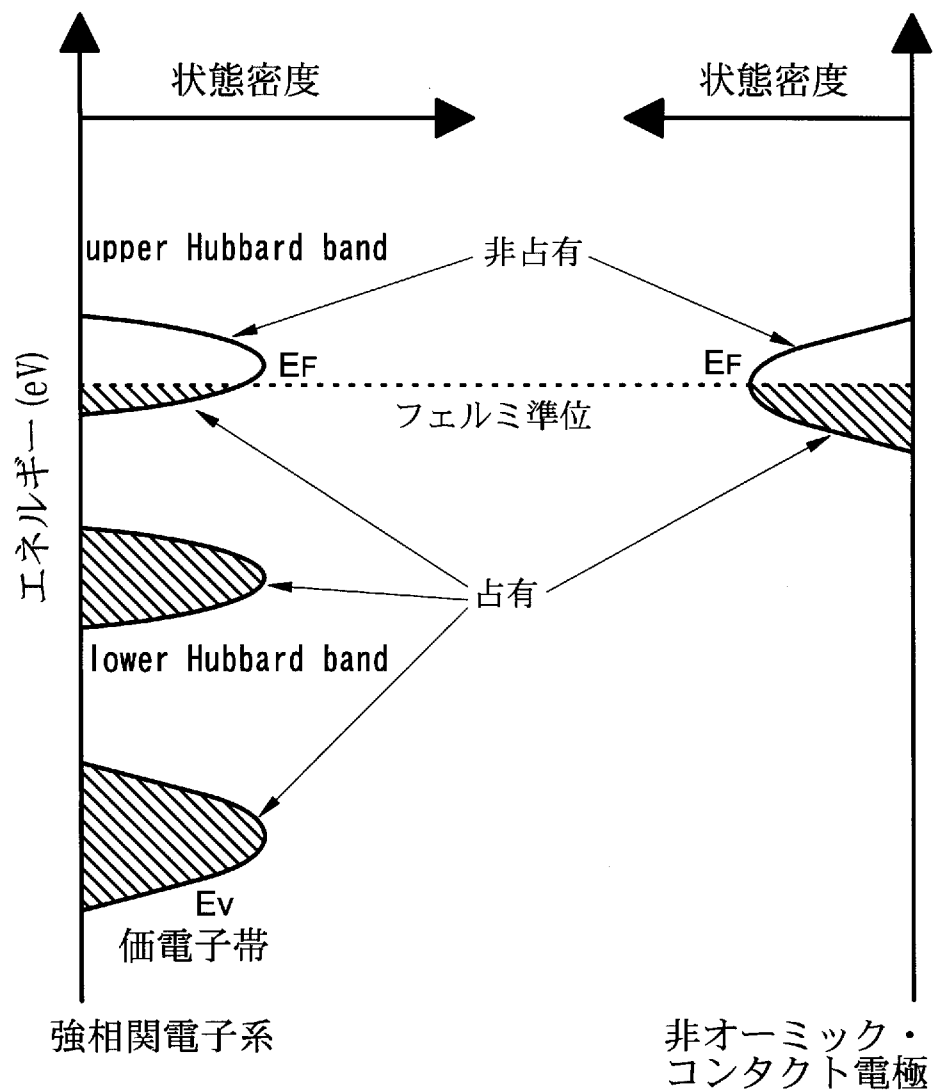
[図9]

図 9



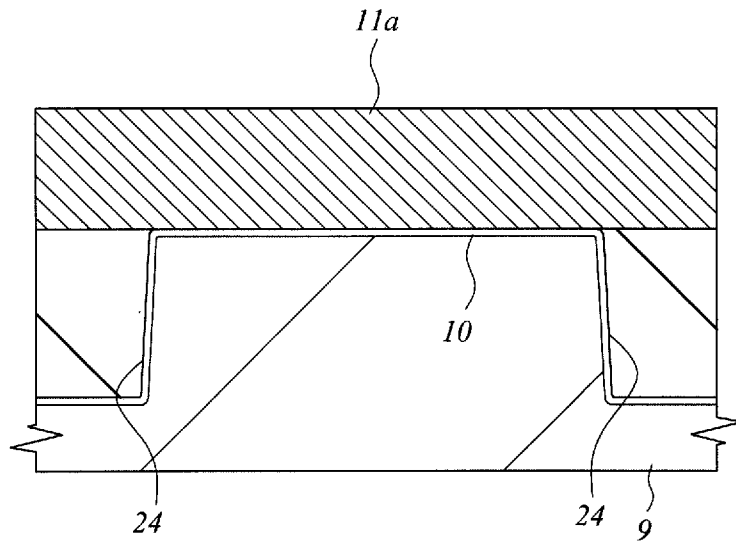
[図10]

図 10



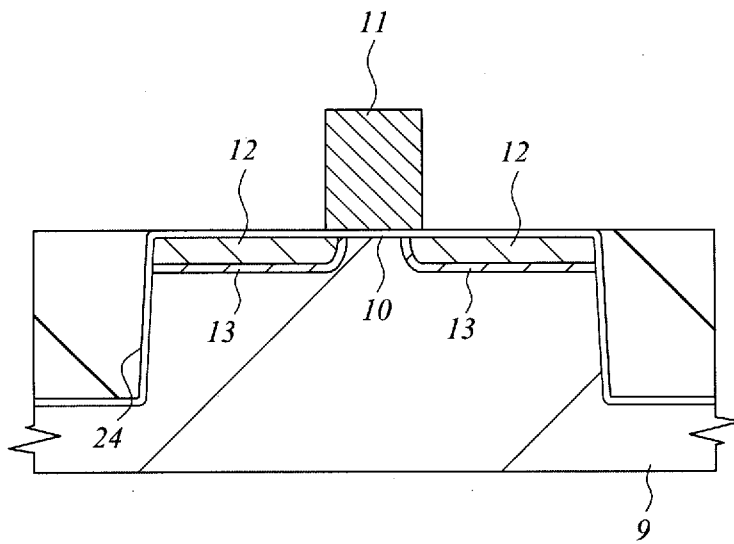
[図11]

図 11



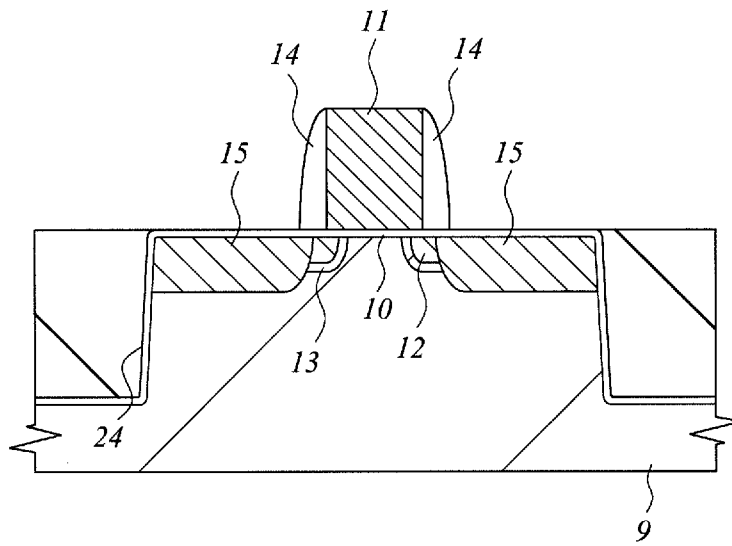
[図12]

図 12



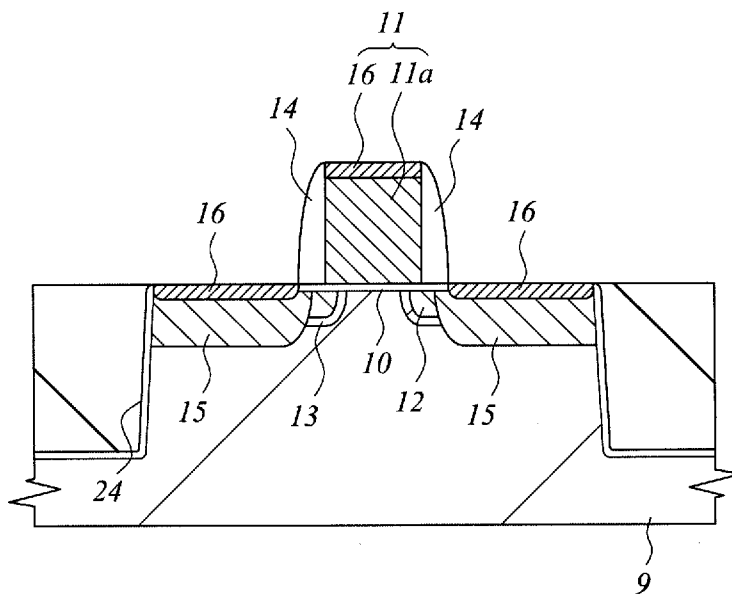
[図13]

図 13



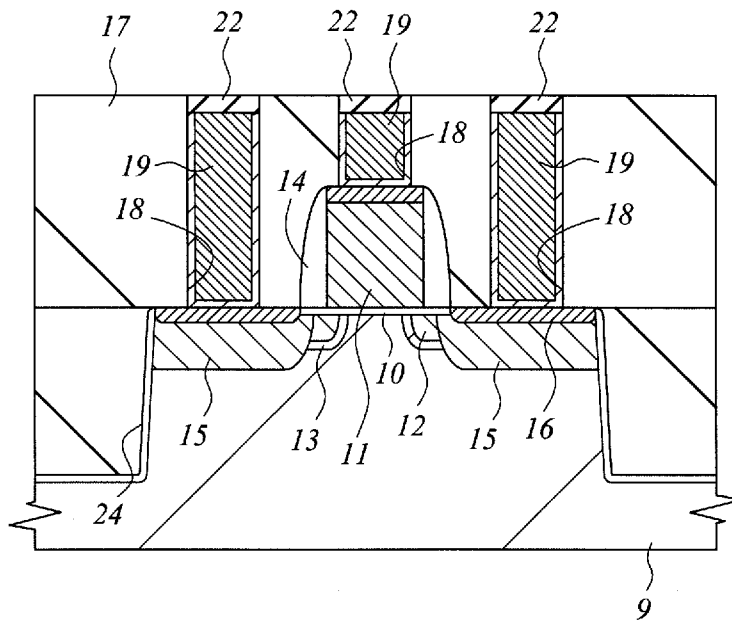
[図14]

図 14



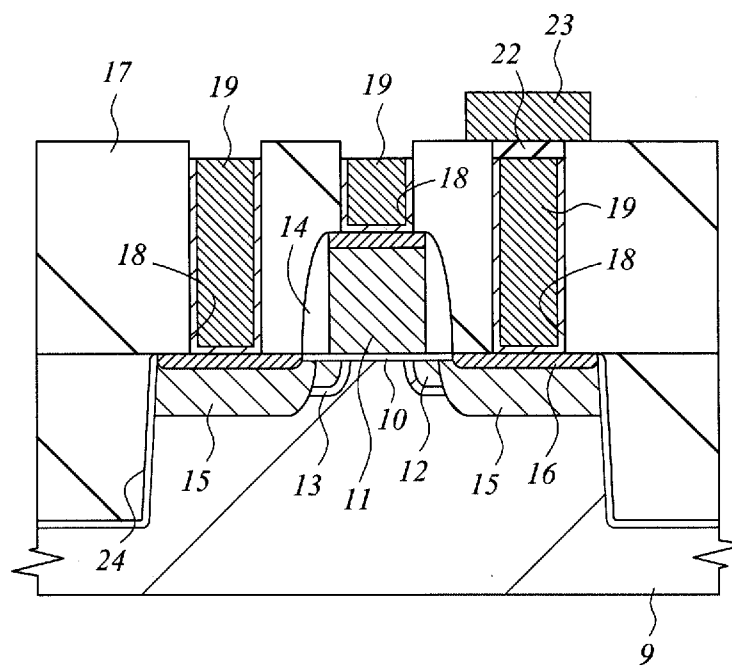
[図19]

図 19



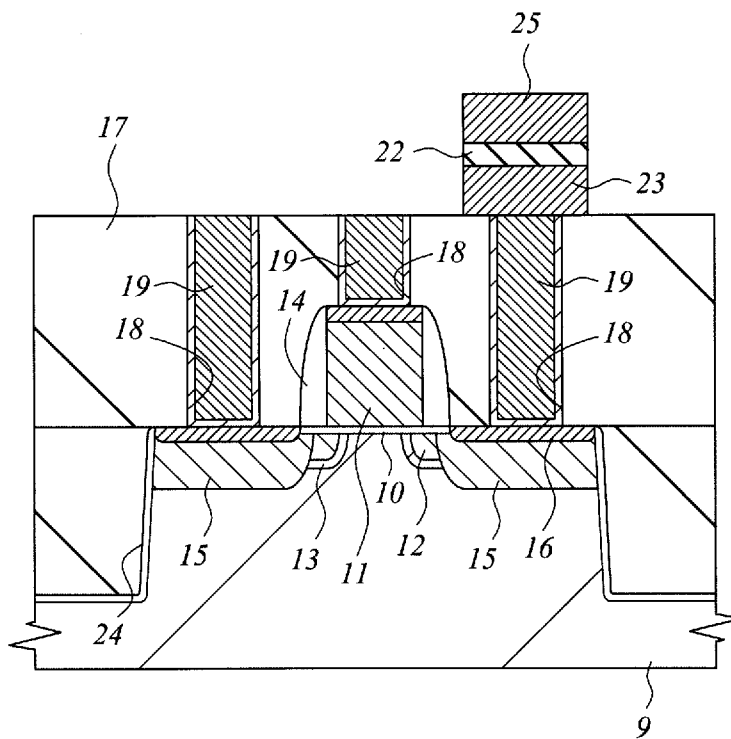
[図20]

図 20



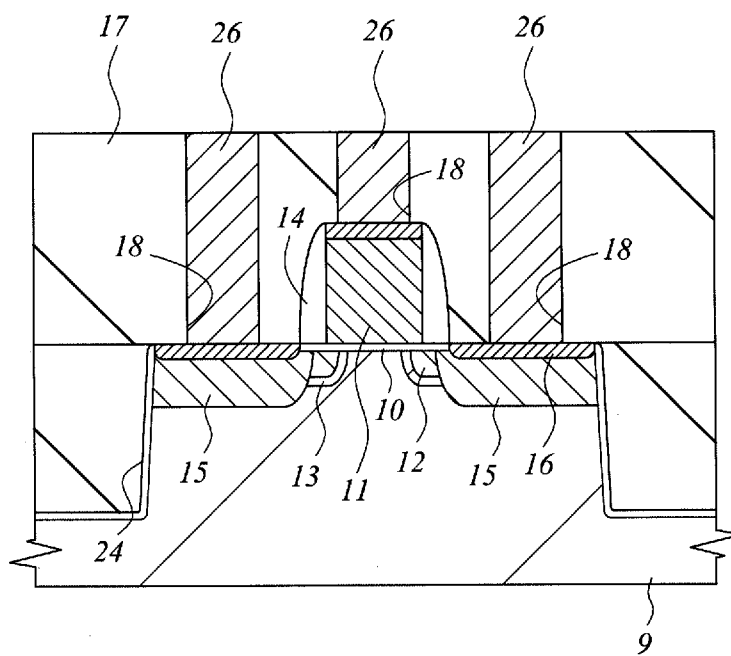
[図23]

図 23



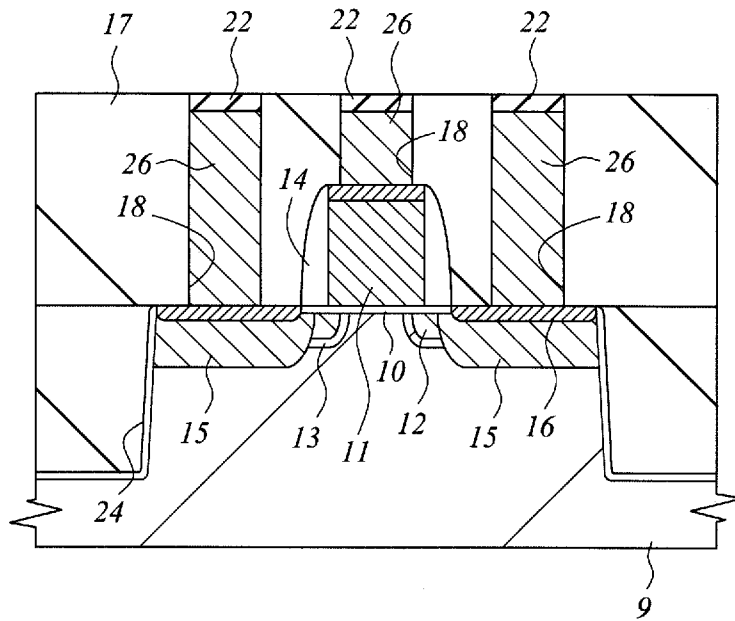
[図24]

図 24



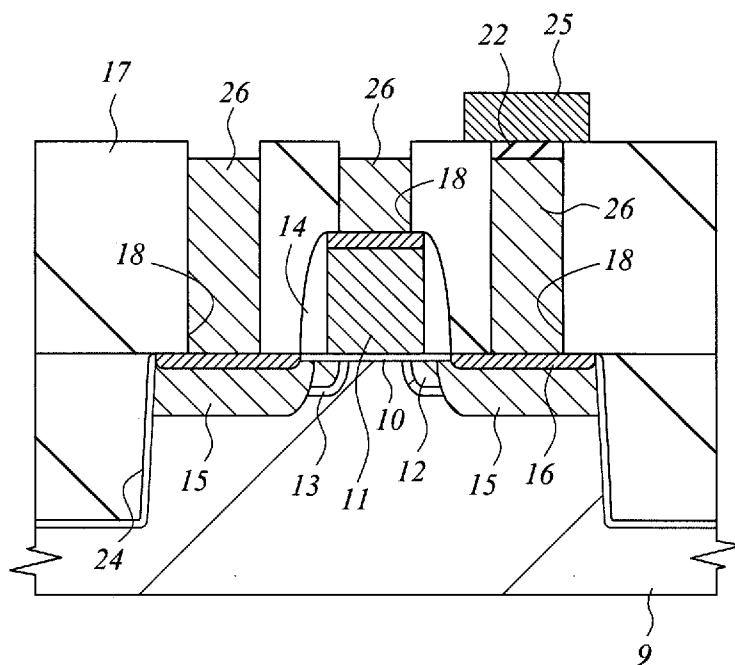
[図25]

図 25



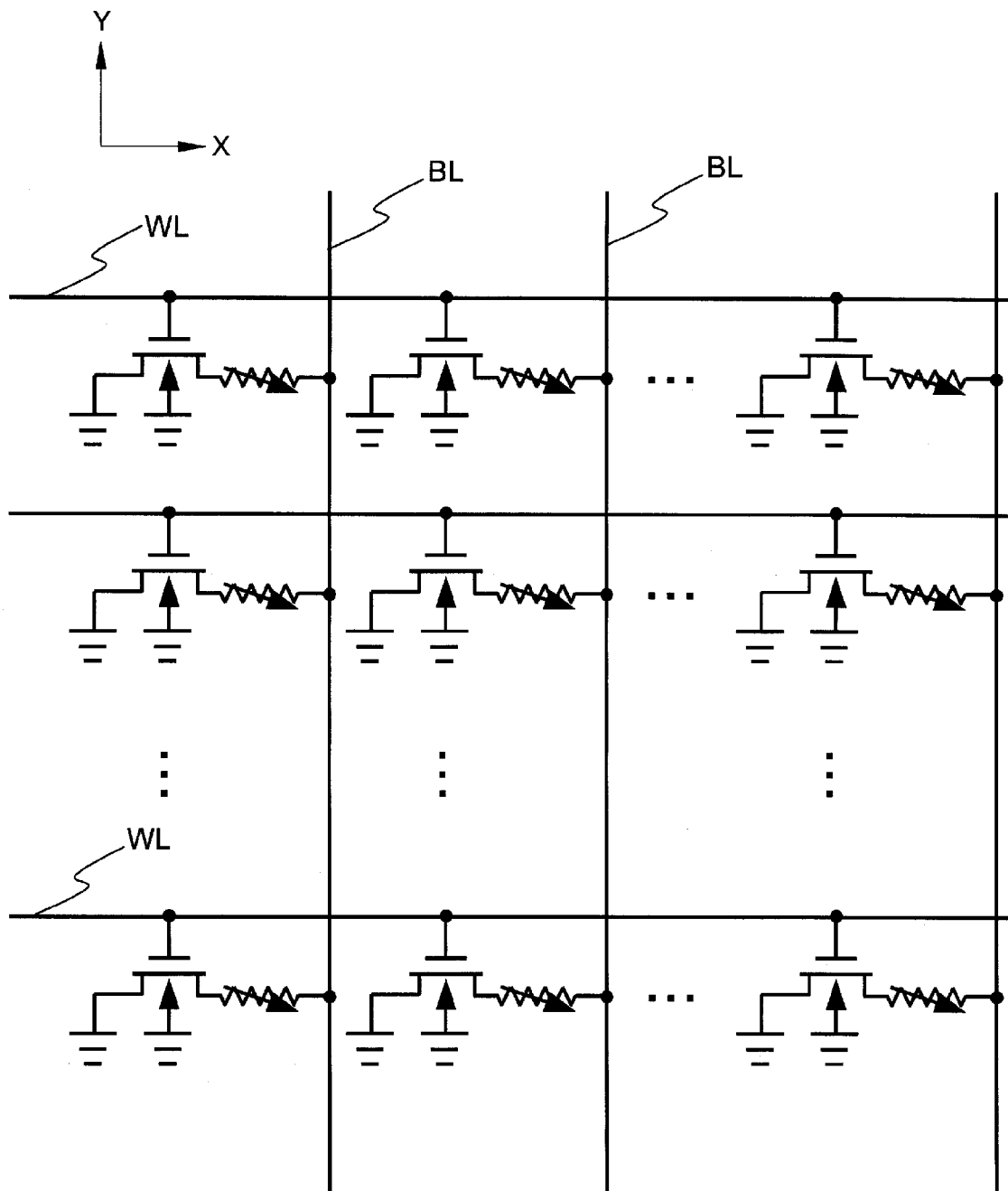
[図26]

図 26



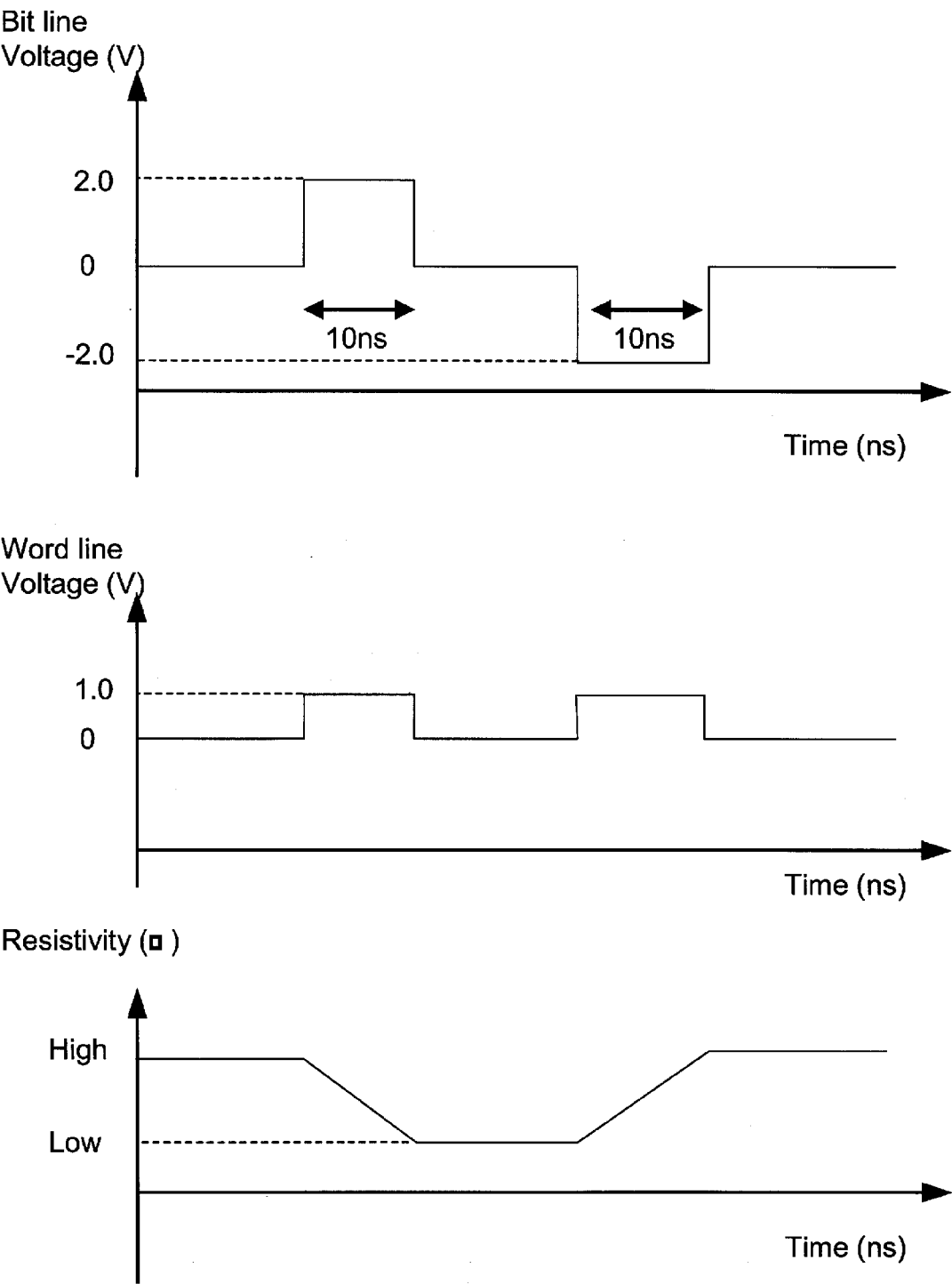
[図27]

図 27



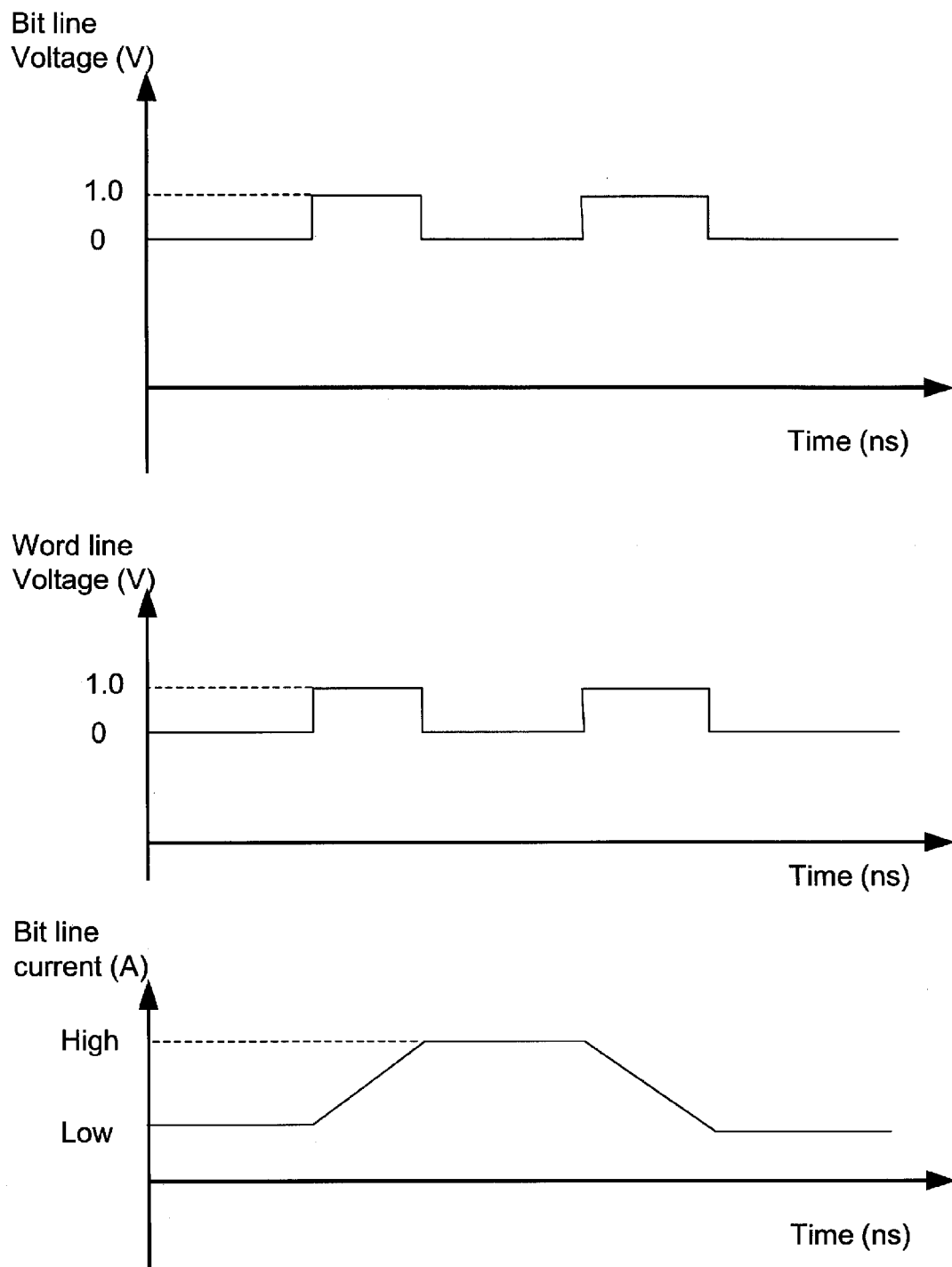
[図28]

図 28



[図29]

図 29



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/310468

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01) i, H01L49/02(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, H01L49/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2006/013819 A1 (Matsushita Electric Industrial Co., Ltd.), 09 February, 2006 (09.02.06), Par. Nos. [0071] to [0093]; Figs. 1 to 7 & US 2006/0050549 A1	1-15
Y	T. Fujii et al., "Hysteretic current-voltage characteristics and resistance switching at an epitaxial oxide Schottky junction SrRuO ₃ /SrTi _{0.99} Nb _{0.01} O ₃ ", Appl. Phys. Lett., Vol.86, 012107, 3 January 2005, full text	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 August, 2006 (22.08.06)

Date of mailing of the international search report
29 August, 2006 (29.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/10(2006.01)i, H01L49/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/10, H01L49/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 2006/013819 A1（松下電器産業株式会社）2006.02.09, 段落[0071]-[0093]、第1図－第7図 & US 2006/0050549 A1	1-15
Y	T. Fujii et al., "Hysteretic current-voltage characteristics and resistance switching at an epitaxial oxide Schottky junction SrRuO ₃ /SrTi _{0.99} Nb _{0.01} O ₃ ", Appl. Phys. Lett., Vol.86, 012107, 3 January 2005 全文	1-15

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 8 . 2 0 0 6

国際調査報告の発送日

2 9 . 0 8 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

正山 旭

4M

9 2 7 6

電話番号 03-3581-1101 内線 3462