

(43) 国際公開日
2009年7月30日 (30.07.2009)

PCT

(10) 国際公開番号
WO 2009/093285 A1

- (51) 国際特許分類:
G09G 3/28 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2008/000083
- (22) 国際出願日: 2008年1月24日 (24.01.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 近藤信義 (KONDO, Nobuyoshi) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 株式会社日立製作所
近藤信義 (KONDO, Nobuyoshi) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 株式会社日立製作所
佐々木孝 (SASAKI, Takashi) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 株式会社日立製作所

コンシューマ事業グループ内 Tokyo (JP). 坂本哲也 (SAKAMOTO, Tetsuya) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 株式会社日立製作所
コンシューマ事業グループ内 Tokyo (JP).

- (74) 代理人: 古谷史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿1丁目19番5号第2明宝ビル9階 Tokyo (JP).

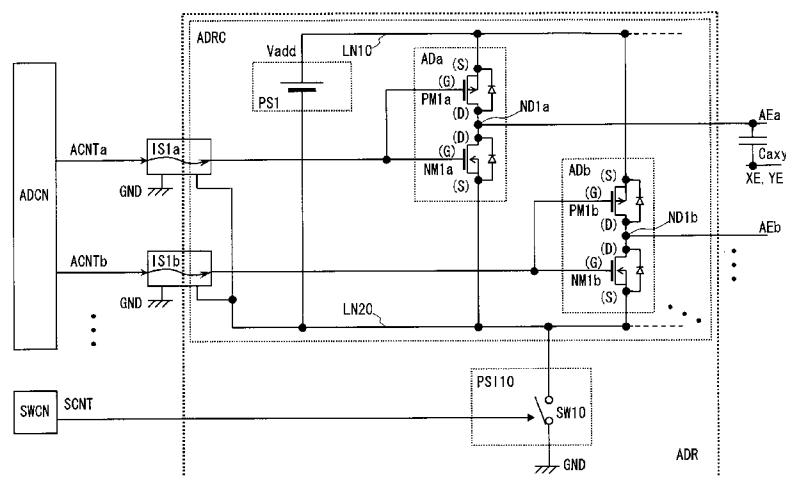
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PLASMA DISPLAY UNIT AND METHOD FOR CONTROLLING THE SAME

(54) 発明の名称: プラズマディスプレイ装置およびプラズマディスプレイ装置の制御方法

[図5]



(57) Abstract: A plasma display unit has a plasma display panel (PDP) having a first substrate and a second substrate which face each other via a discharge space, and a drive section for driving the PDP. The first substrate has a holding electrode (XE), a scanning electrode (YE), and an address electrode (AE). The drive section has an address electrode voltage applying section (ADRC) including a first transistor (PM1) for applying the supply voltage (Vadd) to the address electrode (AE) on the basis of the address control signal (ACNT) during an addressing period and a second transistor (NM1) for applying the ground voltage (GND) to the address electrode (AE) when the first transistor (PM1) turns off during the addressing period. The drive section also has a power supply shutoff section (PS110) to shut off the ground voltage (GND) to be supplied to the address electrode voltage applying section (ADRC) during a sustain period, thereby allowing power consumption to be reduced.

(57) 要約: プラズマディスプレイ装置は、放電空間を介して互いに対向する第1基板及び第2基板を有するプラズマディスプレイパネル (PDP) と、PDPを駆動する駆動部とを有している。前記第1基板は、維持電極 (XE)、走査電極 (YE) 及びアドレス電極 (A

[続葉有]

WO 2009/093285 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

E) を有している。前記駆動部は、アドレス期間に、アドレス制御信号 (ACNT) に基づいて、前記アドレス電極 (AE) に電源電圧 (Vadd) を印加するための第1トランジスタ (PM1) と、前記アドレス期間の前記第1トランジスタ (PM1) がオフのときに、前記アドレス電極 (AE) に接地電圧 (GND) を印加するための第2トランジスタ (NM1) とを含むアドレス電極印加部 (ADRC) を有している。さらに、前記駆動部は、サステイン期間に、前記アドレス電極印加部 (ADRC) に供給される前記接地電圧 (GND) を遮断する電源遮断部 (PS110) を有している。これにより、消費電力を小さくできる。

明 細 書

プラズマディスプレイ装置およびプラズマディスプレイ装置の制御方法

技術分野

[0001] 本発明は、プラズマディスプレイ装置およびプラズマディスプレイ装置の制御方法に関する。

背景技術

[0002] プラズマディスプレイパネル（PDP）は、2枚のガラス基板を互いに貼り合わせて構成されており、ガラス基板の間に形成される空間に放電光を発生させることで画像を表示する。画像における画素に対応するセルは、自発光型であり、放電により発生する紫外線を受けて赤、緑、青の可視光を発生する蛍光体が塗布されている。

[0003] PDPでは、画像を多階調で表示するために、1画面を表示するためのフィールドは、例えば、リセット期間、アドレス期間およびサステイン期間を有する複数のサブフィールドで構成される。例えば、3電極構造のPDPは、サステイン期間に、走査電極および維持電極間でサステイン放電を発生させることで、画像を表示する。サステイン放電を発生させるセル（点灯させるセル）は、例えば、アドレス期間に、走査電極およびアドレス電極間でアドレス放電を発生させることにより、選択される。

[0004] 一般的なPDPでは、維持電極および走査電極が前面ガラス基板に配置され、アドレス電極が背面ガラス基板に配置される。また、近年、維持電極、走査電極およびアドレス電極の3電極を前面ガラス基板に配置したPDPが提案されている（例えば、特許文献1参照）。

特許文献1：特開2006-259516号公報

発明の開示

発明が解決しようとする課題

[0005] 3電極が前面ガラス基板に配置されたPDPでは、アドレス電極は、維持

電極および走査電極に近い位置に配置される。例えば、アドレス電極が背面ガラス基板に配置されたPDP（一般的なPDP）では、維持電極および走査電極とアドレス電極との距離は、 $100\mu\text{m}$ 程度である。これに対し、前面ガラス基板に3電極が配置されるPDPでは、維持電極および走査電極とアドレス電極との距離は、 $10\sim 30\mu\text{m}$ 程度である。

[0006] 維持電極および走査電極とアドレス電極との距離が短いため、維持電極および走査電極とアドレス電極との間に大きな電極間容量が形成される。この結果、3電極が前面ガラス基板に配置されたPDPでは、電極間容量を介して維持電極および走査電極とアドレス電極との間（接地—アドレス電極—電極間容量—維持電極および走査電極—接地のループ）に大きな電流（例えば、一般的なPDPの3～10倍程度の電流）が流れる。すなわち、前面ガラス基板に3電極が設けられたPDPを有するPDP装置では、アドレス電極が背面ガラス基板に配置されたPDPを有するPDP装置に比べて、消費電力が大きい。

[0007] 本発明の目的は、前面ガラス基板に3電極が設けられたPDPを有するPDP装置において、消費電力を小さくすることである。

課題を解決するための手段

[0008] プラズマディスプレイ装置は、放電空間を介して互いに対向する第1基板および第2基板を有するプラズマディスプレイパネル（PDP）と、PDPを駆動する駆動部とを有している。第1基板は、維持電極、走査電極およびアドレス電極を有している。1画面を表示するための1フィールドは、走査電極およびアドレス電極間でアドレス放電を発生させるためのアドレス期間と、維持電極および走査電極間でサステイン放電を発生させるためのサステイン期間とを有する複数のサブフィールドを有している。例えば、駆動部は、アドレス期間に、電源電圧を受け、アドレス制御信号に基づいて、アドレス電極に電源電圧を印加するための第1トランジスタと、アドレス期間の第1トランジスタがオフのときに、接地電圧を受け、アドレス制御信号に基づいて、アドレス電極に接地電圧を印加するための第2トランジスタとを含む。

アドレス電極印加部を有している。さらに、駆動部は、サステイン期間に、アドレス電極印加部に供給される電源電圧および接地電圧のいずれかを遮断する電源遮断部を有している。

発明の効果

[0009] 本発明では、前面ガラス基板に3電極が設けられたPDPを有するPDP装置において、消費電力を小さくできる。

図面の簡単な説明

[0010] [図1]一実施形態におけるPDP装置を示す図である。

[図2]図1に示したPDPの要部を示す図である。

[図3]1画面の画像を表示するためのフィールドの構成例を示す図である。

[図4]図1に示した回路部の概要を示す図である。

[図5]図4に示したアドレス電極駆動部の一例を示している。

[図6]図5に示した電源部およびスイッチの一例を示す図である。

[図7]図3に示したサブフィールドの放電動作の一例を示す図である。

[図8]別の実施形態におけるPDP装置のアドレス電極駆動部およびドライバ制御部を示す図である。

[図9]図8に示したアドレス電極駆動部によるサブフィールドの放電動作の一例を示す図である。

[図10]別の実施形態におけるPDP装置のアドレス電極駆動部および制御部を示す図である。

[図11]別の実施形態におけるPDP装置のアドレス電極駆動部、ドライバ制御部およびスイッチ制御部を示す図である。

[図12]図11に示したスイッチの一例を示す図である。

[図13]別の実施形態におけるPDP装置のアドレス電極駆動部、ドライバ制御部およびスイッチ制御部を示す図である。

[図14]別の実施形態におけるPDP装置のアドレス電極駆動部、ドライバ制御部およびスイッチ制御部を示す図である。

[図15]図14に示したアドレス電極駆動部によるサブフィールドの放電動作

の一例を示す図である。

[図16] 図5に示したアドレス電極駆動部の変形例を示す図である。

発明を実施するための最良の形態

[0011] 以下、本発明の実施形態を図面を用いて説明する。

[0012] 図1は、本発明の一実施形態を示している。プラズマディスプレイ装置（以下、PDP装置とも称する）は、四角板形状を有するプラズマディスプレイパネル10（以下、PDPとも称する）、PDP10の画像表示面16側（光の出力側）に設けられる光学フィルタ20、PDP10の画像表示面16側に配置された前筐体30、PDP10の背面18側に配置された後筐体40およびベースシャーシ50、ベースシャーシ50の後筐体40側に取り付けられ、PDP10を駆動するための回路部60（駆動部）、およびPDP10をベースシャーシ50に貼り付けるための両面接着シート70を有している。回路部60は、複数の部品で構成されるため、図では、破線の箱で示している。

[0013] PDP10は、画像表示面16を構成する前面基板部12と、前面基板部12に対向する背面基板部14とにより構成されている。前面基板部12と背面基板部14の間に図示しない放電空間（セル）が形成されている。前面基板部12および背面基板部14は、例えば、ガラス基板により形成されている。光学フィルタ20は、前筐体30の開口部32に取り付けられる保護ガラス（図示せず）に貼付される。なお、光学フィルタ20は、電磁波を遮蔽する機能を有してもよい。また、光学フィルタ20は、保護ガラスではなく、PDP10の画像表示面16側に直接貼付されてもよい。

[0014] 図2は、図1に示したPDP10の要部の詳細を示している。図中の矢印D1は、第1方向D1を示し、矢印D2は、第1方向D1に画像表示面に平行な面内で直交する第2方向D2を示している。上述したように、前面基板部12と背面基板部14の間（より詳細には、背面基板部14の凹部）に放電空間DSが形成される。

[0015] 前面基板部12（第1基板）は、ガラス基材FS上（図では下側）に第1

方向D 1に沿って平行に形成され、第2方向D 2に沿って交互に形成されたXバス電極X bおよびYバス電極Y bを有している。Xバス電極X bには、Xバス電極X bからYバス電極Y bに向けて第2方向D 2に延在するX透明電極X tが接続されている。Yバス電極Y bには、Yバス電極Y bからXバス電極X bに向けて第2方向D 2に延在するY透明電極Y tが接続されている。図の例では、X透明電極X tおよびY透明電極Y tは、第2方向D 2に沿って対向している。

[0016] ここで、Xバス電極X bおよびYバス電極Y bは、金属材料等で形成された不透明な電極であり、X透明電極X tおよびY透明電極Y tは、ITO膜等で形成された可視光を透過する透明電極である。そして、X電極X E（維持電極）は、Xバス電極X bおよびX透明電極X tにより構成され、Y電極Y E（走査電極）は、Yバス電極Y bおよびY透明電極Y tにより構成され、X電極X Eと対をなしている。X電極X EおよびY電極Y Eで構成される電極対（より具体的には、X透明電極X tおよびY透明電極Y t間）で繰り返して放電（サステイン放電）を発生させる。

[0017] また、透明電極X tおよびY tは、それぞれが接続されるバス電極X bおよびY bとガラス基材F Sとの間に全面に配置されてもよい。なお、バス電極X bおよびY bと同じ材料（金属材料等）で、バス電極X bおよびY bと一体の電極が透明電極X tおよびY tの代わりに形成されてもよい。

[0018] 電極X b、X t、Y b、Y tは、誘電体層DL 1に覆われている。例えば、誘電体層DL 1は、CVD法により形成された二酸化シリコン膜等の絶縁膜である。そして、誘電体層DL 1上（図では下側）には、バス電極X b、Y bの直交方向（第2方向D 2）に延在する複数のアドレス電極A Eが設けられている。例えば、アドレス電極A Eは、金属材料等で形成された不透明な電極である。このように、この実施形態のPDPは、前面基板部12に3電極（電極X E、Y E、A E）を有している。また、アドレス電極A Eおよび誘電体層DL 1は、保護層PLに覆われている。例えば、保護層PLは、放電を容易に発生させるために、陽イオンの衝突による2次電子の放出特性

の高いMgO膜で形成される。

[0019] 放電空間DSを介して前面基板部12に対向する背面基板部14（第2基板）は、ガラス基材RS上に、互いに平行に形成された隔壁（バリアリブ）BRを有している。例えば、隔壁BRは、バス電極Xb、Ybに直交する方向（第2方向D2）に延在し、アドレス電極AEに沿って配置されている。換言すれば、アドレス電極AEは、第2方向D2に延在し、隔壁BRに沿って配置されている。隔壁BRにより、セルの側壁が構成される。さらに、隔壁BRの側面と、互いに隣接する隔壁BRの間のガラス基材RS上とは、紫外線により励起されて赤（R）、緑（G）、青（B）の可視光を発生する蛍光体PHr、PHg、PHbが、それぞれ塗布されている。

[0020] PDP10の1つの画素は、赤、緑および青の光を発生する3つのセルにより構成される。ここで、1つのセル（一色の画素）は、バス電極Xb、Ybと隔壁BR1とで囲われる領域に形成される。このように、PDP10は、画像を表示するためにセルをマトリックス状に配置し、かつ互いに異なる色の光を発生する複数種のセルを交互に配列して構成されている。特に図示していないが、バス電極Xb、Ybに沿って形成されたセルにより、表示ラインが構成される。

[0021] PDP10は、前面基板部12および背面基板部14を、保護層PLと隔壁BRが互いに接するように貼り合わせ、Ne、Xe等の放電ガスを放電空間DSに封入することで構成される。なお、バス電極Xb、Ybおよびアドレス電極AEは、後述する図4に示すX電極駆動部XDR（維持電極駆動部）、Y電極駆動部YDR（走査電極駆動部）およびアドレス電極駆動部ADRにそれぞれ接続される。

[0022] 図3は、1画面の画像を表示するためのフィールドFLDの構成例を示している。1つのフィールドFLDの長さは、1/60秒（約16.7ms）であり、例えば、8個のサブフィールドSF（SF1-SF8）で構成される。この例では、各サブフィールドSFは、リセット期間RSTと、アドレス期間ADRと、サステイン期間SUSとを有している。

[0023] 例えば、リセット期間 RST は、全てのセルの放電開始電圧（アドレス期間 ADR のアドレス放電が発生し始める電圧）を合わせるために、各電極 XE、YE、AE に蓄積される壁電荷の量を調整する期間である。ここで、壁電荷とは、例えば、各セルにおいて、図 2 に示した MgO 等の保護層 PL の表面に蓄積されるプラス電荷およびマイナス電荷である。アドレス期間 ADR は、サステイン期間 SUS に点灯させるセルを選択する期間である。サステイン期間 SUS に点灯させるセルは、例えば、アドレス期間において、後述する図 7 に示すように、走査電極 YE およびアドレス電極 AE 間で選択的にアドレス放電が発生させることにより、選択される。サステイン期間 SUS は、アドレス期間 ADR に選択されたセルで放電（サステイン放電）を発生させる期間である。

[0024] サステイン期間 SUS の長さは、サブフィールド SF により異なり、セルの放電回数（輝度）に依存する。このため、点灯させるサブフィールド SF の組み合わせを変えることにより、画像を多階調で表示することが可能になる。この例では、サブフィールド SF1-SF8 に予め設定されている放電サイクル数は、それぞれ 4、8、16、32、64、128、256、512 である。後述する図 7 に示すように 1 つの放電サイクル中に、セルは 2 回放電する（図の星印）。

[0025] 図 4 は、図 1 に示した回路部 60 の概要を示している。図中の容量 C_{ax} は、アドレス電極 AE および維持電極 XE 間に形成される寄生容量（電極間容量）を示し、容量 C_{ay} は、アドレス電極 AE および走査電極 YE 間に形成される寄生容量（電極間容量）を示している。以下、電極間容量 C_{ax} 、 C_{ay} を合わせて電極間容量 C_{axy} とも称する。

[0026] 回路部 60 は、電圧生成部 PWR、X 電極駆動部 XDR（維持電極駆動部）、Y 電極駆動部 YDR（走査電極駆動部）、アドレス電極駆動部 ADR および制御部 CNT を有している。電圧生成部 PWR は、電極駆動部 YDR、XDR に供給する電源電圧 $V_s/2$ 、 $-V_s/2$ 、 V_{sc} 等を生成する。電極駆動部 XDR、YDR、ADR は、PDP10 を駆動する駆動部として動

作する。例えば、維持電極駆動部XDRは、維持電極XEに共通のパルスを印加し、走査電極駆動部YDRは、走査電極YEに選択的にパルスを印加し、アドレス電極駆動部ADRは、アドレス電極AEに選択的にパルスを印加する。

[0027] 図の例では、アドレス電極駆動部ADRは、電源遮断部PSI10と、アドレス電極AE毎に設けられたアドレスドライバAD（アドレス電極印加部、アドレス電圧印加部）とを有している。例えば、電源遮断部PSI10は、上述した図3に示したリセット期間RSTおよびアドレス期間ADRに、アドレスドライバADに接地電圧を供給し、サステイン期間SUSに、アドレスドライバADに供給される接地電圧を遮断する。また、アドレスドライバADは、後述する図7に示すアドレスパルスAPLをアドレス電極AEに選択的に印加する。なお、この図では、アドレスドライバADに電源電圧を供給するための電源の記載を省略している。

[0028] 制御部CNTは、アドレスドライバADを制御するための制御信号ACNT（アドレス制御信号）を生成するドライバ制御部ADCNTと、電源遮断部PSI10を制御するための制御信号SCNTを生成するスイッチ制御部SWCNTとを有している。そして、制御部CNTは、画像データR0-7、G0-7、B0-7に基づいて使用するサブフィールドを選択し、電極駆動部YDR、XDR、ADRに制御信号YCNT、XCNT、ACNTを出力する。画素を構成するセル毎に、使用するサブフィールドを選択することにより、多階調の画像が表示される。なお、画像データR0-7、G0-7、B0-7は、赤、緑、青をそれぞれ表示するための8ビットからなるデータであり、図示しないチューナ部あるいは外部入力から制御部CNTに順次に入力される。

[0029] 図5は、図4に示したアドレス電極駆動部ADRの一例を示している。なお、図では、アドレス電極AEbと維持電極XEおよび走査電極YEとの間の電極間容量Caxyの記載を省略している。また、以下、接地線GNDの電圧を、接地電圧GNDとも称する。

- [0030] アドレス電極駆動部 ADR は、アドレス電極 AE (AE a、AE b) 毎に設けられたアドレスドライバ AD (AD a、AD b) と、アドレスドライバ AD (AD a、AD b) 毎に設けられたアイソレータ IS 1 (IS 1 a、IS 1 b) と、電源部 PS 1 (内部電源) と、電源遮断部 PSI 10 とを有している。なお、電源遮断部 PSI 10 を除くアドレス電極駆動部 ADR の回路群 (アドレスドライバ AD および電源部 PS 1 を含む回路群) をアドレス駆動回路 ADRC とも称する。
- [0031] 例えば、アドレスドライバ AD (AD a、AD b) は、内部電源線 LN 10 と基準電源線 LN 20 との間に直列に接続された第 1 トランジスタ PM 1 (PM 1 a、PM 1 b) および第 2 トランジスタ NM 1 (NM 1 a、NM 1 b) を有している。そして、トランジスタ PM 1 とトランジスタ NM 1 とを接続している共通ノード ND 1 (ND 1 a、ND 1 b) がアドレス電極 AE (AE a、AE b) に接続される。
- [0032] 例えば、トランジスタ PM 1 は、大電流を流すことのできるパワー p MOS トランジスタ (P チャネル FET) であり、アノードがトランジスタ PM 1 のドレインに接続され、カソードがトランジスタ PM 1 のソースに接続された寄生ダイオードを有している。一般的に、パワー p MOS トランジスタでは、寄生ダイオードのアノードが接続されたドレインとゲートとの間の閾値電圧は、寄生ダイオードのカソードが接続されたソースとゲートとの間の閾値電圧に比べて大きい。このため、電力用の P チャネル FET は、図に示したソースおよびゲート間の電圧に基づいて、オン (オフ) する。
- [0033] また、トランジスタ NM 1 は、大電流を流すことのできるパワー n MOS トランジスタ (N チャネル FET) であり、アノードがトランジスタ NM 1 のソースに接続され、カソードがトランジスタ NM 1 のドレインに接続された寄生ダイオードを有している。パワー n MOS トランジスタでは、寄生ダイオードのカソードが接続されたドレインとゲートとの間の閾値電圧は、寄生ダイオードのアノードが接続されたソースとゲートとの間の閾値電圧に比べて大きい。このため、電力用の N チャネル FET は、図に示したソースお

よびゲート間の電圧に基づいて、オン（オフ）する。

[0034] 図の例では、トランジスタPM1のソースは、内部電源線LN10に接続され、トランジスタNM1のソースは、基準電源線LN20に接続されている。すなわち、トランジスタPM1の寄生ダイオードのカソードが内部電源線LN10に接続され、トランジスタNM1の寄生ダイオードのアノードが基準電源線LN20に接続されている。これにより、内部電源線LN10から寄生ダイオードを介して基準電源線LN20にリーク電流が流れることを防止できる。

[0035] トランジスタPM1、NM1のゲートは、互いに接続され、アイソレータIS1を介してドライバ制御部ADCNに接続されている。例えば、アイソレータIS1は、発光ダイオードおよびフォトトランジスタを有し、ドライバ制御部ADCNおよびアドレスドライバAD間で直流的に絶縁を維持した状態で、ドライバ制御部ADCNからアドレスドライバADにアドレス制御信号ACNT（ACNTa、ACNTb）を伝達する。

[0036] 図の例では、アイソレータIS1は、アドレス制御信号ACNTの基準レベルを接地電圧GNDから基準電源線LN20の電圧にレベルシフトして、トランジスタPM1、NM1のゲートにアドレス制御信号ACNTを伝達する。これにより、アドレス制御信号ACNTの論理レベル（HレベルおよびLレベル）は、トランジスタPM1、NM1に確実に伝達される。例えば、アドレス制御信号ACNTが高論理レベル（Hレベル）のときに、トランジスタPM1がオフし、トランジスタNM1がオンし、アドレス制御信号ACNTが低論理レベル（Lレベル）のときに、トランジスタPM1がオンする。

[0037] 電源部PS1は、基準電源線LN20および電源遮断部PSI10を介して接地線GNDに接続され、トランジスタPM1が接続された内部電源線LN10に電源電圧Vaddを供給する。すなわち、電源部PS1は、基準電源線LN20と内部電源線LN10との間の電圧を、電圧Vaddに維持する。なお、電源部PS1の構成の一例は、後述する図6で説明する。

[0038] 電源遮断部 P S I 1 0 は、基準電源線 L N 2 0 と接地線 G N D との間に配置されたスイッチ S W 1 0 を有している。スイッチ S W 1 0 のオン、オフは、スイッチ制御部 S W C N から出力される制御信号 S C N T により制御される。例えば、スイッチ S W 1 0 は、スイッチ S W 1 0 がオフのときに、基準電源線 L N 2 0 と接地線 G N D との間にリーク電流が流れないように構成される。

[0039] 例えば、スイッチ S W 1 0 は、I G B T (Insulated Gate Bipolar Transistor) やパワー M O S トランジスタにより構成される。I G B T は、ゲートに M O S F E T を組み込んだバイポーラトランジスタである。I G B T は、パワー M O S トランジスタと異なり、コレクタ、エミッタ間に寄生ダイオードを持たない。このため、I G B T で構成されたスイッチ S W 1 0 では、スイッチ S W 1 0 がオフのときに、基準電源線 L N 2 0 と接地線 G N D との間にリーク電流は流れない。なお、寄生ダイオードを有するパワー M O S トランジスタで構成されたスイッチ S W 1 0 の詳細は、後述する図 6 で説明する。

[0040] 上述したように、スイッチ S W 1 0 は、図 3 に示したアドレス期間 A D R に、接地線 G N D から基準電源線 L N 2 0 に接地電圧 G N D を供給するためにオンする。すなわち、スイッチ S W 1 0 は、アドレス期間 A D R では、電源部 P S 1 およびアドレスドライバ A D を有するアドレス駆動回路 A D R C と接地線 G N D とを電氣的に接続する。換言すれば、アドレス期間 A D R では、接地電圧 G N D が基準電源線 L N 2 0 に供給され、接地電圧 G N D を基準にした電源電圧 V a d d が内部電源線 L N 1 0 に供給される。これにより、トランジスタ N M 1 は、アドレス制御信号 A C N T が高論理レベル (H レベル) のときに、接地電圧 G N D をアドレス電極 A E に印加できる。また、トランジスタ P M 1 は、アドレス制御信号 A C N T が低論理レベル (L レベル) のときに、接地電圧 G N D を基準にした電源電圧 V a d d をアドレス電極 A E に印加できる。

[0041] また、スイッチ S W 1 0 は、サステイン期間 S U S に、基準電源線 L N 2

0をフローティング状態にするためにオフする。すなわち、スイッチSW10は、サステイン期間SUSでは、アドレス駆動回路ADRCと接地線GNDとを電氣的に非接続にする。なお、上述したように、スイッチSW10がオフのときに、基準電源線LN20と接地線GNDとの間にリーク電流は流れない。したがって、この実施形態では、サステイン期間SUSに、アドレス電極AEと接地線GNDとの間にリーク電流が流れることを防止できる。

[0042] すなわち、この実施形態では、サステイン期間SUSに、電極間容量Cax yを介して維持電極XEおよび走査電極YEとアドレス電極AEとの間（接地線GND－アドレス電極AE－電極間容量Cax y－維持電極XEおよび走査電極YE－接地線GNDのループ）にリーク電流が流れることを防止できる。この結果、この実施形態では、消費電力を小さくできる。

[0043] 図6は、図5に示した電源部PS1およびスイッチSW10の一例を示している。電源部PS1は、例えば、トランスT1の一部（コイルL2）、整流回路（図では、ダイオードD1）、平滑回路（図では、容量C1）および電圧安定化回路VS1を有している。例えば、トランスT1は、2つのコイルL1、L2をコアで結合させた構成であり、1次側（コイルL1）と2次側（コイルL2）とを直流的に絶縁し、一方のコイルL1に加えた変化（図では、交流電圧Vadd1）を、他方のコイルL2に伝送する。

[0044] 例えば、コイルL1は、一方の端子が接地線GNDに接続され、他方の端子に交流電圧Vadd1が印加される。コイルL2は、一方の端子が基準電源線LN20に接続され、他方の端子がダイオードD1のアノードに接続され、コイルL1に加えられた電圧変化をダイオードD1に伝達する。ダイオードD1のカソードは、容量C1の一方の端子および電圧安定化回路VS1に接続され、容量C1の他方の端子は、基準電源線LN20に接続されている。これにより、ダイオードD1と容量C1とが接続されたノードに、基準電源線LN20を基準にして整流および平滑された電圧が供給される。

[0045] 電圧安定化回路VS1は、基準電源線LN20を基準にして整流および平滑された電圧を、電源電圧Vaddとして安定化させて内部電源線LN10

に供給する。これにより、基準電源線LN20がフローティング状態の場合でも、電源部PS1は、基準電源線LN20と内部電源線LN10との間の電圧を、電圧Vaddに維持できる。

[0046] 電源遮断部PSI10のスイッチSW10は、例えば、基準電源線LN20と接地線GNDとの間に直列に接続された一対のパワーnMOSトランジスタNM10、NM20（NチャネルFET）で構成されている。なお、パワーnMOSトランジスタNM10、NM20は、トランジスタNM10、NM20のゲートを互いに接続している共通ノードがスイッチ制御部SWCNに接続され、制御信号SCNTをゲートで受けている。

[0047] また、nMOSトランジスタNM10は、ドレインが基準電源線LN20に接続され、ソースがnMOSトランジスタNM20のソースに接続されている。nMOSトランジスタNM20は、ドレインが接地線GNDに接続されている。すなわち、一対のパワーnMOSトランジスタNM10、NM20は、トランジスタNM10、NM20に形成される各寄生ダイオードのアノードを互いに接続する向きに接続されている。

[0048] トランジスタNM10、NM20がオフ状態のとき、トランジスタNM10の寄生ダイオードは、基準電源線LN20から接地線GNDにリーク電流が流れることを防止し、トランジスタNM20の寄生ダイオードは、接地線GNDから基準電源線LN20にリーク電流が流れることを防止する。これにより、スイッチSW10（トランジスタNM10、NM20）がオフのときに、基準電源線LN20と接地線GNDとの間にリーク電流が流れることを防止できる。

[0049] 図7は、図3に示したサブフィールドSFの放電動作の例を示している。図中の星印は、放電の発生を示している。なお、図中のアドレス電極AEの波形の網掛け部分は、アドレス電極AEがフローティング状態であることを示している。なお、上述した図5に示したスイッチSW10は、高論理レベル（Hレベル）の制御信号SCNTを受けたときにオンし、低論理レベル（Lレベル）の制御信号SCNTを受けたときにオフする。

- [0050] まず、リセット期間 R S T では、正の書き込み電圧が維持電極 X E（バス電極 X b および透明電極 X t）に印加され、正の書き込み電圧が走査電極 Y E（バス電極 Y b および透明電極 Y t）に印加される（図 7（a））。そして、維持電極 X E は、正の書き込み電圧に維持され、緩やかに上昇する正の書き込み電圧（書き込み鈍波）が走査電極 Y E に印加される（図 7（b））。これにより、セルの発光を抑えながら維持電極 X E、走査電極 Y E およびアドレス電極 A E に壁電荷がそれぞれ蓄積される。例えば、維持電極 X E と走査電極 Y E に負の壁電荷がそれぞれ蓄積され、アドレス電極 A E に正の壁電荷が蓄積される。
- [0051] 次に、維持電極 X E は、正の書き込み電圧に維持され、負の調整電圧（調整鈍波）が走査電極 Y E に印加される（図 7（c））。これにより、維持電極 X E と走査電極 Y E とアドレス電極 A E にそれぞれ蓄積された負と正の壁電荷の量が減るとともに、全てのセルの壁電荷の量が調整される。なお、例えば、維持電極 X E に印加される正の調整電圧は、電圧 $V_s / 2$ より低い電圧であり、走査電極 Y E に印加される負の調整電圧の最小値は、電圧 $-V_s / 2$ より高い電圧（絶対値としては小さい電圧値）である。
- [0052] なお、リセット期間 R S T では、制御信号 S C N T が H レベルに維持されているため、上述した図 5 に示した基準電圧線 L N 2 0 にスイッチ S W 1 0 を介して接地電圧 G N D が供給される。また、制御信号 A C N T が H レベルに維持されているため、図 5 に示したトランジスタ P M 1 がオフし、トランジスタ N M 1 がオンし、トランジスタ N M 1 は、アドレス電極 A E に接地電圧 G N D を印加する。
- [0053] アドレス期間 A D R では、制御信号 S C N T は、図 5 に示したスイッチ制御部 S W C N により、H レベルに維持され、スイッチ S W 1 0 はオン状態を維持する。そして、アドレス期間 A D R では、アドレス放電時に陽極となるバイアス電圧が維持電極 X E に印加され、アドレス放電時に陰極となるスキャンパルス S P L（電圧 $-V_s / 2$ ）が走査電極 Y E に印加され、アドレス放電時に陽極となるアドレスパルス A P L（電圧 V_{add} ）が、点灯するセ

ルに対応するアドレス電極 A E に印加される（図 7（d））。スキャンパルス S P L とアドレスパルス A P L により選択されたセルは、走査電極 Y E とアドレス電極 A E 間で一時的に放電（アドレス放電）が発生する。これにより、サステイン期間 S U S に点灯させるセルが選択される。

[0054] 例えば、点灯するセルに対応するアドレス制御信号 A C N T を L レベルにすることにより、点灯するセルに対応するアドレス電極 A E に接続されたアドレスドライバ A D では、トランジスタ P M 1 がオンし、トランジスタ N M 1 がオフする。すなわち、アドレス制御信号 A C N T が L レベルのときに、トランジスタ P M 1 は、アドレス電極 A E に電源電圧 V a d d を印加する。換言すれば、トランジスタ P M 1 は、アドレス制御信号 A C N T に基づいて、アドレス電極 A E に電源電圧 V a d d を印加する。

[0055] また、H レベルのアドレス制御信号 A C N T を受けたアドレスドライバ A D では、トランジスタ P M 1 はオフし、トランジスタ N M 1 はオンし、トランジスタ N M 1 は、アドレス電極 A E に接地電圧 G N D を印加する。すなわち、トランジスタ N M 1 は、アドレス期間 A D R のトランジスタ P M 1 がオフのときに、アドレス制御信号 A C N T に基づいて、アドレス電極 A E に接地電圧 G N D を印加する。なお、アドレス電極 A E の波形に示される 2 回目のアドレスパルス A P L は、他の表示ラインのセルを選択するために印加される（図 7（e））。

[0056] サステイン期間 S U S では、負および正のサステインパルス（電圧 $V_s/2$ 、 $-V_s/2$ ）が、維持電極 X E および走査電極 Y E にそれぞれ印加される（図 7（f、g））。これにより、点灯したセルの放電状態が維持される。互いに極性の異なるサステインパルスが、維持電極 X E および走査電極 Y E に繰り返して印加されることにより、サステイン期間 S U S に点灯したセルの放電（サステイン放電）が繰り返し行われる。図 3 で説明したように、1 放電サイクル中（例えば、図 7（f、g））に 2 回の放電が実施される。例えば、サブフィールド S F 4 は、32 個の放電サイクルで構成され、64 回の放電が実施される。

[0057] なお、サステイン期間SUSでは、制御信号SCNTは、図5に示したスイッチ制御部SWCNにより、Lレベルに設定され、スイッチSW10はオフする。すなわち、サステイン期間SUSでは、上述したように、アドレス駆動回路ADRCと接地線GNDとが電氣的に非接続にされる。すなわち、この実施形態では、サステイン期間SUSに、アドレス電極AEを、フローティング（ハイインピーダンス）状態にでき、サステインパルスが印加された維持電極XEおよび走査電極YEの平均電圧とアドレス電極AEの電圧との差を小さくできる。

[0058] これにより、維持電極XEおよび走査電極YEの平均電圧とアドレス電極AEの電圧との差により発生する維持電極XEおよび走査電極YEとアドレス電極AEとの間の変位電流（リーク電流）を小さくできる。なお、この実施形態では、上述した図5で説明したように、スイッチSW10がオフのときに、アドレス電極AEと接地線GNDとの間にリーク電流が流れることを防止でき、消費電力を小さくできる。また、図の例では、アドレス制御信号ACNTは、サステイン期間SUS中、Hレベルに維持されている。なお、サステイン期間SUSでは、アドレス駆動回路ADRCと接地線GNDとが電氣的に非接続にされているため、アドレス制御信号ACNTは、Lレベルでもよい。

[0059] 以上、この実施形態では、サステイン期間SUSに、基準電源線LN20と接地線GNDとの間に配置されたスイッチSW10（電源遮断部PSI10）がオフし、基準電源線LN20に供給される接地電圧GNDを遮断する。これにより、サステイン期間SUSに、基準電源線LN20と接地線GNDとの間にリーク電流が流れることを防止でき、消費電力を小さくできる。

[0060] 図8は、別の実施形態におけるPDP装置のアドレス電極駆動部ADR2およびドライバ制御部ADCN2を示している。なお、図では、アドレス電極AEBと維持電極XEおよび走査電極YEとの間の電極間容量Caxの記載を省略している。この実施形態では、アドレス電極駆動部ADR2は、上述した図5に示したアドレス電極駆動部ADRに2入力論理和回路OR1

(OR1a、OR1b)が追加され、図5に示した電源遮断部PSI10の代わりに、電源遮断部PSI20が設けられている。また、アドレス電極駆動部ADR2は、図5に示したアドレス電極駆動部ADRから電源部PS1およびアイソレータIS1が省かれている。アドレス電極駆動部ADR2のその他の構成は、図5と同じである。

[0061] また、この実施形態のドライバ制御部ADCN2では、アドレス制御信号ACNTの他に、アドレス制御信号SSを生成する点が、図5に示したドライバ制御部ADCNと相違する。ドライバ制御部ADCN2のその他の構成は、図4、図5と同じである。図1－図7で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0062] アドレスドライバAD(ADa、ADb)のトランジスタNM1(NM1a、NM1b)のソースは、接地線GNDに接続され、アドレスドライバAD(ADa、ADb)のトランジスタPM1(PM1a、PM1b)のソースは、電源遮断部PSI20を介して第1電源線LN12に接続されている。第1電源線LN12には、例えば、上述した図4に示した電圧生成部PWRから電源電圧Vaddが供給される。

[0063] 例えば、電源遮断部PSI20は、ソースが第1電源線LN12に接続され、ドレインがトランジスタPM1のソースに接続され、ゲートがスイッチ制御部SWCNに接続されたパワーnMOSトランジスタNM30で構成されている。すなわち、トランジスタNM30は、トランジスタNM30の寄生ダイオードのアノードが第1電源線LN12に接続され、寄生ダイオードのカソードがトランジスタPM1のソースに接続される向きで、第1電源線LN12とトランジスタPM1との間に配置される。

[0064] トランジスタNM30は、上述した図3に示したリセット期間RSTおよびアドレス期間ADRにオンし、トランジスタPM1に電源電圧Vaddを供給し、サステイン期間SUSにオフし、トランジスタPM1に供給される電源電圧Vaddを遮断する。すなわち、電源遮断部PSI20のトランジスタNM30は、スイッチとして機能する。

- [0065] この実施形態では、トランジスタNM30の寄生ダイオードのアノードが第1電源線LN12に接続され、寄生ダイオードのカソードがトランジスタPM1のソースに接続されているため、トランジスタNM30がオフ状態のとき、トランジスタPM1から第1電源線LN12にリーク電流が流れることを防止できる。なお、電源遮断部PSI20は、パワーnMOSトランジスタNM30の代わりにパワーpMOSトランジスタやIGBT等を用いて構成されてもよい。この場合、パワーpMOSトランジスタやIGBTは、スイッチとして機能する。
- [0066] 2入力論理和回路OR1（OR1a、OR1b）は、一方の入力端子にアドレス制御信号SSを受け、他方の入力端子にアドレス制御信号ACNT（ACNTa、ACNT1b）を受け、アドレス制御信号SSおよびACNTの論理和をトランジスタPM1（PM1a、PM1b）のゲートに出力する。なお、トランジスタNM1（NM1a、NM1b）のゲートには、アドレス制御信号ACNT（ACNTa、ACNT1b）が供給されている。
- [0067] 例えば、ドライバ制御部ADCN2は、サステイン期間SUSに、アドレス制御信号SS、ACNTをHレベルおよびLレベルにそれぞれ設定することにより、トランジスタPM1、NM1を同時にオフする。なお、トランジスタPM1およびNM1を同時にオフするための論理回路は、2入力論理和回路OR1の代わりに、否定論理和、論理積、否定論理積等を用いて構成されてもよい。また、2入力論理和回路OR1は、ドライバ制御部ADCN2内に設けられてもよい。
- [0068] ここで、電源遮断部PSI20（トランジスタNM30）を設けずに、サステイン期間SUSに、トランジスタPM1、NM1をオフする構成が、本発明の過程で考えられた。この構成では、トランジスタPM1およびNM1を同時にオフすることにより、アドレス電極AEを、フローティング（ハイインピーダンス）状態にできる。これにより、サステインパルスが印加された維持電極XEおよび走査電極YEの平均電圧とアドレス電極AEの電圧との差を小さくでき、維持電極XEおよび走査電極YEとアドレス電極AEと

の間の変位電流（リーク電流）を小さくできる。

[0069] しかし、この構成では、ハイインピーダンス状態のアドレス電極A Eの電圧が電源電圧V a d dより高くなる場合、アドレス電極A EからトランジスタP M 1の寄生ダイオードを介して第1電源線L N 1 2にリーク電流が流れる。例えば、維持電極X Eあるいは走査電極Y Eの電圧が電源電圧V a d dより高いとき、ハイインピーダンス状態のアドレス電極A Eの電圧が電源電圧V a d dより高くなるおそれがある。すなわち、電源遮断部P S I 2 0（トランジスタN M 3 0）を設けずに、サステイン期間S U Sに、トランジスタP M 1、N M 1をオフする構成では、維持電極X Eあるいは走査電極Y Eの電圧が電源電圧V a d dより高いときに、アドレス電極A EからトランジスタP M 1の寄生ダイオードを介して第1電源線L N 1 2にリーク電流が流れるおそれがある。

[0070] これに対し、この実施形態では、ハイインピーダンス状態のアドレス電極A Eの電圧が電源電圧V a d dより高くなる場合でも、トランジスタN M 3 0をオフすることにより、上述したように、トランジスタP M 1から第1電源線L N 1 2にリーク電流が流れることを防止できる。すなわち、この実施形態では、トランジスタP M 1、N M 3 0をオフすることにより、アドレス電極A Eと第1電源線L N 1 2との間にリーク電流が流れることを防止できる。なお、アドレスドライバA DのトランジスタP M 1をオフすることにより、第1電源線L N 1 2からアドレス電極A Eにリーク電流が流れることを防止できる。また、アドレスドライバA DのトランジスタN M 1をオフすることにより、アドレス電極A Eから接地線G N Dにリーク電流が流れることを防止できる。

[0071] したがって、この実施形態では、後述する図9に示すように、サステイン期間S U Sに、トランジスタP M 1、N M 1、N M 3 0をオフでき、電極間容量C a x yを介して維持電極X Eおよび走査電極Y Eとアドレス電極A Eとの間にリーク電流が流れることを防止できる。この結果、この実施形態では、消費電力を小さくできる。

- [0072] 図9は、図8に示したアドレス電極駆動部ADR2によるサブフィールドSFの放電動作の一例を示している。上述した図7と同じ動作については、詳細な説明を省略する。図9に示した波形は、アドレス制御信号SSの波形が追加されている点が図7と異なる。その他の波形は、図7と同じである。図中の星印および網掛け部分の意味は、図7と同じである。
- [0073] リセット期間RSTおよびアドレス期間ADRでは、アドレス制御信号SSは、Lレベルに維持される。これにより、アドレス制御信号ACNTがLレベルのとき、上述した図8に示したトランジスタPM1は、アドレス電極AEに電源電圧Vaddを印加でき、アドレス制御信号ACNTがHレベルのとき、トランジスタNM1は、アドレス電極AEに接地電圧GNDを印加できる。
- [0074] サステイン期間SUSでは、アドレス制御信号SSはHレベルに維持され、アドレス制御信号ACNTはLレベルに維持される。これにより、トランジスタPM1およびNM1は、オフする。さらに、制御信号SCNTがLレベルに設定されるため、トランジスタNM30はオフする。このように、この実施形態では、サステイン期間SUSに、トランジスタPM1、NM1、NM30がオフするため、上述した図8で説明したように、電極間容量Caxxを介して維持電極XEおよび走査電極YEとアドレス電極AEとの間にリーク電流が流れることを防止できる。以上、この実施形態においても、消費電力を小さくできる。
- [0075] 図10は、別の実施形態におけるPDP装置のアドレス電極駆動部ADR3および制御部CNT2を示している。なお、図では、アドレス電極AEbと維持電極XEおよび走査電極YEとの間の電極間容量Caxxの記載を省略している。また、図の制御部CNT2は、画像データR0-7、G0-7、B0-7および制御信号XCNT、YCNTの記載を省略している。この実施形態では、アドレス電極駆動部ADR3は、上述した図8に示した電源遮断部PSI20の代わりに、電源遮断部PSI22が設けられている。アドレス電極駆動部ADR3のその他の構成は、図8と同じである。

- [0076] また、この実施形態の制御部CNT2は、上述した図4に示した制御部CNTからスイッチ制御部SWCNが省かれて構成されている。さらに、制御部CNT2は、図4に示したドライバ制御部ADCNの代わりに上述した図8に示したドライバ制御部ADCN2が設けられている。制御部CNT2のその他の構成は、図4と同じである。
- [0077] なお、この実施形態では、サブフィールドSFの放電動作は、上述した図9に示した波形から制御信号SCNTを省いた波形と同じである。すなわち、電極XE、YE、AE、制御信号ACNT、SSの波形は、上述した図9と同じである。図1－図9で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。
- [0078] 電源遮断部PSI22は、アノードが第1電源線LN12に接続され、カソードがトランジスタPM1のソースに接続されたダイオードD10により構成されている。例えば、トランジスタPM1がオンしているときは、第1電源線LN12からダイオードD10を介してトランジスタPM1に電源電圧Vaddが供給される。なお、詳細には、電源電圧VaddからダイオードD10の順方向電圧分だけ降下した電圧が、トランジスタPM1に供給される。
- [0079] また、例えば、トランジスタPM1がオフしたときは、第1電源線LN12からアドレス電極AEに電流が流れないため、電源電圧VaddはトランジスタPM1に供給されない。すなわち、ダイオードD10は、上述した図3に示したサステイン期間SUSに、トランジスタPM1をオフすることにより、トランジスタPM1に供給される電源電圧Vaddを遮断する。さらに、ダイオードD10は、トランジスタPM1がオフしたとき、アドレス電極AEからトランジスタPM1の寄生ダイオードを介して第1電源線LN12にリーク電流が流れることを防止する。
- [0080] 例えば、この実施形態では、サステイン期間SUSに、アドレス制御信号SS、ACNTがHレベルおよびLレベルにそれぞれ設定され、トランジスタPM1、NM1がオフする。これにより、ダイオードD10は、サステイ

ン期間SUSに、アドレス電極AEからトランジスタPM1の寄生ダイオードを介して第1電源線LN12にリーク電流が流れることを防止できる。なお、この場合、トランジスタPM1がオフしているため、第1電源線LN12からアドレス電極AEにリーク電流が流れることを防止できる。また、トランジスタNM1がオフしているため、アドレス電極AEから接地線GNDにリーク電流が流れることを防止できる。

[0081] すなわち、この実施形態では、サステイン期間SUSに、トランジスタPM1、NM1をオフすることにより、電極間容量 $C_{ax y}$ を介して維持電極XEおよび走査電極YEとアドレス電極AEとの間にリーク電流が流れることを防止できる。以上、この実施形態においても、上述した図8、図9で説明した実施形態と同様の効果を得ることができる。

[0082] 図11は、別の実施形態におけるPDP装置のアドレス電極駆動部ADR4、ドライバ制御部ADCNおよびスイッチ制御部SWCNを示している。なお、図では、アドレス電極AEbと維持電極XEおよび走査電極YEとの間の電極間容量 $C_{ax y}$ の記載を省略している。この実施形態では、アドレス電極駆動部ADR4は、上述した図5に示したアドレス電極駆動部ADRにスイッチSW20（SW20a、SW20b）が追加されている。また、アドレス電極駆動部ADR4は、図5に示したアドレス電極駆動部ADRから電源遮断部PSI10、電源部PS1およびアイソレータIS1が省かれている。アドレス電極駆動部ADR4のその他の構成は、図5と同じである。

[0083] また、ドライバ制御部ADCNおよびスイッチ制御部SWCNの構成は、制御信号ACNT、SCNTの出力先を除いて図5と同じである。なお、この実施形態では、サブフィールドSFの放電動作は、上述した図7と同じである。図1ー図7で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0084] アドレスドライバAD（ADa、ADb）のトランジスタNM1（NM1a、NM1b）のソースは、接地線GNDに接続され、アドレスドライバA

D (ADa、ADb) のトランジスタPM1 (PM1a、PM1b) のソースは、内部電源線LN10に接続されている。内部電源線LN10には、例えば、上述した図4に示した電圧生成部PWRから電源電圧Vaddが供給される。また、トランジスタPM1、NM1のゲートは、互いに接続され、ドライバ制御部ADCNに接続されている。

[0085] スイッチSW20 (SW20a、SW20b) は、アドレス電極AE (AEa、AEb) 毎に、アドレスドライバAD (ADa、ADb) とアドレス電極AE (AEa、AEb) との間に設けられている。スイッチSW20のオン、オフは、スイッチ制御部SWCNから出力される制御信号SCNTにより制御される。例えば、スイッチSW20は、スイッチSW20がオフのときに、アドレスドライバADとアドレス電極AEとの間にリーク電流が流れないように構成される。例えば、サステイン期間SUSにスイッチSW20をオフすることにより、トランジスタPM1からアドレス電極AEに流れる電流およびアドレス電極AEからトランジスタNM1に流れる電流は遮断される。

[0086] 例えば、スイッチSW10は、IGBTやパワーMOSトランジスタにより構成される。上述したように、IGBTは、コレクタ、エミッタ間に寄生ダイオードを持たないため、IGBTで構成されたスイッチSW20では、スイッチSW20がオフのときに、アドレスドライバADとアドレス電極AEとの間にリーク電流は流れない。なお、寄生ダイオードを有するパワーMOSトランジスタで構成されたスイッチSW20の詳細は、後述する図12で説明する。

[0087] 例えば、ドライバ制御部ADCNは、上述した図7に示したように、サステイン期間SUSに、制御信号SCNTをLレベルに設定することにより、スイッチSW20をオフする。上述したように、スイッチSW20がオフしたときは、アドレスドライバADとアドレス電極AEとの間にリーク電流は流れない。したがって、この実施形態では、サステイン期間SUSに、アドレス電極AEと接地線GNDとの間および内部電源線LN10とアドレス電

極A Eとの間にリーク電流が流れることを防止できる。

[0088] すなわち、この実施形態では、サステイン期間S U Sに、スイッチSW 2 0をオフすることにより、電極間容量C a x yを介して維持電極X Eおよび走査電極Y Eとアドレス電極A Eとの間にリーク電流が流れることを防止できる。この結果、この実施形態では、消費電力を小さくできる。なお、この実施形態では、サステイン期間S U S中、スイッチSW 2 0をオフさせるため、サステイン期間S U S中のアドレス制御信号A C N Tは、Hレベルでもよいし、Lレベルでもよい。

[0089] 図1 2は、図1 1に示したスイッチSW 2 0の一例を示している。スイッチSW 2 0は、例えば、ノードN D 1（上述した図1 1に示したトランジスタP M 1とトランジスタN M 1とを接続している共通ノードN D 1）とアドレス電極A Eとの間に直列に接続された一対のパワーn M O SトランジスタN M 4 0、N M 5 0（NチャネルF E T）で構成されている。なお、パワーn M O SトランジスタN M 4 0、N M 5 0は、トランジスタN M 4 0、N M 5 0のゲートを互いに接続している共通ノードがスイッチ制御部S W C Nに接続され、制御信号S C N Tをゲートで受けている。

[0090] また、n M O SトランジスタN M 4 0は、ドレインがノードN D 1に接続され、ソースがn M O SトランジスタN M 5 0のソースに接続されている。n M O SトランジスタN M 5 0は、ドレインがアドレス電極A Eに接続されている。すなわち、一対のパワーn M O SトランジスタN M 4 0、N M 5 0は、トランジスタN M 4 0、N M 5 0に形成される各寄生ダイオードのアノードを互いに接続する向きに接続されている。

[0091] トランジスタN M 4 0、N M 5 0がオフ状態のとき、トランジスタN M 4 0の寄生ダイオードは、ノードN D 1からアドレス電極A Eにリーク電流が流れることを防止し、トランジスタN M 5 0の寄生ダイオードは、アドレス電極A EからノードN D 1にリーク電流が流れることを防止する。これにより、スイッチSW 2 0がオフのときに、ノードN D 1（上述した図1 1に示したアドレスドライバA D）とアドレス電極A Eとの間にリーク電流が流れ

ることを防止できる。以上、この実施形態においても、上述した図1－図9で説明した実施形態と同様の効果を得ることができる。

[0092] 図13は、別の実施形態におけるPDP装置のアドレス電極駆動部ADR5、ドライバ制御部ADCN2およびスイッチ制御部SWCNを示している。なお、図では、アドレス電極AEbと維持電極XEおよび走査電極YEとの間の電極間容量Caxyの記載を省略している。この実施形態では、アドレス電極駆動部ADR5は、上述した図5に示したアドレス電極駆動部ADRに2入力論理和回路OR1（OR1a、OR1b）およびアイソレータIS2が追加されて構成されている。アドレス電極駆動部ADR5のその他の構成は、図5と同じである。

[0093] また、この実施形態のドライバ制御部ADCN2では、アドレス制御信号ACNTの他に、アドレス制御信号SSを生成する点が、図5に示したドライバ制御部ADCNと相違する。ドライバ制御部ADCN2のその他の構成は、図4、図5と同じである。なお、この実施形態では、サブフィールドSFの放電動作は、上述した図9と同じである。図1－図9で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0094] なお、2入力論理和回路OR1（OR1a、OR1b）の一方の入力端子は、アイソレータIS2を介してドライバ制御部ADCN2に接続され、他方の入力端子は、アイソレータIS1（IS1a、IS1b）を介してドライバ制御部ADCN2に接続されている。そして、2入力論理和回路OR1の出力端子は、アドレスドライバADのトランジスタPM1のゲートに接続されている。

[0095] すなわち、2入力論理和回路OR1（OR1a、OR1b）は、アドレス制御信号SSおよびACNTの論理和をトランジスタPM1（PM1a、PM1b）のゲートに出力する。また、アドレスドライバADのトランジスタNM1のゲートは、2入力論理和回路OR1（OR1a、OR1b）の一方の入力端子に接続され、かつ、アイソレータIS1を介してドライバ制御部

A D C N 2 に接続されている。

[0096] 例えば、ドライバ制御部 A D C N 2 は、上述した図 9 に示したように、サステイン期間 S U S に、アドレス制御信号 S S、A C N T を H レベルおよび L レベルにそれぞれ設定することにより、トランジスタ P M 1、N M 1 を同時にオフする。なお、トランジスタ P M 1 および N M 1 を同時にオフするための論理回路は、2 入力論理和回路 O R 1 の代わりに、否定論理和、論理積、否定論理積等を用いて構成されてもよい。また、2 入力論理和回路 O R 1 は、ドライバ制御部 A D C N 2 内に設けられてもよい。

[0097] トランジスタ P M 1 および N M 1 を同時にオフすることにより、内部電源線 L N 1 0 とアドレス電極 A E との間、およびアドレス電極 A E と基準電源線 L N 2 0 との間を、ハインピーダンス状態にできる。これにより、サステインパルスが印加された維持電極 X E および走査電極 Y E の平均電圧とアドレス電極 A E の電圧との差を確実に小さくでき、維持電極 X E および走査電極 Y E とアドレス電極 A E との間の変位電流（リーク電流）を確実に小さくできる。

[0098] なお、サステイン期間 S U S では、スイッチ S W 1 0 がオフしているため、上述した図 1 - 図 7 で説明した実施形態と同様に、基準電源線 L N 2 0 と接地線 G N D との間にリーク電流が流れることを防止でき、消費電力を小さくできる。以上、この実施形態においても、上述した図 1 - 図 9 で説明した実施形態と同様の効果を得ることができる。

[0099] 図 1 4 は、別の実施形態における P D P 装置のアドレス電極駆動部 A D R 6、ドライバ制御部 A D C N 3 およびスイッチ制御部 S W C N を示している。なお、図では、アドレス電極 A E b と維持電極 X E および走査電極 Y E との間の電極間容量 C a x y の記載を省略している。この実施形態では、アドレス電極駆動部 A D R 6 は、上述した図 8 に示したアドレス電極駆動部 A D R 2 から 2 入力論理和回路 O R 1（O R 1 a、O R 1 b）が省かれて構成されている。また、アドレス電極駆動部 A D R 6 の電源遮断部 P S I 2 0 の構成は、図 8 に示したトランジスタ N M 3 0 の代わりにスイッチ S W 3 0 が設

けられている。アドレス電極駆動部 ADR6 のその他の構成は、図 8 と同じである。

[0100] また、この実施形態のドライバ制御部 ADCN3 では、図 8 に示したアドレス制御信号 SS を生成しない点が、図 8 に示したドライバ制御部 ADCN2 と相違する。ドライバ制御部 ADCN3 のその他の構成は、図 8 と同じである。図 1－図 9 で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

[0101] 電源遮断部 PSI20 は、上述した図 3 に示したリセット期間 RST およびアドレス期間 ADR にオンし、サステイン期間 SUS にオフするスイッチ SW30 により構成されている。例えば、スイッチ SW30 は、IGBT や上述した図 6、図 12 に示した一対のパワー nMOS トランジスタにより、スイッチ SW30 がオフのときに、第 1 電源線 LN12 とトランジスタ PM1 との間にリーク電流が流れないように構成される。

[0102] トランジスタ PM1、NM1 のゲートは、互いに接続され、ドライバ制御部 ADCN3 に接続されている。例えば、ドライバ制御部 ADCN3 は、後述する図 15 に示すように、サステイン期間 SUS に、アドレス制御信号 ACNT を L レベルに設定することにより、トランジスタ NM1 をオフする。この実施形態では、トランジスタ NM1 をオフすることにより、アドレス電極 AE と基準電源線 LN20 との間にリーク電流が流れることを防止できる。

[0103] また、この実施形態では、サステイン期間 SUS に、スイッチ SW30 がオフしているため、第 1 電源線 LN12 とトランジスタ PM1 との間にリーク電流が流れることを防止できる。すなわち、この実施形態では、サステイン期間 SUS に、スイッチ SW30 およびトランジスタ NM1 をオフすることにより、電極間容量 Cax y を介して維持電極 XE および走査電極 YE とアドレス電極 AE との間にリーク電流が流れることを防止できる。この結果、消費電力を小さくできる。

[0104] 図 15 は、図 14 に示したアドレス電極駆動部 ADR6 によるサブフィー

ルドSFの放電動作の一例を示している。上述した図9と同じ動作については、詳細な説明を省略する。図15に示した波形は、アドレス制御信号SSの波形が省かれている点が図9と異なる。その他の波形は、図9と同じである。図中の星印および網掛け部分の意味は、図9と同じである。

[0105] リセット期間RSTおよびアドレス期間ADRでは、制御信号SCNTは、Hレベルに維持される。これにより、アドレス制御信号ACNTがLレベルのとき、上述した図14に示したトランジスタPM1は、アドレス電極AEに電源電圧Vaddを印加でき、アドレス制御信号ACNTがHレベルのとき、トランジスタNM1は、アドレス電極AEに接地電圧GNDを印加できる。

[0106] サステイン期間SUSでは、アドレス制御信号ACNTおよび制御信号SCNTはLレベルにそれぞれ設定され、トランジスタNM1およびスイッチSW30は、オフする。なお、上述したように、スイッチSW30は、スイッチSW30がオフしたとき、第1電源線LN12とトランジスタPM1との間にリーク電流が流れないように構成されている。このため、サステイン期間SUSでは、トランジスタPMがオンしても、第1電源線LN12とトランジスタPM1との間にリーク電流が流れることを防止できる。

[0107] このように、この実施形態では、サステイン期間SUSに、トランジスタNM1およびスイッチSW30がオフするため、電極間容量Caxyを介して維持電極XEおよび走査電極YEとアドレス電極AEとの間にリーク電流が流れることを防止できる。この結果、消費電力を小さくできる。以上、この実施形態においても、上述した図8、図9で説明した実施形態と同様の効果を得ることができる。

[0108] なお、上述した実施形態では、1つの画素が、3つのセル（赤（R）、緑（G）、青（B））により構成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、1つの画素を4つ以上のセルにより構成してもよい。あるいは、1つの画素が、赤（R）、緑（G）、青（B）以外の色を発生するセルにより構成されてもよく、1つの画素が、赤（

R)、緑(G)、青(B)以外の色を発生するセルを含んでもよい。

[0109] 上述した実施形態では、第2方向D2が、第1方向D1に直交する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、第2方向D2は、第1方向D1と、ほぼ直角方向(例えば、90度±5度)に交差してもよい。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0110] 上述した実施形態では、サステイン期間SUSに、電圧 $-V_s/2$ および電圧 $V_s/2$ が維持電極XEおよび走査電極YEに交互に印加される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、サステイン期間SUSに、接地電圧GNDおよび電圧 V_s が維持電極XEおよび走査電極YEに交互に印加されてもよい。この場合、サステイン期間SUS中の維持電極XEおよび走査電極YEの電圧が常に接地電圧GND以上のため、サステイン期間SUSに、アドレス電極AEが接地電圧GNDより低くなることを防止できる。これにより、トランジスタNM1がオフのときに、トランジスタNM1の寄生ダイオードを介して、接地線GNDからアドレス電極AEにリーク電流が流れることを確実に防止できる。この結果、消費電力を確実に小さくできる。この場合にも、上述した実施形態と同様の効果を得ることができる。

[0111] 上述した実施形態では、アドレスドライバADがpMOSトランジスタPM1およびnMOSトランジスタNM1により構成される例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、アドレスドライバADは、pMOSトランジスタPM1およびnMOSトランジスタNM1の代わりに、PNPバイポーラトランジスタおよびNPNバイポーラトランジスタにより構成されてもよい。あるいは、図16に示すように、アドレスドライバADは、pMOSトランジスタPM1の代わりに、nMOSトランジスタNM2を用いて構成されてもよい。この場合、nMOSトランジスタNM2のゲートは、例えば、上述した図5に示したpMOSトランジスタPM1のゲートが受けていた制御信号と論理レベル(高論理および低論理

）が逆の制御信号を受ける。

[0112] 図16は、上述した図5、図6に示したアドレス電極駆動部ADRの変形例を示している。図16に示したアドレス電極駆動部ADR7は、図5に示したアドレスドライバADの代わりに、アドレスドライバAD2（AD2a）が設けられている。また、アドレス電極駆動部ADR7は、図5に示したアドレス電極駆動部ADRに、アドレスドライバAD2毎に設けられた電源部PS2（PS2a）、インバータINV1（INV1a）およびレベルシフタLS1（LS1a）が追加されて構成されている。その他の構成は、図5と同じである（電源部PS1の構成は、図6と同じ）。図1－図7で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。なお、電源遮断部PSI10を除くアドレス電極駆動部ADR7の回路群（アドレスドライバAD2および電源部PS1を含む回路群）をアドレス駆動回路ADRC3とも称する。

[0113] 例えば、アドレスドライバAD2のトランジスタNM2は、ソースがノードND1（アドレス電極AEおよびトランジスタNM1のドレイン）に接続され、ドレインが内部電源線LN10に接続され、ゲートがインバータINV1の出力に接続されている。すなわち、トランジスタNM2の寄生ダイオードのカソードが内部電源線LN10に接続され、トランジスタNM2の寄生ダイオードのアノードがノードND1に接続されている。これにより、内部電源線LN10から寄生ダイオードを介して基準電源線LN20にリーク電流が流れることを防止できる。

[0114] 電源部PS2（PS2a）の構成は、コイルL2および容量C1がノードND1（ND1a）に接続されている点を除いて、電源部PS1と同じである。電源部PS2は、電源部PS2のトランスT1のコイルL1に加えられた交流電圧Vadd2に基づいて、ノードND1の電圧を基準（最低電圧）にして、電源電圧Vadd3を生成する。そして、電源電圧Vadd3は、インバータINV1の電源電圧として、インバータINV1に供給される。例えば、電圧Vadd3は、トランジスタNM2の閾値電圧より大きい電圧

である。また、インバータ I N V 1 の基準電圧（最低電圧）として、ノード N D 1 の電圧が、インバータ I N V 1 に供給される。なお、電源部 P S 1 のトランス T 1 および電源部 P S 2 のトランス T 1 は、互いのコイル L 1 を共有して構成してもよい。

[0115] インバータ I N V 1 の入力端子は、レベルシフタ L S 1 およびアイソレータ I S 1 を介して、ドライバ制御部 A D C N に接続されている。レベルシフタ L S 1 は、入力（アイソレータ I S 1 の出力）信号を、インバータ I N V 1 の入力範囲に合わせたレベルにシフトして、インバータ I N V 1 に出力する回路である。

[0116] これにより、インバータ I N V 1 は、基準電源線 L N 2 0 の状態に拘わらず、アドレス制御信号 A C N T が L レベルのとき、ノード N D 1 の電圧から電圧 V a d d 3 だけ高い電圧を H レベルとして、トランジスタ N M 2 に出力できる。このとき、トランジスタ N M 2 は、ゲートおよびソース間に閾値電圧より大きい電圧 V a d d 3 が印加されるため、オンする。また、インバータ I N V 1 は、基準電源線 L N 2 0 の状態に拘わらず、アドレス制御信号 A C N T が H レベルのとき、ノード N D 1 の電圧を L レベルとして、トランジスタ N M 2 に出力できる。このとき、トランジスタ N M 2 は、ゲートおよびソース間に閾値電圧より小さい電圧（0 V）が印加されるため、オフする。

[0117] アドレスドライバ A D 2 のトランジスタ N M 1 のゲートは、レベルシフタ L S 1 に接続され、かつ、アイソレータ I S 1 を介して、ドライバ制御部 A D C N に接続されている。したがって、図 1 6 の構成でも、サブフィールド S F の放電動作を、上述した図 7 と同じにできる。例えば、サステイン期間 S U S に、制御信号 S C N T を L レベルに設定することにより、アドレス駆動回路 A D R C 3 と接地線 G N D とを電氣的に非接続にできる。n M O S トランジスタ N M 1、N M 2 によりアドレスドライバ A D 2 を構成した場合でも、上述した図 1 - 図 7 で説明した実施形態と同様の効果を得ることができる。なお、上述した図 8 - 図 1 5 で説明した実施形態で、アドレスドライバ A D の代わりにアドレスドライバ A D 2 を用いた構成にした場合でも、上述

した図 8－図 15 で説明した実施形態と同様の効果を得ることができる。

[0118] 以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

産業上の利用可能性

[0119] 本発明は、プラズマディスプレイ装置およびプラズマディスプレイ装置の制御方法に適用できる。

請求の範囲

- [1] 維持電極および走査電極間でサステイン放電を発生させ、前記走査電極およびアドレス電極間でアドレス放電を発生させるプラズマディスプレイパネルと、前記プラズマディスプレイパネルを駆動する駆動部とを備え、

前記プラズマディスプレイパネルは、前記維持電極、前記走査電極および前記アドレス電極を有する第1基板と、放電空間を介して前記第1基板に対向する第2基板とを備え、

1画面を表示するための1フィールドは、アドレス放電を発生させるためのアドレス期間と、サステイン放電を発生させるためのサステイン期間とを有する複数のサブフィールドを含んで構成され、

前記駆動部は、

前記アドレス期間に、電源電圧を受け、アドレス制御信号に基づいて、前記アドレス電極に前記電源電圧を印加するための第1トランジスタと、前記アドレス期間の前記第1トランジスタがオフのときに、接地電圧を受け、前記アドレス制御信号に基づいて、前記アドレス電極に前記接地電圧を印加するための第2トランジスタとを含むアドレス電極印加部と、

前記サステイン期間に、前記アドレス電極印加部に供給される前記電源電圧および前記接地電圧のいずれかを遮断する電源遮断部とを備えていることを特徴とするプラズマディスプレイ装置。

- [2] 請求項1記載のプラズマディスプレイ装置において、

前記電源遮断部は、前記第2トランジスタが接続された基準電源線と接地線との間に配置され、前記アドレス期間に接地線から前記基準電源線に前記接地電圧を供給するためにオンし、前記サステイン期間にオフするスイッチで構成され、

前記駆動部は、

前記基準電源線および前記電源遮断部を介して接地線に接続され、前記第1トランジスタが接続された内部電源線に前記電源電圧を供給する電源部を備えていることを特徴とするプラズマディスプレイ装置。

- [3] 請求項 2 記載のプラズマディスプレイ装置において、
前記駆動部は、前記アドレス期間に前記スイッチをオンし、前記サステイン期間に前記スイッチをオフするスイッチ制御部を備え、
前記スイッチは、前記基準電源線と接地線との間に直列に接続された一対の N チャネル FET で構成され、
前記一対の N チャネル FET は、N チャネル FET に形成される各寄生ダイオードのアノードを互いに接続する向きに接続され、前記一対の N チャネル FET のゲートを互いに接続している共通ノードが前記スイッチ制御部に接続されていることを特徴とするプラズマディスプレイ装置。
- [4] 請求項 2 記載のプラズマディスプレイ装置において、
前記駆動部は、前記サステイン期間に前記第 1 および第 2 トランジスタをオフするための前記アドレス制御信号を生成するドライバ制御部を備えていることを特徴とするプラズマディスプレイ装置。
- [5] 請求項 1 記載のプラズマディスプレイ装置において、
前記駆動部は、前記サステイン期間に前記第 1 および第 2 トランジスタをオフするための前記アドレス制御信号を生成するドライバ制御部を備え、
前記電源遮断部は、前記電源電圧が供給される第 1 電源線と前記第 1 トランジスタとの間に配置され、前記アドレス期間に前記第 1 トランジスタに前記電源電圧を供給するためにオンし、前記サステイン期間にオフするスイッチで構成され、
前記第 2 トランジスタは、前記接地電圧を受けるために接地線に接続されていることを特徴とするプラズマディスプレイ装置。
- [6] 請求項 5 記載のプラズマディスプレイ装置において、
前記駆動部は、前記アドレス期間に前記スイッチをオンし、前記サステイン期間に前記スイッチをオフするスイッチ制御部を備え、
前記スイッチは、ソース、ドレインおよびゲートが前記第 1 電源線、前記第 1 トランジスタおよび前記スイッチ制御部にそれぞれ接続された N チャネル FET で構成されていることを特徴とするプラズマディスプレイ装置。

- [7] 請求項 1 記載のプラズマディスプレイ装置において、
- 前記駆動部は、前記サステイン期間に前記第 1 および第 2 トランジスタをオフするための前記アドレス制御信号を生成するドライバ制御部を備え、
- 前記電源遮断部は、前記電源電圧が供給される第 1 電源線と前記第 1 トランジスタとの間に配置され、アノードが前記第 1 電源線に接続され、カソードが前記第 1 トランジスタに接続されたダイオードで構成され、
- 前記第 2 トランジスタは、前記接地電圧を受けるために接地線に接続されていることを特徴とするプラズマディスプレイ装置。
- [8] 維持電極および走査電極間でサステイン放電を発生させ、前記走査電極およびアドレス電極間でアドレス放電を発生させるプラズマディスプレイパネルと、前記プラズマディスプレイパネルを駆動する駆動部とを備え、
- 前記プラズマディスプレイパネルは、前記維持電極、前記走査電極および前記アドレス電極を有する第 1 基板と、放電空間を介して前記第 1 基板に対向する第 2 基板とを備え、
- 1 画面を表示するための 1 フィールドは、アドレス放電を発生させるためのアドレス期間と、サステイン放電を発生させるためのサステイン期間とを有する複数のサブフィールドを含んで構成され、
- 前記駆動部は、
- 前記アドレス期間に、電源電圧を受け、アドレス制御信号に基づいて、前記アドレス電極に前記電源電圧を印加するための第 1 トランジスタと、前記アドレス期間の前記第 1 トランジスタがオフのときに、接地電圧を受け、前記アドレス制御信号に基づいて、前記アドレス電極に前記接地電圧を印加するための第 2 トランジスタとを含むアドレス電極印加部と、
- 前記アドレス電極印加部と前記アドレス電極との間に配置され、前記サステイン期間に、前記第 1 トランジスタから前記アドレス電極に流れる電流および前記アドレス電極から前記第 2 トランジスタに流れる電流を遮断するためのスイッチとを備えていることを特徴とするプラズマディスプレイ装置。
- [9] 請求項 8 記載のプラズマディスプレイ装置において、

前記駆動部は、前記アドレス期間に前記スイッチをオンし、前記サステイン期間に前記スイッチをオフするスイッチ制御部を備え、

前記スイッチは、前記アドレス電極印加部と前記アドレス電極との間に直列に接続された一対のNチャネルFETで構成され、

前記一対のNチャネルFETは、NチャネルFETに形成される各寄生ダイオードのアノードを互いに接続する向きに接続され、前記一対のNチャネルFETのゲートを互いに接続している共通ノードが前記スイッチ制御部に接続されていることを特徴とするプラズマディスプレイ装置。

- [10] 第1基板に備えられた維持電極および走査電極間でサステイン放電を発生させ、前記走査電極および前記第1基板に備えられたアドレス電極間でアドレス放電を発生させるプラズマディスプレイパネルと、前記アドレス電極に選択的にパルスを印加するアドレス駆動回路とを備え、前記アドレス駆動回路が、前記パルスを生成するための内部電源を含んで構成されたプラズマディスプレイ装置の制御方法であって、

1画面を表示するための1フィールドは、アドレス放電を発生させるためのアドレス期間と、サステイン放電を発生させるためのサステイン期間とを有する複数のサブフィールドを含んで構成され、

前記アドレス期間では、前記アドレス駆動回路と接地線とを電氣的に接続し、前記サステイン期間では、前記アドレス駆動回路と接地線とを電氣的に非接続にすることを特徴とするプラズマディスプレイ装置の制御方法。

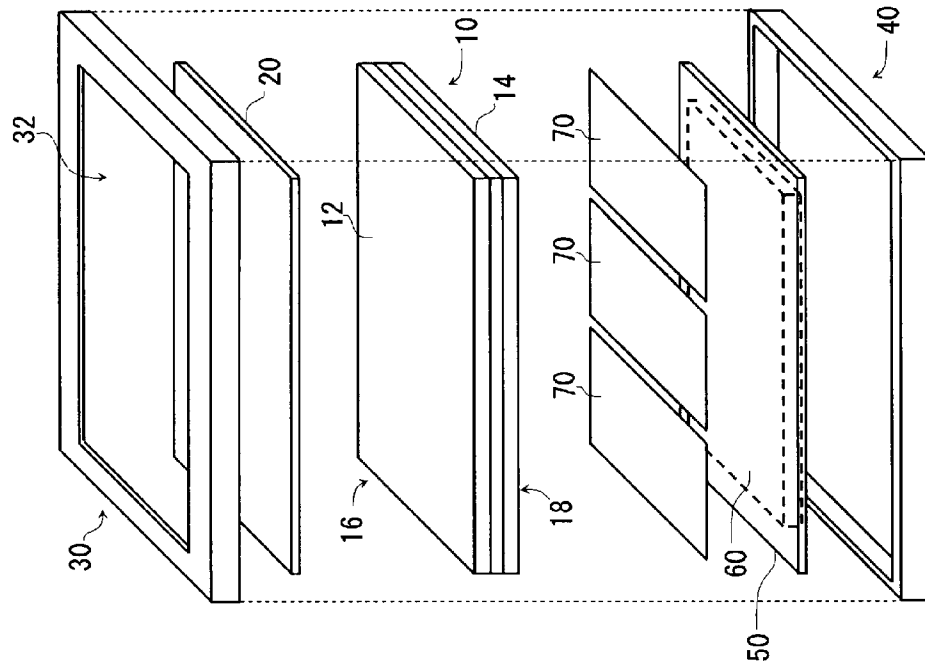
- [11] 第1基板に備えられた維持電極および走査電極間でサステイン放電を発生させ、前記走査電極および前記第1基板に備えられたアドレス電極間でアドレス放電を発生させるプラズマディスプレイパネルと、前記アドレス電極に選択的にパルスを印加するアドレス電圧印加部とを備え、前記アドレス電圧印加部が、電源線と接地線との間に直列に接続された第1トランジスタおよび第2トランジスタを含んで構成され、前記第1トランジスタと前記第2トランジスタとを互いに接続している共通ノードが前記アドレス電極に接続されるプラズマディスプレイ装置の制御方法であって、

1画面を表示するための1フィールドは、アドレス放電を発生させるためのアドレス期間と、サステイン放電を発生させるためのサステイン期間とを有する複数のサブフィールドを含んで構成され、

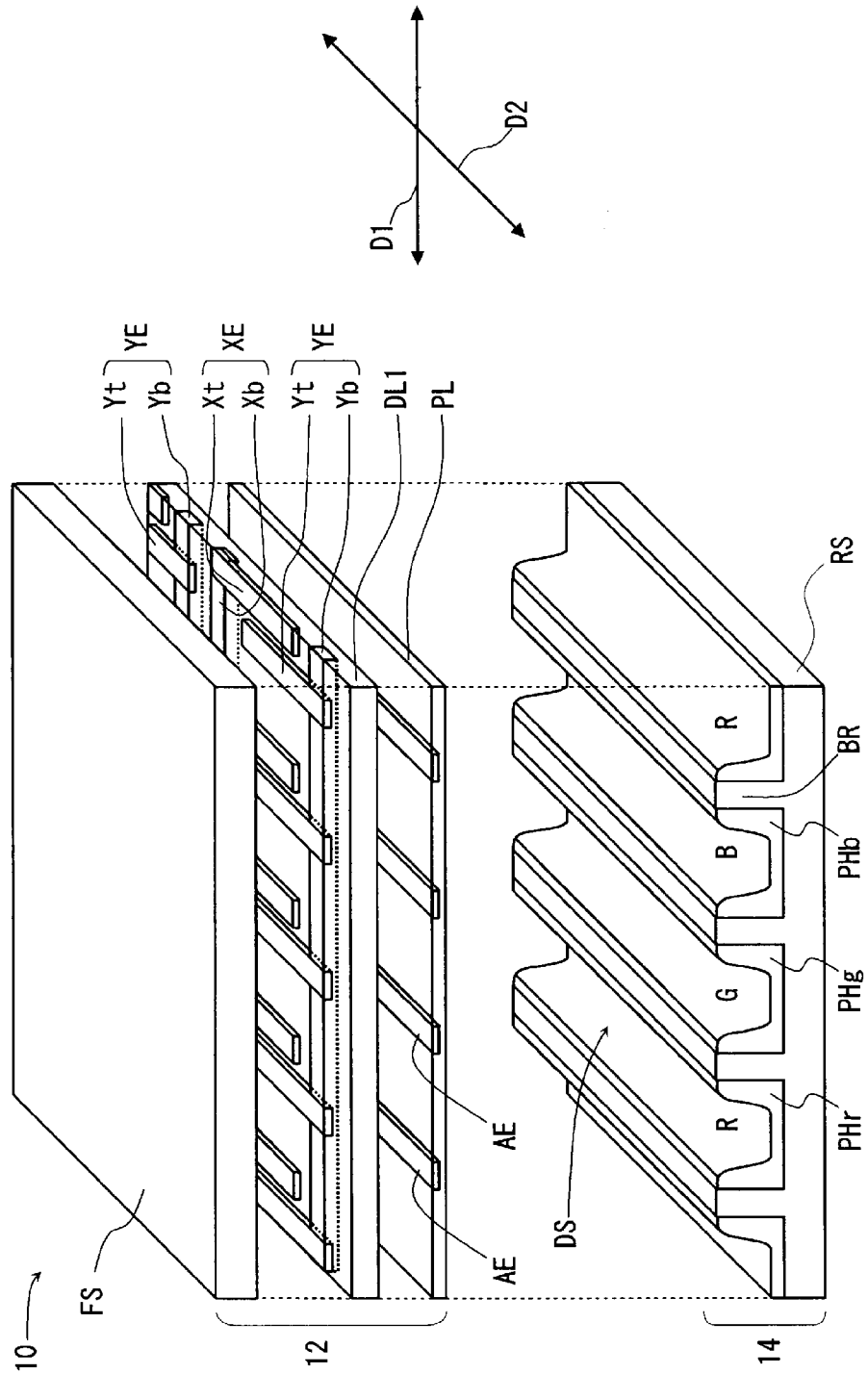
前記アドレス期間に、前記電源線に電源電圧を供給し、

前記サステイン期間に、前記電源線に供給される電源電圧を遮断し、かつ、前記第2トランジスタをオフすることを特徴とするプラズマディスプレイ装置の制御方法。

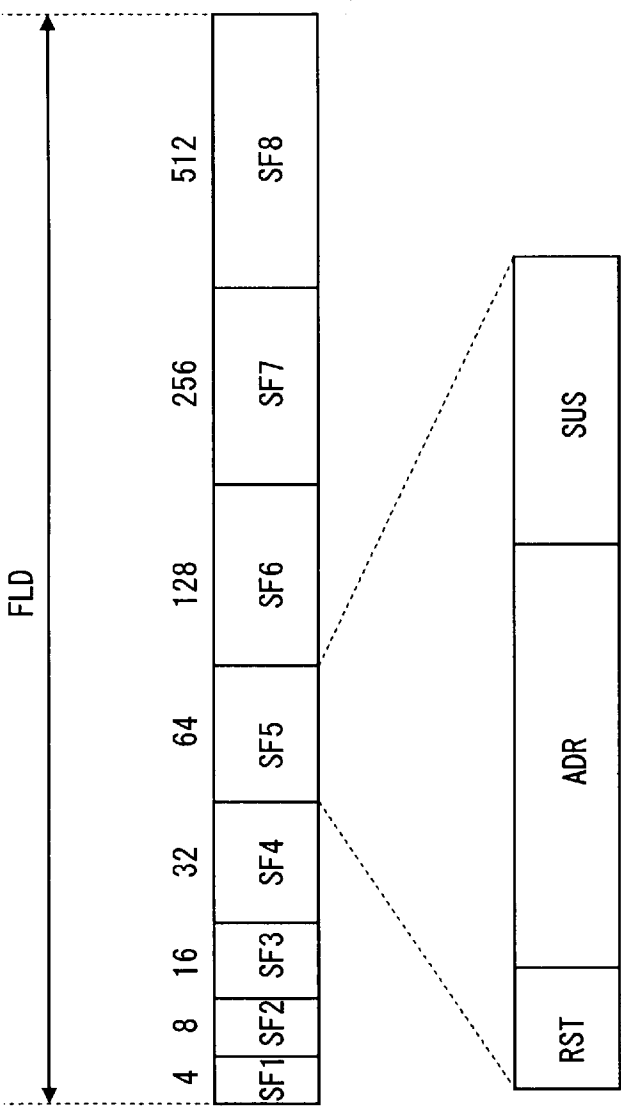
[図1]



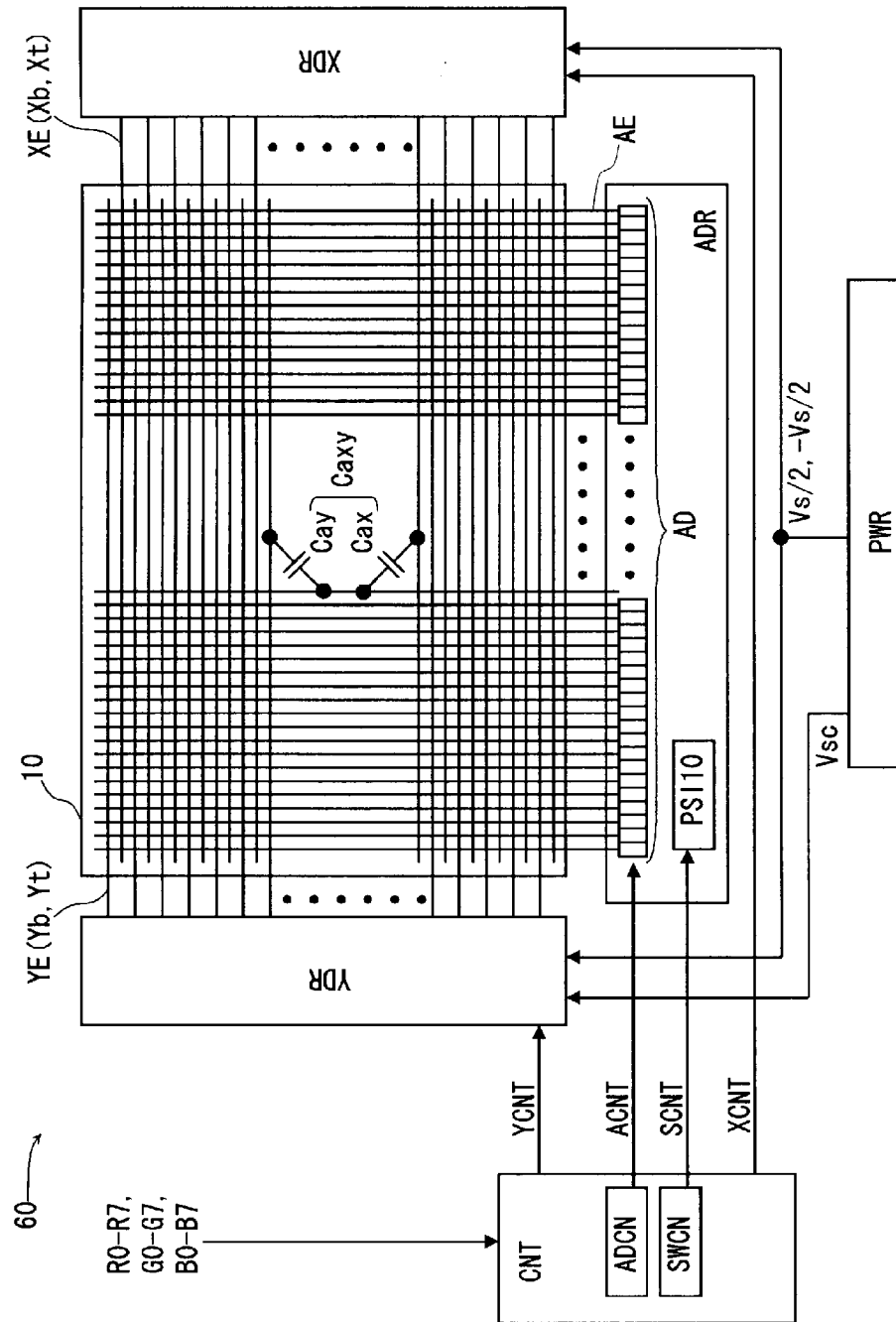
[図2]



[図3]

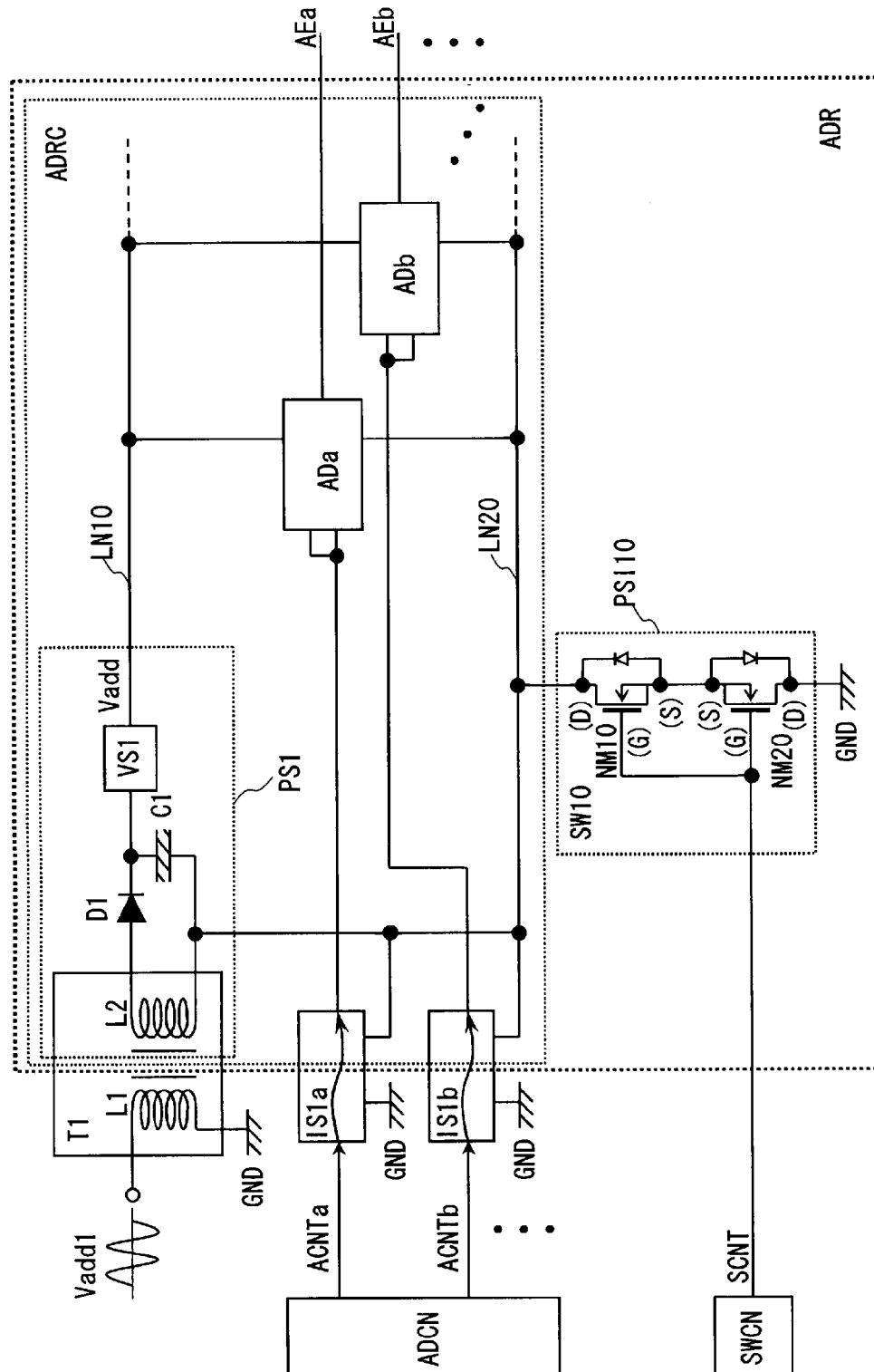


[図4]

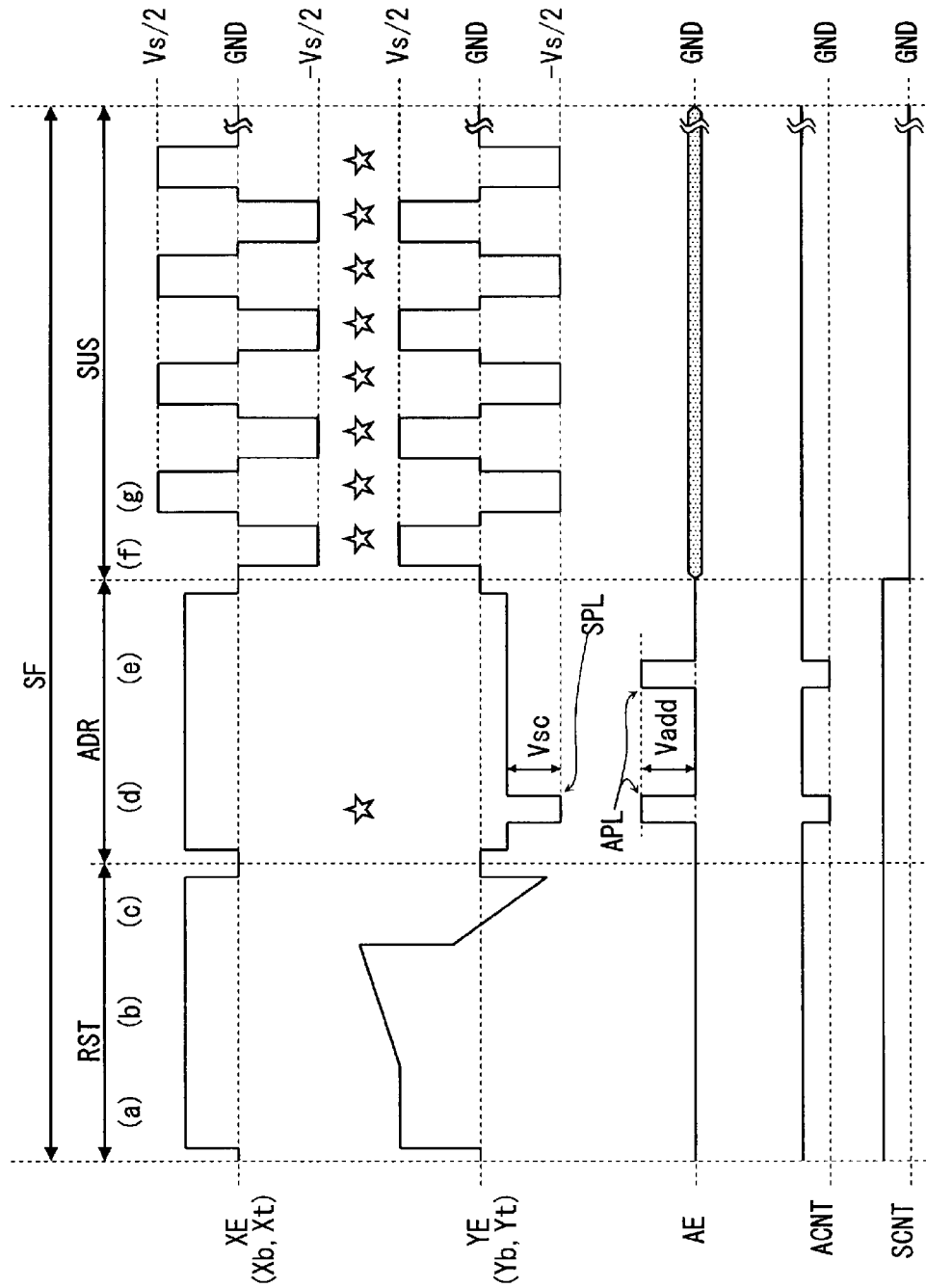


The diagram illustrates a multi-channel A/D converter architecture. It consists of three main functional blocks: ADCN (Analog-to-Digital Converter Nucleus), ADRC (Analog-to-Digital Converter Reference Core), and ADR (Analog-to-Digital Converter Reference Core). The ADCN block provides multiple channels (ACNTa, ACNTb, ..., ACNTn) to the ADRC block. The ADRC block contains a power supply section with Vadd, PS1, and LN10, and a signal processing section with PM1a, NM1a, PM1b, NM1b, and ND1a, ND1b. The output of the ADRC block is connected to an ADR block, which includes a switch SW10 and a power supply section with PS110 and GND. The output of the ADR block is connected to an SWCN block.

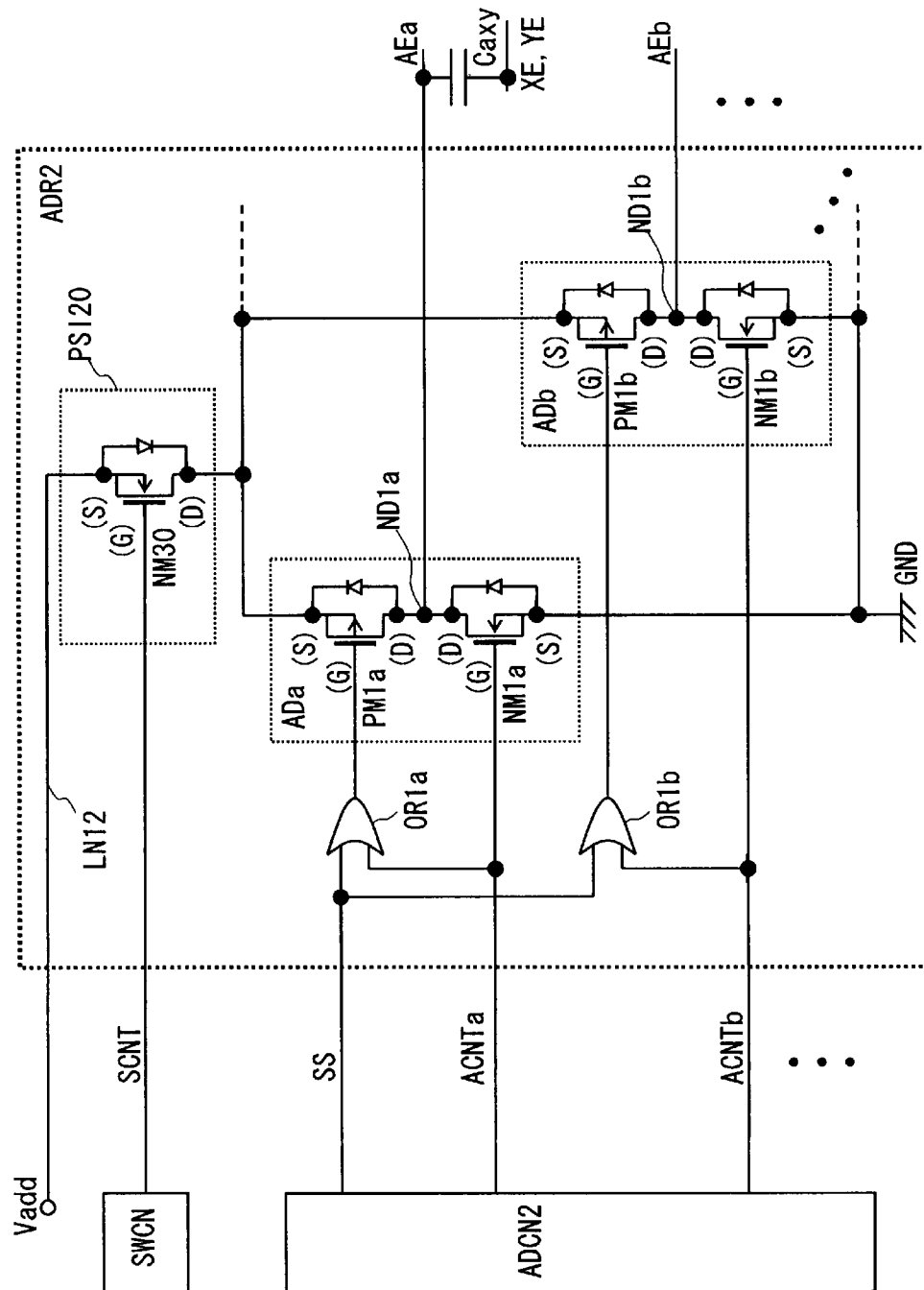
[図6]



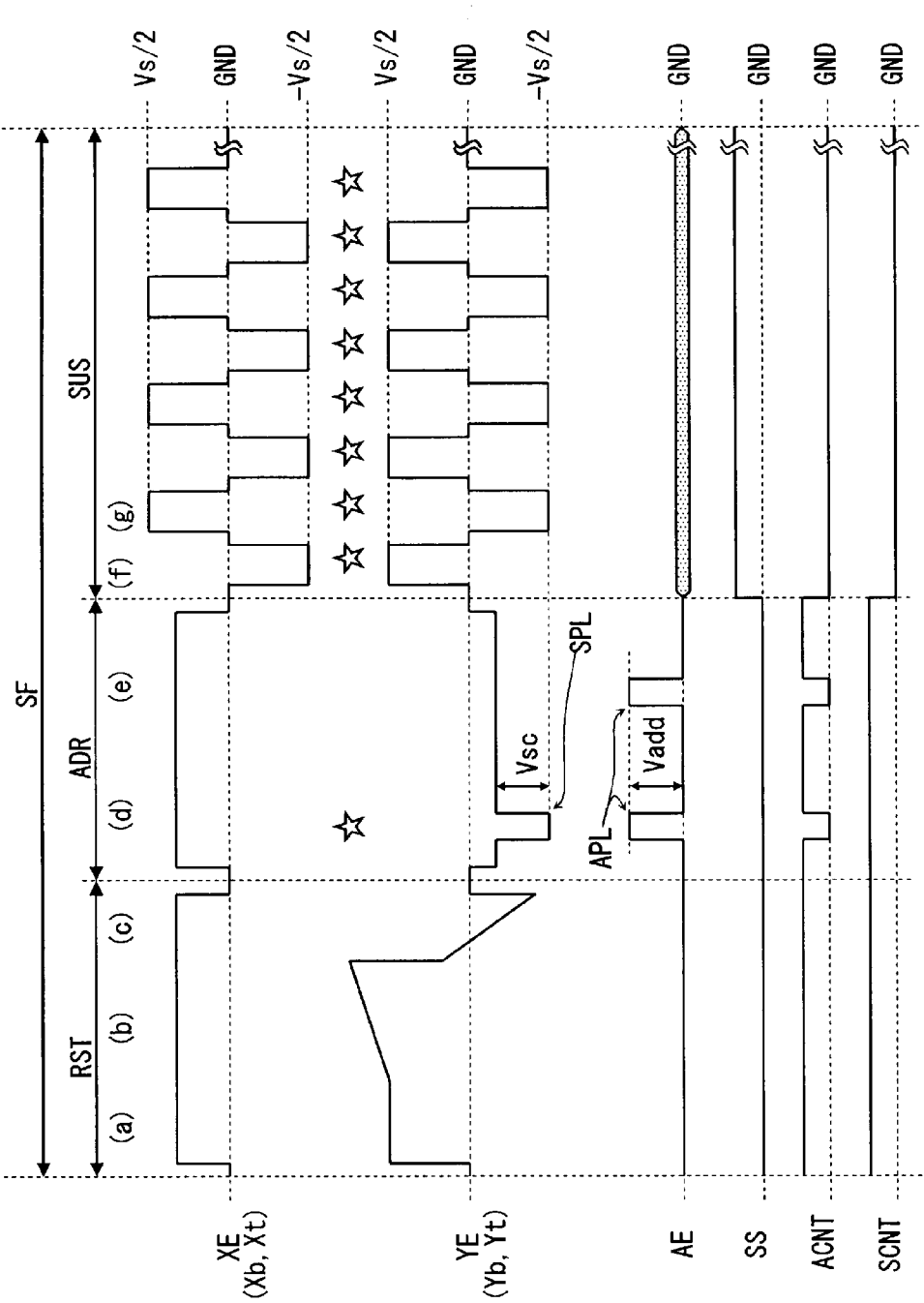
[図7]



[図8]



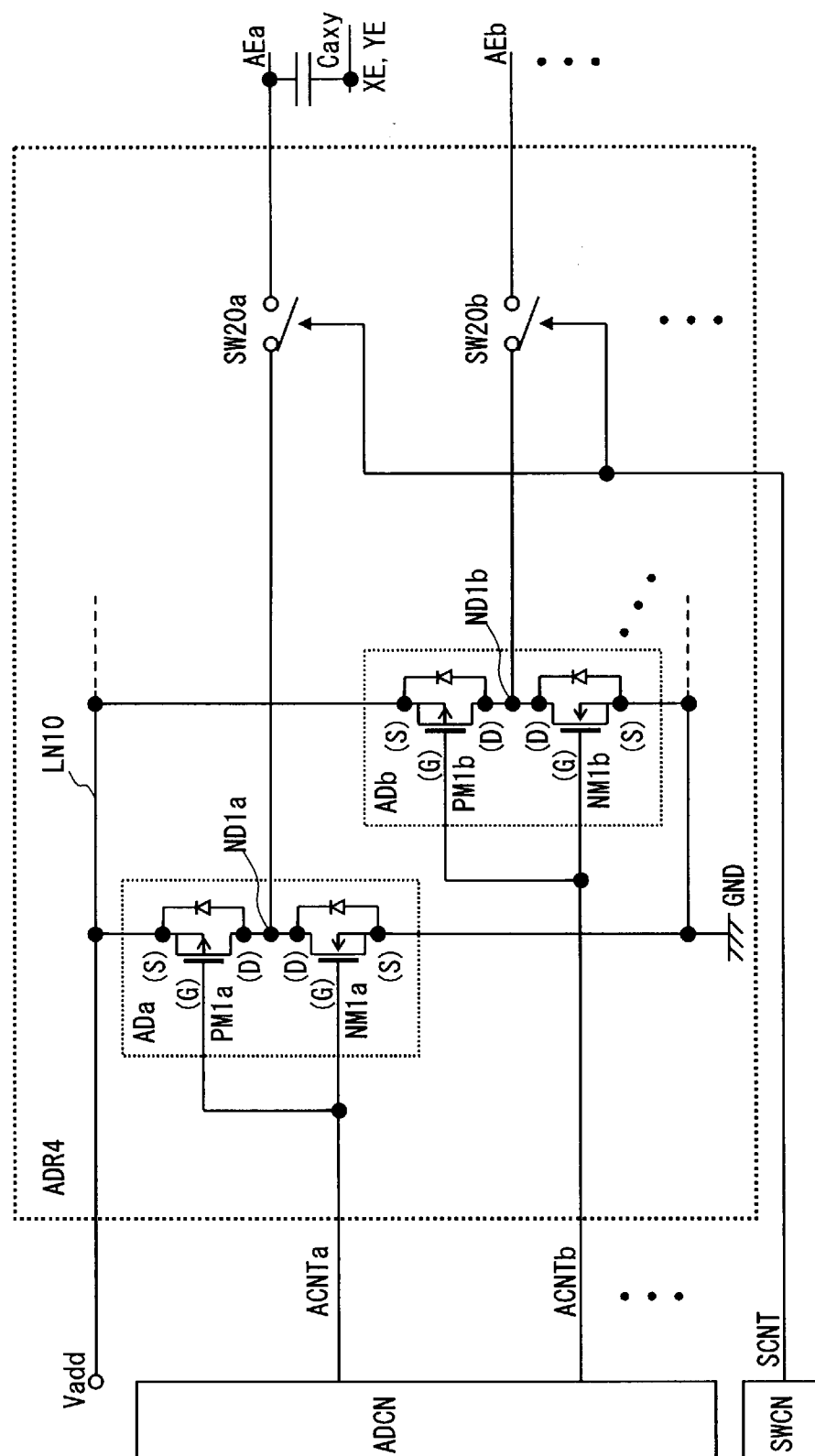
[図9]



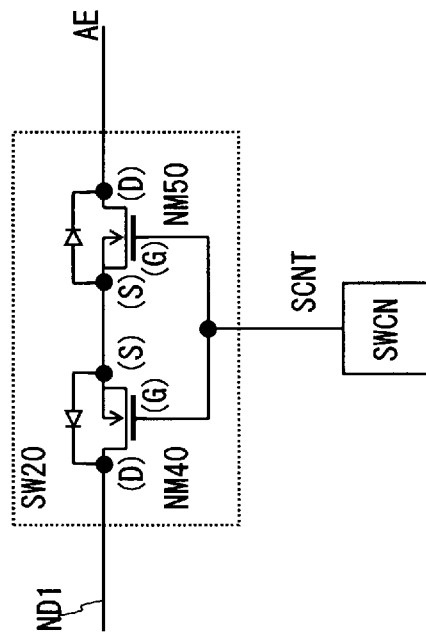
The diagram illustrates a multi-bit digital-to-analog converter (DAC) circuit. The circuit is divided into several functional blocks:

- ADCN2:** A multi-bit digital-to-analog converter block that receives digital inputs $ACNTa$, $ACNTb$, and SS . It outputs a digital signal AEa and an analog signal AEb .
- Feedback Loop:** The analog output AEb is fed back through a capacitor $Caxy$ to the input of the $ADCN2$ block. The feedback signal is also connected to a divider $D10$ and a buffer $PSI22$.
- Transistor Network:** The circuit includes a network of PMOS and NMOS transistors. The PMOS transistors are labeled $PM1a$, $PM1b$, and $PM1c$. The NMOS transistors are labeled $NM1a$, $NM1b$, and $NM1c$. The gates of these transistors are controlled by digital signals $ACNTa$, $ACNTb$, and SS .
- Output Stage:** The output of the transistor network is connected to a buffer $PSI22$ and a divider $D10$. The output of the divider is connected to the input of the $ADCN2$ block.

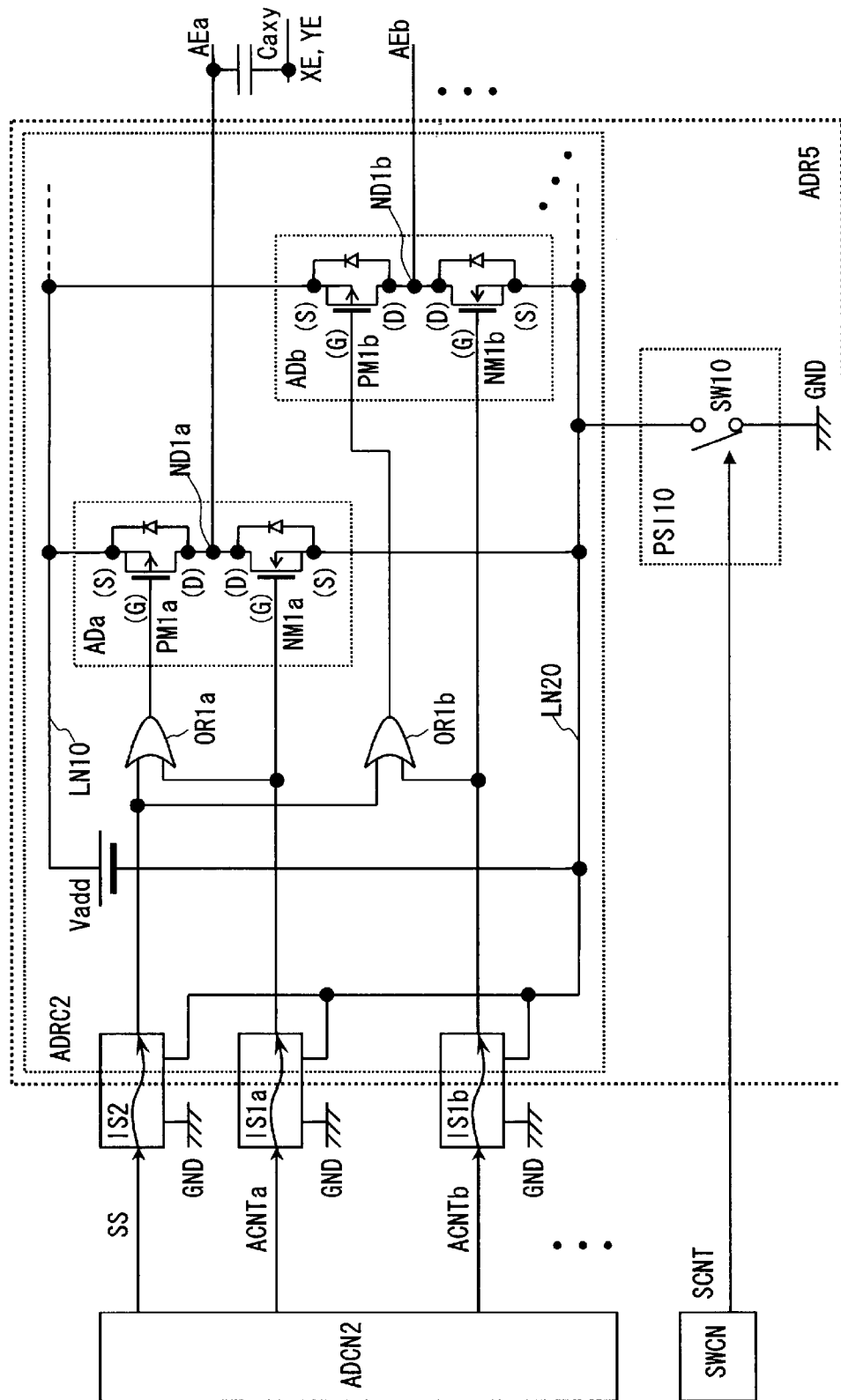
[図11]



[図12]

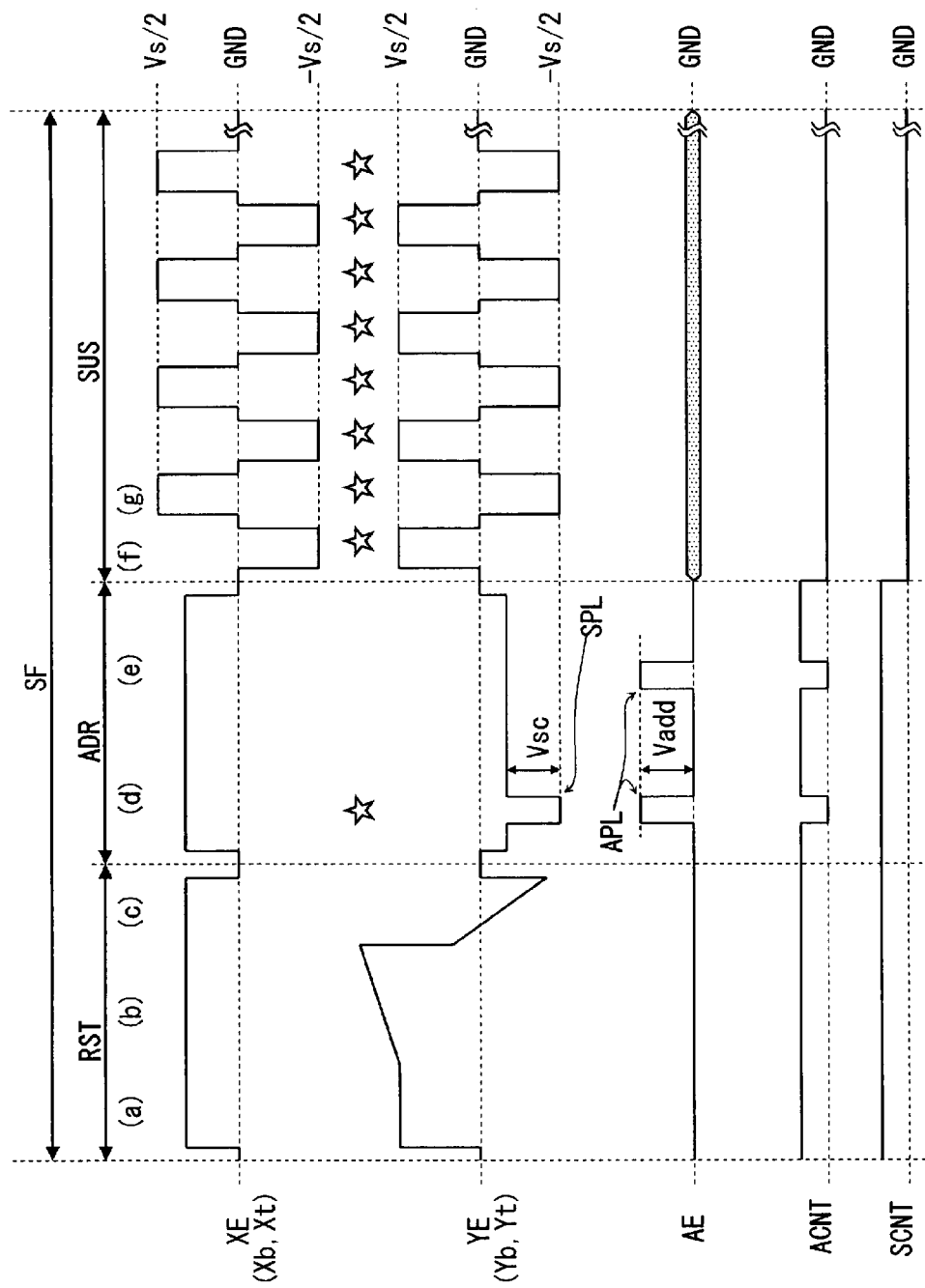


[図13]



[illegible]

[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000083

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/28(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20-3/38, H01J11/02, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6376995 B1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.),	1-2, 4-8, 10-11
Y	23 April, 2002 (23.04.02), Column 7, line 46 to column 8, line 12; column 15, lines 3 to 9; column 16, lines 55 to 56; column 22, line 64 to column 23, line 21; Figs. 1, 14, 35A, 35B, 36 & JP 2000-194317 A & JP 2000-242223 A & JP 2001-6558 A & JP 2001-60074 A & JP 2001-34228 A & JP 2001-42817 A & US 6528952 B2	3, 9
Y	JP 57-78751 A (Fujitsu Ltd.), 17 May, 1982 (17.05.82), Page 2, lower left column, line 18 to lower right column, line 16; Fig. 2 (Family: none)	1-2, 4-8, 10-11

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 February, 2008 (20.02.08)Date of mailing of the international search report
04 March, 2008 (04.03.08)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000083

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-273265 A (Fujitsu Hitachi Plasma Display Ltd.), 30 September, 2004 (30.09.04), Par. Nos. [0026] to [0030]; Fig. 1 (Family: none)	1-2, 4-8, 10-11
Y	JP 2-97113 A (Toshiba Corp.), 09 April, 1990 (09.04.90), Page 2, upper left column, line 18 to lower right column, line 18; Fig. 4(a) (Family: none)	3, 9
Y	JP 6-130914 A (NEC Corp.), 13 May, 1994 (13.05.94), Claim 1; Fig. 1 & US 5438290 A	3, 9
Y	JP 6-216736 A (Matsushita Electric Works, Ltd.), 05 August, 1994 (05.08.94), Par. No. [0002]; Fig. 5 (Family: none)	3, 9
A	JP 8-123362 A (Noritake Co., Ltd.), 17 May, 1996 (17.05.96), Par. Nos. [0011] to [0013]; Figs. 2 to 4 (Family: none)	1-11
A	JP 2006-323362 A (LG Electronics Inc.), 30 November, 2006 (30.11.06), Par. Nos. [0055] to [0058], [0061] to [0070]; Figs. 6(B), 8(C) & US 2006/0262041 A1 & EP 1724746 A & KR 10-2006-0118810 A & CN 1866334 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/28(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/20-3/38, H01J11/02, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	U S 6 3 7 6 9 9 5 B 1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)	1-2, 4-8, 10-11
Y	2 0 0 2 . 0 4 . 2 3 第 7 欄 第 4 6 行 ~ 第 8 欄 第 1 2 行、第 1 5 欄 第 3 行 ~ 第 9 行、第 1 6 欄 第 5 5 行 ~ 第 5 6 行、第 2 2 欄 第 6 4 行 ~ 第 2 3 欄 第 2 1 行、 図 1、図 1 4、図 3 5 A、図 3 5 B、図 3 6 & JP 2000-194317 A & JP 2000-242223 A & JP 2001-6558 A & JP 2001-60074 A & JP 2001-34228 A & JP 2001-42817 A & US 6528952 B2	3, 9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 2 . 2 0 0 8

国際調査報告の発送日

0 4 . 0 3 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

小川 浩史

2 G

9 1 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 5 7 - 7 8 7 5 1 A (富士通株式会社) 1 9 8 2 . 0 5 . 1 7 第2頁左下欄第18行～右下欄第16行、第2図 (ファミリーなし)	1-2, 4-8, 10-11
Y	J P 2 0 0 4 - 2 7 3 2 6 5 A (富士通日立プラズマディスプレイ株式会社) 2 0 0 4 . 0 9 . 3 0 【0026】～【0030】、図1 (ファミリーなし)	1-2, 4-8, 10-11
Y	J P 2 - 9 7 1 1 3 A (株式会社東芝) 1 9 9 0 . 0 4 . 0 9 第2頁左上欄第18行～右下欄第18行、第4図 (a) (ファミリーなし)	3, 9
Y	J P 6 - 1 3 0 9 1 4 A (日本電気株式会社) 1 9 9 4 . 0 5 . 1 3 , 請求項1、図1 &US 5438290 A	3, 9
Y	J P 6 - 2 1 6 7 3 6 A (松下電工株式会社) 1 9 9 4 . 0 8 . 0 5 , 【0002】、図5 (ファミリーなし)	3, 9
A	J P 8 - 1 2 3 3 6 2 A (株式会社ノリタケカンパニーリミテド) 1 9 9 6 . 0 5 . 1 7 【0011】～【0013】、図2～図4 (ファミリーなし)	1-11
A	J P 2 0 0 6 - 3 2 3 3 6 2 A (エルジー エレクトロニクス インコーポレイティド) 2 0 0 6 . 1 1 . 3 0 【0055】～【0058】、【0061】～【0070】、図6 (B)、 図8 (C) &US 2006/0262041 A1 &EP 1724746 A &KR 10-2006-0118810 A &CN 1866334 A	1-11