

293182



申請日期	85. 3. 27.
案 號	85103679
類 別	H01L 31/2, G09G 3/20

293182

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	一種反射空間光調變器陣列
	英 文	A REFLECTIVE SPATIAL LIGHT MODULATOR ARRAY
二、發明 人	姓 名	1.伊凡·喬治·柯肯 5.羅伯·李·米奇 2.詹姆士·麥奇·艾德溫·哈波 3.法蘭克·班傑明·柯夫曼 4.瑪卡瑞·佩吉·曼尼 6.詹姆斯·路易斯·史皮得
	國 籍	均美國
三、申請人	住、居所	1.美國紐約州索芬市朵拜瑞巷138號 2.美國紐約州約克頓高地市伊利沙白路507號 3.美國伊利諾州吉內瓦市伊斯頓街721號 4.美國紐約州麥霍普市湖邊路18號 5.美國紐約州奇斯柯山市狄兒奎克巷9號 6.美國紐約州波奎市史托路97號
	姓 名 (名稱)	美商萬國商業機器公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
三、申請人	代 表 人 姓 名	費羅普

293182

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申請專利，申請日期：1995.4.28. 案號：08/431370，☐有 ☐無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明與諸多顯示裝置有關；且更特別的是，與具有用來控制對應像素之諸適當的控制電路，並位在一半導體基層上的一種反射式空間光調變器陣列有關。

發明背景

也簡稱為光閥(light-valve)陣列的空間光調變器(SLM)陣列，均用於投影顯示，光學相互連接，全像攝影儲存(holographic storage)及其它諸多應用中，其中光係以空間方式(spatially)和以時間(關係)方式(temporally)加以調變以回應一數據(data)陣列。以矽為基礎的(Si based)SLM具有許多優點。利用一種以矽為基礎的反射式SLM，即使具有諸多小的像素也能獲得高的光輸貫量，此乃因為：如在光通過基質之一透射式顯示器(transmissive display)中那樣，諸多址線及像素儲存電容器並不會阻擋光。利用諸多單晶(single crystal)矽電晶體，其電晶體的諸多交換速度均比利用現在已經用於扁平面板顯示器的諸多非結晶(amorphous)矽或複晶(polycrystalline)矽電晶體的還快，因而准許顯示器具有一種較高的訊框速率(frame rate)和較高(品質)的資訊內容。另外，即使是老式的矽晶片(chip)製造設備，也能在一SLM上維持諸多特徵大小(feature sizes)，它們比利用當今扁平面板製造技術現有的特徵大小還更精細。就具有SLM之大小的顯示器規模(scale)而言，由於還有其它光學組件的大小，故將特徵大小，進而是像素大小降到最小程度是所要的。

五、發明說明(2)

在公告於1991年3月12日，由特威爾德(T.S. Te Velde)提出申請的美國專利申請第4,999,619號中就描述有一種電光式(electro-optic)顯示裝置，它具有：一液晶材料層，該層位在具有至少一個透明的第一控制電極的第一透明支承板(supporting plate)和第二支承板之間；及至少一個半導體基體(body)，它具有一個或更多用來驅動已經以排成行列的方式佈置之一像素陣(pixel element matrix)的交換式元件，並具有各自分開地可用電氣方式驅動的諸多圖像電極(pixel electrodes)。可將第二支承板配備有一附加的反射層(介電鏡)，該層覆蓋諸多像素和(可能的)諸多中間的半導體材料零件。然後，仍將妥善屏蔽中間的半導體材料不受入射光影響。

在刊載於SID，1993年版文摘第299頁，由葛魯克等人所發表，標題為"適於彩色電視投影的一種Si:H薄膜電晶體(TFT)定址的反射式 $\lambda/4$ -HAN模式光閥之光效率的改良"的專文中，可藉著將諸多TFT，儲存電容器，以及諸多行和列直線置於一諸多反射式鋁像素電極的陣列下面而獲得一大的光活性區(active area)，用以提供具有解析度為400 x 200像素，像素大小為50微米(μm) x 55微米，而孔徑比(aperture ratio)為84%的一種Si:H TFT定址的光閥。

在刊載於應用光學文獻第32,5549號(1993年版)，由歐哈拉(A. O' Hara)等人所發表，標題為"利用介電塗層處理(dielectric coatings)及化學—機械拋光處理(chemical-mechanical polishing, CMP)針對反射式空間光調變器之鏡

五、發明說明(3)

子品質和效率的改良"的專文中，不是藉著將在上的鏡子塗上一層二氧化矽，就是在沉積鋁以形成鏡子前藉著將在下二氧化矽施以化學-機械拋光，而改良一種空間光調變器的鏡子品質。

對於諸多扁平面板顯示器而言，可將大小為幾微米的諸多塑膠球以隨機方式散佈在液晶裝置間隙中以作間隔層用。就要被使用之非常小的像素大小(在一邊上為17微米)而言，當單一間隔球就能阻擋舉足輕重之一鏡子面積的4%時，之所以會舉足輕重，乃是因為對於一4位元灰度(grey scale)而言，最低有效位元對應於鏡面的6%；且當諸多間隔球的任何群聚動作(clustering)就會造成較嚴重的鏡面陰影現象(mirror shadowing)時，這並不實用。

建構於前面玻璃上之剛硬的 SiO_2 (二氧化矽)間隔層的使用，在刊載於SID，1992年版文摘第277頁，由葛魯克(J. Glueck)等人所發表，標題為"具有快速交換操作之諸反射式HAN模式光閥的彩色電視投影"，以及上面所援引的，刊載於SID，1993年版文摘第299頁，由葛魯克等人所發表的專文中都已加以報導過。上面所援引的，由特威爾德提出申請的美國專利申請第4,999,619號描述有：藉由光石印術(photo lithography)及蝕刻法，由一層氧化鎂(magnesium oxide)所形成的諸多間隔層或間隔柱(posts)。

發明概要

根據本發明，提供用於調變光的一種空間光調變器陣列和其製造方法，包括：許多液晶裝置，被定位於一半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

基質上之一介電層上對應之鏡子的上方；許多電路，被形成於分別耦合到諸多液晶裝置的半導體基質中，用以調變通過該處的光；以及一反射/吸收層，相對於諸多鏡子被定位並施以圖案設計(patterned)。反射/吸收層為許多電路提供光屏蔽，使其不受周圍和射入光(impinging light)影響，反射/吸收層之一邊緣與鏡子之一邊緣相重疊，用以形成一重疊區，以便將正通過射入半導體基質的周圍和射入光，按照約100,000或較高之一因數加以衰減。

附圖概述

本發明的這些和其它的諸多特點，目的和優點，均將因下列之發明闡述的考量並連同附圖加以研讀而得以彰顯，其中：

圖1係本發明之一實施例的一種橫截面圖。

圖2係針對多種厚度之一鋁鏡的一種反射率(reflectivity)對熱處理的曲線圖。

圖3係針對鋁和針對一種鋁(0.5重量百分比(wt. %)的銅)合金的一種反射率對退火(annealing)溫度的曲線圖。

圖4係一種反射率對諸多光測試結構：C1，OP2，和OP3的曲線圖。

圖5到10均為在經過用以建構在圖1中所示之實施例的諸多經選定處理步驟後的橫截面圖。

圖11係在圖10中所示之結構的一種掃描電子顯微照相片(electron micrograph)的俯視圖。

圖12到17均為在經過用以製造本發明之一交替實施例的

五、發明說明(5)

多種處理步驟後的橫截面圖。

較多較佳實施例的描述

參考圖1，顯示一種空間光調變器10的一半之一橫截面圖。可將許多空間光調變器10同時形成在諸如2048 x 2048個像素之一陣列11中。利用1.4微米石印術(lithography)可形成在一邊上為17微米的像素大小。一種液晶裝置12被顯示定位在基質14的上方，該基質可能是諸如矽(Si)或鍺化矽(SiGe)的一種單晶半導體或"在絕緣體上的半導體"(semiconductor on insulator, SOI)，而裝置則包含：被諸多層間(interlevel)管道(諸如管道(via)或間柱(stud) 17)，複晶矽層18和20，及金屬層22所連接的許多電路16(未示出)。液晶裝置12包括一液晶材料26；可能是例如：銦錫(In-Sn)氧化物(ITO)之一上電極28；兼俱如電極和鏡子般功能之一下電極/鏡30；以及用來間隔上電極28和下電極30的間隔層32。就每一液晶裝置12而言，並不需要間隔層32。一反射/吸收層34具有阻擋或衰減周圍光和入射光的功能，由諸多箭頭54，58和59所示的這些光有：在空間光調變器10上，正通過在諸如下電極/鏡33和下電極/鏡30之二鏡子間的諸多開口(openings)或間隙，和正通過射入半導體基質114。

爲了完成空間光調變器10的描述，一介電層36係被定位在基質14與可能是例如：熱氧化物(thermal oxide)的複晶矽層18之間。可能是約650埃(Å)之一薄介電層38，則是被定位在二複晶矽層18與20之間。一介電層40係被定位在複

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

晶矽層20及/或介電層38與金屬層22及/或介電層42之間。介電層38可以熱方式生長在複晶矽層18上。可利用諸如使用TEOS做為先行氣體(precursor gas)的化學蒸汽沉積法(chemical vapor deposition, CVD)形成介電層40和42。如圖1中所示,介電層42可能具有以化學和機械方式加以拋光之一上表面43,用來提供一已平面化的(planarized)上表面43。可在屬於相同材料之介電層42的上方形成一介電層44。介電層46係在反射/吸收層34之上形成,它填滿在反射/吸收層34與金屬層24及/或下電極/鏡30之間的間隙。介電層46可能是氮化矽(silicon nitride),用來提供具有 ϵ (epsilon)約為7的一種高介電常數材料,以便在金屬層24與反射/吸收層34之間形成一電容器48。電容器48係與由複晶矽層18,介電層38及複晶矽層20所形成的電容器50相耦合(未示出其間的諸多相互連接),它具有保持在下電極/鏡30上之電壓的功能。反射/吸收層34可以是在地電位。

一種反射式空間光調變器10的諸多功能要求包括:1)屏蔽半導體基質14不受入射光(周圍和射入光)影響,2)高的光輸貫量與對比,3)像素儲存電容,及4)在沒有使鏡子變模糊的諸多間隔層下,液晶晶格(cell)厚度的精確控制。如在圖1中所示,間隔層32並不會使下電極/鏡30變模糊。對每一像素而言,間隔層32不需重複,但均要按照用來將蓋板(cover plate)52保持在下電極/鏡30上方之一均勻距離處所需的間距(intervals)加以定位。對於從10到400個像素的任何地方而言,就可能需用一間隔層。

五、發明說明(7)

對於在圖1中所示的結構而言，屏蔽在形成諸多電路之基質14中的諸多半導體裝置不受光影響，係由下電極/鏡30及反射/吸收層34的組合所達成。下電極/鏡30和反射/吸收層34兩者均足夠厚使得它們都不透光。射於液晶裝置12和相鄰液晶裝置的兩個下電極/鏡30與33(已部份顯示在圖1中30的左側)之間開口56的光或輻射能54和58，會進入介電層46；而且，要到達諸多介電層44，42，40和36及包含諸多電路16(未示出)之半導體基質14，在反射/吸收層34的上表面55與下電極/鏡30的下表面之間，就需要如箭頭59所示多次(重)的反射。反射/吸收層34的上表面55可能是氮化鈦(TiN)，它具有在對藍光而言是20%與對紅光而言是65%之間的反射率。就以偏離法線(normal)7度角射入的紅光而言，要到達在間柱17近處的開口57，被反射光就需要如箭頭59所示將近一百次的反射，而光強度則會被減少或衰減達 10^{-19} 以上。在諸多液晶裝置12的陣列外側，可用一敷蓋反射/吸收層34來保護諸多半導體裝置不受入射光或輻射能54影響。

光輸貫量的高低端視由下電極/鏡30所佔空間光調變器10之面積的分數，下電極/鏡30的反射率，以及下電極/鏡的平整度(flatness)而定。下電極/鏡30的佔空因數(fill factor)係由在兩相鄰下電極/鏡30與33之間，能夠可靠地施以圖案設許的最小空間所決定；並且端視可供利用的石印術和圖案製作(patterning)技術而定。對在圖1中所示的空間光調變器10而言，電極/鏡直徑或像素大小的寬度是在一邊上為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

17微米，而在二個下電極/鏡30之間則具有1.7微米之一標稱間隔；下電極/鏡30的佔空因數為81%。因為非常大的陣列面積，即：2,048 x 2,048個像素，故減少間隔是可能的，但卻會使下電極/鏡30導致電極/鏡短路的機率增加。由於鋁(Al)是最具反射性的金屬之一，就相關的諸多波長而言，平均是92%；故諸多下電極/鏡30均係由鋁或一種鋁的合金所製成，而諸多鋁-銅(Al-Cu)合金則均被用於半導體金屬鍍層(metallizations)，諸如：在公告於1973年4月並指定給在此處之受讓人，由愛密斯(Ames)等人提出申請的美國專利申請第3,725,309號中所描述的。將銅加到鋁，用以改善電遷移效能(electromigration performance)並減少小丘(hillock)形成。銀雖具有稍強的反射性，如：93%，但因銀會迅速氧化而無法與典型的半導體製程相容。利用鋁之一缺點是：導因於熱膨脹與基質不相匹配，使得在熱循環期間有諸多小丘的形成。藉著在金屬層24沉積之後限制諸多熱處理(heat treatments)；或者，藉著限制鋁晶粒大小(grain size)，就可將小丘形成降到最少程度。在金屬層24形成之後所達到的典型處理溫度為400°C，它可能被減少到350°C。藉著限制金屬層24的薄膜厚度，或利用合金加成法(alloy additions)，就可將鋁晶粒大小減小。不過，將鋁薄膜厚度減小太猛，就會導致在退火之後薄膜的燒結(agglomeration)，它也會減小反射率。

圖2係針對多種厚度之一鋁鏡的一種反射率對熱處理的曲線圖。在圖2中，縱座標表示：以百分比(%)表示的光反射

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

率(相對於未退火，厚100奈米(nm, 10^{-19} 米)的鋁)；而橫座標則表示在一溫度下維持達30分鐘的熱處理。鋁鏡係由蒸發二氧化矽上的鈦層達10奈米的厚度，隨後再蒸發鈦層上的鋁而形成。由相互連接以形成曲線61到63的諸多實心圓所顯示：鋁被沉積達50奈米厚度。曲線61到63分別對應於450奈米，550奈米，和680奈米的光波長。就已沉積達100奈米厚度鋁而言，顯示由曲線64到66所相互連接的諸多實心正方形。曲線64到66分別對應於450奈米，550奈米，和680奈米的光波長。就已沉積達150奈米厚度鋁而言，顯示於圖2中的諸多實心三角形均由曲線67到69所相互連接。曲線67到69分別對應於450奈米，550奈米，和680奈米的光波長。爲了改善黏附力(adhesion)和接觸電阻，就以這些結果爲根據，選擇下面有一厚10奈米鈦層之一150奈米厚度的鋁鏡。將鋁和銅形成合金，雖會稍微減小對於低溫度退火(或稱熱處理)的反射率，但與純鋁比較，導因於已減少的小丘形成，卻會使在經過400°C退火後的反射率顯著地變得較好。

圖3係針對鋁和針對一種鋁(0.5重量百分比的銅)合金的一種反射率對退火的曲線圖。在圖3中，縱座標表示光的反射率；而橫座標則表示在200°C，350°C加200°C，以及400°C加200°C時的熱處理(退火)，其中每一溫度被維持長達1小時。曲線71到73均針對分別由一種實心三角形，正方形和圓形所示的諸多數據點；且針對一層二氧化矽，其上有一厚10奈米的鈦層，而在鈦敷蓋層(blanket layer)上則

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(10)

有一厚177奈米的鋁敷蓋層。而曲線74到76則均針對分別由一種三角形，正方形和圓形之輪廓所示的諸多數據點；且針對一層二氧化矽，其上有一厚10奈米的鈦層，而在鈦敷蓋層上則有一厚173奈米的鋁(0.5重量百分比的銅)敷蓋層。曲線71和74顯示：針對450奈米波長(藍色)光的反射率，曲線72和75顯示：針對550奈米波長(綠色)光的反射率，而曲線73和76則顯示：針對625奈米波長(紅色)光的反射率。大塊(bulk)鋁具有約92%的反射率。在圖3中，由曲線71到73可看出：對於長達1小時的400°C熱處理(退火)溫度加長達1小時的200°C溫度而言，反射率下跌到87%以下。而曲線74到76則顯示：在以上的熱處理(退火)溫度和時間下，反射率只是約0.5到0.8%的微幅下滑而已。然而，由曲線74到76所示的反射率停留在89.3%以上。較好反射率的理由是：導因於在對鋁(0.5重量百分比的銅)薄膜施以400°C熱處理(退火)期間較少的小丘形成。

鏡子的平整度端視表面的平面性(planarity)而定，就在該表面上形成諸多鏡子。可使用適於在包含諸多驅動元件之一半導體基質上的諸多已平面化的鏡子的一種已化學-機械拋光處理的(CMP)絕緣層。在圖1中所示之金屬層22的上方可形成介電層42，先施以圖案設計再加以拋光，終於導致在圖1中所示：在反射/吸收層34下方有一平面式表面。導因於在圖4中所示的光圖案(optical pattern, OP)和電容器(C)二種測試結構，在形成一平面式介電層46和下電極/鏡30方面，化學-機械拋光處理是非常成功的。

五、發明說明(11)

圖4是一種反射率對諸多光測試結構C1，OP2和OP3的曲線圖，用以顯示：因在下面的諸多積體電路和相互連接而引起的可接受之反射率上的減少。在圖4中，縱座標表示光的反射率(絕對百分比)，而橫座標表示三種測試結構，即C1，OP2和OP3。測試結構C1表示：如圖1所示，一基質14，諸多介電層36，42，44及46，其具有包括一厚150奈米之鋁敷蓋鏡的下電極/鏡30，該敷蓋鏡係位於一個沒有在下面的地形(topography)，即：所有敷蓋層的區域上。測試結構OP2表示：如圖1所示，一基質14，諸多介電層36，40，42，44及46，敷蓋金屬層22，間柱17，在一厚17微米之柵格(grid)上被施以圖案設計的反射/吸收層34，以及具有包括一厚150奈米鋁敷蓋層的下電極/鏡30。測試結構OP3表示：除了金屬層22也是在一厚17微米之柵格上被施以圖案設計，用以反射在敷蓋下電極/鏡30下方的諸多典型電氣相互連接外的OP2結構。曲線81到83表示一取樣晶圓(wafer)；而曲線84到86則表示第二取樣晶圓。對應於曲線81到83的實心三角形，正方形和圓形，係分別針對450奈米(藍色)，550奈米(綠色)和620奈米(紅色)之光或輻射能的波長；而對應於曲線84到86之三角形，正方形和圓形的輪廓，則是分別針對450奈米，550奈米和620奈米之光或輻射能的波長。如圖4中所示，遞增的拓撲(topology)會影響絕對反射率，沒有一個測試樣本具有低於89.1%的反射率。最低的反射率是針對620奈米波長(紅光)的二條曲線83和86。間柱17，二測試結構OP2和OP3之金屬層22和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(12)

反射/吸收層34的圖案製作，視光的波長而定，減少反射率約0.3到1%。促成反射率上之減少的主要因素可能是：導因於由間柱17上方之下電極/鏡30所形成的凹陷(depression)或"凹坑"(dimple)，在用以填滿間柱17之鎢(W)層的CMP平面化期間，將該間柱加以分配(dished out)。

從在二像素下電極/鏡30與33之間已曝光反射/吸收層34所反射的光，可減低空間光調變器10的對比比值(contrast ratio)。這正是有可能儘量多減少反射/吸收層34之反射率之一附加的理由。由於被反射光需要具有正確的偏振或稱偏極化(polarization)以便當做圖像的一部份呈現，故對比也視所用之液晶模式，以及在像素之間呈現有什麼電場而定。在反射/吸收層34上方之氮化矽(Si_3N_4)介電層46的厚度，也可被調整到諸如：一個四分之一波長的厚度中，用以造成針對一已知光波長的破壞性干擾。

要將半導體處理程序的諸多改變及像素大小減到最小程度，在反射/吸收層34與像素下電極/鏡30之間的金屬鍍層中，就包括有一顯著部份的像素儲存電容。將反射/吸收層34接到一固定電位處，而且將反射/吸收層34接到下電極/鏡30重疊區，諸如：每一像素約230微米²，它提供像素電容器的一部份。由於 Si_3N_4 具有的介電常數約為7，比 SiO_2 具有的可能接近4.1還高；故使用一 Si_3N_4 層做為絕緣層。具有此結構之0.5和3厘米²(cm²)的諸多大面積電容器具有約14奈法拉/厘米²(nF/cm²)的數值。需要具有足夠的像素儲存電容，用以保持跨於液晶裝置12兩端的電壓；以及具

五、發明說明 (13)

有足夠的精確度，用以容許所要的灰階(grey levels)數，直到資料被刷新(refreshed)或更新(updated)。

就高對比和均勻性(uniformity)佳而言，液晶裝置12厚度之絕對值和均勻性兩者均需要精確控制。所要的裝置間隙係由所用的液晶材料26，所選擇的液晶模式，以及光的波長所決定。液晶裝置12間隙係由正確厚度之一均勻SiO₂敷蓋層所決定，該層被沉積在諸多鏡子的上方，並被施以圖案設計以便在諸多鏡子的轉角處留有間隔柱。從有限元件應力模型建立(stress modeling)決定所用之諸間隔柱的密度；而且，在間隔柱32之間約70到140微米之一範圍已被使用。由於液晶材料26在諸多間隔柱32近處並未被正確對準，這種不對準現象(misalignment)會減少對比比值，而且當將被反射光投影在一顯示螢幕上時，在圖像中能出現不對準現象；故將間隔柱的數目或密度減到最小程度是所要的。

茲將參考圖5到10，描述用來製作在圖1中所示之空間光調變器10的方法。圖5到10均是：在已執行多種處理步驟後，一種以部份方式建構的空間光調變器10的橫截面圖。在圖5到10中，諸多同樣的參考(數值)均被用於對應於圖1之裝置的諸多功能。在半導體基質14中，完成半導體裝置的處理程序後，利用光石印術對一種隆起印刷底版(liftoff stencil)施以圖案設計；將一矽層，然後是一厚0.7微米的鋁(銅)層加以蒸發；再利用一種適合的溶劑去除隆起印刷底版，而在諸多所要的區域中留下金屬鍍層。在隨後的諸

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明 (14)

多熱處理期間，需要矽層以防止因矽的分解(dissolution)而使諸多裝置進入鋁層以及諸多接觸區域形成釘尖(spiking)。在金屬層22下方之分開的矽層並未顯示於圖1或5中。在完成金屬層22隆起後以形成已圖案設計層90，例如：可能沉積諸如二氧化矽之一厚的保形(conformal)介電層42，如圖5中所示。

下一個處理步驟是：介電層42的化學-機械拋光處理(CMP)，用以提供要在它上面形成一平面式或平整式表面的反射/吸收層24。對典型的超大型積體電路(VLSI)而言，地形可能是比較大，而晶片大小則是非常大。

如圖6中所示，從同時起源自諸多矽裝置和已圖案設計層90的地形，利用單一CMP步驟來平面化介電層42。比較大的尋常地形變化會增加平面化的困難。大的晶片大小會造成兩個問題：需要總體性平面化(global planarization)之一較大的區域，以及具有不同圖案密度的諸多較大的區域。對此加以闡明：晶片包含諸多區域，諸如具有高密度之複晶矽層18和20，及已圖案設計層90的陣列。然而，接觸區域則包含一類似的已圖案設計層90密度，但只限於複晶矽層18和20；而另外的某些區域則不包含這些層。一旦這些區域都足夠大，拋光墊(polishing pad)就不能"架橋"(bridge)於它們之上，進而總體性平面化是有困難的，或是不可能的。解決此問題的辦法是：在晶片設計期間，藉著增加"虛擬"(dummy)複晶矽層18和20，及已圖案設計層90的諸多特徵，使圖案密度是夠均勻，以夠小的規模就可達成總體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

性平面化。在CMP端點處，約500奈米厚的介電層，諸如：二氧化矽，仍續留在最高的已圖案設計層90特徵的上方。

其次，如圖6中所示，一約200奈米厚的介電層44被形成或沉積在介電層42的上表面43上，做為保護在介電層42中的任何針孔(pin holes)，及由刮傷所曝光之已圖案設計層90的任何導體。因為在近旁的敷蓋反射/吸收層34之已圖案設計層90中的任何已曝光短路會造成故障，所以介電層44被發現將成為用來達到高良率(yield)的一項重要步驟。

利用噴鍍(或稱濺射)沉積法(sputtering deposition)形成10奈米厚鈦層，100奈米厚鋁(銅)層，及50奈米厚氮化鈦層的反射/吸收層34；並利用反應式離子蝕刻法(reactive ion etching, RIE)施以圖案設計。使用是圖7中所示之層34之一部份的下鈦層92係為了改善黏附力和接觸電阻；使用是圖7中所示之層34之一部份的上面或表面氮化鈦層94做為一抗反射塗層；大塊的金屬鍍層是鋁(銅)層93；而諸多金屬層92到94則利用RIE法施以圖案設計。在鋁(銅)層93上配備有氮化鈦層94以減少諸多反射，使得：利用光石印術能對諸多精細特徵施以圖案設計。即使是一較低的紅光反射率也是所要的，由於諸多必需的處理步驟已可供使用，故在反射/吸收層34的表面上使用氮化鈦。一種將碳加到氮化鈦： $\text{TiN}_{0.33}\text{C}_{0.67}$ 的可能性，在刊載於薄固態薄膜(Thin Solid Films)，1982年版第181，87頁，由喀爾生(B. Karsson)所發表，標題為"氮化碳鈦(Titanium Carbonitrides)

五、發明說明(16)

的光常數和光譜選擇性"的專文中已加以報導過，以便就所有相關的波長而言，使其具有約30%的反射率。在對反射/吸收層34施以圖案設計後，沉積一400到500奈米厚的氮化矽(Si_3N_4)層，以便形成如圖7中所示的介電層46。介電層46的厚度是：針對在反射/吸收層34和下電極/鏡30間的較大電容之一較薄層與會減少反射/吸收層34和下電極/鏡30之諸缺陷和短路的機率之一較厚層之間的一項折衷方案。

下一步驟是：利用管道罩幕(mask)，V1，針對間柱17，對氮化矽層和往下達已圖案設計層90之二氧化矽層施以圖案設計。需要蝕刻深度足以補償在已圖案設計層90上方之二氧化矽層厚度中的諸多變化。藉由：噴鍍一層鈦(Ti)和氮化鈦(TiN)的襯墊層(liner layer)；生長一層已化學蒸汽沉積的(CVD)鎢層；再利用CMP去除諸多特徵外側之過剩的鎢，就可以由鎢來形成間柱17。導因於鎢對氮化矽(Si_3N_4)之較高的拋光率，可能會形成近乎與反射/吸收層34開口一樣寬之一"凹坑"；而且，如在圖1和8中之表面96處所示，在CMP期間會發生"凹進呈碟形的現象"(dishing)。

藉由蒸發或噴鍍厚10奈米的鈦層，接著是：150奈米厚的鋁，鋁(銅)或其它合金層，來形成下電極/鏡30。使用鈦層是為了改善黏附力和接觸電阻。如圖9中所示，導因於隨後利用RIE法施以圖案設計之下電極/鏡30的高反射率，光石印術很難施展。藉由在晶圓上沉積一層大於3微米厚的二氧化矽層，來形成諸多剛硬的間隔柱32。因為在已曝光氮

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

化鈦層和鋁層間所用之紫外光(ultraviolet light, UV)反射率中的巨大變化，而使用來圖案設計間隔層32的光石印術程序變得複雜。就液晶裝置12的效能而言，由於間隔層32高度均勻性是有決定性的重要性，故以樂觀的態度來看二氧化矽沉積程序，可用以產生比2%(1個 σ (sigma))還好的均勻性。利用RIE法對數蓋二氧化矽層施以圖案設計，將程序加以調整到具有一種低的氮化矽蝕刻率，使得：所要求的過度蝕刻操作，不會曝光在二下電極/鏡30和32之間間隙中的反射/吸收層34。最後的處理步驟是終端管道(terminal via, TV)蝕刻，它去除在圖10中之已圖案設計層90之諸接點(未示出)及測試墊(未示出)上方的氮化矽和二氧化矽層。

並未由以上描述所涵蓋或在附圖中所示的一項細節是：如何在陣列外製作電氣接點接到反射/吸收層34。由於在管道或間柱17之一開口的圖案製作期間，反射/吸收層34包含充當做一蝕刻停止目標(etch stop)之100奈米厚的鋁(銅)層；故藉用比一管道或間柱17還小，在反射/吸收層34中之一開口57的一種組合，可製作從已圖案設計層90或下電極/鏡30到反射/吸收層34的一種相互連接。利用此方法的唯一困難是：若管道17開口蝕刻不會在鋁層中停止，在該情形中則只會形成一邊緣接點(edge contact)。為此緣故，由於需要的只是將有限個接點接到反射/吸收層34，故諸多設計規則均要求冗餘的(redundant)反射/吸收層34之諸電氣接點，而它並不會對效能造成衝擊。

五、發明說明 (18)

圖11顯示：在圖1中所示，沒有液晶材料26，上電極28及玻璃蓋板29之空間光調變器10之一陣列11的一種掃描電子顯微照相片。在下電極/鏡30上，某些鋁小丘是明顯的。在圖11中顯示有兩個間隔柱32，它們在列方向上相隔6列，而在行方向上則相隔6行。在每一下電極/鏡30中的凹坑，係來自管道或間柱17；而且，因經由下電極/鏡30下面的鎢間柱17之頂部的已增加電子散射(scattering)而明顯。如圖1和11所示，最亮的區域對應於形成鎢間柱17的鎢層，而周圍的稍暗區域則對應於減少氮化矽層厚度之反射/吸收層34開口。

在圖12到17中顯示：能維持較小像素大小，及針對在空間光調變器陣列外面的諸多相互連接的第二金屬層的一種交替的程序。圖12到17均為在經過用來製造空間光調變器陣列10之諸經選定處理步驟後的橫截面圖。在圖12到17中，同樣的參考(數值)均被用於對應於圖1之裝置的諸多功能。

就從諸多矽裝置開始，總共應該需要八個罩幕(三個金屬層(levels)，三個管道/間柱層，以及兩個絕緣層)。開始於圖12之S1層，對反射/吸收層34施以圖案設計，使其具有如：在空間光調變器陣列10內之反射/吸收層34般；以及如：在圖13中所示，在空間光調變器10之陣列區域外之M2佈線(wiring)般的功能。如圖17所示，在下電極/鏡30上方的已平面化二氧化矽層被覆以一層氮化矽(Si_3N_4)介電層46，它被使用做為：在介電層32之蝕刻期間，在二鏡子間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

之一蝕刻停止目標，以使用來形成諸多間隔柱32。在空間光調變器陣列10內側，要得到最有效的光屏蔽，就得將S2間柱直接堆疊在S1間柱上，如圖15所示。兩者中任擇其一地，雖可將一M2區段(segment)插入兩間柱中間，但在M2/AR層中卻需要一較大的裂縫(break)才行，它應該較有可能地准許光穿透在下面的半導體基質。如圖16中所示，M3鏡層係由鋁或鋁(銅)沉積及圖案製作所形成。利用已改良的石印術，對一種高的佔空因數，甚至具有小的像素大小而言，可減小像素間的間隔。M3鏡層被使用做為在其中M2被用來佈線的陣列外面之一光阻擋層；或者，在製作諸多電氣接點後，於封裝(packaging)期間，在液晶膠封區域(glue seal area)外面，能施用一種不透明的聚合物(polymer)。最後兩個石印術步驟均被用來形成二氧化矽間隔層，並曝光M2接點及諸多測試墊。本程序的諸多主要優點之一是：在陣列外面可利用M2用於佈線，它使諸多數據驅動器能夠加以整合在晶片上。

已描述了以可能有2048 x 2048個像素之一反射式液晶為基礎的一種空間光調變器陣列。該陣列包括：許多液晶裝置，它們被定位在一半導體基質上之一介電層上對應之鏡子的上方；許多電路，它們被形成在半導體基質中，用來在跨於液晶裝置之兩端放置一電壓，以便調變通過其間的光；以及一反射/吸收層，相對於諸多鏡子，它被定位並施以圖案設計，用來屏蔽或阻擋光通過射入包含諸多電路的半導體基質。反射/吸收層之一邊緣與鏡子之一邊緣相重疊

五、發明說明 (20)

，用以形成一重疊區，以便減少正通過射入半導體基質的周圍光，並提供用以維持在鏡子上的電壓之一電容器，該鏡子具有如對應之液晶裝置之下電極般的功能。

已描述了使用諸多標準的半導體製造機具，用以製造在圖1中所示之空間光調變陣列10的一種六個罩幕程序(在矽裝置處理之後)。如所述之空間光調變器10滿足下列各項要求：1)屏蔽矽裝置不受入射光影響，2)高的光輸貫量與對比；3)像素儲存電容，以及4)在沒有使鏡子變模糊的諸多間隔層下，液晶晶格厚度的精確控制。在陣列中之一空間光調變器的像素大小，當使用在圖5到10中所述之程序流程時，在一邊上可能為15.6微米或更多；或者，當利用在圖12到17中所述之較先進的程序時，則是較小的像素。

雖然已描述並圖解說明了一種空間光調變器陣列，它包括：諸多液晶裝置，諸多電路，一電極/鏡，及用來阻擋光不會干擾到諸多電路之一反射/吸收層；但應該顯而易見的是：對那些熟習於此技藝者而言，雖在不偏離本發明之寬廣範圍的前提下，諸多修改和變化是有可能的；但它仍應只受在此所附申請專利範圍之範圍的限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

四、中文發明摘要(發明之名稱：一種反射空間光調變器陣列)

描述有一種反射式空間光調變器(spatial light modulator, SLM)陣列，它內含：諸多液晶裝置，諸多鏡子(mirrors)，一半導體基質(substrate)，諸多電路，以及用以阻擋光之一反射/吸收層(reflector/absorber layer)。本發明克服諸多問題：屏蔽(shielding)諸多半導體裝置不受光影響；高的光輸貫量(optical throughput)與對比；用以保持跨於液晶裝置兩端電壓的像素(pixel)儲存電容；以及在沒有使鏡子變模糊的諸多間隔層(spacers)下，液晶裝置厚度的精確控制。

英文發明摘要(發明之名稱：A REFLECTIVE SPATIAL LIGHT MODULATOR)
ARRAY

A reflective spatial light modulator array is described incorporating liquid crystal devices, mirrors, a semiconductor substrate, electrical circuits, and a reflector/absorber layer for blocking light. The invention overcomes the problem of shielding light from semiconductor devices, high optical throughput and contrast, pixel storage capacitance to hold the voltage across the liquid crystal device and precise control of the liquid crystal device thickness without spacers obscuring the mirrors.

六、申請專利範圍

1. 一種用來調變光以形成一圖像的一種空間光調變器陣列包括：

許多液晶裝置，被定位在一半導體基質上之一介電層上對應的鏡子上方；

許多電路，被形成在半導體基質中，分別耦合到諸多液晶裝置，用來在跨於其電極兩端放置一電壓；及

一反射/吸收層，相對於諸多鏡子被定位並施以圖案設計，用來屏蔽許多電路不受周圍光影響；

反射/吸收層有一邊緣與鏡子之一邊緣相重疊，用以形成一重疊區，以便減少正通過射入基質的周圍光。

2. 根據申請專利範圍第1項之空間光調變器陣列，其中反射/吸收層與鏡子的邊緣重疊至少5.4微米。
3. 根據申請專利範圍第1項之空間光調變器陣列，其中諸多鏡子均由一金屬層所形成，而其中的金屬則選自：由銀(Ag)，鋁(Al)和及其合金組成的群(group)。
4. 根據申請專利範圍第1項之空間光調變器陣列，其中諸多鏡子均具有一支承層，它具有一實質上為平面的上表面，且諸多鏡子包括一對應的金屬層，用以反射在支承層之實質上為平面的上表面上的光。
5. 根據申請專利範圍第4項之空間光調變器陣列，其中支承層包括：介電材料及供與金屬層電氣連接的諸多電氣管道。

六、申請專利範圍

6. 根據申請專利範圍第1項之空間光調變器陣列，其中許多液晶裝置具有：由具有在對應之鏡子上方所形成的諸多開口之一介電層所決定之一厚度。
7. 根據申請專利範圍第6項之空間光調變器陣列，其中介電層包括的材料係選自：由二氧化矽(SiO_2)，氮化矽(Si_3N_4)，像鑽石般的碳，以及聚醯胺(polyimide)組成的群。
8. 根據申請專利範圍第6項之空間光調變器陣列，其中對應之諸鏡子形成許多液晶裝置的下電極，並以電氣方式被耦合到許多電路之對應的輸出。
9. 根據申請專利範圍第1項之空間光調變器陣列，其中反射/吸收層包括的材料係選自：由鋁， $\text{Cr-Cr}_x\text{O}_y$ ，鈦(Ti)，氮化鈦(TiN)，以及 TiN_xC_y 組成的群。
10. 根據申請專利範圍第1項之空間光調變器陣列，其中反射/吸收層是可導電的，而且在其中具有諸多開口之半導體基質的上方形形成一支架層，供接到諸多鏡子的電氣管道之用。
11. 根據申請專利範圍第1項之空間光調變器陣列，其中諸多電路均包括互補式金屬氧化物半導體(CMOS)電路。
12. 根據申請專利範圍第1項之空間光調變器陣列，其中諸多鏡子中的每一個鏡子與反射/吸收層形成至少0.03微微法拉(pf, 10^{-12}f)之一電容器。
13. 根據申請專利範圍第1項之空間光調變器陣列，其中諸多液晶裝置均按照在行和列兩方向中的每一方向上約隔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

17微米或較小的間距，以排成行列之方式加以定位。

14. 一種用以形成一空間光調變器陣列之方法，包括以下諸多步驟：

在一半導體基質中形成許多電路，被定位用來分別與隨後才形成的諸多液晶裝置相互連接；

在許多電路上方形成一個或更多的相互連接層；

在諸多電路與諸多相互連接層的上方形成第一介電層；

平面化第一介電層，用以在第一介電層上面提供一實質上為平面的上表面；

形成具導電材料之一反射/吸收層，相對於隨後才形成的諸多液晶裝置被定位並施以圖案設計，用以屏蔽許多電路不受周圍光影響；

在已圖案設計的反射/吸收層上方形成第二介電層；

經由第二介電層形成供與隨後才形成的諸多鏡子電氣連接的諸多間柱；

在介電層上方形成許多鏡子，並施以圖案設計以便形成許多液晶裝置之下電極，諸多鏡子與反射/吸收層重疊，相對於重疊鏡子用以形成一電路器，並衰減在反射/吸收層之間運行的光；

形成許多間隔層，被定位在許多鏡子中的兩個經選定鏡子之間；

敷上一液晶材料層；

定向該液晶材料層；

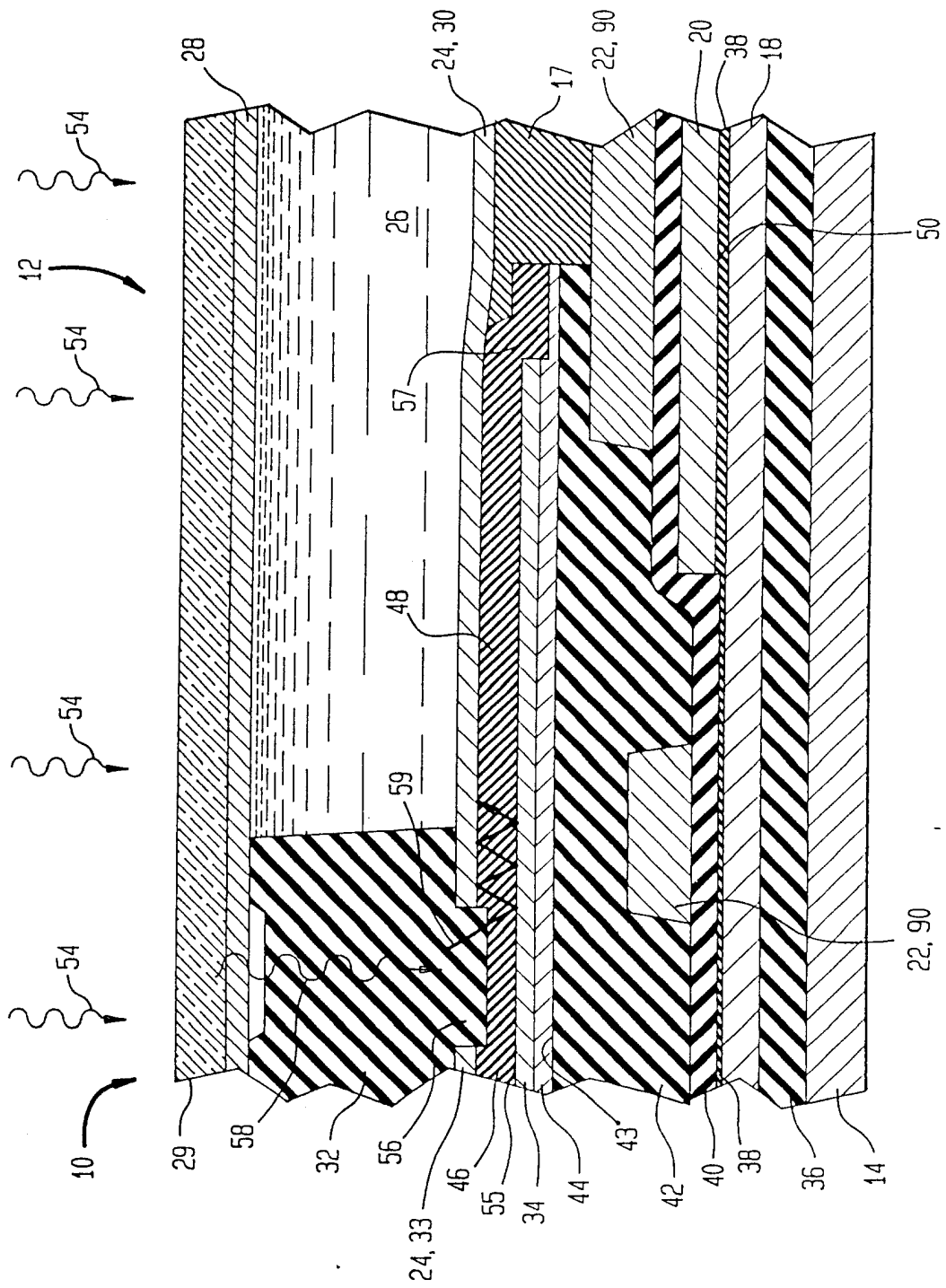
形成許多鏡子之一上電極，用以形成許多液晶裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

圖 1



二回

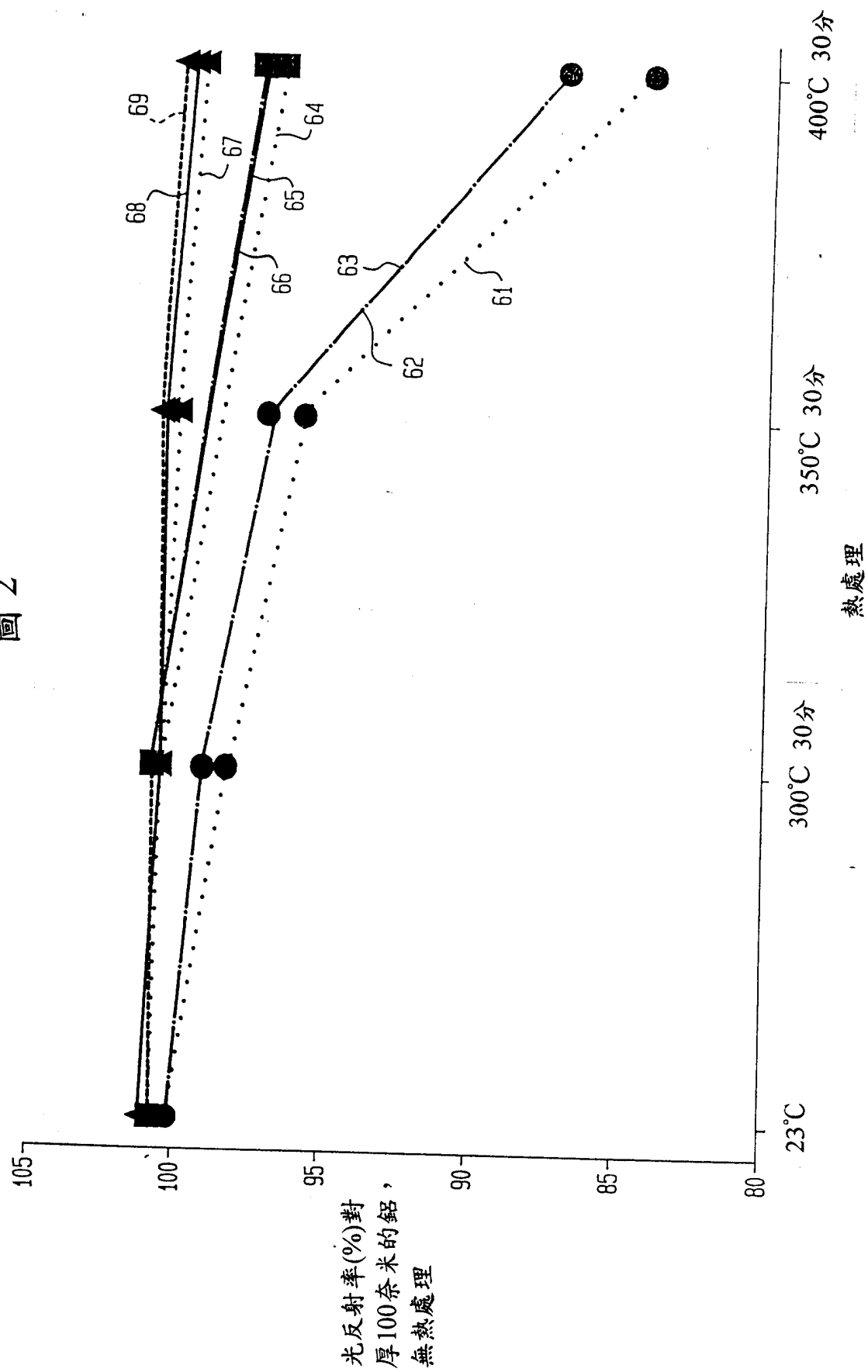


圖 3

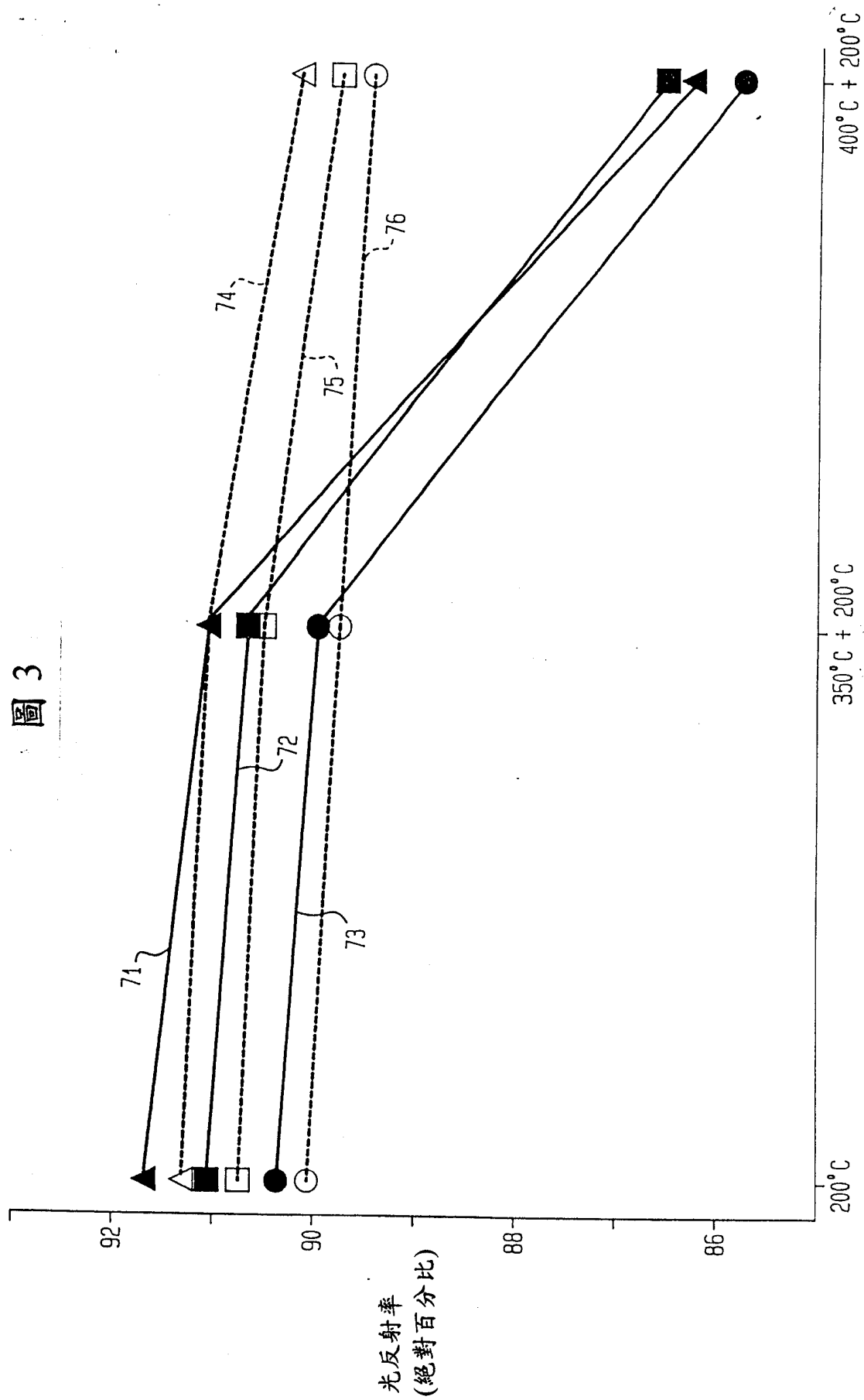


圖 4

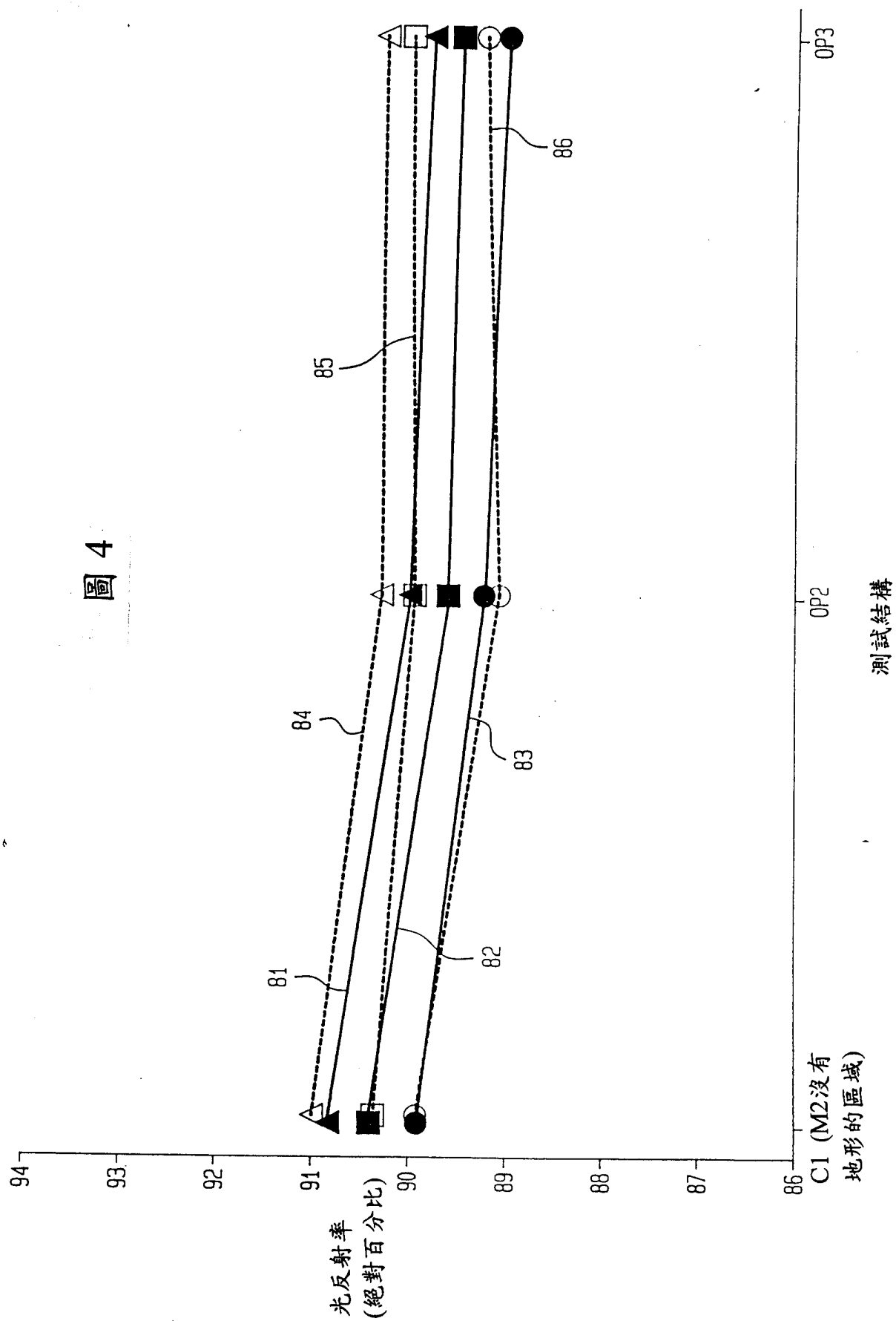


圖 5

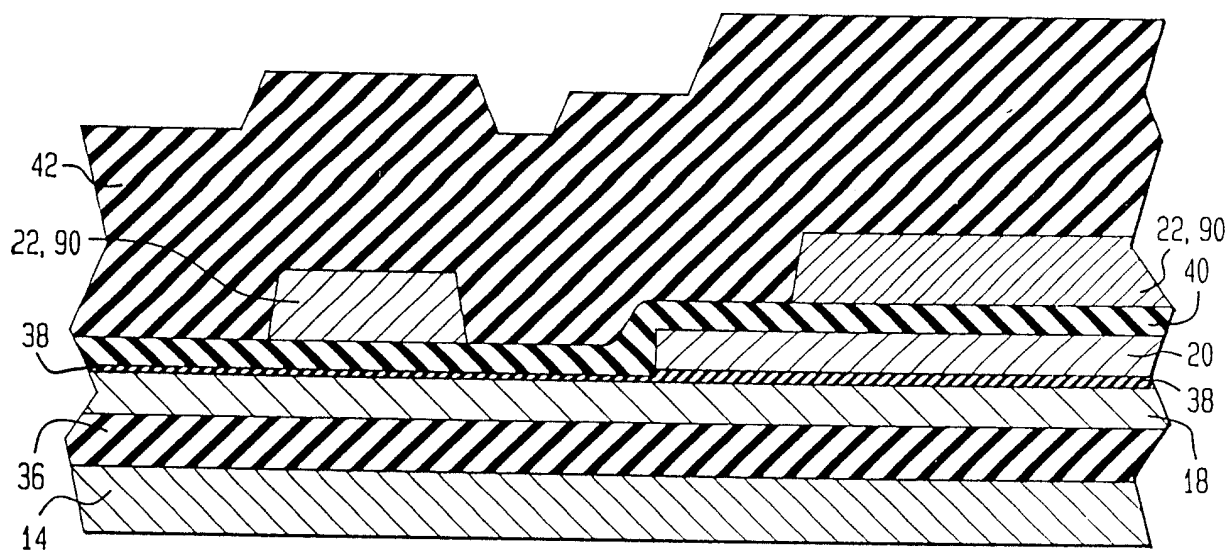


圖 6

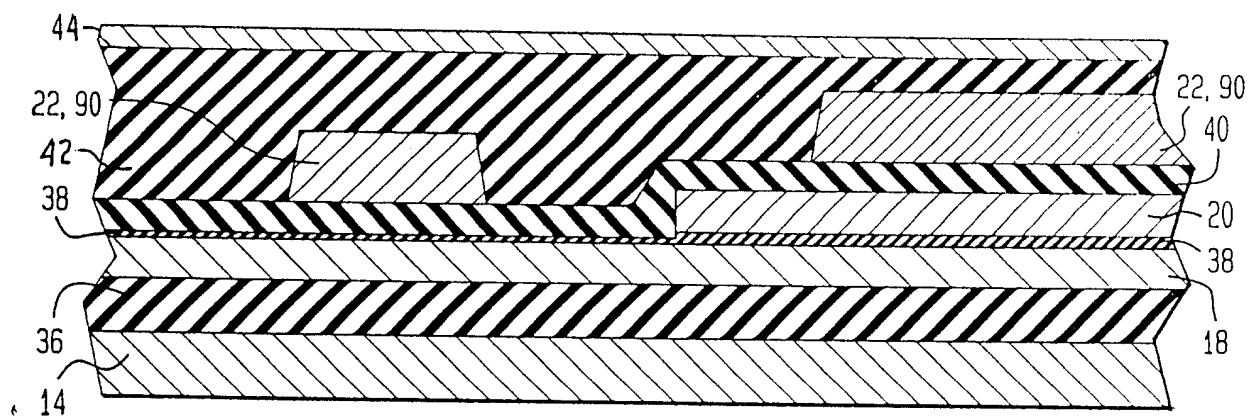


圖 7

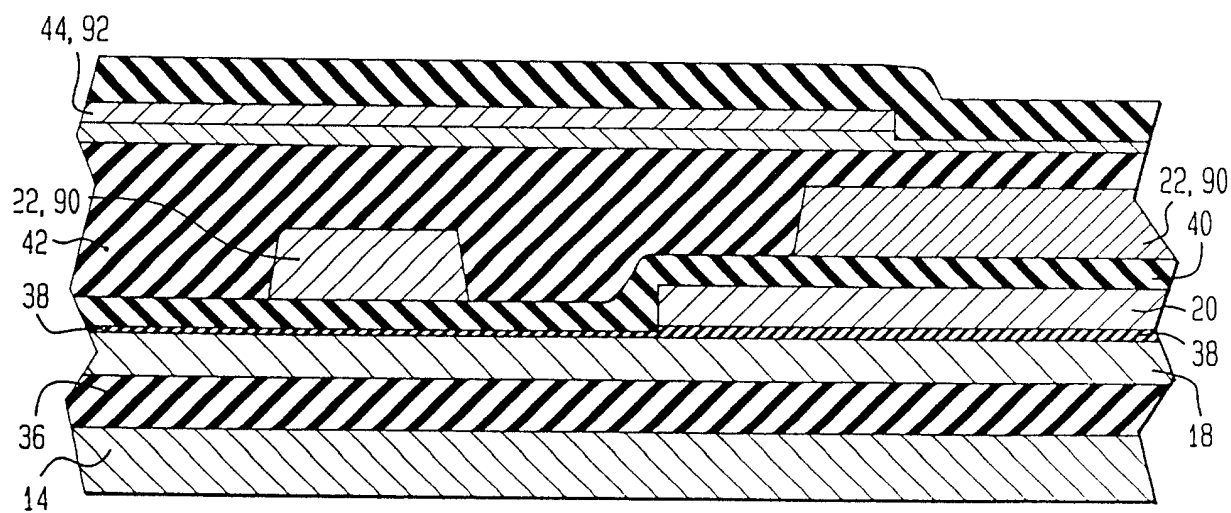


圖 8

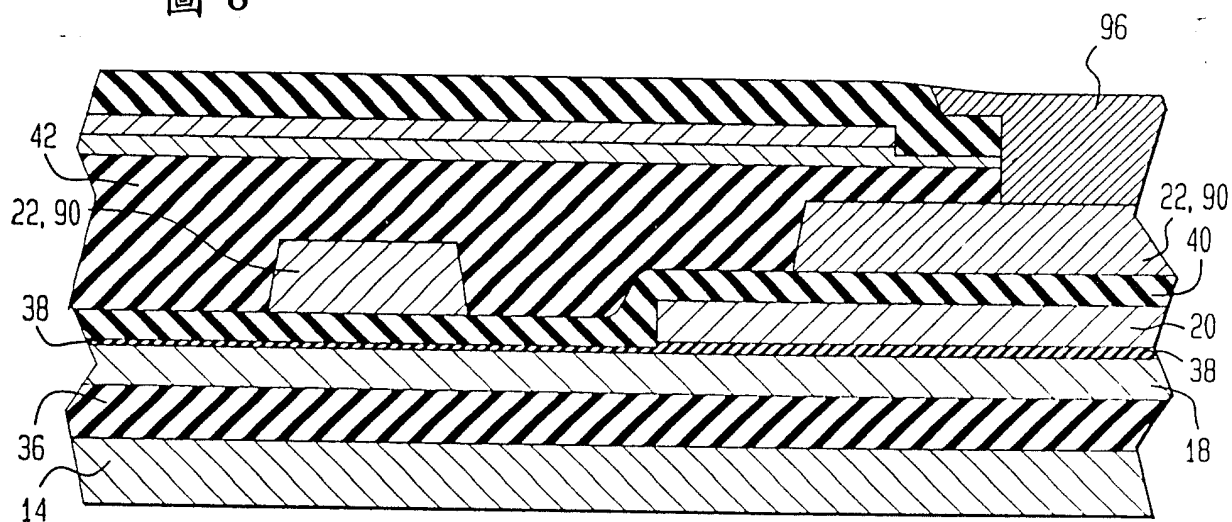


圖 9

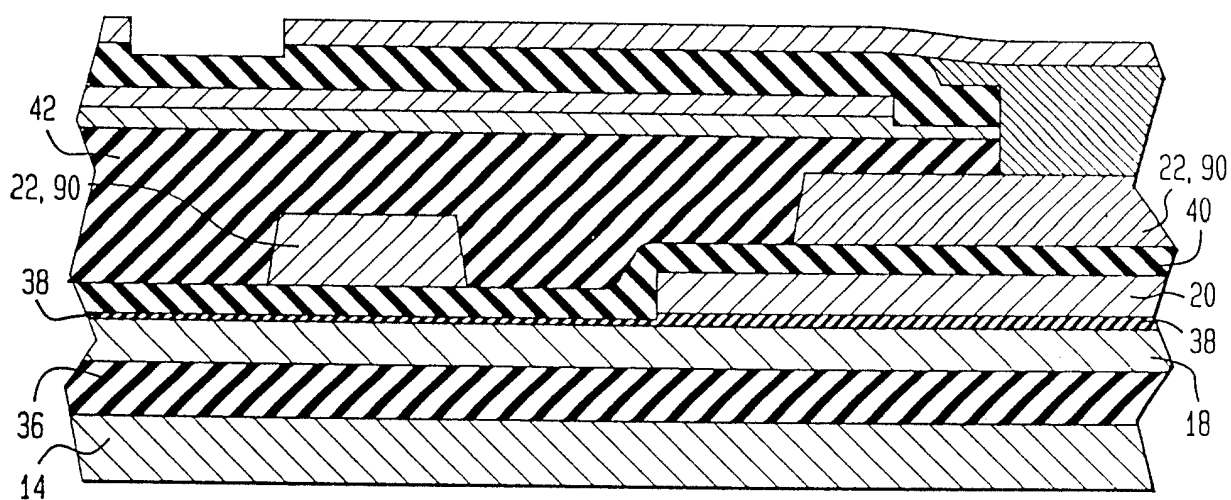
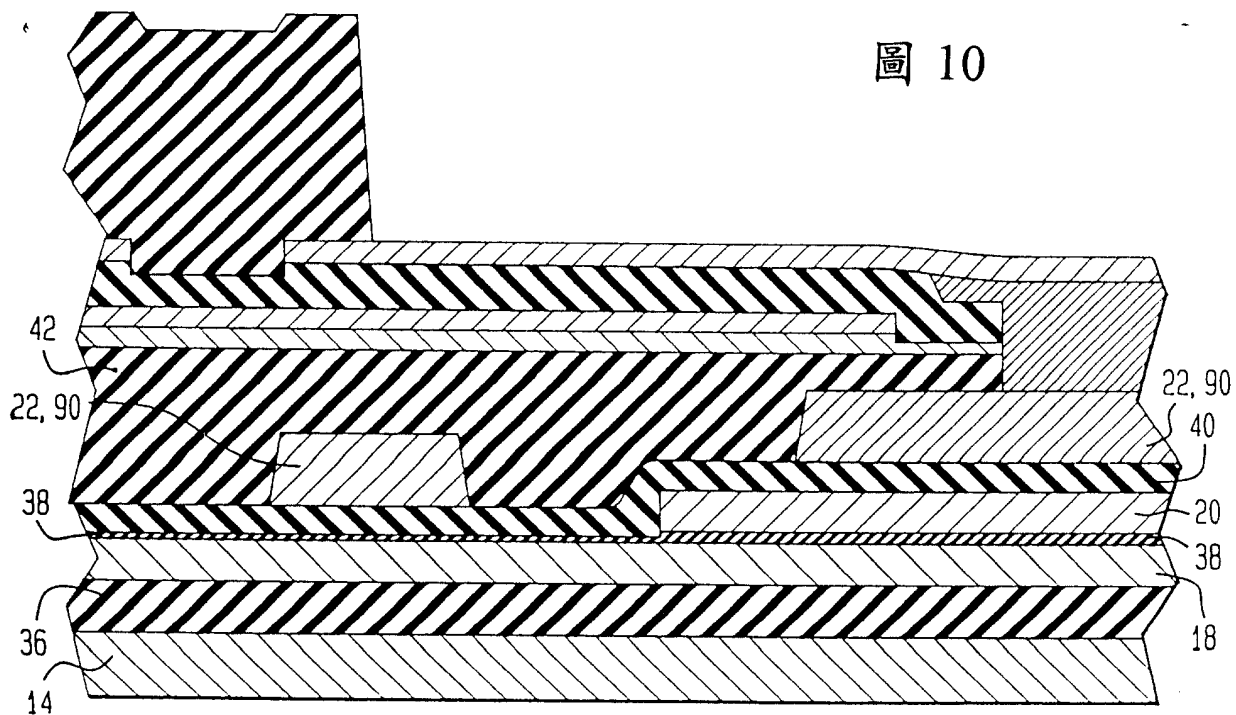
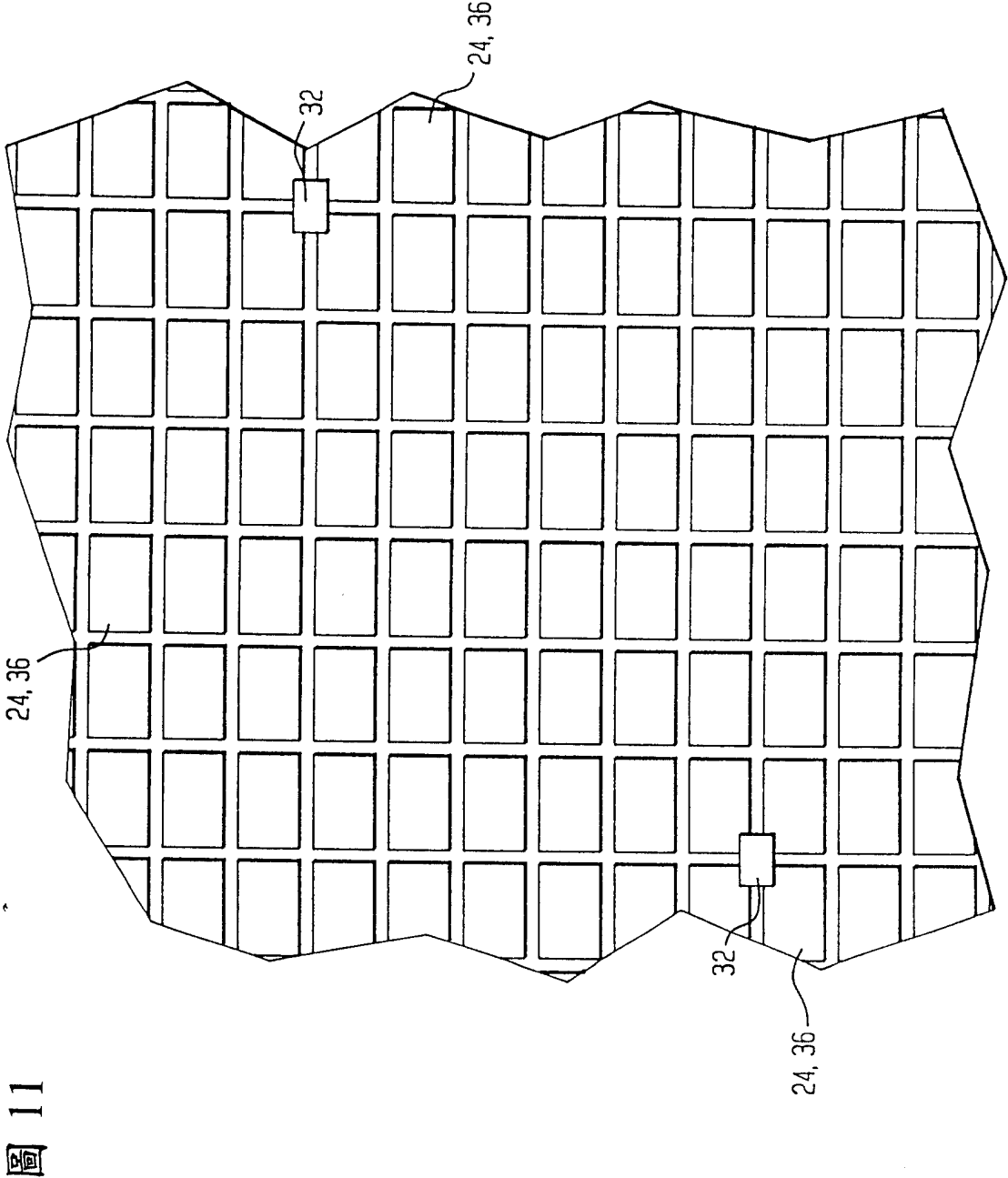


圖 10





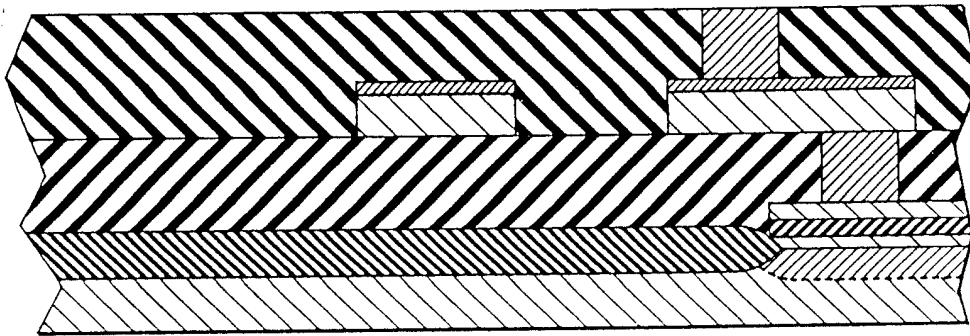


圖 13

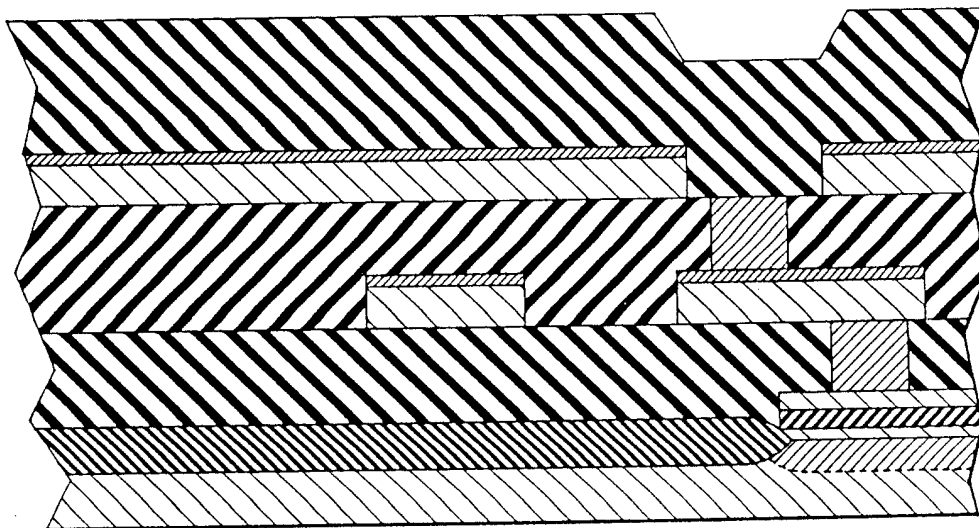


圖 14

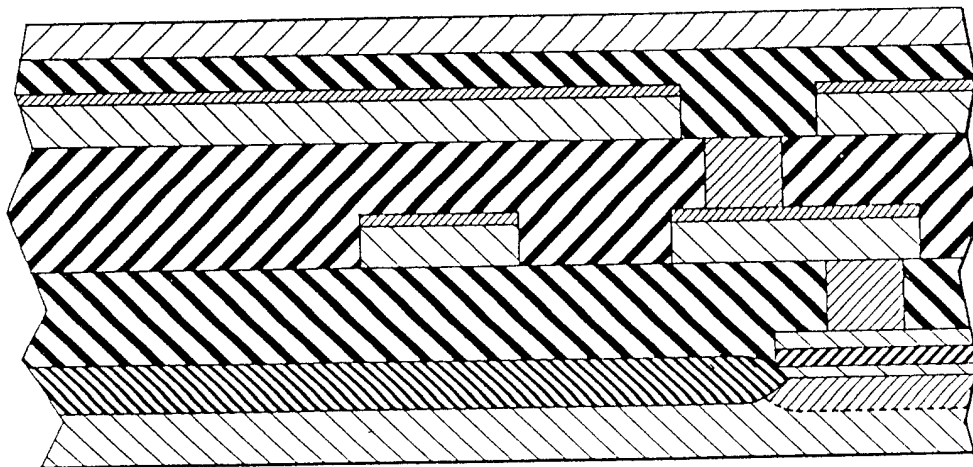


圖 15

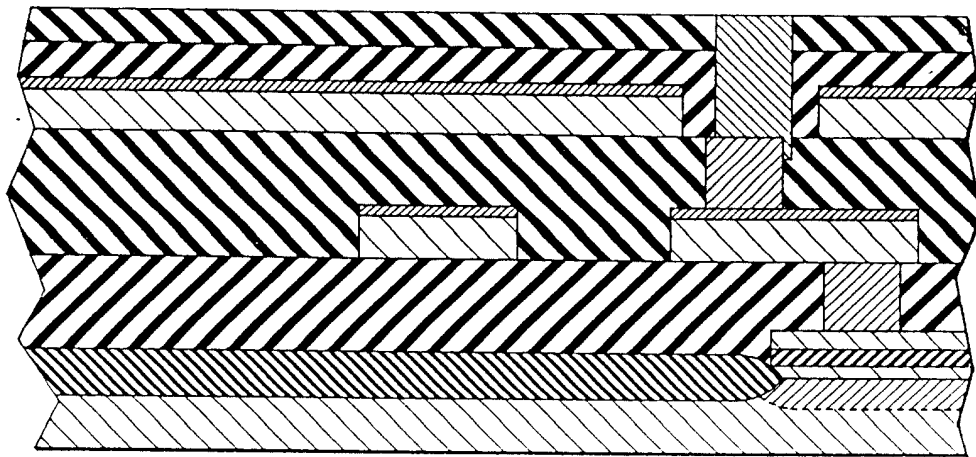


圖 16

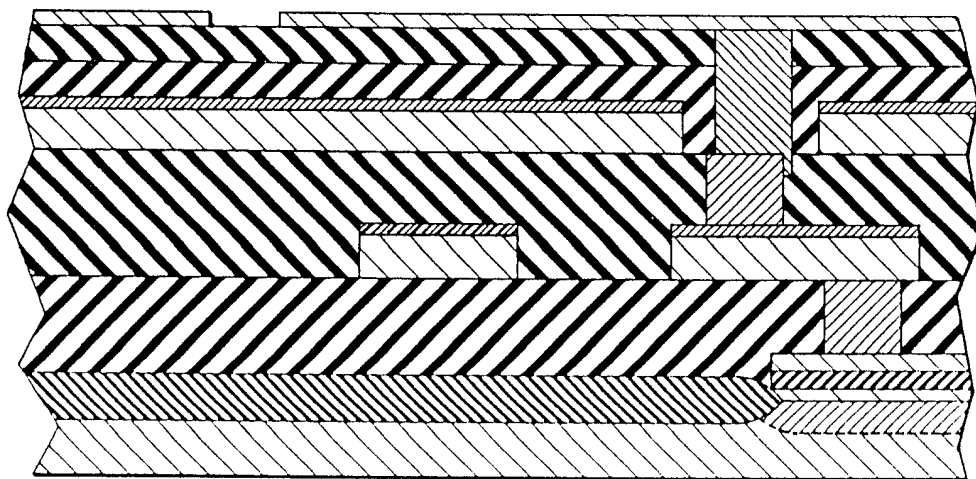


圖 17

