

(43) 国際公開日
2017 年 8 月 3 日(03.08.2017)



(10) 国際公開番号

WO 2017/130073 A1

- (51) 国際特許分類: *H01L 29/786* (2006.01) *H01L 27/088* (2006.01)
H01L 21/28 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/146* (2006.01)
H01L 21/8242 (2006.01) *H01L 29/417* (2006.01)

(21) 国際出願番号: PCT/IB2017/050230

(22) 国際出願日: 2017 年 1 月 17 日(17.01.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-015730 2016 年 1 月 29 日(29.01.2016) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9 8 Kanagawa (JP).

(72) 発明者: 中澤 安孝(NAKAZAWA, Yasutaka); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 肥塚純一(KOEZUKA, Junichi); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 羽持貴士(HAMOCHI, Takashi); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

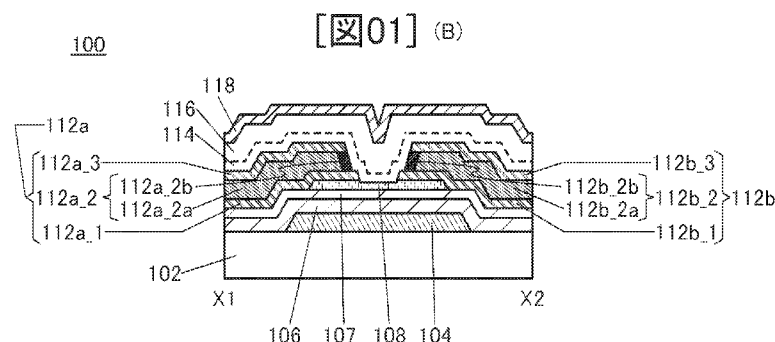
添付公開書類:
— 国際調査報告 (条約第 21 条(3))

添付公開書類:

— 國際調查報告（條約第 21 條(3)）

(54) Title: SEMICONDUCTOR DEVICE AND DISPLAY DEVICE PROVIDED WITH SAID SEMICONDUCTOR DEVICE

(54) 発明の名称：半導体装置、及び該半導体装置を有する表示装置



(57) Abstract: Provided is a semiconductor device having an oxide semiconductor film and a transistor with excellent electrical characteristics. The device is a semiconductor device provided with a transistor. The transistor comprises a gate electrode, a first insulation film, an oxide semiconductor film, a source electrode, a drain electrode, and a second insulation film. The source electrode and the drain electrode each comprise a first conductive film, a second conductive film on the first conductive film, and a third conductive film on the second conductive film. The second conductive film comprises copper, the first conductive film and the third conductive film comprise a material that suppresses the diffusion of copper, and the edges of the second conductive film have regions that include copper and silicon.

(57) 要約: 要約書 酸化物半導体膜を有する半導体装置において、電気特性の優れたトランジスタを有する半導体装置を提供する。トランジスタを有する半導体装置である。トランジスタは、ゲート電極と、第1の絶縁膜と、酸化物半導体膜と、ソース電極と、ドレイン電極と、第2の絶縁膜と、を有する。ソース電極及びドレイン電極は、それぞれ第1の導電膜と、第1の導電膜上に接する第2の導電膜と、第2の導電膜上に接する第3の導電膜と、を有する。第2の導電膜は、銅を有し、第1の導電膜及び第3の導電膜は、銅の拡散を抑制する材料を有し、第2の導電膜の端部は、銅とシリコンを含む領域を有する。

WO 2017/130073 A1

明細書

発明の名称

半導体装置、及び該半導体装置を有する表示装置

技術分野

[0001]

本発明の一態様は、酸化物半導体膜を有する半導体装置、及び該半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

背景技術

[0004]

基板上に形成された半導体膜を用いてトランジスタ（薄膜トランジスタ（TFET）または電界効果トランジスタ（FET）ともいう）を構成する技術が注目されている。該トランジスタは、集積回路（IC）や画像装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

例えば、酸化物半導体として、In-Ga-Zn系酸化物を用いてトランジスタを作製する技術が開示されている（例えば、特許文献1参照）。

[0006]

また、配線や信号線などに用いる材料として、従来アルミニウムが広く用いられていたが、さらなる低抵抗化のために銅（Cu）を用いる開発が盛んに行われている。しかしながら、銅（Cu）は、下地に用いられる膜との密着性が悪いことや、トランジスタの半導体膜に拡散してトランジスタ特性を悪化させやすいといった欠点を有する。

[0007]

また、インジウムを含む酸化物半導体膜上に形成されるオーミック電極の材料として、Cu-Mn合金が開示されている（例えば、特許文献2参照）。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 特開2007-96055号公報

[特許文献2] 国際公開第2012/002573号

発明の概要

発明が解決しようとする課題

[0009]

特許文献2に記載の構成によると、酸化物半導体膜上にCu-Mn合金膜を被着させた後、該Cu-Mn合金膜に対し熱処理を行い、酸化物半導体膜とCu-Mn合金膜との接合界面にMn酸化物を形成する。該Mn酸化物は、Cu-Mn合金膜中のMnが酸化物半導体膜に向けて拡散し、酸化物半導体膜を構成する酸素と優先的に結合することで形成される。また、Mnによって還元された酸化物半導体膜中の領域は酸素欠損となり、キャリア濃度が増加して高導電性を有する。また、酸化物半導体膜に向けてMnが拡散しCu-Mn合金が純Cuとなることで、電気抵抗の小さいオーミック電極を得ている。

[0010]

しかしながら、上述の構成においては、オーミック電極を形成した後、オーミック電極からのCuの拡散の影響が考慮されていない。例えば、酸化物半導体膜上にCu-Mn合金膜を含む電極を形成したあとに、熱処理を行うことで、酸化物半導体膜とCu-Mn合金膜との接合界面にMn酸化物を形成する。該Mn酸化物が形成されることによって、酸化物半導体膜に接するCu-Mn合金膜から酸化物半導体膜中へ拡散しうるCuが抑制できたとしても、Cu-Mn合金膜の側面、並びにCu-Mn合金膜中のMnが脱離して純Cu膜となった膜の側面または表面から酸化物半導体膜の表面にCuが再付着してしまう。

[0011]

酸化物半導体膜を用いるトランジスタとして、例えば、ボトムゲート構造を用いる場合、酸化物半導体膜の表面の一部は、所謂バックチャネル側となり、該バックチャネル側にCuが再付着した場合、トランジスタの電気特性（例えば、オン電流、電界効果移動度、周波数特性等）が劣化するという問題や、トランジスタの信頼性試験の一つであるゲートBTストレス試験において、トランジスタ特性が劣化するといった問題があった。

[0012]

上述課題に鑑み、本発明の一態様では、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いる新規な半導体装置を提供することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、電気特性（例えば、オン電流、電界効果移動度、周波数特性等）の優れたトランジスタを有する半導体装置を提供することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、電気特性の変動が抑制されたトランジスタを有する半導体装置を提供することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、信頼性の高いトランジスタを有する半導体装置を提供することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、製造コストが抑制された半導体装置を提供することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、生産性が高い半導体装置

を提供することを課題の一つとする。または、本発明の一態様では、新規な半導体装置を提供することを課題の一つとする。または、本発明の一態様では、新規な半導体装置の作製方法を提供することを課題の一つとする。

[0013]

なお、上記の課題の記載は、他の課題の存在を妨げない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかであり、明細書等の記載から上記以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、ゲート電極と、ゲート電極上の第1の絶縁膜と、第1の絶縁膜を間に挟んでゲート電極と重なる領域を有する酸化物半導体膜と、酸化物半導体膜と電氣的に接続されるソース電極と、酸化物半導体膜と電氣的に接続されるドレイン電極と、酸化物半導体膜上、ソース電極上、及びドレイン電極上の第2の絶縁膜と、を有し、ソース電極及びドレイン電極は、それぞれ銅を有し、ソース電極の端部及びドレイン電極の端部は、それぞれ銅とシリコンとを含む領域を有する半導体装置である。

[0015]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、ゲート電極と、ゲート電極上の第1の絶縁膜と、第1の絶縁膜を間に挟んでゲート電極と重なる領域を有する酸化物半導体膜と、酸化物半導体膜と電氣的に接続されるソース電極と、酸化物半導体膜と電氣的に接続されるドレイン電極と、酸化物半導体膜上、ソース電極上、及びドレイン電極上の第2の絶縁膜と、を有し、ソース電極及びドレイン電極は、それぞれ銅を有し、ソース電極の端部及びドレイン電極の端部は、それぞれ銅とシリコンとを含む化合物を有する領域を有する半導体装置である。

[0016]

上記各構成において、ソース電極の端部及びドレイン電極の端部は、それぞれ第2の絶縁膜と接する領域を有すると好ましい。

[0017]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、ゲート電極と、ゲート電極上の第1の絶縁膜と、第1の絶縁膜を間に挟んでゲート電極と重なる領域を有する酸化物半導体膜と、酸化物半導体膜と電氣的に接続されるソース電極と、酸化物半導体膜と電氣的に接続されるドレイン電極と、酸化物半導体膜上、ソース電極上、及びドレイン電極上の第2の絶縁膜と、を有し、ソース電極及びドレイン電極は、それぞれ第1の導電膜と、第1の導電膜上に接する第2の導電膜と、第2の導電膜上に接する第3の導電膜と、を有し、第2の導電膜は、銅を有し、第1の導電膜及び第3の導電膜は、銅の拡散を抑制する材料を有し、第2の導電膜の端部は、銅とシリコンとを含む領域を有する半導体装置である。

[0018]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、ゲート電極と、ゲート電極上の第1の絶縁膜と、第1の絶縁膜を間に挟んでゲート電極と重なる領域を有する酸化物半導体膜と、酸化物半導体膜と電氣的に接続されるソース電極と、酸化物半導体膜と電氣的に接続されるドレイン電極と、酸化物半導体膜上、ソース電極上、及びドレイン電極上の第2の絶

縁膜と、を有し、ソース電極及びドレイン電極は、それぞれ第1の導電膜と、第1の導電膜上に接する第2の導電膜と、第2の導電膜上に接する第3の導電膜と、を有し、第2の導電膜は、銅を有し、第1の導電膜及び第3の導電膜は、銅の拡散を抑制する材料を有し、第2の導電膜の端部は、銅とシリコンを含む化合物を有する領域を有する半導体装置である。

[0019]

上記各構成において、第2の導電膜の端部は、第2の絶縁膜と接する領域を有すると好ましい。

[0020]

また、上記各構成において、第1の導電膜及び第3の導電膜は、チタン、タングステン、タンタル、及びモリブデンの少なくとも一を有すると好ましい。また、第1の導電膜及び第3の導電膜は、酸化物を有し、酸化物は、InまたはZnのうち少なくとも一を有すると好ましい。

[0021]

また、上記各構成において、酸化物半導体膜は、Inと、Znと、M(Mは、Al、Ga、Y、またはSnを表す)と、を有すると好ましい。また、酸化物半導体膜は、結晶部を有し、結晶部は、c軸配向性を有すると好ましい。

[0022]

また、本発明の他の一態様は、上記各態様の半導体装置と、表示素子とを有する表示装置である。また、本発明の他の一態様は、上記態様の表示装置とタッチセンサとを有する表示モジュールである。また、本発明の他の一態様は、上記各態様の半導体装置、上記態様の表示装置、または上記態様の表示モジュールと、操作キーまたはバッテリーの少なくとも一とを有する電子機器である。

発明の効果

[0023]

本発明の一態様により、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いる新規な半導体装置を提供することができる。または、本発明の一態様により、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、電気特性(例えば、オン電流、電界効果移動度、周波数特性等)の優れたトランジスタを有する半導体装置を提供することができる。または、本発明の一態様により、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、電気特性の変動が抑制されたトランジスタを有する半導体装置を提供することができる。または、本発明の一態様により、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、信頼性の高いトランジスタを有する半導体装置を提供することができる。または、本発明の一態様により、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、製造コストが抑制された半導体装置を提供することができる。または、本発明の一態様により、酸化物半導体膜を用いるトランジスタに、銅を有する導電膜を用いて、生産性が高い半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置の作製方法を提供することができる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

[図1] 半導体装置の一態様を示す上面図及び断面図。

[図2] 半導体装置の一態様を示す上面図及び断面図。

[図3] 半導体装置の一態様を示す断面図。

[図4] 半導体装置の一態様を示す上面図及び断面図。

[図5] 半導体装置の一態様を示す断面図。

[図6] 半導体装置の一態様を示す上面図及び断面図。

[図7] 半導体装置の一態様を示す断面図。

[図8] 半導体装置の一態様を示す断面図。

[図9] 半導体装置の一態様を示す断面図。

[図10] 半導体装置の一態様を示す断面図。

[図11] 半導体装置の一態様を示す断面図。

[図12] 半導体装置の一態様を示す上面図及び断面図。

[図13] 半導体装置の一態様を示す上面図及び断面図。

[図14] 半導体装置の作製工程の一例を示す断面図。

[図15] 半導体装置の作製工程の一例を示す断面図。

[図16] 半導体装置の作製工程の一例を示す断面図。

[図17] 半導体装置の作製工程の一例を示す断面図。

[図18] 半導体装置の作製工程の一例を示す断面図。

[図19] 半導体装置の作製工程の一例を示す断面図。

[図20] 半導体装置の作製工程の一例を示す断面図。

[図21] 本発明の一態様に係る酸化物半導体の原子数比の範囲を説明する図。

[図22] InMZnO_4 の結晶を説明する図。

[図23] 酸化物半導体の積層構造におけるバンド図。

[図24] CAAC-OS および単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびに CAAC-OS の制限視野電子回折パターンを示す図。

[図25] CAAC-OS の断面TEM像、ならびに平面TEM像およびその画像解析像。[図26] nc-OS の電子回折パターンを示す図、および nc-OS の断面TEM像。[図27] a-like OS の断面TEM像。[図28] In-Ga-Zn 酸化物の電子照射による結晶部の変化を示す図。

[図29] 表示装置の一態様を示す上面図。

[図30] 表示装置の一態様を示す断面図。

[図31] 表示装置の一態様を示す断面図。

[図32] 表示装置の一態様を示す断面図。

[図33] 表示装置の一態様を示す断面図。

[図34] 表示装置の一態様を示す断面図。

[図35] 表示装置の一態様を示す断面図。

[図36] 表示装置を説明するブロック図及び回路図。

- [図 3 7] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 3 8] 本発明の一態様を説明するためのグラフおよび回路図。
- [図 3 9] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 4 0] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 4 1] 本発明の一態様を説明するためのブロック図、回路図および波形図。
- [図 4 2] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 4 3] 本発明の一態様を説明するための回路図。
- [図 4 4] 本発明の一態様を説明するための回路図。
- [図 4 5] 表示モジュールを説明する図。
- [図 4 6] 電子機器を説明する図。
- [図 4 7] 電子機器を説明する図。
- [図 4 8] 表示装置を説明する斜視図。
- [図 4 9] 本発明の一態様に係る半導体装置の構成を説明する断面図および回路図。
- [図 5 0] 本発明の一態様に係る CPU の構成を説明するブロック図。
- [図 5 1] 本発明の一態様に係る記憶素子の構成を説明する回路図。
- [図 5 2] 撮像装置の一例を示す回路図。
- [図 5 3] 撮像装置の構成例を示す図。
- [図 5 4] 実施例に係る、試料の STEM 写真を説明する図。
- [図 5 5] 実施例に係る、試料の XPS 分析結果を説明する図。
- [図 5 6] 実施例に係る、試料の XPS 分析結果を説明する図。
- [図 5 7] 実施例に係る、トランジスタの $I_d - V_g$ 特性。
- [図 5 8] 実施例に係る、トランジスタの $I_d - V_g$ 特性。
- [図 5 9] 実施例に係る、試料の STEM 写真を説明する図。
- [図 6 0] 実施例に係る、試料の EDX 分析結果を説明する図。

発明を実施するための形態

[0026]

以下、本発明の実施の態様について図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることが可能である。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されない。

[0027]

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

[0028]

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いており、工程順又は積層順を示さない場合がある。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0029]

また、本明細書において、「上に」「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化する。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0030]

また、本明細書等において、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

[0031]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に低い場合は、「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「絶縁体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「絶縁体」は、「半導体」に言い換えることが可能な場合がある。または、本明細書等に記載の「絶縁体」を「半絶縁体」に言い換えることが可能な場合がある。

[0032]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に高い場合は、「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「導電体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「導電体」は、「半導体」に言い換えることが可能な場合がある。

[0033]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができる。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

[0034]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることができる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる。

[0035]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書等では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0036]

チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書等では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0037]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

[0038]

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。そのため、電圧を電位と言い換えることが可能である。

[0039]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれる膜をいう。窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多い膜を指し、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれる膜をいう。

[0040]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0041]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0042]

また、本明細書等において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0043]

(実施の形態1)

本実施の形態においては、本発明の一態様の半導体装置及び半導体装置の作製方法について、図 1 乃至図 20 を用いて以下説明する。

[0044]

< 1-1. 半導体装置の構成例 1 >

図 1 (A) は、本発明の一態様の半導体装置であるトランジスタ 100 の上面図である。また、図 1 (B) は、図 1 (A) に示す一点鎖線 X1-X2 間における切断面の断面図に相当し、図 1 (C) は、図 1 (A) に示す一点鎖線 Y1-Y2 間における切断面の断面図に相当する。なお、図 1 (A) においては明瞭化のため、トランジスタ 100 の構成要素の一部（基板 102 及び絶縁膜等）を省略して図示している。

[0045]

また、図 1 (A) における一点鎖線 X1-X2 方向をトランジスタ 100 のチャンネル長方向、一点鎖線 Y1-Y2 方向をトランジスタ 100 のチャンネル幅方向と呼称する場合がある。

[0046]

トランジスタ 100 は、基板 102 上のゲート電極として機能する導電膜 104 と、基板 102 及び導電膜 104 上の絶縁膜 106 と、絶縁膜 106 上の絶縁膜 107 と、絶縁膜 107 上の酸化物半導体膜 108 と、酸化物半導体膜 108 に電氣的に接続される一対の電極として機能する導電膜 112a、112b と、酸化物半導体膜 108 上及び導電膜 112a、112b 上の絶縁膜 114 及び絶縁膜 116 と、絶縁膜 116 上の絶縁膜 118 と、を有する。

[0047]

酸化物半導体膜 108 は、インジウム (In) と、亜鉛 (Zn) と、M (M は、アルミニウム (Al)、ガリウム (Ga)、イットリウム (Y)、またはスズ (Sn) を表す) と、を有すると好ましい。

[0048]

また、トランジスタ 100 において、絶縁膜 106、107 は、トランジスタ 100 のゲート絶縁膜としての機能を有する。また、トランジスタ 100 において、一対の電極として機能する導電膜 112a、112b は、一方がソース電極としての機能を有し、他方がドレイン電極としての機能を有する。

[0049]

また、導電膜 112a は、導電膜 112a__1 と、導電膜 112a__1 上に接する導電膜 112a__2 と、導電膜 112a__2 上に接する導電膜 112a__3 と、を有し、導電膜 112b は、導電膜 112b__1 と、導電膜 112b__1 上に接する導電膜 112b__2 と、導電膜 112b__2 上に接する導電膜 112b__3 と、を有する。また、導電膜 112a__2 は、領域 112a__2a と、領域 112a__2b とを有する。また、導電膜 112b__2 は、領域 112b__2a と、領域 112b__2b とを有する。

[0050]

導電膜 112a__2 及び導電膜 112b__2 は、それぞれ銅を含み、領域 112a__2b 及び領域 112b__2b は、それぞれ銅とシリコンとを含み、導電膜 112a__1、導電膜 112a__3、導電膜 112b__1、及び導電膜 112b__3 は、それぞれ銅の拡散を抑制する材料を含む。また、領域 112a__2b は、導電膜 112a__2 の端部に位置し、絶縁膜 114 と接する領域を有し、領域 112b__2b は、導電膜 112b__2 の端部に位置し、絶縁膜 114 と接する領域を有する。また、

導電膜 1 1 2 a __ 1 の端部は、導電膜 1 1 2 a __ 2 の端部より外側に位置する領域を有し、導電膜 1 1 2 b __ 1 の端部は、導電膜 1 1 2 b __ 2 の端部より外側に位置する領域を有する。また、導電膜 1 1 2 a __ 3 は、導電膜 1 1 2 a __ 2 の上面を覆い、導電膜 1 1 2 b __ 3 は、導電膜 1 1 2 b __ 2 の上面を覆う。したがって、導電膜 1 1 2 a __ 2 a は、導電膜 1 1 2 a __ 1、領域 1 1 2 a __ 2 b、及び導電膜 1 1 2 a __ 3 に覆われる構造を有し、導電膜 1 1 2 b __ 2 a は、導電膜 1 1 2 b __ 1、領域 1 1 2 b __ 2 b、及び導電膜 1 1 2 b __ 3 に覆われる構造を有する。

[0051]

また、領域 1 1 2 a __ 2 b、及び領域 1 1 2 b __ 2 b は、銅シリサイド（銅ケイ化物）を形成すると好ましい。銅シリサイドは、銅とシリコンとの結合を有するため、銅と比較して安定であり、銅が外部に拡散することを抑制する機能を有する。また、絶縁膜 1 1 4 がシリコンを有する場合、領域 1 1 2 a __ 2 b、1 1 2 b __ 2 b が銅とシリコンとを有することで、導電膜 1 1 2 a __ 2、1 1 2 b __ 2 と、絶縁膜 1 1 4 との密着性が高まる効果を奏する。

[0052]

また、領域 1 1 2 a __ 2 b、1 1 2 b __ 2 b は、銅とシリコンと窒素とを含んでいても良く、銅シリサイドナイトライド（銅ケイ化窒化物）を形成してもよい。領域 1 1 2 a __ 2 b、1 1 2 b __ 2 b が銅シリサイドナイトライドを有することで、銅が外部に拡散することを抑制することができる。

[0053]

導電膜 1 1 2 a 及び導電膜 1 1 2 b が、それぞれ銅を含む導電膜 1 1 2 a __ 2 及び導電膜 1 1 2 b __ 2 を有することで、導電膜 1 1 2 a、1 1 2 b の抵抗を低くすることが可能となる。また、導電膜 1 1 2 a、1 1 2 b を上記構成とすることで、銅元素を導電膜 1 1 2 a、1 1 2 b の外部に拡散すること、特に酸化物半導体膜 1 0 8 に拡散することを抑制することができる。したがって、電気特性の優れたトランジスタを有する半導体装置を提供することができる。

[0054]

< 1-2. 半導体装置の構成例 2 >

次に、図 1 (A) (B) (C) に示すトランジスタ 1 0 0 と異なる構成例について、図 2 乃至図 1 1 を用いて説明する。なお、以下の図 2 乃至図 1 1 において、トランジスタ 1 0 0 と同様の機能を有する場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0055]

図 2 (A) は、本発明の一態様の半導体装置であるトランジスタ 1 0 0 A の上面図であり、図 2 (B) は、図 2 (A) に示す一点鎖線 X 1 - X 2 間における切断面の断面図に相当し、図 2 (C) は、図 2 (A) に示す一点鎖線 Y 1 - Y 2 間における切断面の断面図に相当する。

[0056]

トランジスタ 1 0 0 A は、基板 1 0 2 上の第 1 のゲート電極として機能する導電膜 1 0 4 と、基板 1 0 2 及び導電膜 1 0 4 上の絶縁膜 1 0 6 と、絶縁膜 1 0 6 上の絶縁膜 1 0 7 と、絶縁膜 1 0 7 上の酸化物半導体膜 1 0 8 と、酸化物半導体膜 1 0 8 に電氣的に接続される一対の電極として機能する導電膜 1 1 2 a、1 1 2 b と、酸化物半導体膜 1 0 8 上及び導電膜 1 1 2 a、1 1 2 b 上の絶縁膜 1 1 4 及び絶縁膜 1 1 6 と、絶縁膜 1 1 6 上に設けられ、且つ絶縁膜 1 1 4、1 1 6 に設けられた開口部 1 5 2 c において導電膜 1 1 2 a、1 1 2 b の一方（図 2 (B) においては導電膜 1 1 2 b）と電氣的に接続される導電膜 1 2 0 a と、絶縁膜 1 1 6 上に設けられ、第 2 のゲート電極として機能する導

電膜 120b と、絶縁膜 116 及び導電膜 120a、120b 上の絶縁膜 118 と、を有する。

[0057]

トランジスタ 100A において、絶縁膜 106、107 は、トランジスタ 100A の第 1 のゲート絶縁膜としての機能を有し、絶縁膜 114、116 は、トランジスタ 100A の第 2 のゲート絶縁膜としての機能を有し、絶縁膜 118 は、トランジスタ 100A の保護絶縁膜としての機能を有する。なお、本明細書等において、絶縁膜 106、107 を第 1 のゲート絶縁膜と、絶縁膜 114、116 を第 2 のゲート絶縁膜と、呼称する場合がある。また、トランジスタ 100A において、一对の電極として機能する導電膜 112a、112b は、一方がソース電極としての機能を有し、他方がドレイン電極としての機能を有する。また、導電膜 120a は、表示装置に用いる画素電極としての機能を有する。

[0058]

《s-channel 構造》

図 2 に示すトランジスタ 100A における酸化物半導体膜 108 は、第 1 のゲート絶縁膜と、第 2 のゲート絶縁膜とを間に挟んで、導電膜 104 と、導電膜 120b とに挟持される。導電膜 104 のチャンネル長方向の長さ及びチャンネル幅方向の長さは、酸化物半導体膜 108 のチャンネル長方向の長さ及びチャンネル幅方向の長さよりもそれぞれ長い。また、導電膜 120b のチャンネル長方向の長さ及びチャンネル幅方向の長さは、酸化物半導体膜 108 のチャンネル長方向の長さ及びチャンネル幅方向の長さよりもそれぞれ長い。そのため、酸化物半導体膜 108 の全体は、第 1 のゲート絶縁膜及び第 2 のゲート絶縁膜を間に挟んで導電膜 104 及び導電膜 120b に覆われている。

[0059]

別言すると、トランジスタ 100A のチャンネル幅方向において、導電膜 104 及び導電膜 120b は、第 1 のゲート絶縁膜及び第 2 のゲート絶縁膜を間に挟んで酸化物半導体膜 108 を囲む構成である。

[0060]

このような構成を有することで、トランジスタ 100A が有する酸化物半導体膜 108 を、導電膜 104 及び導電膜 120b の電界によって電氣的に囲むことができる。トランジスタ 100A のように、導電膜 104 及び導電膜 120b の電界によって、チャンネル領域が形成される酸化物半導体膜を電氣的に囲むトランジスタのデバイス構造を surrounded channel (s-channel) 構造と呼ぶことができる。

[0061]

トランジスタ 100A は、s-channel 構造を有するため、導電膜 104 及び導電膜 120b によってチャンネルを誘起させるための電界を効果的に酸化物半導体膜 108 に印加することができる。したがって、トランジスタ 100A の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ 100A を微細化することが可能となる。また、トランジスタ 100A は、導電膜 104 及び導電膜 120b によって酸化物半導体膜 108 が囲まれた構造を有するため、トランジスタ 100A の機械的強度を高めることができる。

[0062]

また、上記構成とすることによって、酸化物半導体膜 108 においてキャリアの流れる領域が、酸

化物半導体膜108の第1のゲート絶縁膜側と、及び酸化物半導体膜108の第2のゲート絶縁膜側と、さらに酸化物半導体膜108の膜中の広い範囲となるため、トランジスタ100Aはキャリアの移動量が増加する。その結果、トランジスタ100Aのオン電流が大きくなると共に、電界効果移動度が大きくなり、具体的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけの電界効果移動度である。

[0063]

また、図3(A)(B)に示すトランジスタ100Bのように、導電膜120a、120bが、絶縁膜118上に設けられてもよい。この場合、絶縁膜114、116、118に設けられた開口部152cにおいて、導電膜120aと、導電膜112a、112bの一方とが電氣的に接続される。なお、トランジスタ100Bの上面図は、図2(A)に示すトランジスタ100Aと同様であり、図3(A)は、図2(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図3(B)は、図2(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。また、トランジスタ100Bの他の構成としては、トランジスタ100Aと同様であるため、トランジスタ100Aの構成を参酌すればよい。

[0064]

また、図3(C)に示すトランジスタ100Cのように、導電膜112a、112bにおいて、導電膜112a__1の端部と、導電膜112a__2の端部とが揃う領域があっても良く、導電膜112b__1の端部と、導電膜112b__2の端部とが揃う領域があっても良い。

[0065]

また、図4(A)(B)(C)に示すトランジスタ100Dのように、第2のゲート電極として機能する導電膜120bが、第1のゲート絶縁膜(絶縁膜106、107)、及び第2のゲート絶縁膜(絶縁膜114、116)に設けられた開口部152a、152bにおいて、第1のゲート電極として機能する導電膜104と接続する構成としてもよい。なお、図4(A)は、本発明の一態様の半導体装置であるトランジスタ100Dの上面図である。また、図4(B)は、図4(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図4(C)は、図4(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。また、トランジスタ100Dの他の構成としては、トランジスタ100Aと同様であるため、トランジスタ100Aの構成を参酌すればよい。

[0066]

トランジスタ100Dにおいては、導電膜104と導電膜120bとが第1のゲート絶縁膜、及び第2のゲート絶縁膜に設けられる開口部152a、152bにおいて接続するため、酸化物半導体膜108のチャネル幅方向の側面は、第1のゲート絶縁膜及び第2のゲート絶縁膜を間に挟んで導電膜120bと対向している。また、導電膜104と、導電膜120bとが、同じ電位が与えられる。そのため、効果的にトランジスタ100Dが有する酸化物半導体膜108を、導電膜104及び導電膜120bの電界によって電氣的に囲むことができる。なお、開口部152a及び開口部152bについては、いずれか一方のみを設ける構成であってもよい。

[0067]

また、図5(A)(B)に示すトランジスタ100Eのように、導電膜120a、120bが、絶縁膜118上に設けられてもよい。この場合、絶縁膜114、116、118に設けられた開口部1

52cにおいて、導電膜120aと、導電膜112a、112bの一方とが電氣的に接続され、絶縁膜106、107、114、116、118に設けられた開口部152a、152bにおいて、第2のゲート電極として機能する導電膜120bと、第1のゲート電極として機能する導電膜104とが電氣的に接続される。なお、トランジスタ100Eの上面図は、図4(A)に示すトランジスタ100Dと同様であり、図5(A)は、図4(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図5(B)は、図4(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。また、トランジスタ100Eの他の構成としては、トランジスタ100Dと同様であるため、トランジスタ100Dの構成を参酌すればよい。

[0068]

また、図6(A)(B)(C)に示すトランジスタ100Fのように、第2のゲート電極として機能する導電膜120bが、接続電極として機能する導電膜112cを介して、第1のゲート電極として機能する導電膜104と接続する構成としてもよい。なお、図6(A)は、本発明の一態様の半導体装置であるトランジスタ100Fの上面図である。また、図6(B)は、図6(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図6(C)は、図6(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

[0069]

図6(A)(B)(C)に示すトランジスタ100Fは、絶縁膜107上に設けられ、且つ第1のゲート絶縁膜(絶縁膜106、107)に設けられた開口部151において導電膜104と電氣的に接続される導電膜112cを有し、導電膜120bが、絶縁膜116上に設けられ、且つ第2のゲート絶縁膜(絶縁膜114、116)に設けられた開口部152dにおいて導電膜112cと電氣的に接続される点が、トランジスタ100Aと異なる。

[0070]

トランジスタ100Fにおいては、導電膜104と導電膜120bとが導電膜112cを介して電氣的に接続し、酸化半導体膜108のチャネル幅方向の側面の一方は、第1のゲート絶縁膜及び第2のゲート絶縁膜を間に挟んで導電膜112cと対向している。また、導電膜104と、導電膜120bとが、同じ電位が与えられる。そのため、効果的にトランジスタ100Fが有する酸化半導体膜108を、導電膜104及び導電膜120bの電界によって電氣的に囲むことができる。

[0071]

一方、例えば、トランジスタ100Aやトランジスタ100Bのように、導電膜104と導電膜120bとを接続しない構成の場合、導電膜104と、導電膜120bには、それぞれ異なる電位を与えることができる。

[0072]

また、導電膜120bのチャネル長方向の長さ及びチャネル幅方向の長さの一方または双方は、酸化半導体膜108のチャネル長方向の長さ及びチャネル幅方向の長さよりもそれぞれ長くなくてもよい。

[0073]

導電膜112cは、導電膜112a、112bと同じ工程によって、形成することができる。この場合、導電膜112cは、導電膜112c__1と、導電膜112c__1上に接する導電膜112c__2と、導電膜112c__2上に接する導電膜112c__3と、を有する。また、導電膜112c__2

は、領域 1 1 2 c __ 2 a と、領域 1 1 2 c __ 2 b とを有する。

[0074]

導電膜 1 1 2 c __ 2 は、銅を含み、領域 1 1 2 c __ 2 b は、銅とシリコンとを含み、導電膜 1 1 2 c __ 1 及び導電膜 1 1 2 c __ 3 は、それぞれ銅の拡散を抑制する材料を含む。また、領域 1 1 2 c __ 2 b は、導電膜 1 1 2 c __ 2 の端部に位置し、絶縁膜 1 1 4 と接する領域を有する。また、導電膜 1 1 2 c __ 1 の端部は、導電膜 1 1 2 c __ 2 の端部より外側に位置する領域を有する。また、導電膜 1 1 2 c __ 3 は、導電膜 1 1 2 c __ 2 の上面を覆う。したがって、導電膜 1 1 2 c __ 2 a は、導電膜 1 1 2 c __ 1、領域 1 1 2 c __ 2 b、及び導電膜 1 1 2 c __ 3 に覆われる構造を有する。

[0075]

また、領域 1 1 2 c __ 2 b は、領域 1 1 2 a __ 2 b、1 1 2 b __ 2 b と同様の材料及び工程により形成することができる。

[0076]

上記構成とすることで、導電膜 1 1 2 c の抵抗を低くすることが可能となる。また、銅元素を導電膜 1 1 2 c の外部に拡散すること、特に酸化物半導体膜 1 0 8 に拡散することを抑制することができる。

[0077]

なお、トランジスタ 1 0 0 F の他の構成としては、トランジスタ 1 0 0 A と同様であるため、トランジスタ 1 0 0 A の構成を参酌すればよい。

[0078]

< 1 - 3. 半導体装置の構成例 3 >

図 7 (A) (B) は、本発明の一態様の半導体装置であるトランジスタ 1 0 0 G の断面図であり、トランジスタ 1 0 0 G の上面図は、図 1 (A) に示すトランジスタ 1 0 0 と同様であり、図 7 (A) は、図 1 (A) に示す一点鎖線 X 1 - X 2 間における切断面の断面図に相当し、図 7 (B) は、図 1 (A) に示す一点鎖線 Y 1 - Y 2 間における切断面の断面図に相当する。

[0079]

トランジスタ 1 0 0 G は、酸化物半導体膜 1 0 8 が、導電膜 1 0 4 側の酸化物半導体膜 1 0 8 a と、酸化物半導体膜 1 0 8 a 上の酸化物半導体膜 1 0 8 b と、酸化物半導体膜 1 0 8 b 上の酸化物半導体膜 1 0 8 c を有する点でトランジスタ 1 0 0 と異なる。すなわち、酸化物半導体膜 1 0 8 は、3 層構造を有する。それ以外の構成については、トランジスタ 1 0 0 と同様であり、同様の効果を奏する。以下では、トランジスタ 1 0 0 と異なる構成について説明する。

[0080]

酸化物半導体膜 1 0 8 a、1 0 8 b、1 0 8 c は、それぞれ、I n と、Z n と、M (M は A l、G a、Y、または S n) と、を有する。

[0081]

例えば、酸化物半導体膜 1 0 8 b としては、I n の原子数比が M の原子数比より多い領域を有すると好ましい。また、酸化物半導体膜 1 0 8 a、1 0 8 c としては、酸化物半導体膜 1 0 8 b よりも I n の原子数が少ない領域を有すると好ましい。

[0082]

酸化物半導体膜 1 0 8 b が、I n の原子数比が M の原子数比より多い領域を有することで、トラン

ジスタ 100G の電界効果移動度を高くすることができる。具体的には、トランジスタ 100G の電界効果移動度が $10 \text{ cm}^2/\text{Vs}$ を超える、さらに好ましくはトランジスタ 100G の電界効果移動度が $30 \text{ cm}^2/\text{Vs}$ を超えることが可能となる。

[0083]

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバ（とくに、ゲートドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ）に用いることで、額縁幅の狭い（狭額縁ともいう）半導体装置または表示装置を提供することができる。

[0084]

一方で、酸化物半導体膜 108b が、In の原子数比が M の原子数比より多い領域を有する場合、光照射時にトランジスタ 100G の電気特性が変動しやすくなる。しかしながら、本発明の一態様の半導体装置においては、酸化物半導体膜 108b 上に酸化物半導体膜 108c が形成されている。酸化物半導体膜 108c は、酸化物半導体膜 108b よりも In の原子数比が少ない領域を有するため、酸化物半導体膜 108b よりも E_g が大きくなる。したがって、酸化物半導体膜 108b と、酸化物半導体膜 108c との積層構造である酸化物半導体膜 108 は、光負バイアスストレス試験による耐性を高めることが可能となる。

[0085]

また、酸化物半導体膜 108 中、特に酸化物半導体膜 108b のチャネル領域に混入する水素または水分などの不純物は、トランジスタ特性に影響を与えるため問題となる。したがって、酸化物半導体膜 108b 中のチャネル領域においては、水素または水分などの不純物が少ないほど好ましい。また、酸化物半導体膜 108b 中のチャネル領域に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、酸化物半導体膜 108b のチャネル領域中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となる。酸化物半導体膜 108b のチャネル領域中にキャリア供給源が生成されると、酸化物半導体膜 108b を有するトランジスタ 100G の電気特性の変動、代表的にはしきい値電圧のシフトが生じる。したがって、酸化物半導体膜 108b のチャネル領域においては、酸素欠損が少ないほど好ましい。

[0086]

そこで、本発明の一態様においては、酸化物半導体膜 108 に接する絶縁膜、具体的には、酸化物半導体膜 108 の上方に形成される絶縁膜 114、116 が過剰酸素を含有する構成である。絶縁膜 114、116 から酸化物半導体膜 108 へ酸素または過剰酸素を移動させることで、酸化物半導体膜中の酸素欠損を低減することが可能となる。

[0087]

また、図 8 (A) (B) に示すトランジスタ 100H のように、酸化物半導体膜 108 が、酸化物半導体膜 108b 及び酸化物半導体膜 108c を有する 2 層構造を有する構成としてもよい。なお、トランジスタ 100H の上面図は、図 1 (A) に示すトランジスタ 100 と同様であり、図 8 (A) は、図 1 (A) に示す一点鎖線 X1-X2 間における切断面の断面図に相当し、図 8 (B) は、図 1 (A) に示す一点鎖線 Y1-Y2 間における切断面の断面図に相当する。また、トランジスタ 100H の他の構成としては、トランジスタ 100G と同様であるため、トランジスタ 100G の構成を参酌すればよい。

[0088]

また、図9（A）（B）に示すトランジスタ100Jのように、第2のゲート電極として機能する導電膜120bを有し、酸化物半導体膜108が、酸化物半導体膜108b及び酸化物半導体膜108cを有する構成としてもよい。なお、トランジスタ100Jの上面図は、図2（A）に示すトランジスタ100Aと同様であり、図9（A）は、図2（A）に示す一点鎖線X1－X2間における切断面の断面図に相当し、図9（B）は、図2（A）に示す一点鎖線Y1－Y2間における切断面の断面図に相当する。また、トランジスタ100Jの他の構成としては、トランジスタ100Aと同様であるため、トランジスタ100Aの構成を参酌すればよい。

[0089]

また、図9（C）に示すトランジスタ100Kのように、導電膜112a、112bにおいて、導電膜112a__1の端部と、導電膜112a__2の端部とが揃う領域があっても良く、導電膜112b__1の端部と、導電膜112b__2の端部とが揃う領域があっても良い。

[0090]

また、図10（A）（B）に示すトランジスタ100Lのように、導電膜120a、120bが、絶縁膜118上に設けられてもよい。また、図10（C）に示すトランジスタ100Mのように、導電膜112a、112bにおいて、導電膜112a__1の端部と、導電膜112a__2の端部とが揃う領域があっても良く、導電膜112b__1の端部と、導電膜112b__2の端部とが揃う領域があっても良い。

[0091]

トランジスタ100J、100K、100L、100Mのように、s-channel構造を有することによって、酸化物半導体膜108においてキャリアの流れる領域が、酸化物半導体膜108bの第1のゲート絶縁膜側と、及び酸化物半導体膜108bの第2のゲート絶縁膜側と、さらに酸化物半導体膜108の膜中の広い範囲となるため、これらのトランジスタはキャリアの移動量が増加する。その結果、トランジスタのオン電流が大きくなると共に、電界効果移動度が大きくなる。

[0092]

また、トランジスタ100が有する酸化物半導体膜108は図面において、導電膜112a、112bから露出した領域の酸化物半導体膜が薄くなる、別言すると酸化物半導体膜の一部が凹部を有する形状について例示している。ただし、本発明の一態様はこれに限定されず、導電膜112a、112bから露出した領域の酸化物半導体膜が薄くならず、凹部を有さなくてもよい。この場合の一例を図11（A）（B）に示す。図11（A）（B）は、半導体装置の一例を示す断面図である。なお、図11（A）（B）は、先に示すトランジスタ100の酸化物半導体膜108が凹部を有さない構造を有するトランジスタ100Nの断面図である。

[0093]

<1-4. 半導体装置の構成例4>

図12（A）は、トランジスタ100Pの上面図であり、図12（B）は、図12（A）に示す一点鎖線X1－X2間における切断面の断面図に相当し、図12（C）は、図12（A）に示す一点鎖線Y1－Y2間における切断面の断面図に相当する。

[0094]

図12に示すトランジスタ100Pは、基板102上の導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜10

8と、酸化物半導体膜108上の絶縁膜114と、絶縁膜114上の絶縁膜116と、絶縁膜114及び絶縁膜116に設けられる開口部151aを介して酸化物半導体膜108に電氣的に接続される導電膜112aと、絶縁膜114及び絶縁膜116に設けられる開口部151bを介して酸化物半導体膜108に電氣的に接続される導電膜112bとを有する。また、トランジスタ100P上、より詳しくは、導電膜112a、112b、及び絶縁膜116上には絶縁膜118が設けられる。

[0095]

なお、トランジスタ100Pにおいて、絶縁膜106、107は、トランジスタ100Pのゲート絶縁膜としての機能を有し、絶縁膜114、116は、酸化物半導体膜108の保護絶縁膜としての機能を有し、絶縁膜118は、トランジスタ100Pの保護絶縁膜としての機能を有する。また、トランジスタ100Pにおいて、導電膜104は、ゲート電極としての機能を有し、導電膜112aは、ソース電極としての機能を有し、導電膜112bは、ドレイン電極としての機能を有する。

[0096]

図1に示すトランジスタ100においては、チャネルエッチ型の構造であったのに対し、図12(A)(B)(C)に示すトランジスタ100Pは、チャネル保護型の構造である。本発明の一態様の半導体装置には、チャネル保護型のトランジスタも好適に用いることができる。なお、トランジスタ100Pの他の構成としては、トランジスタ100と同様であるため、トランジスタ100の構成を参酌すればよい。

[0097]

また、図13(A)は、トランジスタ100Qの上面図であり、図13(B)は、図13(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図13(C)は、図13(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。

[0098]

図13に示すトランジスタ100Qは、図12(A)(B)(C)に示すトランジスタ100Pと絶縁膜114、116の形状が相違する。具体的には、トランジスタ100Qの絶縁膜114、116は、酸化物半導体膜108のチャネル領域上に島状に設けられる。その他の構成は、トランジスタ100Pと同様である。

[0099]

また、本実施の形態に係るトランジスタは、上記の構造のそれぞれを自由に組み合わせることが可能である。

[0100]

<1-5. 半導体装置の構成要素>

以下に本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

[0101]

《基板》

基板102の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板102として用いてもよい。また、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板102として用いてもよい。

[0102]

なお、基板102として、ガラス基板を用いる場合、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の大面積基板を用いることで、大型の表示装置を作製することができる。

[0103]

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100を形成してもよい。または、基板102とトランジスタ100の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ100は耐熱性の劣る基板や可撓性の基板にも転載できる。

[0104]

《導電膜》

第1のゲート電極として機能する導電膜104、ソース電極として機能する導電膜112a、ドレイン電極として機能する導電膜112b、接続電極として機能する導電膜112c、第2のゲート電極として機能する導電膜120b、及び画素電極として機能する導電膜120aとしては、クロム(Cr)、銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、亜鉛(Zn)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)、タングステン(W)、マンガン(Mn)、ニッケル(Ni)、鉄(Fe)、コバルト(Co)から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

[0105]

また、導電膜104、112a、112b、112c、120a、120bには、Cuを用いることが好ましい。また、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi)を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチングプロセスで加工できるため、製造コストを抑制することが可能となる。

[0106]

また、導電膜112aが有する導電膜112a__2、導電膜112bが有する導電膜112b__2、及び導電膜112cが有する導電膜112c__2には、Cuまたは上述のCu-X合金膜を好適に用いることができる。Cu-X合金膜としては、Cu-Mn合金膜が特に好ましい。ただし、本発明の一態様において、これに限定されず、導電膜112a__2、112b__2、及び導電膜112c__2は、少なくとも銅を有していればよい。

[0107]

また、領域112a__2b、112b__2b、112c__2bは、CuとSiとを含むことが好ましく、銅シリサイドを有することが好ましい。領域112a__2b、112b__2b、112c__2bが銅シリサイドナイトライドを有することで、銅が外部に拡散することを抑制することができる。銅シリサイドは、CuまたはCuを有する合金を成膜後に、例えばシランガスと反応させることで形成する。また、シランガスと反応後に、例えば窒素を含むプラズマと反応させることでCuとSiとNとを有する銅シリサイドナイトライドを形成してもよい。なお、銅または銅を有する合金の表面が酸化膜によって被覆されている場合は、上記反応前に水素またはアンモニア等を用いて酸化膜を除去

する還元処理を行うことが好ましい。

[0108]

また、導電膜112aが有する導電膜112a__1、112a__3、導電膜112bが有する導電膜112b__1、112b__3、及び導電膜112cが有する導電膜112c__1、112c__3には、上述の金属元素の中でも、特にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると好適である。導電膜112a__1、112a__3、112b__1、112b__3、112c__1、112c__3がチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると、導電膜112a__2、112b__2、112c__2が有する銅の外部への拡散を抑制することができる。すなわち、導電膜112a__1、112a__3、112b__1、112b__3、112c__1、112c__3は、所謂バリアメタルとしての機能を有する。

[0109]

また、導電膜112a__1、112a__3、112b__1、112b__3、112c__1、112c__3には、窒素とタンタルを含む、所謂窒化タンタル膜を用いると好適である。当該窒化タンタル膜は、導電性を有し、且つ、銅または水素に対して、高いバリア性を有する。また、窒化タンタル膜は、さらに自身からの水素の放出が少ないため、酸化物半導体膜108と接する導電膜として、最も好適に用いることができる。

[0110]

また、導電膜104、112a__1、112a__3、112b__1、112b__3、112c__1、112c__3、120a、120bには、インジウムと錫とを有する酸化物、タングステンとインジウムとを有する酸化物、タングステンとインジウムと亜鉛とを有する酸化物、チタンとインジウムとを有する酸化物、チタンとインジウムと錫とを有する酸化物、インジウムと亜鉛とを有する酸化物、シリコンとインジウムと錫とを有する酸化物、インジウムとガリウムと亜鉛とを有する酸化物等の酸化物導電体を適用することもできる。導電膜112a__1、112a__3、112b__1、112b__3、112c__1、及び112c__3は、InまたはZnのうち少なくとも一を含む酸化物を有することで、導電膜112a__2、112b__2、112c__2が有する銅の外部への拡散を抑制することができる。

[0111]

特に、導電膜120aには、上述の酸化物導電体を好適に用いることができる。また、導電膜120aと、酸化物半導体膜108（酸化物半導体膜108b及び酸化物半導体膜108c）と、が同一の金属元素を有する構成とすると好適である。当該構成とすることで、製造コストを抑制することが可能となる。

[0112]

ここで、酸化物導電体について説明を行う。本明細書等において、酸化物導電体をOC（Oxide Conductor）と呼称してもよい。酸化物導電体としては、例えば、酸化物半導体に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、酸化物半導体は、導電性が高くなり導電体化する。導電体化された酸化物半導体を、酸化物導電体とすることができる。一般に、酸化物半導体は、エネルギーギャップが大きいので、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。した

がって、酸化物導電体は、ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。

[0113]

《第1のゲート絶縁膜として機能する絶縁膜》

トランジスタ100の第1のゲート絶縁膜として機能する絶縁膜106、107としては、プラズマ化学気相堆積(PECVD: (Plasma Enhanced Chemical Vapor Deposition))法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を、それぞれ用いることができる。なお、絶縁膜106、107の積層構造とせずに、上述の材料から選択された単層の絶縁膜、または3層以上の絶縁膜を用いてもよい。

[0114]

また、絶縁膜106は、酸素の透過を抑制するブロッキング膜としての機能を有する。例えば、絶縁膜107、114、116及び／または酸化物半導体膜108中に過剰の酸素を供給する場合において、絶縁膜106は酸素の透過を抑制することができる。

[0115]

なお、トランジスタ100のチャネル領域として機能する酸化物半導体膜108と接する絶縁膜107は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域(酸素過剰領域)を有することがより好ましい。別言すると、絶縁膜107は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜107に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜107を形成すればよい。または、成膜後の絶縁膜107を酸素雰囲気下で熱処理すればよい。

[0116]

また、絶縁膜107として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁膜107の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

[0117]

なお、本実施の形態では、絶縁膜106として窒化シリコン膜を形成し、絶縁膜107として酸化シリコン膜を形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きいので、トランジスタ100のゲート絶縁膜として、窒化シリコン膜を含むことで絶縁膜を厚膜化することができる。よって、トランジスタ100の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ100の静電破壊を抑制することができる。

[0118]

《酸化物半導体膜》

酸化物半導体膜108としては、先に示す材料を用いることができる。

[0119]

酸化物半導体膜108bがIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In > M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In : M : Zn = 2 : 1 : 3$ 、 $In : M : Zn = 3 : 1 : 2$ 、 $In : M : Zn = 4 : 2 : 4$ 、1等が挙げられる。

[0120]

また、酸化物半導体膜108a、108cがIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \leq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 1 : 1 : 1.2$ 、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 6$ 、等が挙げられる。

[0121]

また、酸化物半導体膜108(108a、108b、及び108c)が、それぞれIn-M-Zn酸化物の場合、スパッタリングターゲットとしては、多結晶のIn-M-Zn酸化物を含むターゲットを用いると好ましい。多結晶のIn-M-Zn酸化物を含むターゲットを用いることで、結晶性を有する酸化物半導体膜108a、108b、及び108cを形成しやすくなる。なお、成膜される酸化物半導体膜108a、108b、及び108cの原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、酸化物半導体膜108bのスパッタリングターゲットとして、原子数比が $In : Ga : Zn = 4 : 2 : 4.1$ を用いる場合、成膜される酸化物半導体膜108bの原子数比は、 $In : Ga : Zn = 4 : 2 : 3$ 近傍となる場合がある。

[0122]

また、酸化物半導体膜108は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ100のオフ電流を低減することができる。特に、酸化物半導体膜108bには、エネルギーギャップが2eV以上、好ましくは2eV以上3.0eV以下の酸化物半導体膜を用い、酸化物半導体膜108a、108cには、エネルギーギャップが2.5eV以上3.5eV以下の酸化物半導体膜を用いると、好適である。また、酸化物半導体膜108bよりも酸化物半導体膜108a及び108cのエネルギーギャップが大きい方が好ましい。

[0123]

また、酸化物半導体膜108a、108b、及び108cの厚さは、それぞれ3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

[0124]

また、酸化物半導体膜108a、108cとしては、キャリア密度の低い酸化物半導体膜を用いる。例えば、酸化物半導体膜108a、108cは、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下とする。

[0125]

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものをを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜108のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0126]

なお、酸化物半導体膜108としては、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。

[0127]

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

[0128]

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体膜108は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜108において、SIMS分析により得られる水素濃度を、 $2 \times 10^{20} \text{atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下とする。

[0129]

また、酸化物半導体膜108bは、酸化物半導体膜108cよりも水素濃度が少ない領域を有すると好ましい。酸化物半導体膜108bの方が、酸化物半導体膜108cよりも水素濃度が少ない領域

を有すことにより、信頼性の高い半導体装置とすることができる。

[0130]

また、酸化物半導体膜108bにおいて、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜108bにおいて酸素欠損が増加し、n型化してしまう。このため、酸化物半導体膜108bにおけるシリコンや炭素の濃度と、酸化物半導体膜108bとの界面近傍のシリコンや炭素の濃度(SIMS分析により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0131]

また、酸化物半導体膜108bにおいて、SIMS分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜108bのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

[0132]

また、酸化物半導体膜108bに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、SIMS分析により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

[0133]

また、酸化物半導体膜108b、及び酸化物半導体膜108cは、それぞれ非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0134]

《第2のゲート絶縁膜として機能する絶縁膜》

絶縁膜114、116は、トランジスタ100の第2のゲート絶縁膜として機能する。また、絶縁膜114、116は、酸化物半導体膜108に酸素を供給する機能を有する。すなわち、絶縁膜114、116は、酸素を有する。また、絶縁膜114は、酸素を透過することのできる絶縁膜である。なお、絶縁膜114は、後に形成する絶縁膜116を形成する際の、酸化物半導体膜108へのダメージ緩和膜としても機能する。

[0135]

絶縁膜114としては、厚さが5nm以上150nm以下、好ましくは5nm以上50nm以下の酸化シリコン、酸化窒化シリコン等を用いることができる。

[0136]

また、絶縁膜114は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下であることが好ましい。これは、絶縁膜114に含まれる欠陥密度が多いと、該欠

陥に酸素が結合してしまい、絶縁膜 1 1 4 における酸素の透過量が減少してしまう。

[0 1 3 7]

なお、絶縁膜 1 1 4 においては、外部から絶縁膜 1 1 4 に入った酸素が全て絶縁膜 1 1 4 の外部に移動せず、絶縁膜 1 1 4 にとどまる酸素もある。また、絶縁膜 1 1 4 に酸素が入ると共に、絶縁膜 1 1 4 に含まれる酸素が絶縁膜 1 1 4 の外部へ移動することで、絶縁膜 1 1 4 において酸素の移動が生じる場合もある。絶縁膜 1 1 4 として酸素を透過することができる酸化物絶縁膜を形成すると、絶縁膜 1 1 4 上に設けられる、絶縁膜 1 1 6 から脱離する酸素を、絶縁膜 1 1 4 を介して酸化物半導体膜 1 0 8 に移動させることができる。

[0 1 3 8]

また、絶縁膜 1 1 4 は、窒素酸化物に起因する準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー (E_{v_os}) と酸化物半導体膜の伝導帯の下端のエネルギー (E_{c_os}) の間に形成され得る場合がある。上記酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

[0 1 3 9]

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 個/ cm^3 以上 5×10^{19} 個/ cm^3 以下である。なお、アンモニアの放出量は、膜の表面温度が 50°C 以上 650°C 以下、好ましくは 50°C 以上 550°C 以下の加熱処理による放出量とする。

[0 1 4 0]

窒素酸化物 (NO_x 、 x は 0 を越えて 2 以下、好ましくは 1 以上 2 以下)、代表的には NO_2 または NO は、絶縁膜 1 1 4 などに準位を形成する。当該準位は、酸化物半導体膜 1 0 8 のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜 1 1 4 及び酸化物半導体膜 1 0 8 の界面に拡散すると、当該準位が絶縁膜 1 1 4 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 1 1 4 及び酸化物半導体膜 1 0 8 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

[0 1 4 1]

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜 1 1 4 に含まれる窒素酸化物は、加熱処理において、絶縁膜 1 1 6 に含まれるアンモニアと反応するため、絶縁膜 1 1 4 に含まれる窒素酸化物が低減される。このため、絶縁膜 1 1 4 及び酸化物半導体膜 1 0 8 の界面において、電子がトラップされにくい。

[0 1 4 2]

絶縁膜 1 1 4 として、上記酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

[0 1 4 3]

なお、トランジスタの作製工程の加熱処理、代表的には 300°C 以上 350°C 未満の加熱処理により、絶縁膜 1 1 4 は、 100K 以下の ESR で測定して得られたスペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される。なお、第 1 のシグナル及

び第2のシグナルのスプリット幅、並びに第2のシグナル及び第3のシグナルのスプリット幅は、XバンドのESR測定において約5mTである。また、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下である第3のシグナルのスピン密度の合計が $1 \times 10^{18} \text{ spins/cm}^3$ 未満であり、代表的には $1 \times 10^{17} \text{ spins/cm}^3$ 以上 $1 \times 10^{18} \text{ spins/cm}^3$ 未満である。

[0144]

なお、100K以下のESRスペクトルにおいて、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下である第3のシグナルのスピン密度の合計は、窒素酸化物(NO_x 、xは0より大きく2以下、好ましくは1以上2以下)起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、及びg値が1.964以上1.966以下である第3のシグナルのスピン密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

[0145]

また、上記酸化物絶縁膜は、SIMSで測定される窒素濃度が $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。

[0146]

基板温度が220℃以上350℃以下であり、シラン及び一酸化二窒素を用いたPECVD法を用いて、上記酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

[0147]

絶縁膜116は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いて形成する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物絶縁膜である。なお、上記TDSにおける膜の表面温度としては100℃以上700℃以下、または100℃以上500℃以下の範囲が好ましい。

[0148]

絶縁膜116としては、厚さが30nm以上500nm以下、好ましくは50nm以上400nm以下の、酸化シリコン、酸化窒化シリコン等を用いることができる。

[0149]

また、絶縁膜116は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $1.5 \times 10^{18} \text{ spins/cm}^3$ 未満、さらには $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。なお、絶縁膜116は、絶縁膜114と比較して酸化物半導体膜108から離れているため、絶縁膜114より、欠陥密度が多くともよい。

[0150]

また、絶縁膜114、116は、同種の材料の絶縁膜を用いることができるため、絶縁膜114と絶縁膜116の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁

膜114と絶縁膜116の界面は、破線で図示している。なお、本実施の形態においては、絶縁膜114と絶縁膜116の2層構造について説明したが、これに限定されず、例えば、絶縁膜114の単層構造、あるいは3層以上の積層構造としてもよい。

[0151]

《保護絶縁膜として機能する絶縁膜》

絶縁膜118は、トランジスタ100の保護絶縁膜として機能する。

[0152]

絶縁膜118は、水素及び窒素のいずれか一方または双方を有する。または、絶縁膜118は、窒素及びシリコンを有する。また、絶縁膜118は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜118を設けることで、酸化物半導体膜108からの酸素の外部への拡散と、絶縁膜114、116に含まれる酸素の外部への拡散と、外部から酸化物半導体膜108への水素、水等の入り込みを防ぐことができる。

[0153]

絶縁膜118としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。

[0154]

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜は、スパッタリング法やPECVD法により形成することができるが、他の方法、例えば、熱CVD (Chemical Vapor Deposition) 法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法、またはALD (Atomic Layer Deposition) 法などが挙げられる。

[0155]

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[0156]

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[0157]

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次チャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。

[0158]

MOCVD法、ALD法などの熱CVD法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの様々な膜を形成することができ、例えば、In-Ga-ZnO膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム (化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 (化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

[0159]

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAH）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

[0160]

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオナート）などがある。

[0161]

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

[0162]

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスとを用いてタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0163]

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $In-Ga-ZnO$ 膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次繰り返し導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスとを用いて GaO 層を形成し、更にその後 $Zn(CH_3)_2$ ガスと O_3 ガスとを用いて ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスに変えて、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Ga(CH_3)_3$ ガスに変えて、 $Ga(C_2H_5)_3$ ガスを用いても良い。また、 $Zn(CH_3)_2$ ガスを用いても良い。

[0164]

<1-6. トランジスタの作製方法1>

次に、本発明の一態様の半導体装置であるトランジスタ100Jの作製方法について、図14乃至図17を用いて説明する。なお、図14乃至図17は、半導体装置の作製方法を説明する断面図であり、図14（A）（C）（E）、図15（A）（C）（E）、図16（A）（C）（E）、図17（A）（C）（E）は、X1-X2に示すチャンネル長方向であり、図14（B）（D）（F）、図15（B）（D）（F）、図16（B）（D）（F）、図17（B）（D）（F）は、Y1-Y2に示すチャンネル幅方向の断面図である。

[0165]

《第1のゲート電極及び第1のゲート絶縁膜の形成工程》

まず、基板102上に導電膜を形成し、該導電膜をリソグラフィ工程及びエッチング工程を行い加工して、第1のゲート電極として機能する導電膜104を形成する。次に、導電膜104上に第1のゲート絶縁膜として機能する絶縁膜106、107を形成する（図14（A）（B）参照）。

[0166]

本実施の形態では、基板102としてガラス基板を用い、第1のゲート電極として機能する導電膜104として、厚さ10nmのチタン膜と、厚さ100nmの銅膜と、厚さ50nmの窒化タンタル膜とを、それぞれスパッタリング法により形成する。

[0167]

また、絶縁膜106として厚さ400nmの窒化シリコン膜をPECVD法により形成し、絶縁膜107として厚さ15nmの酸化窒化シリコン膜をPECVD法により形成する。なお、絶縁膜106としては、窒化シリコン膜の積層構造とすることができる。具体的には、絶縁膜106を、第1の窒化シリコン膜と、第2の窒化シリコン膜と、第3の窒化シリコン膜との3層積層構造とすることができる。該3層積層構造の一例としては、以下のように形成することができる。

[0168]

第1の窒化シリコン膜としては、例えば、流量200sccmのシラン、流量2000sccmの窒素、及び流量100sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成すればよい。

[0169]

第2の窒化シリコン膜としては、流量200sccmのシラン、流量2000sccmの窒素、及び流量2000sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが300nmとなるように形成すればよい。

[0170]

第3の窒化シリコン膜としては、流量200sccmのシラン、及び流量5000sccmの窒素を原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成すればよい。

[0171]

なお、上記第1の窒化シリコン膜、第2の窒化シリコン膜、及び第3の窒化シリコン膜形成時の基板温度は350℃以下とすることができる。

[0172]

絶縁膜106を、窒化シリコン膜の3層の積層構造とすることで、例えば、導電膜104に銅（Cu）を含む導電膜を用いる場合において、以下の効果を奏する。

[0173]

第1の窒化シリコン膜は、導電膜104からの銅（Cu）元素の拡散を抑制することができる。第2の窒化シリコン膜は、水素を放出する機能を有し、ゲート絶縁膜として機能する絶縁膜の耐圧を向上させることができる。第3の窒化シリコン膜は、第3の窒化シリコン膜からの水素放出が少なく、

且つ第2の窒化シリコン膜からの放出される水素の拡散を抑制することができる。

[0174]

絶縁膜107としては、後に形成される酸化物半導体膜108（より具体的には、酸化物半導体膜108b）との界面特性を向上させるため、酸素を含む絶縁膜で形成されると好ましい。また、絶縁膜107の形成後に、絶縁膜107に酸素を添加してもよい。絶縁膜107に添加する酸素としては、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等がある。また、添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。

[0175]

《酸化物半導体膜の形成工程》

次に、絶縁膜107上に酸化物半導体膜108b及び酸化物半導体膜108cを形成する（図14（C）（D）参照）。

[0176]

図14（C）（D）は、絶縁膜107上に後に酸化物半導体膜108となる酸化物半導体膜を形成する際の成膜装置内部の断面模式図である。図14（C）（D）では、成膜装置としてスパッタリング装置を用い、当該スパッタリング装置内部に設置されたターゲット191と、ターゲット191の下方に形成されたプラズマ192とが、模式的に表されている。

[0177]

まず、酸化物半導体膜を形成する際に、第1の酸素ガスを含む雰囲気にてプラズマを放電させる。その際に、酸化物半導体膜の被形成面となる絶縁膜107中に、酸素が添加される。また、酸化物半導体膜を形成する際に、第1の酸素ガスの他に、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）を混合させてもよい。

[0178]

第1の酸素ガスとしては、少なくとも酸化物半導体膜を形成する際に含まれていればよく、酸化物半導体膜を形成する際の成膜ガス全体に占める第1の酸素ガスの割合としては、0%より大きく100%以下、好ましくは10%以上100%以下、さらに好ましくは30%以上100%以下である。

[0179]

なお、図14（C）（D）において、絶縁膜107に添加される酸素または過剰酸素を模式的に破線の矢印で表している。

[0180]

なお、酸化物半導体膜108bと、酸化物半導体膜108cの形成時の基板温度は、同じでも異なってもよい。ただし、酸化物半導体膜108bと、酸化物半導体膜108cとの、基板温度を同じとすることで、製造コストを低減することができるため好適である。

[0181]

例えば、酸化物半導体膜108を成膜する際の基板温度としては、室温以上340℃未満、好ましくは室温以上300℃以下、より好ましくは100℃以上250℃以下、さらに好ましくは100℃以上200℃以下である。酸化物半導体膜108を加熱して成膜することで、酸化物半導体膜108の結晶性を高めることができる。一方で、基板102として、大型のガラス基板（例えば、第6世代乃至第10世代）を用いる場合、酸化物半導体膜108を成膜する際の基板温度を150℃以上340℃未満とした場合、基板102が変形する（歪むまたは反る）場合がある。よって、大型のガラス

基板を用いる場合においては、酸化物半導体膜 108 の成膜する際の基板温度を 100℃以上 150℃未満とすることで、ガラス基板の変形を抑制することができる。

[0182]

また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が−40℃以下、好ましくは−80℃以下、より好ましくは−100℃以下、より好ましくは−120℃以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

[0183]

また、スパッタリング法で酸化物半導体膜を成膜する場合、スパッタリング装置におけるチャンバーは、酸化物半導体膜にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空（ 5×10^{-7} Pa から 1×10^{-4} Pa 程度まで）排気することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

[0184]

また、後に酸化物半導体膜 108b となる酸化物半導体膜が形成した後、続けて、後に酸化物半導体膜 108c となる酸化物半導体膜が形成する。なお、これらの酸化物半導体膜の形成時においては、第2の酸素ガスを含む雰囲気にてプラズマを放電させればよい。

[0185]

なお、後に酸化物半導体膜 108b となる酸化物半導体膜を形成する際の第1の酸素ガスの割合と、後に酸化物半導体膜 108c となる酸化物半導体膜を形成する際の第2の酸素ガスの割合とは同じでも異なってもよい。

[0186]

本実施の形態では、In-Ga-Zn 金属酸化物ターゲット（In：Ga：Zn＝4：2：4.1 [原子数比]）を用いて、スパッタリング法により後に酸化物半導体膜 108b となる酸化物半導体膜を形成し、その後真空中で連続して、In-Ga-Zn 金属酸化物ターゲット（In：Ga：Zn＝1：1：1.2 [原子数比]）を用いて、スパッタリング法により後に酸化物半導体膜 108c となる酸化物半導体膜を形成する。また、これらの酸化物半導体膜の形成時の基板温度を 170℃とする。また、後に酸化物半導体膜 108b となる酸化物半導体膜の形成時の成膜ガスとしては、流量 15 sccm の酸素ガスと、流量 35 sccm のアルゴンガスと、を用いる。また、後に酸化物半導体膜 108c となる酸化物半導体膜の形成時の成膜ガスとしては、流量 25 sccm の酸素ガスと、流量 25 sccm のアルゴンガスと、を用いる。

[0187]

次に、成膜した酸化物半導体膜を所望の形状に加工することで、島状の酸化物半導体膜 108b 及び島状の酸化物半導体膜 108c を形成する（図 14（E）（F）参照）。なお、本実施の形態においては、酸化物半導体膜 108b、及び酸化物半導体膜 108c で酸化物半導体膜 108 を構成する（図 14（E）（F）参照）。

[0188]

また、酸化物半導体膜 108 を形成した後に、加熱処理（以下、第1の加熱処理とする）を行うと好適である。第1の加熱処理により、酸化物半導体膜 108 に含まれる水素、水等を低減することが

できる。なお、水素、水等の低減を目的とした加熱処理は、酸化物半導体膜108を島状に加工する前に行ってもよい。なお、第1の加熱処理は、酸化物半導体膜の高純度化処理の一つである。

[0189]

第1の加熱処理としては、例えば、150℃以上基板の歪み点未満、好ましくは200℃以上450℃以下、さらに好ましくは250℃以上350℃以下とすることができる。

[0190]

また、第1の加熱処理は、電気炉、RTA (Rapid Thermal Anneal) 装置等を用いることができる。RTA装置を用いることで、短時間に限り基板の歪み点以上の温度で熱処理を行うことができる。そのため、加熱時間を短縮することが可能となる。また、第1の加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい。また、窒素または希ガス雰囲気下で加熱処理した後、酸素または超乾燥空気雰囲気下で加熱してもよい。この結果、酸化物半導体膜中に含まれる水素、水等を脱離させると共に、酸化物半導体膜中に酸素を供給することができる。この結果、酸化物半導体膜中に含まれる酸素欠損を低減することができる。

[0191]

《ソース電極及びドレイン電極の形成工程》

次に、絶縁膜107及び酸化物半導体膜108上に、後にソース電極及びドレイン電極となる、導電膜112をスパッタリング法によって形成する（図15（A）（B）参照）。

[0192]

本実施の形態では、導電膜112として、導電膜112__1、112__2、及び112__3を積層する。導電膜112__1として厚さ50nmのタングステン膜と、導電膜112__2として厚さ200nmの銅膜と、導電膜112__3として厚さ5nmのタングステン膜とを、順に積層した積層膜をスパッタリング法により成膜する。なお、本実施の形態においては、導電膜112__1と導電膜112__3とが同じ材料を用いて成膜するが、これに限定されない。例えば、導電膜112__1として厚さ50nmのタングステン膜と、導電膜112__2として厚さ200nmの銅膜と、導電膜112__3として厚さ50nmのチタン膜とを、順に成膜した積層膜を用いても良い。また、導電膜112の3層の積層構造としたが、これに限定されない。例えば、導電膜112として、2層の積層構造としてもよく、4層以上の積層構造としてもよい。

[0193]

次に、導電膜112__3上の所望の領域にマスク141a、141bを形成する。続けて、マスク141a、141bを用いて、導電膜112__2、112__3を加工することで、それぞれ互いに分離された島状の導電膜112a__2、112b__2、112a__3、112b__3を形成する（図15（C）（D）参照）。

[0194]

なお、本実施の形態においては、ウェットエッチング装置を用い、導電膜112__2、112__3を加工する。ただし、導電膜112の加工方法としては、これに限定されず、例えば、ドライエッチング装置を用いてもよい。なお、ドライエッチング装置を用いて、導電膜112を加工するよりも、ウェットエッチング装置を用いて導電膜112を加工した方が、製造コストを低減することができる。

[0195]

次に、導電膜112a__2、112b__2の端部をシリサイド化させることで、銅を有する領域112a__2a、112b__2aと、銅シリサイドを有する領域112a__2b、112b__2bとを形成する。

[0196]

図15(E)(F)は、導電膜112a__2、112b__2の端部をシリサイド化させる際のプラズマ装置内部の断面模式図である。図15(E)(F)では、プラズマ装置としてPECVD装置を用い、当該PECVD装置内部に発生したプラズマ195が、模式的に表されている。

[0197]

導電膜112a__2、112b__2の端部で露出した銅は、表面に容易に酸化膜を形成する。したがって、銅をシリサイド化する前処理として、銅の表面を被覆している酸化膜を除去するために還元性を有するガス(例えば、水素ガス、アンモニアガスなど)を含む雰囲気にてプラズマを放電させる。その際、銅表面を覆う酸化膜が還元され、導電膜112a__2、112b__2の端部に銅が露出する。なお、当該酸化膜を除去するための還元方法としては、プラズマ処理に限定されない。例えば、還元性を有するガス(例えば、水素ガス、アンモニアガスなど)を含む雰囲気に銅の表面を曝し、加熱処理をすることで還元してもよい。また、上記プラズマ処理および加熱処理を行う際の基板温度としては、好ましくは300℃以上、より好ましくは350℃以上である。本実施の形態において、銅表面を覆う酸化膜を除去する際の基板温度としては350℃とする。

[0198]

続いて、シランガスを含む雰囲気に曝し、銅とシランガスとを反応させることで、導電膜112a__2、112b__2の端部に銅とシリコンとを有する銅シリサイドを形成し、領域112a__2b、112b__2bを形成する。また、導電膜112a__2、112b__2において銅シリサイドを形成しない領域を領域112a__2a、112b__2aとする。銅シリサイドを形成する際の基板温度としては、好ましくは200℃以上400℃以下、より好ましくは220℃以上350℃以下である。本実施の形態において、銅シリサイドを形成する際の基板温度としては220℃とし、流量300sccmのシランガスと、流量500sccmの窒素ガスと、を用いる。

[0199]

また、銅表面の酸化膜を除去する際の基板温度と、銅シリサイドを形成する際の基板温度を揃えることは、酸化膜除去と銅シリサイド形成を同一装置内あるいは同一チャンバー内で行えるため好ましい。この場合、銅シリサイドを形成する際の基板温度を350℃にすることが好ましい。

[0200]

なお、銅シリサイドを形成する際のガスとしては、少なくともシリコンが含まれていればよく、銅シリサイドを形成する際のガス全体に占めるシリコンを含むガスの割合としては、0%より大きく100%以下、好ましくは10%以上100%以下、さらに好ましくは30%以上100%以下である。

[0201]

なお、図15(E)(F)において、導電膜112a__2、112b__2に添加されるシリコンまたはシランを模式的に破線の矢印で表している。

[0202]

なお、銅シリサイドを形成した後、窒素を含むガスの雰囲気にてプラズマを放電させて、導電膜1

1 2 a __ 2、1 1 2 b __ 2 に、銅とシリコンと窒素とを含む銅シリサイドナイトライドを形成してもよい。また、窒素を含むガスの雰囲気基板を曝し、加熱処理を行うことで、導電膜 1 1 2 a __ 2、1 1 2 b __ 2 に銅とシリコンと窒素とを含む銅シリサイドナイトライドを形成してもよい。

[0203]

次に、導電膜 1 1 2 __ 1 上の一部、及び導電膜 1 1 2 a __ 2、1 1 2 b __ 2、1 1 2 a __ 3、1 1 2 b __ 3 上の所望の領域にマスク 1 4 2 a、1 4 2 b を形成する。続けて、マスク 1 4 2 a、1 4 2 b を用いて、導電膜 1 1 2 __ 1 を加工することで、それぞれ互いに分離された島状の導電膜 1 1 2 a __ 1、1 1 2 b __ 1 を形成する。この工程を行うことで、導電膜 1 1 2 a __ 1 と、領域 1 1 2 a __ 2 a 及び領域 1 1 2 a __ 2 b を有する導電膜 1 1 2 a __ 2 と、導電膜 1 1 2 __ 3 とを有する導電膜 1 1 2 a、及び導電膜 1 1 2 b __ 1 と、領域 1 1 2 b __ 2 a 及び領域 1 1 2 b __ 2 b を有する導電膜 1 1 2 b __ 2 と、導電膜 1 1 2 b __ 3 とを有する導電膜 1 1 2 b、が形成される（図 16 (A) (B) 参照）。

[0204]

なお、本実施の形態においては、ドライエッチング装置を用い、導電膜 1 1 2 __ 1 を加工する。ただし、導電膜 1 1 2 __ 1 の加工方法としては、これに限定されず、例えば、ウェットエッチング装置を用いてもよい。なお、ウェットエッチング装置を用いて、導電膜 1 1 2 __ 1 を加工するよりも、ドライエッチング装置を用いて導電膜 1 1 2 __ 1 を加工した方が、より微細なパターンを形成することができる。

[0205]

また、導電膜 1 1 2 a、1 1 2 b の形成後に、酸化物半導体膜 1 0 8（より具体的には酸化物半導体膜 1 0 8 b）の表面（バックチャネル側）を洗浄してもよい。当該洗浄方法としては、例えば、リン酸等の薬液を用いた洗浄が挙げられる。リン酸等の薬液を用いて洗浄を行うことで、酸化物半導体膜 1 0 8 b の表面に付着した不純物（例えば、導電膜 1 1 2 a、1 1 2 b に含まれる元素等）を除去することができる。なお、当該洗浄を必ずしも行う必要はなく、場合によっては、洗浄を行わなくてもよい。

[0206]

また、導電膜 1 1 2 a、1 1 2 b を形成する工程、及び上記洗浄工程のいずれか一方または双方において、酸化物半導体膜 1 0 8 の導電膜 1 1 2 a、1 1 2 b から露出した領域が、薄くなる場合がある。

[0207]

《第 2 のゲート絶縁膜の形成工程》

次に、酸化物半導体膜 1 0 8、及び導電膜 1 1 2 a、1 1 2 b 上に絶縁膜 1 1 4、及び絶縁膜 1 1 6 を形成する（図 16 (C) (D) 参照）。

[0208]

なお、絶縁膜 1 1 4 を形成した後、大気に曝すことなく、連続的に絶縁膜 1 1 6 を形成することが好ましい。絶縁膜 1 1 4 を形成後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜 1 1 6 を連続的に形成することで、絶縁膜 1 1 4 と絶縁膜 1 1 6 との界面において大気成分由来の不純物濃度を低減することができるとともに、絶縁膜 1 1 4、1 1 6 に含まれる酸素を酸化物半導体膜 1 0 8 に移動させることが可能となり、酸化物半導体膜 1 0 8 の酸素欠

損量を低減することが可能となる。

[0209]

例えば、絶縁膜114として、PECVD法を用いて、酸化窒化シリコン膜を形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化二窒素、二酸化窒素等がある。また、上記の堆積性気体の流量に対して酸化性気体の流量を20倍より大きく100倍未満、好ましくは40倍以上80倍以下とし、処理室内の圧力を100Pa未満、好ましくは50Pa以下とするPECVD法を用いることで、絶縁膜114が、窒素を含み、且つ欠陥量の少ない絶縁膜となる。

[0210]

本実施の形態においては、絶縁膜114として、基板102を保持する温度を220℃とし、流量50sccmのシラン及び流量2000sccmの一酸化二窒素を原料ガスとし、処理室内の圧力を20Paとし、平行平板電極に供給する高周波電力を13.56MHz、100W（電力密度としては $1.6 \times 10^{-2} \text{W/cm}^2$ ）とするPECVD法を用いて、酸化窒化シリコン膜を形成する。

[0211]

絶縁膜116としては、PECVD装置の真空排気された処理室内に載置された基板を180℃以上350℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に 0.17W/cm^2 以上 0.5W/cm^2 以下、さらに好ましくは 0.25W/cm^2 以上 0.35W/cm^2 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

[0212]

絶縁膜116の成膜条件として、上記圧力の反応室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜116中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

[0213]

なお、絶縁膜116の形成工程において、絶縁膜114が酸化物半導体膜108の保護膜となる。したがって、酸化物半導体膜108へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜116を形成することができる。

[0214]

なお、絶縁膜116の成膜条件において、酸化性気体に対するシリコンを含む堆積性気体の流量を増加することで、絶縁膜116の欠陥量を低減することが可能である。代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $6 \times 10^{17} \text{spins/cm}^3$ 未満、好ましくは $3 \times 10^{17} \text{spins/cm}^3$ 以下、好ましくは $1.5 \times 10^{17} \text{spins/cm}^3$ 以下である欠陥量の少ない酸化物絶縁膜を形成することができる。この結果、トランジスタ100の信頼性を高めることができる。

[0215]

また、絶縁膜114、116を成膜した後に、加熱処理（以下、第2の加熱処理とする）を行うと好適である。第2の加熱処理により、絶縁膜114、116に含まれる窒素酸化物を低減することができる。または、第2の加熱処理により、絶縁膜114、116に含まれる酸素の一部を酸化物半導体膜108に移動させ、酸化物半導体膜108に含まれる酸素欠損量を低減することができる。

[0216]

第2の加熱処理の温度は、代表的には、400℃未満、好ましくは375℃未満、さらに好ましくは、150℃以上350℃以下とする。第2の加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい該加熱処理には、電気炉、RTA装置等を用いることができる。

[0217]

次に、絶縁膜116上にリソグラフィ工程によりマスクを形成し、絶縁膜114、116の所望の領域に開口部152cを形成する。なお、開口部152cは、導電膜112bに達するように形成される（図16（E）（F）参照）。

[0218]

《第2のゲート電極の形成工程》

次に、開口部152cを覆うように、絶縁膜116上に導電膜120a、120bを形成する（図17（A）（B）（C）（D）参照）。

[0219]

なお、図17（A）（B）は、絶縁膜116上に導電膜120a、120bを形成する際の、成膜装置内部の断面模式図である。図17（A）（B）では、成膜装置としてスパッタリング装置を用い、当該スパッタリング装置内部に設置されたターゲット193と、ターゲット193の下方に形成されたプラズマ194とが、模式的に表されている。

[0220]

まず、導電膜120a、120bを形成する際に、第3の酸素ガスを含む雰囲気にてプラズマを放電させる。その際に、導電膜120a、120bの被形成面となる絶縁膜116中に、酸素が添加される。また、導電膜120a、120bを形成する際に、第3の酸素ガスの他に、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）を混合させてもよい。例えば、アルゴンガスと、第3の酸素ガスと、を用い、アルゴンガスの流量よりも第3の酸素ガスの流量を多くするのが好ましい。第3の酸素ガスの流量を多くすることで、好適に絶縁膜116に酸素を添加することができる。一例としては、導電膜120a、120bの形成条件としては、成膜ガス全体に占める第4の酸素ガスの割合を、50%以上100%以下、好ましくは、80%以上100%以下とすればよい。

[0221]

なお、図17（A）（B）において、絶縁膜116に添加される酸素または過剰酸素を模式的に破線の矢印で表している。

[0222]

また、導電膜120a、120bを成膜する際の基板温度としては、室温以上340℃未満、好ましくは室温以上300℃以下、より好ましくは100℃以上250℃以下、さらに好ましくは10

0℃以上200℃以下である。導電膜120a、120bを加熱して成膜することで、導電膜120a、120bの結晶性を高めることができる。一方で、基板102として、大型のガラス基板（例えば、第6世代乃至第10世代）を用いる場合、導電膜120a、120bを成膜する際の基板温度を150℃以上340℃未満とした場合、基板102が変形する（歪むまたは反る）場合がある。よって、大型のガラス基板を用いる場合においては、導電膜120a、120bの成膜する際の基板温度を100℃以上150℃未満とすることで、ガラス基板の変形を抑制することができる。

[0223]

本実施の形態では、In-Ga-Zn金属酸化物ターゲット（In:Ga:Zn=4:2:4、1 [原子数比]）を用いて、スパッタリング法により導電膜120a、120bを形成する。また、導電膜120a、120bの形成時の基板温度を170℃とする。また、導電膜120a、120bの形成時の成膜ガスとしては、流量100sccmの酸素ガスを用いる。

[0224]

なお、導電膜120a、120bとしては、例えば、先に記載の酸化物半導体膜（例えば、In:Ga:Zn=1:1:1 [原子数比]、In:Ga:Zn=1:3:2 [原子数比]、In:Ga:Zn=1:3:4 [原子数比]、In:Ga:Zn=1:3:6 [原子数比]、In:Ga:Zn=3:1:2 [原子数比]、In:Ga:Zn=4:2:3 [原子数比]、In:Ga:Zn=5:1:6 [原子数比] など）を用いればよい。

[0225]

本実施の形態では、導電膜120a、120bを成膜する際に、絶縁膜116に酸素を添加する方法について例示したがこれに限定されない。例えば、導電膜120a、120bを形成後に、さらに絶縁膜116に酸素を添加してもよい。

[0226]

絶縁膜116に酸素を添加する方法としては、例えば、インジウムと、錫と、シリコンとを有する酸化物（ITSOともいう）ターゲット（In₂O₃:SnO₂:SiO₂=85:10:5 [重量%]）を用いて、膜厚5nmのITSO膜を酸化物導電膜として形成する。

[0227]

この場合、酸化物導電膜の膜厚としては、1nm以上20nm以下、または2nm以上10nm以下とすると好適に酸素を透過し、且つ酸素の放出を抑制できるため好ましい。その後、酸化物導電膜を通過させて、絶縁膜116に酸素を添加する。酸素の添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等が挙げられる。また、酸素を添加する際に、基板側にバイアス電圧を印加することで効果的に酸素を絶縁膜116に添加することができる。上記バイアス電圧としては、例えば、アッシング装置を用い、該アッシング装置の基板側に印加するバイアス電圧の電力密度を1W/cm²以上5W/cm²以下とすればよい。また、酸素を添加する際の基板温度としては、室温以上300℃以下、好ましくは、100℃以上250℃以下とすることで、絶縁膜116に効率よく酸素を添加することができる。

[0228]

次に、成膜した導電膜を所望の形状に加工することで、島状の導電膜120a、及び島状の導電膜120bを形成する（図17（C）（D）参照）。

[0229]

《保護絶縁膜の形成工程》

次に、絶縁膜 116、及び導電膜 120a、120b 上に絶縁膜 118 を形成する（図 17（E）（F）参照）。

[0230]

絶縁膜 118 は、水素及び窒素のいずれか一方または双方を有する。絶縁膜 118 としては、例えば、窒化シリコン膜を用いると好適である。また、絶縁膜 118 としては、例えば、スパッタリング法または PECVD 法を用いて形成することができる。例えば、絶縁膜 118 を PECVD 法で成膜する場合、基板温度は 400℃未満、好ましくは 375℃未満、さらに好ましくは 180℃以上 350℃以下である。絶縁膜 118 を成膜する場合の基板温度を、上述の範囲にすることで、緻密な膜を形成できるため好ましい。また、絶縁膜 118 を成膜する場合の基板温度を、上述の範囲にすることで、絶縁膜 114、116 中の酸素または過剰酸素を、酸化物半導体膜 108 に移動させることが可能となる。

[0231]

また、絶縁膜 118 形成後に、先に記載の第 1 の加熱処理または第 2 の加熱処理と同等の加熱処理（以下、第 3 の加熱処理とする）を行ってもよい。このように、絶縁膜 118 の成膜の際に、絶縁膜 116 に酸素を添加した後に、400℃未満、好ましくは 375℃未満、さらに好ましくは 180℃以上 350℃以下の温度で、加熱処理を行うことで、絶縁膜 116 中の酸素または過剰酸素を酸化物半導体膜 108（特に酸化物半導体膜 108b）中に移動させ、酸化物半導体膜 108 中の酸素欠損を補填することができる。

[0232]

また、絶縁膜 107 の下方には、絶縁膜 106 が設けられており、絶縁膜 114、116 の上方には、絶縁膜 118 が設けられている。絶縁膜 106、118 を酸素透過性が低い材料、例えば、窒化シリコン等により形成することで、絶縁膜 107、114、116 中に含まれる酸素を酸化物半導体膜 108 側に閉じ込めることができるため、好適に酸化物半導体膜 108 に酸素を移動させることが可能となる。

[0233]

また、絶縁膜 118 は、水素及び窒素のいずれか一方または双方を有する。そのため、絶縁膜 118 を形成することで、絶縁膜 118 に接する導電膜 120a、120b は、水素及び窒素のいずれか一方または双方が添加されることで、キャリア密度が高くなり、酸化物導電膜として機能することができる。

[0234]

また、絶縁膜 118 として PECVD 法により窒化シリコン膜を形成する場合、シリコンを含む堆積性気体、窒素、及びアンモニアを原料ガスとして用いることが好ましい。窒素と比較して少量のアンモニアを用いることで、プラズマ中でアンモニアが解離し、活性種が発生する。該活性種が、シリコンを含む堆積性気体に含まれるシリコン及び水素の結合、及び窒素の三重結合を切断する。この結果、シリコン及び窒素の結合が促進され、シリコン及び水素の結合が少なく、欠陥が少なく、緻密な窒化シリコン膜を形成することができる。一方、窒素に対するアンモニアの量が多いと、シリコンを含む堆積性気体及び窒素の分解が進まず、シリコン及び水素結合が残存してしまい、欠陥が増大した、且つ粗な窒化シリコン膜が形成されてしまう。これらのため、原料ガスにおいて、アンモニアに対す

る窒素の流量比を5倍以上50倍以下、10倍以上50倍以下とすることが好ましい。

[0235]

本実施の形態においては、絶縁膜118として、PECVD装置を用いて、シラン、窒素、及びアンモニアを原料ガスとして用いて、厚さ100nmの窒化シリコン膜を形成する。流量は、シランが50sccm、窒素が5000sccmであり、アンモニアが100sccmである。処理室の圧力を100Pa、基板温度を350℃とし、27.12MHzの高周波電源を用いて1000Wの高周波電力を平行平板電極に供給する。PECVD装置は電極面積が6000cm²である平行平板型のPECVD装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると1.7×10⁻¹W/cm²である。

[0236]

以上の工程で図9（A）（B）に示すトランジスタ100Jを作製することができる。

[0237]

また、トランジスタ100Jの全ての作製工程において、基板温度を400℃未満、好ましくは375℃未満、さらに好ましくは180℃以上350℃以下とすることで、大面積の基板を用いても基板の変形（歪みまたは反り）を極めて少なくすることができるため好適である。なお、トランジスタ100Jの作製工程において、基板温度が高くなる工程としては、代表的には、絶縁膜106、107の成膜時の基板温度（400℃未満、好ましくは250℃以上350℃以下）、酸化物半導体膜108の成膜時の基板温度（室温以上340℃未満、好ましくは100℃以上200℃以下、さらに好ましくは100℃以上150℃未満）、絶縁膜116、118の成膜時の基板温度（400℃未満、好ましくは375℃未満、さらに好ましくは180℃以上350℃以下）、酸素を添加後の第1の加熱処理または第2の加熱処理（400℃未満、好ましくは375℃未満、さらに好ましくは180℃以上350℃以下）などが挙げられる。

[0238]

<1-7. トランジスタの作製方法2>

次に、本発明の一態様の半導体装置であるトランジスタ100Mの作製方法について、図18乃至図20を用いて説明する。なお、図18乃至図20は、半導体装置の作製方法を説明する断面図であり、図18（A）（C）（E）、図19（A）（C）、図20（A）は、X1-X2に示すチャンネル長方向であり、図18（B）（D）（F）、図19（B）（D）、図20（B）は、Y1-Y2に示すチャンネル幅方向の断面図である。

[0239]

導電膜104、絶縁膜106、107、酸化物半導体膜108、導電膜112__1、導電膜112a__2（領域112a__2a、112a__2b）、導電膜112b__2（領域112b__2a、112b__2b）、導電膜112a__3、及び導電膜112b__3の形成方法としては、先のトランジスタ100Jの形成方法と同じであるため、図14及び図15を参照すればよい。

[0240]

なお、本実施の形態では、導電膜112に用いる導電膜112__1として厚さ50nmのタングステン膜と、導電膜112__2として厚さ200nmの銅膜と、導電膜112__3として厚さ50nmのチタン膜とを、順に積層した積層膜を用いる。

[0241]

次に、導電膜 112a__2、112b__2、112__3 をマスクとして、導電膜 112__1 を加工することで、それぞれ互いに分離された島状の導電膜 112a__1、112b__1 を形成する。この工程を行うことで、導電膜 112a__1、導電膜 112a__2（領域 112a__2a、112a__2b）、及び導電膜 112a__3 を有する導電膜 112a と、導電膜 112b__1、導電膜 112b__2（領域 112b__2a、112b__2b）、及び導電膜 112b__3 を有する導電膜 112b と、が形成される（図 18（A）（B）参照）。

[0242]

導電膜 112a、112b の形成方法としては、トランジスタ 100J と同様の方法を用いることができる。

[0243]

次に、酸化物半導体膜 108、及び導電膜 112a、112b 上に絶縁膜 114、116、及び絶縁膜 118 を形成する（図 18（C）（D）（E）（F）参照）。絶縁膜 114、116、118 の形成方法としては、トランジスタ 100J と同様の方法を用いることができる。

[0244]

また、絶縁膜 118 形成後に、先に記載の第 1 の加熱処理または第 2 の加熱処理と同等の加熱処理（以下、第 3 の加熱処理とする）を行ってもよい。このように、絶縁膜 118 の成膜の際に、絶縁膜 116 に酸素を添加した後に、400℃未満、好ましくは 375℃未満、さらに好ましくは 180℃以上 350℃以下の温度で、加熱処理を行うことで、絶縁膜 116 中の酸素または過剰酸素を酸化物半導体膜 108（特に酸化物半導体膜 108b）中に移動させ、酸化物半導体膜 108 中の酸素欠損を補填することができる。

[0245]

ここで、酸化物半導体膜 108 中に移動する酸素について、図 20 を用いて説明を行う。図 20 は、絶縁膜 118 成膜時の基板温度（代表的には 375℃未満）、または絶縁膜 118 の形成後の第 2 の加熱処理（代表的には 375℃未満）によって、酸化物半導体膜 108 中に移動する酸素を表すモデル図である。なお、図 20 中において、酸化物半導体膜 108 中に示す酸素（酸素ラジカル、酸素原子、または酸素分子）を破線の矢印で表している。

[0246]

図 20 に示す酸化物半導体膜 108 は、酸化物半導体膜 108 に近接する絶縁膜（ここでは、絶縁膜 107、及び絶縁膜 114）から酸素が移動することで、酸素欠損が補填される。特に、本発明の一態様の半導体装置において、酸化物半導体膜 108b のスパッタリング成膜時に、酸素ガスを用い、絶縁膜 107 中に酸素を添加するため、絶縁膜 107 は過剰酸素領域を有する。また、酸化物導電膜のスパッタリング成膜時に、酸素ガスを用い、絶縁膜 116 中に酸素を添加するため、絶縁膜 116 は過剰酸素領域を有する。よって、該過剰酸素領域を有する絶縁膜に挟まれた酸化物半導体膜 108 は、酸素欠損が好適に補填される。

[0247]

次に、絶縁膜 118 上にリソグラフィ工程によりマスクを形成し、絶縁膜 114、116、118 の所望の領域に開口部 152c を形成する。なお、開口部 152c は、導電膜 112b に達するように形成される（図 19（A）（B）参照）。

[0248]

次に、開口部 152c を覆うように、絶縁膜 116 上に導電膜 120a、120b を形成する（図 19（C）（D）参照）。導電膜 120a、120b としては、トランジスタ 100J と同様の方法を用いることができる。

[0249]

以上の工程で図 10（C）に示すトランジスタ 100M を作製することができる。

[0250]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0251]

（実施の形態 2）

本実施の形態においては、本発明の一態様に用いることのできる、酸化物半導体の組成、及び酸化物半導体の構造等について、図 21 乃至図 28 を参照して説明する。

[0252]

< 2-1. 酸化物半導体の組成 >

まず、酸化物半導体の組成について説明する。

[0253]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0254]

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0255]

まず、図 21（A）、図 21（B）、および図 21（C）を用いて、本発明の一態様に係る酸化物半導体が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図 21 には、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を $[In]$ 、 $[M]$ 、および $[Zn]$ とする。

[0256]

図 21（A）、図 21（B）、および図 21（C）において、破線は、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):1$ の原子数比（ $-1 \leq \alpha \leq 1$ ）となるライン、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):2$ の原子数比となるライン、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):3$ の原子数比となるライン、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):4$ の原子数比となるライン、および $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):5$ の原子数比となるラインを表す。

[0257]

また、一点鎖線は、 $[I_n]:[M]:[Z_n] = 1:1:\beta$ の原子数比 ($\beta \geq 0$) となるライン、 $[I_n]:[M]:[Z_n] = 1:2:\beta$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:3:\beta$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:4:\beta$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 2:1:\beta$ の原子数比となるライン、及び $[I_n]:[M]:[Z_n] = 5:1:\beta$ の原子数比となるラインを表す。

[0258]

また、二点鎖線は、 $[I_n]:[M]:[Z_n] = (1+\gamma):2:(1-\gamma)$ の原子数比 ($-1 \leq \gamma \leq 1$) となるラインを表す。また、図21に示す、 $[I_n]:[M]:[Z_n] = 0:2:1$ の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

[0259]

図21 (A) および図21 (B) では、本発明の一態様の酸化物半導体が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

[0260]

一例として、図22に、 $[I_n]:[M]:[Z_n] = 1:1:1$ である、 $I_nMZ_nO_4$ の結晶構造を示す。また、図22は、b軸に平行な方向から観察した場合の $I_nMZ_nO_4$ の結晶構造である。なお、図22に示すM、Zn、酸素を有する層（以下、(M, Zn) 層）における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

[0261]

$I_nMZ_nO_4$ は、層状の結晶構造（層状構造ともいう）をとり、図22に示すように、インジウム、および酸素を有する層（以下、 I_n 層）が1に対し、元素M、亜鉛、および酸素を有する (M, Zn) 層が2となる。

[0262]

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn) 層の元素Mがインジウムと置換し、(I_n , M, Zn) 層と表すこともできる。その場合、 I_n 層が1に対し、(I_n , M, Zn) 層が2である層状構造をとる。

[0263]

$[I_n]:[M]:[Z_n] = 1:1:2$ となる原子数比の酸化物半導体は、 I_n 層が1に対し、(M, Zn) 層が3である層状構造をとる。つまり、 $[I_n]$ および $[M]$ に対し $[Z_n]$ が大きくなると、酸化物半導体が結晶化した場合、 I_n 層に対する (M, Zn) 層の割合が増加する。

[0264]

ただし、酸化物半導体中において、 I_n 層が1に対し、(M, Zn) 層が非整数である場合、 I_n 層が1に対し、(M, Zn) 層が整数である層状構造を複数種有する場合がある。例えば、 $[I_n]:[M]:[Z_n] = 1:1:1.5$ である場合、 I_n 層が1に対し、(M, Zn) 層が2である層状構造と、(M, Zn) 層が3である層状構造とが混在する層状構造となる場合がある。

[0265]

例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの $[Z_n]$ よりも、膜の $[Z_n]$ が小さくなる場合がある。

[0266]

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[In]:[M]:[Zn] = 0:2:1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[In]:[M]:[Zn] = 1:0:0$ を示す原子数比の近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

[0267]

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

[0268]

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[In]:[M]:[Zn] = 0:1:0$ を示す原子数比、およびその近傍値である原子数比（例えば図21（C）に示す領域C）では、絶縁性が高くなる。

[0269]

従って、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図21（A）の領域Aで示される原子数比を有することが好ましい。

[0270]

また、図21（B）に示す領域Bは、 $[In]:[M]:[Zn] = 4:2:3$ から4.1、およびその近傍値を示している。近傍値には、例えば、原子数比が $[In]:[M]:[Zn] = 5:3:4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

[0271]

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

[0272]

<2-2. 酸化物半導体をトランジスタに用いる構成>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0273]

なお、上記酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0274]

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸

化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0275]

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0276]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0277]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0278]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0279]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0280]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0281]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0282]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠

損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0283]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0284]

<2-3. 酸化物半導体の積層構造>

続いて、該酸化物半導体を2層構造、または3層構造とした場合について述べる。酸化物半導体S1、酸化物半導体S2、および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、酸化物半導体S2および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、について、図23を用いて説明する。

[0285]

図23(A)は、絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図23(B)は、絶縁体I1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2の伝導帯下端のエネルギー準位(E_c)を示す。

[0286]

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体S2の伝導帯下端のエネルギー準位と、酸化物半導体S1、酸化物半導体S3の伝導帯下端のエネルギー準位との差が、 0.15 eV 以上、または 0.5 eV 以上、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。すなわち、酸化物半導体S1、酸化物半導体S3の電子親和力よりも、酸化物半導体S2の電子親和力が大きく、酸化物半導体S1、酸化物半導体S3の電子親和力と、酸化物半導体S2の電子親和力との差は、 0.15 eV 以上、または 0.5 eV 以上、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。

[0287]

図23(A)、および図23(B)に示すように、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体S1と酸化物半導体S2との界面、または酸化物半導体S2と酸化物半導体S3との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0288]

具体的には、酸化物半導体S1と酸化物半導体S2、酸化物半導体S2と酸化物半導体S3が、酸素以外に共通の元素を有する(主成分とする)ことで、欠陥準位密度が低い混合層を形成することが

できる。例えば、酸化物半導体S2がIn-Ga-Zn酸化物半導体の場合、酸化物半導体S1、酸化物半導体S3として、In-Ga-Zn酸化物半導体、Ga-Zn酸化物半導体、酸化ガリウムなどを用いるとよい。

[0289]

このとき、キャリアの主たる経路は酸化物半導体S2となる。酸化物半導体S1と酸化物半導体S2との界面、および酸化物半導体S2と酸化物半導体S3との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0290]

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体S1、酸化物半導体S3を設けることにより、トラップ準位を酸化物半導体S2より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

[0291]

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体S2、酸化物半導体S2と酸化物半導体S1との界面、および酸化物半導体S2と酸化物半導体S3との界面が、主にチャネル領域として機能する。例えば、酸化物半導体S1、酸化物半導体S3には、図21(C)において、絶縁性が高くなる領域Cで示す原子数比の酸化物半導体を用いればよい。なお、図21(C)に示す領域Cは、 $[In]:[M]:[Zn] = 0:1:0$ 、またはその近傍値である原子数比を示している。

[0292]

特に、酸化物半導体S2に領域Aで示される原子数比の酸化物半導体を用いる場合、酸化物半導体S1および酸化物半導体S3には、 $[M]/[In]$ が1以上、好ましくは2以上である酸化物半導体を用いることが好ましい。また、酸化物半導体S3として、十分に高い絶縁性を得ることができる $[M]/([Zn] + [In])$ が1以上である酸化物半導体を用いることが好適である。

[0293]

<2-4. 酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

[0294]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

[0295]

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

[0296]

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

[0297]

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

[0298]

《CAAC-OS》

まずは、CAAC-OSについて説明する。

[0299]

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

[0300]

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図24 (A) に示すように回折角 (2θ) が31° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31° 近傍のピークの他に、2θが36° 近傍にもピークが現れる場合がある。2θが36° 近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

[0301]

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56° 近傍に固定し、試料面の法線ベクトルを軸 (φ軸) として試料を回転させながら分析 (φスキャン) を行っても、図24 (B) に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56° 近傍に固定してφスキャンした場合、図24 (C) に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

[0302]

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図24 (D) に示すような回折パターン (制限視野電子回折パターンともいう。) が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因

するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図24 (E) に示す。図24 (E) より、リング状の回折パターンが確認される。したがって、プローブ径が300 nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図24 (E) における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図24 (E) における第2リングは(110)面などに起因すると考えられる。

[0303]

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0304]

図25 (A) に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

[0305]

図25 (A) より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1 nm以上のものや、3 nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの膜を被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

[0306]

また、図25 (B) および図25 (C) に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図25 (D) および図25 (E) は、それぞれ図25 (B) および図25 (C) を画像処理した像である。以下では、画像処理の方法について説明する。まず、図25 (B) を高速フーリエ変換(FFT: Fast Fourier Transform) 処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform) 処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

[0307]

図25(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

[0308]

図25(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0309]

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAC crystal(c-axis-aligned a-b-plane-anchored crystal)と称することもできる。

[0310]

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

[0311]

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

[0312]

《nc-OS》

次に、nc-OSについて説明する。

[0313]

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

[0314]

また、例えば、 InGaZnO_4 の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図26(A)に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図26(B)

に示す。図26(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-Osは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

[0315]

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図26(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-Osが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

[0316]

図26(D)に、被形成面と略平行な方向から観察したnc-Osの断面のCs補正高分解能TEM像を示す。nc-Osは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(micro crystalline oxide semiconductor)と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

[0317]

このように、nc-Osは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。

[0318]

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-Osを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

[0319]

nc-Osは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-Osは、a-like Osや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-Osは、CAAC-Osと比べて欠陥準位密度が高くなる。

[0320]

《a-like Os》

a-like Osは、nc-Osと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

[0321]

図27に、a-like OSの高分解能断面TEM像を示す。ここで、図27(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図27(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図27(A)および図27(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

[0322]

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

[0323]

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

[0324]

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

[0325]

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

[0326]

図28は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図28より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図28より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図28より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300 kV、電流密度を $6.7 \times 10^5 \text{ e}^-/(\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を230 nmとした。

[0327]

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

[0328]

また、鬆を有するため、*a-like* OSは、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like* OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

[0329]

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*a-like* OSの密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*nc-OS*の密度および*CAAC-OS*の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

[0330]

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

[0331]

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like* OS、*nc-OS*、*CAAC-OS*のうち、二種以上を有する積層膜であつてもよい。

[0332]

< 2-5. 酸化物半導体のキャリア密度 >

次に、酸化物半導体のキャリア密度について、以下に説明を行う。

[0333]

酸化物半導体のキャリア密度に影響を与える因子としては、酸化物半導体中の酸素欠損 (V_O)、または酸化物半導体中の不純物などが挙げられる。

[0334]

酸化物半導体中の酸素欠損が多くなると、該酸素欠損に水素が結合（この状態を $\text{V}_\text{O}\text{H}$ ともいう）した際に、欠陥準位密度が高くなる。または、酸化物半導体中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体中の欠陥準位密度を制御することで、酸化物半導体のキャリア密度を制御することができる。

[0335]

ここで、酸化物半導体をチャネル領域に用いるトランジスタを考える。

[0336]

トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低く

すればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

[0337]

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタの $I_d - V_g$ 特性のオン／オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それにとまってバンドギャップが小さくなり、その結果、熱励起された電子（キャリア）の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタのしきい値電圧がより低くなる。

[0338]

上述のキャリア密度が高められた酸化物半導体は、わずかに n 型化している。したがって、キャリア密度が高められた酸化物半導体を、「S l i g h t l y - n」と呼称してもよい。

[0339]

実質的に真性の酸化物半導体のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

[0340]

なお、本実施の形態に示す構成は、他の実施の形態または他の実施例に示す構成と適宜、組み合わせる用いることができる。

[0341]

(実施の形態3)

本実施の形態においては、先の実施の形態で例示したトランジスタを有する表示装置の一例について、図29乃至図35を用いて以下説明を行う。

[0342]

図29は、表示装置の一例を示す上面図である。図29に示す表示装置700は、第1の基板701上に設けられた画素部702と、第1の基板701に設けられたソースドライバ回路部704及びゲートドライバ回路部706と、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706を囲むように配置されるシール材712と、第1の基板701に対向するように設けられる第2の基板705と、を有する。なお、第1の基板701と第2の基板705は、シール材712によって封止されている。すなわち、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706は、第1の基板701とシール材712と第2の基板705によって封止されている。なお、図29には図示しないが、第1の基板701と第2の基板705の間には表示素子が設けられる。

[0343]

また、表示装置700は、第1の基板701上のシール材712によって囲まれている領域とは異なる領域に、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びゲートドライバ回路部706と、それぞれ電氣的に接続されるFPC端子部708 (FPC: Flexible printed circuit) が設けられる。また、FPC端子部708には、FPC716が接続され、FPC716によって画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706に各種信号等が供給される。また、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708には、信号線710が各々接続されている。FPC716により供給される各種信号等は、信号線710を介して、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708に与えられる。

[0344]

また、表示装置700にゲートドライバ回路部706を複数設けてもよい。また、表示装置700としては、ソースドライバ回路部704、及びゲートドライバ回路部706を画素部702と同じ第1の基板701に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部706のみを第1の基板701に形成しても良い、またはソースドライバ回路部704のみを第1の基板701に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を、第1の基板701に形成する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、COG (Chip On Glass) 方法、ワイヤボンディング方法などを用いることができる。

[0345]

また、表示装置700が有する画素部702、ソースドライバ回路部704及びゲートドライバ回路部706は、複数のトランジスタを有しており、本発明の一態様の半導体装置であるトランジスタを適用することができる。

[0346]

また、表示装置700は、様々な素子を有することが出来る。該素子の一例としては、例えば、エレクトロルミネッセンス (EL) 素子 (有機物及び無機物を含むEL素子、有機EL素子、無機EL素子、LEDなど)、発光トランジスタ素子 (電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク素子、電気泳動素子、エレクトロウェットティング素子、プラズマディスプレイ (PDP)、MEMS (マイクロ・エレクトロ・メカニカル・システム) ディスプレイ (例えば、グレーティングライトバルブ (GLV)、デジタルマイクロミラーデバイス (DMD)、デジタル・マイクロ・シャッター (DMS) 素子、インターフェロメトリック・モジュレーション (IMOD) 素子など)、圧電セラミックディスプレイなどが挙げられる。

[0347]

また、EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ (FED) 又はSED方式平面型ディスプレイ (SED: Surface-conduction Electron-emitter Display) などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ (透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶デ

ィスプレイ、投射型液晶ディスプレイ) などがある。電子インク素子又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

[0348]

なお、表示装置700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW(白)の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素よって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

[0349]

また、バックライト(有機EL素子、無機EL素子、LED、蛍光灯など)に白色発光(W)を用いて表示装置をフルカラー表示させるために、着色層(カラーフィルタともいう。)を用いてもよい。着色層は、例えば、レッド(R)、グリーン(G)、ブルー(B)、イエロー(Y)などを適宜組み合わせる用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、Wを、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

[0350]

また、カラー化方式としては、上述の白色発光からの発光の一部をカラーフィルタを通すことで赤色、緑色、青色に変換する方式(カラーフィルタ方式)の他、赤色、緑色、青色の発光をそれぞれ用いる方式(3色方式)、または青色発光からの発光の一部を赤色や緑色に変換する方式(色変換方式、量子ドット方式)を適用してもよい。

[0351]

本実施の形態においては、表示素子として液晶素子及びEL素子を用いる構成について、図30及び図32を用いて説明する。なお、図30は、図29に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図32は、図29に示す一点鎖線Q-Rにおける断面図であり、表示素子としてEL素子を用いた構成である。

[0352]

まず、図30及び図32に示す共通部分について最初に説明し、次に異なる部分について以下説明

する。

[0353]

<3-1. 表示装置の共通部分に関する説明>

図30及び図32に示す表示装置700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。

[0354]

トランジスタ750及びトランジスタ752は、先に示すトランジスタ100と同様の構成である。なお、トランジスタ750及びトランジスタ752の構成については、先の実施の形態に示す、その他のトランジスタを用いてもよい。

[0355]

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ電流を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

[0356]

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

[0357]

容量素子790は、トランジスタ750が有する第1のゲート電極と機能する導電膜と同一の導電膜を加工する工程を経て形成される下部電極と、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜と同一の導電膜を加工する工程を経て形成される上部電極と、を有する。また、下部電極と上部電極との間には、トランジスタ750が有する第1のゲート絶縁膜として機能する絶縁膜と同一の絶縁膜を形成する工程を経て形成される絶縁膜が設けられる。すなわち、容量素子790は、一対の電極間に誘電体膜として機能する絶縁膜が挟持された積層型の構造である。

[0358]

また、図30及び図32において、トランジスタ750、トランジスタ752、及び容量素子790上に平坦化絶縁膜770が設けられている。

[0359]

平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。

[0360]

また、図30及び図32においては、画素部702が有するトランジスタ750と、ソースドライバ回路部704が有するトランジスタ752と、を同じ構造のトランジスタを用いる構成について例示したが、これに限定されない。例えば、画素部702と、ソースドライバ回路部704とは、異なるトランジスタを用いてもよい。具体的には、画素部702にスタガ型のトランジスタを用い、ソースドライバ回路部704に実施の形態1に示す逆スタガ型のトランジスタを用いる構成、あるいは画素部702に実施の形態1に示す逆スタガ型のトランジスタを用い、ソースドライバ回路部704にスタガ型のトランジスタを用いる構成などが挙げられる。なお、上記のソースドライバ回路部704を、ゲートドライバ回路部と読み替えてもよい。

[0361]

また、信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

[0362]

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電氣的に接続される。

[0363]

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

[0364]

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。

[0365]

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルタとして機能する着色膜736と、遮光膜738及び着色膜736に接する絶縁膜734が設けられる。

[0366]

<3-2. 液晶素子を用いる表示装置の構成例>

図30に示す表示装置700は、液晶素子775を有する。液晶素子775は、導電膜772、導電膜774、及び液晶層776を有する。導電膜774は、第2の基板705側に設けられ、対向電極としての機能を有する。図30に示す表示装置700は、導電膜772と導電膜774に印加される電圧によって、液晶層776の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

[0367]

また、導電膜772は、トランジスタ750が有するソース電極及びドレイン電極として機能する

導電膜と電氣的に接続される。導電膜 772 は、平坦化絶縁膜 770 上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜 772 は、反射電極としての機能を有する。図 30 に示す表示装置 700 は、外光を利用し導電膜 772 で光を反射して着色膜 736 を介して表示する、所謂反射型のカラー液晶表示装置である。

[0368]

導電膜 772 としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム (In)、亜鉛 (Zn)、錫 (Sn) の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜 772 として、可視光において、反射性のある導電膜を用いる。

[0369]

なお、図 30 においては、導電膜 772 をトランジスタ 750 のドレイン電極として機能する導電膜に接続する構成について例示したが、これに限定されない。例えば、図 31 に示すように、導電膜 772 を接続電極として機能する導電膜 777 を間に挟んでトランジスタ 750 のドレイン電極として機能する導電膜と電氣的に接続させる構成としてもよい。なお、導電膜 777 としては、トランジスタ 750 の第 2 のゲート電極として機能する導電膜と同じ導電膜を加工する工程を経て形成されるため、製造工程を増やすことなく形成することができる。

[0370]

また、図 30 に示す表示装置 700 は、反射型のカラー液晶表示装置について例示したが、これに限定されない、例えば、導電膜 772 を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示装置としてもよい。あるいは、反射型のカラー液晶表示装置と、透過型のカラー液晶表示装置と、を組み合わせた所謂半透過型のカラー液晶表示装置としてもよい。

[0371]

ここで、透過型のカラー液晶表示装置の一例を図 33 に示す。図 33 は、図 29 に示す一点鎖線 Q-R における断面図であり、表示素子として液晶素子を用いた構成である。また、図 33 に示す表示装置 700 は、液晶素子の駆動方式として横電界方式 (例えば、FFS モード) を用いる構成の一例である。図 33 に示す構成の場合、画素電極として機能する導電膜 772 上に絶縁膜 773 が設けられ、絶縁膜 773 上に導電膜 774 が設けられる。この場合、導電膜 774 は、共通電極 (コモン電極ともいう) としての機能を有し、絶縁膜 773 を介して、導電膜 772 と導電膜 774 との間に生じる電界によって、液晶層 776 の配向状態を制御することができる。

[0372]

また、図 30 及び図 33 において図示しないが、導電膜 772 または導電膜 774 のいずれか一方または双方に、液晶層 776 と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図 30 及び図 33 において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

[0373]

表示素子として液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件に

より、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0374]

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要である。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。また、ブルー相を示す液晶材料は、視野角依存性が小さい。

[0375]

また、表示素子として液晶素子を用いる場合、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

[0376]

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASVモードなどを用いることができる。

[0377]

<3-3. 発光素子を用いる表示装置>

図32に示す表示装置700は、発光素子782を有する。発光素子782は、導電膜772、EL層786、及び導電膜788を有する。図32に示す表示装置700は、発光素子782が有するEL層786が発光することによって、画像を表示することができる。なお、EL層786は、有機化合物、または量子ドットなどの無機化合物を有する。

[0378]

有機化合物に用いることのできる材料としては、蛍光性材料または燐光性材料などが挙げられる。また、量子ドットに用いることのできる材料としては、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料、などが挙げられる。また、12族と16族、13族と15族、または14族と16族の元素グループを含む材料を用いてもよい。または、カドミウム (Cd)、セレン (Se)、亜鉛 (Zn)、硫黄 (S)、リン (P)、インジウム (In)、テルル (Te)、鉛 (Pb)、ガリウム (Ga)、ヒ素 (As)、アルミニウム (Al)、等の元素を有する量子ドット材料を用いてもよい。

[0379]

また、図32に示す表示装置700には、平坦化絶縁膜770及び導電膜772上に絶縁膜730が設けられる。絶縁膜730は、導電膜772の一部を覆う。なお、発光素子782はトップエミッション構造である。したがって、導電膜788は透光性を有し、EL層786が発する光を透過する。なお、本実施の形態においては、トップエミッション構造について、例示するが、これに限定されない。例えば、導電膜772側に光を射出するボトムエミッション構造や、導電膜772及び導電膜788の双方に光を射出するデュアルエミッション構造にも適用することができる。

[0380]

また、発光素子782と重なる位置に、着色膜736が設けられ、絶縁膜730と重なる位置、引き回し配線部711、及びソースドライバ回路部704に遮光膜738が設けられている。また、着色膜736及び遮光膜738は、絶縁膜734で覆われている。また、発光素子782と絶縁膜734の間は封止膜732で充填されている。なお、図32に示す表示装置700においては、着色膜736を設ける構成について例示したが、これに限定されない。例えば、EL層786を塗り分けにより形成する場合においては、着色膜736を設けない構成としてもよい。

[0381]

<3-4. 表示装置に入出力装置を設ける構成例>

また、図32及び図33に示す表示装置700に入出力装置を設けてもよい。当該入出力装置としては、例えば、タッチパネル等が挙げられる。

[0382]

図32及び図33に示す表示装置700にタッチパネル791を設ける構成を図34及び図35に示す。

[0383]

図34は図32に示す表示装置700にタッチパネル791を設ける構成の断面図であり、図35は図33に示す表示装置700にタッチパネル791を設ける構成の断面図である。

[0384]

まず、図34及び図35に示すタッチパネル791について、以下説明を行う。

[0385]

図34及び図35に示すタッチパネル791は、基板705と着色膜736との間に設けられる、所謂インセル型のタッチパネルである。タッチパネル791は、遮光膜738、及び着色膜736を形成する前に、基板705側に形成すればよい。

[0386]

なお、タッチパネル791は、遮光膜738と、絶縁膜792と、電極793と、電極794と、絶縁膜795と、電極796と、絶縁膜797と、を有する。例えば、指やスタイラスなどの被検知体が近接することで、電極793と、電極794との相互容量の変化を検知することができる。

[0387]

また、図34及び図35に示すトランジスタ750の上方においては、電極793と、電極794との交差部を明示している。電極796は、絶縁膜795に設けられた開口部を介して、電極794を挟む2つの電極793と電気的に接続されている。なお、図34及び図35においては、電極796が設けられる領域を画素部702に設ける構成を例示したが、これに限定されず、例えば、ソースドライバ回路部704に形成してもよい。

[0388]

電極793及び電極794は、遮光膜738と重なる領域に設けられる。また、図34に示すように、電極793は、発光素子782と重ならないように設けられると好ましい。また、図35に示すように、電極793は、液晶素子775と重ならないように設けられると好ましい。別言すると、電極793は、発光素子782及び液晶素子775と重なる領域に開口部を有する。すなわち、電極793はメッシュ形状を有する。このような構成とすることで、電極793は、発光素子782が射出する光を遮らない構成とすることができる。または、電極793は、液晶素子775を透過する光を遮らない構成とすることができる。したがって、タッチパネル791を配置することによる輝度の低下が極めて少ないため、視認性が高く、且つ消費電力が低減された表示装置を実現できる。なお、電極794も同様の構成とすればよい。

[0389]

また、電極793及び電極794が発光素子782と重ならないため、電極793及び電極794には、可視光の透過率が低い金属材料を用いることができる。または、電極793及び電極794が液晶素子775と重ならないため、電極793及び電極794には、可視光の透過率が低い金属材料を用いることができる。

[0390]

そのため、可視光の透過率が高い酸化物材料を用いた電極と比較して、電極793及び電極794の抵抗を低くすることが可能となり、タッチパネルのセンサ感度を向上させることができる。

[0391]

例えば、電極793、794、796には、導電性のナノワイヤを用いてもよい。当該ナノワイヤは、直径の平均値が1nm以上100nm以下、好ましくは5nm以上50nm以下、より好ましくは5nm以上25nm以下の大きさとするればよい。また、上記ナノワイヤとしては、Agナノワイヤ、Cuナノワイヤ、またはAlナノワイヤ等の金属ナノワイヤ、あるいは、カーボンナノチューブなどを用いればよい。例えば、電極793、794、796のいずれか一つあるいは全部にAgナノワイヤを用いる場合、可視光における光透過率を89%以上、シート抵抗値を40Ω/□以上100Ω/□以下とすることができる。

[0392]

また、図34及び図35においては、インセル型のタッチパネルの構成について例示したが、これに限定されない。例えば、表示装置700上に形成する、所謂オンセル型のタッチパネルや、表示装置700に貼り合わせて用いる、所謂アウトセル型のタッチパネルとしてもよい。

[0393]

このように、本発明の一態様の表示装置は、様々な形態のタッチパネルと組み合わせて用いることができる。

[0394]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0395]

(実施の形態4)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図36を用いて説明

を行う。

[0396]

< 4. 表示装置の回路構成 >

図36 (A) に示す表示装置は、表示素子の画素を有する領域（以下、画素部502という）と、画素部502の外側に配置され、画素を駆動するための回路を有する回路部（以下、駆動回路部504という）と、素子の保護機能を有する回路（以下、保護回路506という）と、端子部507と、を有する。なお、保護回路506は、設けない構成としてもよい。

[0397]

駆動回路部504の一部、または全部は、画素部502と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部504の一部、または全部が、画素部502と同一基板上に形成されていない場合には、駆動回路部504の一部、または全部は、COGやTAB (Tape Automated Bonding) によって、実装することができる。

[0398]

画素部502は、X行（Xは2以上の自然数）Y列（Yは2以上の自然数）に配置された複数の表示素子を駆動するための回路（以下、画素回路501という）を有し、駆動回路部504は、画素を選択する信号（走査信号）を出力する回路（以下、ゲートドライバ504aという）、画素の表示素子を駆動するための信号（データ信号）を供給するための回路（以下、ソースドライバ504b）などの駆動回路を有する。

[0399]

ゲートドライバ504aは、シフトレジスタ等を有する。ゲートドライバ504aは、端子部507を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ504aは、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ504aは、走査信号が与えられる配線（以下、走査線GL₁乃至GL_Xという）の電位を制御する機能を有する。なお、ゲートドライバ504aを複数設け、複数のゲートドライバ504aにより、走査線GL₁乃至GL_Xを分割して制御してもよい。または、ゲートドライバ504aは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ504aは、別の信号を供給することも可能である。

[0400]

ソースドライバ504bは、シフトレジスタ等を有する。ソースドライバ504bは、端子部507を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号（画像信号）が入力される。ソースドライバ504bは、画像信号を元に画素回路501に書き込むデータ信号を生成する機能を有する。また、ソースドライバ504bは、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ504bは、データ信号が与えられる配線（以下、データ線DL₁乃至DL_Yという）の電位を制御する機能を有する。または、ソースドライバ504bは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ504bは、別の信号を供給することも可能である。

[0401]

ソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ504bは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

[0402]

複数の画素回路501のそれぞれは、走査信号が与えられる複数の走査線GLの一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線DLの一つを介してデータ信号が入力される。また、複数の画素回路501のそれぞれは、ゲートドライバ504aによりデータ信号のデータの書き込み及び保持が制御される。例えば、m行n列目の画素回路501は、走査線GL_m (mはX以下の自然数) を介してゲートドライバ504aからパルス信号が入力され、走査線GL_mの電位に応じてデータ線DL_n (nはY以下の自然数) を介してソースドライバ504bからデータ信号が入力される。

[0403]

図36(A)に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GLに接続される。または、保護回路506は、ソースドライバ504bと画素回路501の間の配線であるデータ線DLに接続される。または、保護回路506は、ゲートドライバ504aと端子部507との間の配線に接続することができる。または、保護回路506は、ソースドライバ504bと端子部507との間の配線に接続することができる。なお、端子部507は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分という。

[0404]

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。

[0405]

図36(A)に示すように、画素部502と駆動回路部504にそれぞれ保護回路506を設けることにより、ESD (Electro Static Discharge : 静電気放電) などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路506の構成はこれに限定されず、例えば、ゲートドライバ504aに保護回路506を接続した構成、またはソースドライバ504bに保護回路506を接続した構成とすることもできる。あるいは、端子部507に保護回路506を接続した構成とすることもできる。

[0406]

また、図36(A)においては、ゲートドライバ504aとソースドライバ504bによって駆動回路部504を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ504aのみを形成し、別途用意されたソースドライバ回路が形成された基板 (例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板) を実装する構成としても良い。

[0407]

また、図36(A)に示す複数の画素回路501は、例えば、図36(B)に示す構成とすることができる。

[0408]

図36 (B) に示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。トランジスタ550に先の実施の形態に示すトランジスタを適用することができる。
[0409]

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に依じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。
[0410]

例えば、液晶素子570を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVAモード、PVA (Patterned Vertical Alignment) モード、IPSモード、FFSモード、又はTBA (Transverse Bend Alignment) モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。
[0411]

m行n列目の画素回路501において、トランジスタ550のソース電極またはドレイン電極の一方は、データ線DL_nに電氣的に接続され、他方は液晶素子570の一对の電極の他方に電氣的に接続される。また、トランジスタ550のゲート電極は、走査線GL_mに電氣的に接続される。トランジスタ550は、データ信号のデータの書き込みを制御する機能を有する。
[0412]

容量素子560の一对の電極の一方は、電位が供給される配線（以下、電位供給線VL）に電氣的に接続され、他方は、液晶素子570の一对の電極の他方に電氣的に接続される。なお、電位供給線VLの電位の値は、画素回路501の仕様に依じて適宜設定される。容量素子560は、書き込まれたデータを保持する保持容量としての機能を有する。
[0413]

例えば、図36 (B) の画素回路501を有する表示装置では、例えば、図36 (A) に示すゲートドライバ504aにより各行の画素回路501を順次選択し、トランジスタ550をオン状態にしてデータ信号のデータを書き込む。
[0414]

データが書き込まれた画素回路501は、トランジスタ550がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。
[0415]

また、図36 (A) に示す複数の画素回路501は、例えば、図36 (C) に示す構成とすること

ができる。

[0416]

また、図36(C)に示す画素回路501は、トランジスタ552、554と、容量素子562と、発光素子572と、を有する。トランジスタ552及びトランジスタ554のいずれか一方または双方に先の実施の形態に示すトランジスタを適用することができる。

[0417]

トランジスタ552のソース電極及びドレイン電極の一方は、データ信号が与えられる配線(以下、信号線DL_nという)に電氣的に接続される。さらに、トランジスタ552のゲート電極は、ゲート信号が与えられる配線(以下、走査線GL_mという)に電氣的に接続される。

[0418]

トランジスタ552は、データ信号のデータの書き込みを制御する機能を有する。

[0419]

容量素子562の一对の電極の一方は、電位が与えられる配線(以下、電位供給線VL_aという)に電氣的に接続され、他方は、トランジスタ552のソース電極及びドレイン電極の他方に電氣的に接続される。

[0420]

容量素子562は、書き込まれたデータを保持する保持容量としての機能を有する。

[0421]

トランジスタ554のソース電極及びドレイン電極の一方は、電位供給線VL_aに電氣的に接続される。さらに、トランジスタ554のゲート電極は、トランジスタ552のソース電極及びドレイン電極の他方に電氣的に接続される。

[0422]

発光素子572のアノード及びカソードの一方は、電位供給線VL_bに電氣的に接続され、他方は、トランジスタ554のソース電極及びドレイン電極の他方に電氣的に接続される。

[0423]

発光素子572としては、例えば有機エレクトロルミネセンス素子(有機EL素子ともいう)などを用いることができる。ただし、発光素子572としては、これに限定されず、無機材料からなる無機EL素子を用いても良い。

[0424]

なお、電位供給線VL_a及び電位供給線VL_bの一方には、高電源電位VDDが与えられ、他方には、低電源電位VSSが与えられる。

[0425]

図36(C)の画素回路501を有する表示装置では、例えば、図36(A)に示すゲートドライバ504aにより各行の画素回路501を順次選択し、トランジスタ552をオン状態にしてデータ信号のデータを書き込む。

[0426]

データが書き込まれた画素回路501は、トランジスタ552がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ554のソース電極とドレイン電極の間に流れる電流量が制御され、発光素子572は、流れる電流量に応じた輝度で発光する。こ

れを行毎に順次行うことにより、画像を表示できる。

[0427]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0428]

(実施の形態5)

本実施の形態では、上述の実施の形態で説明したトランジスタの適用可能な回路構成の一例について、図37乃至図40を用いて説明する。

[0429]

なお、本実施の形態においては、先の実施の形態で説明した酸化物半導体を有するトランジスタを、OSトランジスタと呼称して以下説明を行う。

[0430]

<5. インバータ回路の構成例>

図37(A)には、駆動回路が有するシフトレジスタやバッファ等に適用することができるインバータの回路図を示す。インバータ800は、入力端子INの論理を反転した信号を出力端子OUTに出力する。インバータ800は、複数のOSトランジスタを有する。信号 S_{BG} は、OSトランジスタの電気特性を切り替えることができる信号である。

[0431]

図37(B)は、インバータ800の一例である。インバータ800は、OSトランジスタ810、およびOSトランジスタ820を有する。インバータ800は、nチャネル型トランジスタのみで作製することができるため、CMOS (Complementary Metal Oxide Semiconductor) でインバータ (CMOSインバータ) を作製する場合と比較して、低コストで作製することが可能である。

[0432]

なお、OSトランジスタを有するインバータ800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ800は、CMOSの回路に重ねて配置できるため、インバータ800を追加する分の回路面積の増加を抑えることができる。

[0433]

OSトランジスタ810、820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子と、ソースまたはドレインの他方として機能する第2端子とを有する。

[0434]

OSトランジスタ810の第1ゲートは、OSトランジスタ810の第2端子に接続される。OSトランジスタ810の第2ゲートは、信号 S_{BG} を供給する配線に接続される。OSトランジスタ810の第1端子は、電圧VDDを与える配線に接続される。OSトランジスタ810の第2端子は、出力端子OUTに接続される。

[0435]

OSトランジスタ820の第1ゲートは、入力端子INに接続される。OSトランジスタ820の第2ゲートは、入力端子INに接続される。OSトランジスタ820の第1端子は、出力端子OUT

に接続される。OSトランジスタ820の第2端子は、電圧VSSを与える配線に接続される。

[0436]

図37(C)は、インバータ800の動作を説明するためのタイミングチャートである。図37(C)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号S_{BG}の信号波形、およびOSトランジスタ810のしきい値電圧の変化について示している。

[0437]

信号S_{BG}をOSトランジスタ810の第2ゲートに与えることで、OSトランジスタ810のしきい値電圧を制御することができる。

[0438]

信号S_{BG}は、しきい値電圧をマイナスシフトさせるための電圧V_{BG_A}、しきい値電圧をプラスシフトさせるための電圧V_{BG_B}を有する。第2ゲートに電圧V_{BG_A}を与えることで、OSトランジスタ810はしきい値電圧V_{TH_A}にマイナスシフトさせることができる。また、第2ゲートに電圧V_{BG_B}を与えることで、OSトランジスタ810は、しきい値電圧V_{TH_B}にプラスシフトさせることができる。

[0439]

前述の説明を可視化するために、図38(A)には、トランジスタの電気特性の一つである、I_d-V_gカーブを示す。

[0440]

上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧V_{BG_A}のように大きくすることで、図38(A)中の破線840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧V_{BG_B}のように小さくすることで、図38(A)中の実線841で表される曲線にシフトさせることができる。図38(A)に示すように、OSトランジスタ810は、信号S_{BG}を電圧V_{BG_A}あるいは電圧V_{BG_B}というように切り替えることで、しきい値電圧をプラスシフトあるいはマイナスシフトさせることができる。

[0441]

しきい値電圧をしきい値電圧V_{TH_B}にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができる。図38(B)には、この状態を可視化して示す。

[0442]

図38(B)に図示するように、OSトランジスタ810に流れる電流I_Bを極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態(ON)のとき、出力端子OUTの電圧を急峻に下降させることができる。

[0443]

図38(B)に図示したように、OSトランジスタ810に流れる電流が流れにくい状態とすることができるため、図37(C)に示すタイミングチャートにおける出力端子の信号波形831を急峻に変化させることができる。電圧VDDを与える配線と、電圧VSSを与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができる。

[0444]

また、しきい値電圧をしきい値電圧V_{TH_A}にマイナスシフトさせることで、OSトランジスタ810は電流が流れやすい状態とすることができる。図38(C)には、この状態を可視化して示す。

図38 (C) に図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができる。そのため、入力端子 IN に与える信号がローレベルでOSトランジスタ820はオフ状態 (OFF) のとき、出力端子 OUT の電圧を急峻に上昇させることができる。図38 (C) に図示したように、OSトランジスタ810に流れる電流が流れやすい状態とすることができるため、図37 (C) に示すタイミングチャートにおける出力端子の信号波形832を急峻に変化させることができる。

[0445]

なお、信号 S_{BG} によるOSトランジスタ810のしきい値電圧の制御は、OSトランジスタ820の状態が切り替わる以前、すなわち時刻 T_1 や T_2 よりも前に行うことが好ましい。例えば、図37 (C) に図示するように、入力端子 IN に与える信号がハイレベルに切り替わる時刻 T_1 よりも前に、しきい値電圧 V_{TH_A} から、しきい値電圧 V_{TH_B} にOSトランジスタ810のしきい値電圧を切り替えることが好ましい。また、図37 (C) に図示するように、入力端子 IN に与える信号がローレベルに切り替わる時刻 T_2 よりも前に、しきい値電圧 V_{TH_B} からしきい値電圧 V_{TH_A} にOSトランジスタ810のしきい値電圧を切り替えることが好ましい。

[0446]

なお、図37 (C) のタイミングチャートでは、入力端子 IN に与える信号に応じて信号 S_{BG} を切り替える構成を示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図39 (A) に示す。

[0447]

図39 (A) では、図37 (B) で示した回路構成に加えて、OSトランジスタ850を有する。OSトランジスタ850の第1端子は、OSトランジスタ810の第2ゲートに接続される。またOSトランジスタ850の第2端子は、電圧 V_{BG_B} (あるいは電圧 V_{BG_A}) を与える配線に接続される。OSトランジスタ850の第1ゲートは、信号 S_F を与える配線に接続される。OSトランジスタ850の第2ゲートは、電圧 V_{BG_B} (あるいは電圧 V_{BG_A}) を与える配線に接続される。

[0448]

図39 (A) の動作について、図39 (B) のタイミングチャートを用いて説明する。

[0449]

OSトランジスタ810のしきい値電圧を制御するための電圧は、入力端子 IN に与える信号がハイレベルに切り替わる時刻 T_3 よりも前に、OSトランジスタ810の第2ゲートに与える構成とする。信号 S_F をハイレベルとしてOSトランジスタ850をオン状態とし、ノード N_{BG} にしきい値電圧を制御するための電圧 V_{BG_B} を与える。

[0450]

ノード N_{BG} が電圧 V_{BG_B} となった後は、OSトランジスタ850をオフ状態とする。OSトランジスタ850は、オフ電流が極めて小さいため、オフ状態にし続けることで、一旦ノード N_{BG} に保持させたしきい値電圧 V_{BG_B} を保持することができる。そのため、OSトランジスタ850の第2ゲートに電圧 V_{BG_B} を与える動作の回数が減るため、電圧 V_{BG_B} の書き換えに要する分の消費電力を小さくすることができる。

[0451]

なお、図 37 (B) 及び図 39 (A) の回路構成では、OS トランジスタ 810 の第 2 ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧を、入力端子 IN に与える信号を基に生成し、OS トランジスタ 810 の第 2 ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図 40 (A) に示す。

[0452]

図 40 (A) では、図 37 (B) で示した回路構成において、入力端子 IN と OS トランジスタ 810 の第 2 ゲートとの間に CMOS インバータ 860 を有する。CMOS インバータ 860 の入力端子は、入力端子 IN に接続される。CMOS インバータ 860 の出力端子は、OS トランジスタ 810 の第 2 ゲートに接続される。

[0453]

図 40 (A) の動作について、図 40 (B) のタイミングチャートを用いて説明する。図 40 (B) のタイミングチャートでは、入力端子 IN の信号波形、出力端子 OUT の信号波形、CMOS インバータ 860 の出力波形 IN__B、及び OS トランジスタ 810 のしきい値電圧の変化について示している。

[0454]

入力端子 IN に与える信号の論理を反転した信号である出力波形 IN__B は、OS トランジスタ 810 のしきい値電圧を制御する信号とすることができる。したがって、図 38 (A) 乃至図 38 (C) で説明したように、OS トランジスタ 810 のしきい値電圧を制御できる。例えば、図 40 (B) における時刻 T4 となると、入力端子 IN に与える信号がハイレベルで OS トランジスタ 820 はオン状態となる。このとき、出力波形 IN__B はローレベルとなる。そのため、OS トランジスタ 810 は電流が流れにくい状態とすることができ、出力端子 OUT の電圧の上昇を急峻に下降させることができる。

[0455]

また、図 40 (B) における時刻 T5 となると、入力端子 IN に与える信号がローレベルで OS トランジスタ 820 はオフ状態となる。このとき、出力波形 IN__B はハイレベルとなる。そのため、OS トランジスタ 810 は電流が流れやすい状態とすることができ、出力端子 OUT の電圧を急峻に上昇させることができる。

[0456]

以上説明したように本実施の形態の構成では、OS トランジスタを有するインバータにおける、バックゲートの電圧を入力端子 IN の信号の論理にしたがって切り替える。当該構成とすることで、OS トランジスタのしきい値電圧を制御することができる。入力端子 IN に与える信号によって OS トランジスタのしきい値電圧を制御することで、出力端子 OUT の電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

[0457]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0458]

(実施の形態 6)

本実施の形態では、上述の実施の形態で説明した酸化物半導体を有するトランジスタ（OS トランジスタ）を、複数の回路に用いる半導体装置の一例について、図 4 1 乃至図 4 4 を用いて説明する。

[0459]

< 6. 半導体装置の回路構成例 >

図 4 1 (A) は、半導体装置 900 のブロック図である。半導体装置 900 は、電源回路 901、回路 902、電圧生成回路 903、回路 904、電圧生成回路 905 および回路 906 を有する。

[0460]

電源回路 901 は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置 900 の外部から与えられる電圧 V_0 を基に生成することができる。半導体装置 900 は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置 900 は、外部から電源電圧を複数与えることなく動作することができる。

[0461]

回路 902、904 および 906 は、異なる電源電圧で動作する回路である。例えば回路 902 の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} ($V_{ORG} > V_{SS}$) とによって印加される電圧である。また、例えば回路 904 の電源電圧は、電圧 V_{POG} と電圧 V_{SS} ($V_{POG} > V_{ORG}$) とによって印加される電圧である。また、例えば回路 906 の電源電圧は、電圧 V_{ORG} と電圧 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$) とによって印加される電圧である。なお電圧 V_{SS} は、グラウンド (GND) と等電位とすれば、電源回路 901 で生成する電圧の種類を削減できる。

[0462]

電圧生成回路 903 は、電圧 V_{POG} を生成する回路である。電圧生成回路 903 は、電源回路 901 から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路 904 を有する半導体装置 900 は、外部から与えられる単一の電源電圧を基に動作することができる。

[0463]

電圧生成回路 905 は、電圧 V_{NEG} を生成する回路である。電圧生成回路 905 は、電源回路 901 から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路 906 を有する半導体装置 900 は、外部から与えられる単一の電源電圧を基に動作することができる。

[0464]

図 4 1 (B) は電圧 V_{POG} で動作する回路 904 の一例、図 4 1 (C) は回路 904 を動作させるための信号の波形の一例である。

[0465]

図 4 1 (B) では、トランジスタ 911 を示している。トランジスタ 911 のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ 911 を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} とする。電圧 V_{POG} は、図 4 1 (C) に図示するように、電圧 V_{ORG} より大きい。そのため、トランジスタ 911 は、ソース (S) とドレイン (D) との間を導通状態とする動作を、より確実に行うことができる。その結果、回路 904 は、誤動作が低減された回路とすることができる。

[0466]

図41 (D) は電圧 V_{NEG} で動作する回路906の一例、図41 (E) は回路906を動作させるための信号の波形の一例である。

[0467]

図41 (D) では、バックゲートを有するトランジスタ912を示している。トランジスタ912のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} とする。また、トランジスタ912のバックゲートに与える電圧は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図41 (E) に図示するように、電圧 V_{SS} (GND) より小さい。そのため、トランジスタ912の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ912をより確実に非導通状態とすることができ、ソース (S) とドレイン (D) との間を流れる電流を小さくできる。その結果、回路906は、誤動作が低減され、且つ低消費電力化が図られた回路とすることができる。

[0468]

なお、電圧 V_{NEG} は、トランジスタ912のバックゲートに直接与える構成としてもよい。あるいは、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ912のゲートに与える信号を生成し、当該信号をトランジスタ912のバックゲートに与える構成としてもよい。

[0469]

また図42 (A) (B) には、図41 (D) (E) の変形例を示す。

[0470]

図42 (A) に示す回路図では、電圧生成回路905と、回路906と、の間に制御回路921によって導通状態が制御できるトランジスタ922を示す。トランジスタ922は、nチャネル型のOSトランジスタとする。制御回路921が出力する制御信号 S_{BG} は、トランジスタ922の導通状態を制御する信号である。また回路906が有するトランジスタ912A、912Bは、トランジスタ922と同じOSトランジスタである。

[0471]

図42 (B) のタイミングチャートには、制御信号 S_{BG} と、トランジスタ912A、912Bのバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ922が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電氣的にフローティングとなる。トランジスタ922は、OSトランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電氣的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。

[0472]

また、図43 (A) には、上述した電圧生成回路903に適用可能な回路構成の一例を示す。図43 (A) に示す電圧生成回路903は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する5段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とによって印加される電圧とすると、クロック信号CLKによって、電圧 V_{ORG} の5倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得

ることができる。

[0473]

また、図43(B)には、上述した電圧生成回路905に適用可能な回路構成の一例を示す。図43(B)に示す電圧生成回路905は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する4段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とによって印加される電圧とすると、クロック信号CLKによって、グラウンド、すなわち電圧 V_{SS} から電圧 V_{ORG} の4倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{NEG} を得ることができる。

[0474]

なお、上述した電圧生成回路903の回路構成は、図43(A)で示す回路図の構成に限らない。例えば、電圧生成回路903の変形例を図44(A)乃至図44(C)に示す。なお、電圧生成回路903の変形例は、図44(A)乃至図44(C)に示す電圧生成回路903A乃至903Cにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更することで実現可能である。

[0475]

図44(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10、キャパシタC11乃至C14、およびインバータINV1を有する。クロック信号CLKは、トランジスタM1乃至M10のゲートに直接、あるいはインバータINV1を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の4倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、段数を変更することで、所望の電圧 V_{POG} を得ることができる。図44(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC11乃至C14に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0476]

また、図44(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の2倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。図44(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0477]

また、図44(C)に示す電圧生成回路903Cは、インダクタInd1、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 V_{ORG} が昇圧された電圧 V_{POG} を得ることができる。図44(C)に示す電圧生成回路903Cは、インダクタInd1を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

[0478]

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の数を削減できる。

[0479]

なお、本実施の形態で示す構成等は、他の実施の形態で示す構成と適宜組み合わせ用いることができる。

[0480]

(実施の形態7)

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール及び電子機器について、図45乃至図48を用いて説明を行う。

[0481]

<7-1. 表示モジュール>

図45に示す表示モジュール7000は、上部カバー7001と下部カバー7002との間に、FPC7003に接続されたタッチパネル7004、FPC7005に接続された表示パネル7006、バックライト7007、フレーム7009、プリント基板7010、バッテリー7011を有する。

[0482]

本発明の一態様の半導体装置は、例えば、表示パネル7006に用いることができる。

[0483]

上部カバー7001及び下部カバー7002は、タッチパネル7004及び表示パネル7006のサイズに合わせて、形状や寸法を適宜変更することができる。

[0484]

タッチパネル7004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル7006に重畳して用いることができる。また、表示パネル7006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル7006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

[0485]

バックライト7007は、光源7008を有する。なお、図45において、バックライト7007上に光源7008を配置する構成について例示したが、これに限定さない。例えば、バックライト7007の端部に光源7008を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト7007を設けない構成としてもよい。

[0486]

フレーム7009は、表示パネル7006の保護機能の他、プリント基板7010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム7009は、放熱板としての機能を有していてもよい。

[0487]

プリント基板7010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー7011による電源であってもよい。バッテリー7011は、商用電源を用いる場合には、省略可能である。

[0488]

また、表示モジュール7000は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

[0489]

<7-2. 電子機器1>

次に、図46(A)乃至図46(E)に電子機器の一例を示す。

[0490]

図46(A)は、ファインダー8100を取り付けた状態のカメラ8000の外観を示す図である。

[0491]

カメラ8000は、筐体8001、表示部8002、操作ボタン8003、シャッターボタン8004等を有する。またカメラ8000には、着脱可能なレンズ8006が取り付けられている。

[0492]

ここではカメラ8000として、レンズ8006を筐体8001から取り外して交換することが可能な構成としたが、レンズ8006と筐体が一体となってもよい。

[0493]

カメラ8000は、シャッターボタン8004を押すことにより、撮像することができる。また、表示部8002はタッチパネルとしての機能を有し、表示部8002をタッチすることにより撮像することも可能である。

[0494]

カメラ8000の筐体8001は、電極を有するマウントを有し、ファインダー8100のほか、ストロボ装置等を接続することができる。

[0495]

ファインダー8100は、筐体8101、表示部8102、ボタン8103等を有する。

[0496]

筐体8101は、カメラ8000のマウントと係合するマウントを有しており、ファインダー8100をカメラ8000に取り付けることができる。また当該マウントには電極を有し、当該電極を介してカメラ8000から受信した映像等を表示部8102に表示させることができる。

[0497]

ボタン8103は、電源ボタンとしての機能を有する。ボタン8103により、表示部8102の表示のオン・オフを切り替えることができる。

[0498]

カメラ8000の表示部8002、及びファインダー8100の表示部8102に、本発明の一態様の表示装置を適用することができる。

[0499]

なお、図46(A)では、カメラ8000とファインダー8100とを別の電子機器とし、これらを脱着可能な構成としたが、カメラ8000の筐体8001に、表示装置を備えるファインダーが内蔵されていてもよい。

[0500]

図46(B)は、ヘッドマウントディスプレイ8200の外観を示す図である。

[0501]

ヘッドマウントディスプレイ8200は、装着部8201、レンズ8202、本体8203、表示部8204、ケーブル8205等を有している。また装着部8201には、バッテリー8206が内蔵されている。

[0502]

ケーブル8205は、バッテリー8206から本体8203に電力を供給する。本体8203は無線受信機等を備え、受信した画像データ等の映像情報を表示部8204に表示させることができる。また、本体8203に設けられたカメラで使用者の眼球やまぶたの動きを捉え、その情報をもとに使用者の視点の座標を算出することにより、使用者の視点を入力手段として用いることができる。

[0503]

また、装着部8201には、使用者に触れる位置に複数の電極が設けられていてもよい。本体8203は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視点を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニタする機能を有していてもよい。また、装着部8201には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部8204に表示する機能を有していてもよい。また、使用者の頭部の動きなどを検出し、表示部8204に表示する映像をその動きに合わせて変化させてもよい。

[0504]

表示部8204に、本発明の一態様の表示装置を適用することができる。

[0505]

図46(C)(D)(E)は、ヘッドマウントディスプレイ8300の外観を示す図である。ヘッドマウントディスプレイ8300は、筐体8301と、表示部8302と、バンド状の固定具8304と、一対のレンズ8305と、を有する。

[0506]

使用者は、レンズ8305を通して、表示部8302の表示を視認することができる。なお、表示部8302を湾曲して配置させる好適である。表示部8302を湾曲して配置することで、使用者が高い臨場感を感じることができる。

[0507]

なお、表示部8302に、本発明の一態様の表示装置を適用することができる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図46(E)のようにレンズ8305を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[0508]

<7-3. 電子機器2>

次に、図46(A)乃至図46(E)に示す電子機器と、異なる電子機器の一例を図47(A)乃至図47(G)に示す。

[0509]

図47(A)乃至図47(G)に示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005(電源スイッチ、又は操作スイッチを含む)、接続端子9006、センサ9

007 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9008、等を有する。

[0510]

図47(A)乃至図47(G)に示す電子機器は、様々な機能を有する。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図47(A)乃至図47(G)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図47(A)乃至図47(G)には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体(外部またはカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0511]

図47(A)乃至図47(G)に示す電子機器の詳細について、以下説明を行う。

[0512]

図47(A)は、テレビジョン装置9100を示す斜視図である。テレビジョン装置9100は、表示部9001を大画面、例えば、50インチ以上、または100インチ以上の表示部9001を組み込むことが可能である。

[0513]

図47(B)は、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示することができる。例えば、3つの操作ボタン9050(操作アイコンまたは単にアイコンともいう)を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS(ソーシャル・ネットワーキング・サービス)や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

[0514]

図47(C)は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用人は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示(ここでは情報9053)を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末

9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

[0515]

図47(D)は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

[0516]

図47(E)(F)(G)は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図47(E)が携帯情報端末9201を展開した状態の斜視図であり、図47(F)が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図47(G)が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。ヒンジ9055を介して2つの筐体9000間を屈曲させることにより、携帯情報端末9201を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末9201は、曲率半径1mm以上150mm以下で曲げることができる。

[0517]

また、図48(A)(B)は、複数の表示パネルを有する表示装置の斜視図である。なお、図48(A)は、複数の表示パネルが巻き取られた形態の斜視図であり、図48(B)は、複数の表示パネルが展開された状態の斜視図である。

[0518]

図48(A)(B)に示す表示装置9500は、複数の表示パネル9501と、軸部9511と、軸受部9512と、を有する。また、複数の表示パネル9501は、表示領域9502と、透光性を有する領域9503と、を有する。

[0519]

また、複数の表示パネル9501は、可撓性を有する。また、隣接する2つの表示パネル9501は、それらの一部が互いに重なるように設けられる。例えば、隣接する2つの表示パネル9501の透光性を有する領域9503を重ね合わせることができる。複数の表示パネル9501を用いることで、大画面の表示装置とすることができる。また、使用状況に応じて、表示パネル9501を巻き取ることが可能であるため、汎用性に優れた表示装置とすることができる。

[0520]

また、図48(A)(B)においては、表示領域9502が隣接する表示パネル9501で離間す

る状態を図示しているが、これに限定されず、例えば、隣接する表示パネル 9 5 0 1 の表示領域 9 5 0 2 を隙間なく重ねあわせることで、連続した表示領域 9 5 0 2 としてもよい。

[0 5 2 1]

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。

[0 5 2 2]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0 5 2 3]

(実施の形態 8)

本実施の形態では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）、およびそれを含む CPU について図 4 9 乃至図 5 1 を用いて説明する。本実施の形態で説明する CPU は、例えば、先の実施の形態で説明する電子機器に用いる事が出来る。

[0 5 2 4]

< 8-1. 記憶装置 >

電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 4 9 に示す。なお、図 4 9 (B) は図 4 9 (A) を回路図で表した図である。

[0 5 2 5]

図 4 9 (A) 及び (B) に示す半導体装置は、第 1 の半導体材料を用いたトランジスタ 3 2 0 0 と第 2 の半導体材料を用いたトランジスタ 3 3 0 0、および容量素子 3 4 0 0 を有している。

[0 5 2 6]

第 1 の半導体材料と第 2 の半導体材料は異なるエネルギーギャップを持つ材料とすることが好ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

[0 5 2 7]

トランジスタ 3 3 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 3 3 0 0 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

[0 5 2 8]

図 4 9 (B) において、第 1 の配線 3 1 0 1 はトランジスタ 3 2 0 0 のソース電極と電氣的に接続され、第 2 の配線 3 1 0 2 はトランジスタ 3 2 0 0 のドレイン電極と電氣的に接続されている。また、

第3の配線3103はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3104はトランジスタ3300のゲート電極と電氣的に接続されている。そして、トランジスタ3200のゲート電極、およびトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3105は容量素子3400の電極の他方と電氣的に接続されている。

[0529]

図49(A)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

[0530]

情報の書き込みおよび保持について説明する。まず、第4の配線3104の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3103の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるとする。その後、第4の配線3104の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲートに与えられた電荷が保持される（保持）。

[0531]

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲートの電荷は長時間にわたって保持される。

[0532]

次に情報の読み出しについて説明する。第1の配線3101に所定の電位（定電位）を与えた状態で、第5の配線3105に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲートに保持された電荷量に応じて、第2の配線3102は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3105の電位をいう。したがって、第5の配線3105の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲートに与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3105の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3105の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3102の電位を判別することで、保持されている情報を読み出すことができる。

[0533]

図49(C)に示す半導体装置は、トランジスタ3200を設けていない点で図49(A)と相違している。この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。

[0534]

次に、図49(C)に示す半導体装置の情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3103と容量素子3400とが導通し、第3の配線3103と容量素子3400の間で電荷が再分配される。その結果、第3の配線3103の電位が変化する。第3の配線3103の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

[0535]

例えば、容量素子3400の電極の一方の電位をV、容量素子3400の容量をC、第3の配線3103が有する容量成分をCB、電荷が再分配される前の第3の配線3103の電位をVB0とすると、電荷が再分配された後の第3の配線3103の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセルの状態として、容量素子3400の電極の一方の電位がV1とV0 ($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位V0を保持している場合のビット線BLの電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

[0536]

そして、第3の配線3103の電位を所定の電位と比較することで、情報を読み出すことができる。

[0537]

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用されたトランジスタを用い、トランジスタ3300として第2の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

[0538]

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

[0539]

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、本実施の形態に示す半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

[0540]

なお、上記の記憶装置は、例えば、CPU (Central Processing Unit) の他に、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device)等のLSI、RF-ID (Radio Frequency Identification) にも応用可能である。

[0541]

< 8-2. CPU >

以下で、上記の記憶装置を含むCPUについて説明する。

[0542]

図50は、上記の記憶装置を含むCPUの一例の構成を示すブロック図である。

[0543]

図50に示すCPUは、基板2190上に、ALU2191 (ALU: Arithmetic Logic Unit、演算回路)、ALUコントローラ2192、インストラクションデコーダ2193、インタラプトコントローラ2194、タイミングコントローラ2195、レジスタ2196、レジスタコントローラ2197、バスインターフェース2198 (Bus I/F)、書き換え可能なROM2199、及びROMインターフェース2189 (ROM I/F) を有している。基板2190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM2199及びROMインターフェース2189は、別チップに設けてもよい。もちろん、図50に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図50に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0544]

バスインターフェース2198を介してCPUに入力された命令は、インストラクションデコーダ2193に入力され、デコードされた後、ALUコントローラ2192、インタラプトコントローラ2194、レジスタコントローラ2197、タイミングコントローラ2195に入力される。

[0545]

ALUコントローラ2192、インタラプトコントローラ2194、レジスタコントローラ2197、タイミングコントローラ2195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ2192は、ALU2191の動作を制御するための信号を生成する。また、インタラプトコントローラ2194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ2197は、レジスタ2196のアドレスを生成し、CPUの状態に応じてレジスタ2196の読み出しや書き込みを行なう。

[0546]

また、タイミングコントローラ2195は、ALU2191、ALUコントローラ2192、インストラクションデコーダ2193、インタラプトコントローラ2194、及びレジスタコントローラ2197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ2195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0547]

図50に示すCPUでは、レジスタ2196に、記憶装置が設けられている。

[0548]

図50に示すCPUにおいて、レジスタコントローラ2197は、ALU2191からの指示に従い、レジスタ2196における保持動作の選択を行う。すなわち、レジスタ2196が有する記憶装

置において、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ2196内の記憶装置への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ2196内の記憶装置への電源電圧の供給を停止することができる。

[0549]

図51は、レジスタ2196として用いることのできる記憶素子の回路図の一例である。記憶素子2200は、電源遮断で記憶データが揮発する回路2201と、電源遮断で記憶データが揮発しない回路2202と、スイッチ2203と、スイッチ2204と、論理素子2206と、容量素子2207と、選択機能を有する回路2220と、を有する。回路2202は、容量素子2208と、トランジスタ2209と、トランジスタ2210と、を有する。なお、記憶素子2200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

[0550]

ここで、回路2202には、上述した記憶装置を用いることができる。記憶素子2200への電源電圧の供給が停止した際、回路2202のトランジスタ2209のゲートには接地電位（0V）、またはトランジスタ2209がオフする電位が入力され続ける構成とする。例えば、トランジスタ2209のゲートが抵抗等の負荷を介して接地される構成とする。

[0551]

スイッチ2203は、一導電型（例えば、nチャネル型）のトランジスタ2213を用いて構成され、スイッチ2204は、一導電型とは逆の導電型（例えば、pチャネル型）のトランジスタ2214を用いて構成した例を示す。ここで、スイッチ2203の第1の端子はトランジスタ2213のソースとドレインの一方に対応し、スイッチ2203の第2の端子はトランジスタ2213のソースとドレインの他方に対応し、スイッチ2203はトランジスタ2213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ2213のオン状態またはオフ状態）が選択される。スイッチ2204の第1の端子はトランジスタ2214のソースとドレインの一方に対応し、スイッチ2204の第2の端子はトランジスタ2214のソースとドレインの他方に対応し、スイッチ2204はトランジスタ2214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ2214のオン状態またはオフ状態）が選択される。

[0552]

トランジスタ2209のソースとドレインの一方は、容量素子2208の一对の電極のうち的一方、及びトランジスタ2210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ2210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電氣的に接続され、他方は、スイッチ2203の第1の端子（トランジスタ2213のソースとドレインの一方）と電氣的に接続される。スイッチ2203の第2の端子（トランジスタ2213のソースとドレインの他方）はスイッチ2204の第1の端子（トランジスタ2214のソースとドレインの一方）と電氣的に接続される。スイッチ2204の第2の端子（トランジスタ2214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ2203の第2の端子（トランジスタ2213のソースとドレインの他方）と、スイッ

チ 2 2 0 4 の第 1 の端子（トランジスタ 2 2 1 4 のソースとドレインの一方）と、論理素子 2 2 0 6 の入力端子と、容量素子 2 2 0 7 の一対の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノード M1 とする。容量素子 2 2 0 7 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 2 2 0 7 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。容量素子 2 2 0 8 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 2 2 0 8 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。

[0 5 5 3]

なお、容量素子 2 2 0 7 及び容量素子 2 2 0 8 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

[0 5 5 4]

トランジスタ 2 2 0 9 の第 1 ゲート（第 1 のゲート電極）には、制御信号 WE が入力される。スイッチ 2 2 0 3 及びスイッチ 2 2 0 4 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

[0 5 5 5]

トランジスタ 2 2 0 9 のソースとドレインの他方には、回路 2 2 0 1 に保持されたデータに対応する信号が入力される。図 5 1 では、回路 2 2 0 1 から出力された信号が、トランジスタ 2 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 2 2 0 3 の第 2 の端子（トランジスタ 2 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 2 2 0 6 によってその論理値が反転された反転信号となり、回路 2 2 2 0 を介して回路 2 2 0 1 に入力される。

[0 5 5 6]

なお、図 5 1 では、スイッチ 2 2 0 3 の第 2 の端子（トランジスタ 2 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 2 2 0 6 及び回路 2 2 2 0 を介して回路 2 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 2 2 0 3 の第 2 の端子（トランジスタ 2 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 2 2 0 1 に入力されてもよい。例えば、回路 2 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 2 2 0 3 の第 2 の端子（トランジスタ 2 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

[0 5 5 7]

また、図 5 1 において、記憶素子 2 2 0 0 に用いられるトランジスタのうち、トランジスタ 2 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板 2 1 9 0 にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子 2 2 0 0 に用いられるトランジスタ全てを、チャネルが酸化物半導体膜で形成されるトランジスタとすることもできる。または、記憶素子 2 2 0 0 は、トランジスタ 2 2 0 9 以外にも、チャネルが酸化物半導体膜で形成されるトランジスタを含ん

でいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 2190 にチャネルが形成されるトランジスタとすることもできる。

[0558]

図 51 における回路 2201 には、例えばフリップフロップを用いることができる。また、論理素子 2206 としては、例えばインバータやクロックドインバータ等を用いることができる。

[0559]

本実施の形態に示す半導体装置では、記憶素子 2200 に電源電圧が供給されない間は、回路 2201 に記憶されていたデータを、回路 2202 に設けられた容量素子 2208 によって保持することができる。

[0560]

また、酸化物半導体膜にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体膜にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、酸化物半導体膜にチャネルが形成されるトランジスタをトランジスタ 2209 として用いることによって、記憶素子 2200 に電源電圧が供給されない間も容量素子 2208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 2200 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

[0561]

また、スイッチ 2203 及びスイッチ 2204 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 2201 が元のデータを保持しなおすまでの時間を短くすることができる。

[0562]

また、回路 2202 において、容量素子 2208 によって保持された信号はトランジスタ 2210 のゲートに入力される。そのため、記憶素子 2200 への電源電圧の供給が再開された後、容量素子 2208 によって保持された信号を、トランジスタ 2210 の状態（オン状態、またはオフ状態）に変換して、回路 2202 から読み出すことができる。それ故、容量素子 2208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

[0563]

このような記憶素子 2200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

[0564]

なお、本実施の形態では、記憶素子 2200 を CPU に用いる例として説明したが、記憶素子 2200 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF-ID (Radio Frequency Identification) にも応用可能である。

[0565]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0566]

(実施の形態9)

本実施の形態では、本発明の一態様の半導体装置を用いることができる撮像装置について図52及び図53を用いて説明する。

[0567]

図52(A)乃至図52(C)に、撮像装置の回路構成例を示す。

[0568]

<9. 撮像装置>

図52(A)に示す回路を有する撮像装置610は、光電変換素子601、トランジスタ602、トランジスタ604、および容量素子606を有する。トランジスタ602のソースまたはドレインの一方は光電変換素子601と電氣的に接続される。トランジスタ602のソースまたはドレインの他方はノード607(電荷蓄積部)を介してトランジスタ604のゲートと電氣的に接続されている。

[0569]

トランジスタ602として、OSトランジスタを用いることが好ましい。OSトランジスタは、オフ電流を極めて小さくすることができるため、容量素子606を小さくすることができる。または、図52(B)に示すように、容量素子606を省略することができる。また、トランジスタ602としてOSトランジスタを用いると、ノード607の電位が変動しにくい。よって、ノイズの影響を受けにくい撮像装置を実現することができる。

トランジスタ602として、例えば先の実施の形態に例示したトランジスタなどを用いることができる。なお、トランジスタ604にOSトランジスタを用いてもよい。

[0570]

光電変換素子601には、シリコン基板においてpn型やpin型の接合が形成されたダイオード素子を用いることができる。または非晶質シリコン膜や微結晶シリコン膜などを用いたpin型のダイオード素子などを用いてもよい。または、ダイオード接続のトランジスタを用いてもよい。また、光電効果を利用した可変抵抗などをシリコン、ゲルマニウム、セレンなどを用いて形成してもよい。

[0571]

また、光電変換素子として、放射線を吸収して電荷を発生させることが可能な材料を用いて形成してもよい。放射線を吸収して電荷を発生させることが可能な材料としては、ヨウ化鉛、ヨウ化水銀、ガリウムヒ素、CdTe、CdZnなどがある。

[0572]

図52(C)に示す回路を有する撮像装置610は、光電変換素子601としてフォトダイオードを用いる場合を示している。図52(C)に示す撮像装置610は、光電変換素子601、トランジスタ602、トランジスタ603、トランジスタ604、トランジスタ605、および容量素子606を有する。トランジスタ602のソースまたはドレインの一方は光電変換素子601のカソードと電氣的に接続され、他方はノード607と電氣的に接続されている。光電変換素子601のアノードは、配線611と電氣的に接続されている。トランジスタ603のソースまたはドレインの一方はノード607と電氣的に接続され、他方は配線608と電氣的に接続されている。トランジスタ604

のゲートはノード607と電氣的に接続され、ソースまたはドレインの一方は配線609と電氣的に接続され、他方はトランジスタ605のソースまたはドレインの一方と電氣的に接続されている。トランジスタ605のソースまたはドレインの他方は配線608と電氣的に接続されている。容量素子606の一方の電極はノード607と電氣的に接続され、他方の電極は配線611と電氣的に接続される。

[0573]

トランジスタ602は転送トランジスタとして機能できる。トランジスタ602のゲートには、転送信号TXが供給される。トランジスタ603はリセットトランジスタとして機能できる。トランジスタ603のゲートには、リセット信号RSTが供給される。トランジスタ604は増幅トランジスタとして機能できる。トランジスタ605は選択トランジスタとして機能できる。トランジスタ605のゲートには、選択信号SELが供給される。また、配線608にVDDが供給され、配線611にはVSSが供給される。

[0574]

次に、図52(C)に示す回路を有する撮像装置610の動作について説明する。まず、トランジスタ603をオン状態にして、ノード607にVDDを供給する(リセット動作)。その後、トランジスタ603をオフ状態にすると、ノード607にVDDが保持される。次に、トランジスタ602をオン状態とすると、光電変換素子601の受光量に応じて、ノード607の電位が変化する(蓄積動作)。その後、トランジスタ602をオフ状態にすると、ノード607の電位が保持される。次に、トランジスタ605をオン状態とすると、ノード607の電位に応じた電位が配線609から出力される(選択動作)。配線609の電位を検出することで、光電変換素子601の受光量を知ることができる。

[0575]

トランジスタ602およびトランジスタ603には、OSトランジスタを用いることが好ましい。前述した通り、OSトランジスタはオフ電流を極めて小さくすることができるため、容量素子606を小さくすることができる。または、容量素子606を省略することができる。また、トランジスタ602およびトランジスタ603としてOSトランジスタを用いると、ノード607の電位が変動しにくい。よって、ノイズの影響を受けにくい撮像装置を実現することができる。

[0576]

図52(A)乃至図52(C)に示したいずれかの回路を有する撮像装置610をマトリクス状に配置することで、解像度の高い撮像装置が実現できる。

[0577]

例えば、撮像装置610を 1920×1080 のマトリクス状に配置すると、いわゆるフルハイビジョン(「2K解像度」、「2K1K」、「2K」などとも言われる。)の解像度で撮像可能な撮像装置を実現することができる。また、例えば、撮像装置610を 4096×2160 のマトリクス状に配置すると、いわゆるウルトラハイビジョン(「4K解像度」、「4K2K」、「4K」などとも言われる。)の解像度で撮像可能な撮像装置を実現することができる。また、例えば、撮像装置610を 8192×4320 のマトリクス状に配置すると、いわゆるスーパーハイビジョン(「8K解像度」、「8K4K」、「8K」などとも言われる。)の解像度で撮像可能な撮像装置を実現することができる。表示素子を増やすことで、16Kや32Kの解像度で撮像可能な撮像装置を実現することも可能である。

[0578]

上述したトランジスタを用いた撮像装置610の構造例を図53(A)(B)に示す。図53(A)(B)は撮像装置610の断面図である。

[0579]

図53(A)に示す撮像装置610は、基板641としてn型半導体を用いている。また、基板641中に光電変換素子601のp型半導体1221が設けられている。また、基板641の一部が、光電変換素子601のn型半導体1223として機能する。

[0580]

また、トランジスタ604は基板641上に設けられている。トランジスタ604はnチャネル型のトランジスタとして機能できる。また、基板641の一部にp型半導体のウェル1220が設けられている。ウェル1220はp型半導体1221の形成と同様の方法で設けることができる。また、ウェル1220とp型半導体1221は同時に形成することができる。

[0581]

図53(B)に示す撮像装置610は、基板641上にトランジスタ604とトランジスタ605が設けられている。トランジスタ604はnチャネル型のトランジスタとして機能できる。トランジスタ605はpチャネル型のトランジスタとして機能できる。

[0582]

また、図53(B)に示す撮像装置610は、基板641上に光電変換素子601が設けられている。

[0583]

図53(B)に示す光電変換素子601は、金属材料などで形成された電極686と透光性導電層682との間に光電変換層681を有する。図53(B)では、セレン系材料を光電変換層681に用いた形態を示している。セレン系材料を用いた光電変換素子601は、可視光に対する外部量子効率が大きい特性を有する。当該光電変換素子では、アバランシェ現象により入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層681を薄くしやすい利点を有する。

[0584]

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、一例として、非晶質セレンを成膜後、熱処理することで得ることができる。なお、結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

[0585]

なお、光電変換層681は単層として図示しているが、セレン系材料の受光面側に正孔注入阻止層として酸化ガリウムまたは酸化セリウムなどを設け、電極686側に電子注入阻止層として酸化ニッケルまたは硫化アンチモンなどを設ける構成とすることもできる。

[0586]

また、光電変換層681は、銅、インジウム、セレンの化合物(CIS)を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物(CIGS)を含む層であってもよい。CISおよびCIGSでは、セレンの単層と同様にアバランシェ現象が利用できる光電変換素子を形成する

ことができる。

[0587]

また、C I SおよびC I G Sはp型半導体であり、接合を形成するためにn型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

[0588]

アバランシェ現象を発生させるためには、光電変換素子に比較的高い電圧（例えば、10V以上）を印加することが好ましい。OSトランジスタは、Siトランジスタよりもドレイン耐圧の高い特性を有するため、光電変換素子に比較的高い電圧を印加することが容易である。したがって、ドレイン耐圧の高いOSトランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、高感度、かつ信頼性の高い撮像装置とすることができる。

[0589]

透光性導電層682には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、またはグラフェン等を用いることができる。また、透光性導電層682は単層に限らず、異なる膜の積層であっても良い。

[0590]

また、光電変換素子601には、非晶質シリコン膜や微結晶シリコン膜などを用いたpin型のダイオード素子などを用いてもよい。当該フォトダイオードは、n型の半導体層、i型の半導体層、およびp型の半導体層が順に積層された構成を有している。i型の半導体層には非晶質シリコンを用いることが好ましい。また、p型の半導体層およびn型の半導体層には、それぞれの導電型を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

[0591]

なお、pn型やpin型のダイオード素子は、p型の半導体層が受光面となるように設けることが好ましい。p型の半導体層を受光面とすることで、光電変換素子601の出力電流を高めることができる。

[0592]

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子601は、成膜工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製することができる。

[0593]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例1]

[0594]

本実施例においては、本発明の一態様の半導体装置に用いることができる導電膜を有する試料を作製し、当該試料の断面形状を走査透過型電子顕微鏡（Scanning Transmission Electron Microscope：STEM）により観察を行った。また、当該試料のXPS（X線光電子分光法）分析を行った。

[0595]

<試料の作製>

試料A1としては、720mm×600mmサイズのガラス基板上に、厚さが35nmの窒化タンタルと、厚さが200nmの銅とを、スパッタリング装置を用いて順に成膜した。

[0596]

試料A2としては、720mm×600mmサイズのガラス基板上に、厚さが35nmの窒化タンタルと、厚さが200nmの銅とを、スパッタリング装置を用いて順に成膜した。次に、銅表面のシリサイド化を行った。シリサイド化処理の条件としては、まず銅表面に形成される酸化膜を除去するため、PECVD装置を用いてアンモニアガスを含む雰囲気にてプラズマを放電させた。続いて、シランガスをPECVD装置内に導入し、シランガスを銅表面に曝すことで、銅シリサイドを形成させた。なお、銅表面の酸化膜を除去する際の基板温度としては350℃とした。また、銅シリサイドを形成する際の基板温度としては、220℃とし、流量300sccmのシランガスと、流量500sccmの窒素ガスとを用いた。

[0597]

<断面観察>

上記作製した試料A1及び試料A2を、STEMにより断面形状の観察を行った。図54(A)は、試料A1の断面STEM写真であり、図54(B)は、試料A2の断面STEM写真である。

[0598]

図54(A)(B)の断面STEM写真により、試料A2においては膜の最表面に銅と異なる膜（銅シリサイド層）が形成されていることを確認した。

[0599]

<XPS分析>

次に、試料A2の表面のXPS分析を行った。表1に、XPSで求めた組成を示す。なお、表面のXPSにおける検出深さは、5nm程度である。

[0600]

[表1]

	Cu	O	C	Si	N
組成(atomic%)	24.1	37.6	18.2	11.3	8.8

[0601]

試料A2の表面では、銅とシリコンとが検出され、銅に対するシリコンの比(Si/Cu)は0.47であった。

[0602]

次に、試料A2の深さ方向のXPS分析を行った結果を図55に示す。図55は、試料A2の膜表面からガラス基板までの深さ方向の銅(Cu)、シリコン(Si)、タンタル(Ta)、酸素(O)、及び窒素(N)のプロファイルを示している。

[0603]

図55に示すように、膜の表面付近において、銅(Cu)とシリコン(Si)とが検出された。

[0604]

次に、試料A 2の深さ方向のX P S分析で求められたC u 2 p_{3/2}のスペクトル、及びS i 2 pのスペクトルを図5 6 (A) (B) にそれぞれ示す。なお、横軸は、束縛エネルギー (B i n d i n g E n e r g y) を表す。

[0 6 0 5]

図5 6 (A) において、9 3 1 e V以上9 3 4 e V以下の範囲のピークは、C u－S i 基に帰属される。また、図5 6 (B) において、9 8 e V以上1 0 0 e V以下の範囲のピークは、金属－S i 基に帰属される。

[0 6 0 6]

以上より、試料A 2において、膜の表面にC uとS i との結合を有する銅シリサイド(銅ケイ化物) が形成されていることを確認した。

[0 6 0 7]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせる用いることができる。

[実施例2]

[0 6 0 8]

本実施例においては、本発明の一態様のトランジスタを作製し、電気特性の評価を行った。

[0 6 0 9]

電気特性を評価するトランジスタとして、図1 0 (A) (B) で示すトランジスタ1 0 0 Lに相当する試料B 1 及びB 2を作製した。なお、試料B 1 が本発明の一態様のトランジスタであり、試料B 2 が比較用のトランジスタである。

[0 6 1 0]

トランジスタ1 0 0 Lは、基板1 0 2上のゲート電極として機能する導電膜1 0 4と、基板1 0 2及び導電膜1 0 4上の第1のゲート絶縁膜として機能する絶縁膜1 0 6、1 0 7と、絶縁膜1 0 7上の酸化物半導体膜1 0 8と、酸化物半導体膜1 0 8に電氣的に接続されるソース電極として機能する導電膜1 1 2 aと、酸化物半導体膜1 0 8に電氣的に接続されるドレイン電極として機能する導電膜1 1 2 bと、酸化物半導体膜1 0 8及び導電膜1 1 2 a、1 1 2 b上の第2のゲート絶縁膜として機能する絶縁膜1 1 4、1 1 6と、絶縁膜1 1 6上の保護絶縁膜として機能する絶縁膜1 1 8と、絶縁膜1 1 8上の第2のゲート電極として機能する1 2 0 bと、を有する。また、酸化物半導体膜1 0 8は、酸化物半導体膜1 0 8 b、1 0 8 cを有する。

[0 6 1 1]

また、導電膜1 1 2 aは、導電膜1 1 2 a__1、導電膜1 1 2 a__2、及び1 1 2 a__3を有し、導電膜1 1 2 bは、導電膜1 1 2 b__1、1 1 2 b__2、及び1 1 2 b__3を有する。また、導電膜1 1 2 a__2は、端部で絶縁膜1 1 4と接する領域1 1 2 a__2 bを有し、導電膜1 1 2 b__2は、端部で絶縁膜1 1 4と接する領域1 1 2 b__2 bを有する。

[0 6 1 2]

<トランジスタの作製方法>

次に、試料B 1 及び試料B 2に相当するトランジスタの作製方法について説明する。なお、トランジスタの作製方法は、実施の形態1を参酌すればよい。

[0 6 1 3]

《試料B1の作製》

基板102上に導電膜104を形成した。基板102としては、ガラス基板を用いた。また、導電膜104としては、厚さが10nmのチタン膜と、厚さが100nmの銅膜と、厚さが50nmの窒化タンタル膜とを、スパッタリング装置を用いて順に形成した。

[0614]

次に、基板102及び導電膜104上に、絶縁膜106、107を形成した。絶縁膜106としては、厚さが400nmの窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜107としては、厚さが15nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

[0615]

次に、絶縁膜107上に酸化物半導体膜108を形成した。

[0616]

酸化物半導体膜108として、In-Ga-Zn酸化物(IGZOともいう)を用いた。酸化物半導体膜108が有する酸化物半導体膜108bとしては、厚さが10nmのIGZO膜を、スパッタリング装置を用いて形成した。なお、IGZO膜の成膜条件としては、基板温度を170℃とし、アルゴンガスと酸素ガスとの流量比における酸素ガスの比率が30%になるようチャンバー内に導入し、圧力を0.2Paとし、金属酸化物スパッタリングターゲット(In:Ga:Zn=4:2:4.1[原子数比])に1500WのAC電力を投入して成膜した。続いて、酸化物半導体膜108cとしては、厚さが20nmのIGZO膜を、スパッタリング装置を用いて形成した。なお、IGZO膜の成膜条件としては、基板温度を170℃とし、アルゴンガスと酸素ガスとの流量比における酸素ガスの比率が50%になるようチャンバー内に導入し、圧力を0.2Paとし、金属酸化物スパッタリングターゲット(In:Ga:Zn=1:1:1.2[原子数比])に500WのAC電力を投入して成膜した。また、酸化物半導体膜108の形成後、350℃で1時間の熱処理を行った。

[0617]

次に、絶縁膜107、酸化物半導体膜108上に後に導電膜112a、112bとなる導電膜を形成した。該導電膜としては、厚さが50nmのタングステン膜と、厚さが200nmの銅膜と、厚さが5nmのタングステン膜を、スパッタリング装置を用いて真空中で連続して形成した。次に、該導電膜上にレジストマスクを形成し、厚さが5nmのタングステン膜と、厚さが200nmの銅膜との所望の領域をエッチングした。レジストマスクの除去後、露出した銅表面のシリサイド処理を行った。シリサイド化処理の条件としては、まず銅表面に形成される酸化膜を除去するため、PECVD装置を用いてアンモニアガスを含む雰囲気にてプラズマを放電させた。続いて、シランガスをPECVD装置内に導入し、シランガスを銅表面に曝すことで、銅シリサイドを形成させた。なお、銅表面の酸化膜を除去する際の基板温度としては350℃とした。また、銅シリサイドを形成する際の基板温度としては、220℃とし、流量300sccmのシランガスと、流量500sccmの窒素ガスとを用いた。また、シリサイド処理を行った導電膜上にレジストマスクを形成し、厚さが50nmのタングステン膜の所望の領域をエッチングすることで、導電膜112a、112bを形成した。なお、導電膜112a、112bの形成後レジストマスクを除去した。

[0618]

次に、絶縁膜107、酸化物半導体膜108、及び導電膜112a、112b上から、リン酸水溶液(リン酸の濃度が85%の水溶液を、さらに純水で100倍に希釈した水溶液)を塗布し、導電膜

112a、112bから露出した酸化物半導体膜108の表面の一部を除去した。

[0619]

次に、絶縁膜107、酸化物半導体膜108、及び導電膜112a、112b上に絶縁膜114及び絶縁膜116を形成した。絶縁膜114としては、厚さが40nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜116としては、厚さが400nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。なお、絶縁膜114及び絶縁膜116としては、PECVD装置により真空中で連続して形成した。

[0620]

絶縁膜114の成膜条件としては、基板温度を220℃とし、流量50sccmのシランガスと、流量2000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を20Paとし、PECVD装置内に設置された平行平板の電極間に100WのRF電力を供給して成膜した。また、絶縁膜116の成膜条件としては、基板温度を220℃とし、流量160sccmのシランガスと、流量4000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を200Paとし、PECVD装置内に設置された平行平板の電極間に1500WのRF電力を供給して成膜した。

[0621]

次に、窒素を含む雰囲気下で300℃、1時間の熱処理を行った。

[0622]

次に、絶縁膜116上に絶縁膜118を形成した。絶縁膜118としては、厚さが100nmの窒化シリコン膜を、PECVD装置を用いて形成した。絶縁膜118の成膜条件としては、基板温度を220℃とし、流量50sccmのシランガスと、流量5000sccmの窒素ガスと、流量100sccmのアンモニアガスをチャンバー内に導入し、圧力を100Paとし、PECVD装置内に設置された平行平板の電極間に1000WのRF電力を供給して成膜した。

[0623]

次に、絶縁膜118上に導電膜として、厚さが100nmのITO膜を、スパッタリング装置を用いて形成した。該ITO膜の成膜条件としては、基板温度を室温とし、流量72sccmのアルゴンガスと、流量5sccmの酸素ガスをチャンバー内に導入し、圧力を0.15Paとした。なお、ITO膜に用いた金属酸化物ターゲットの組成は、 $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{SiO}_2 = 85 : 10 : 5$ [重量%]とした。

[0624]

以上の工程で試料B1に相当するトランジスタを作製した。

[0625]

《試料B2の作製》

基板102上に導電膜104を形成した。基板102としては、ガラス基板を用いた。また、導電膜104としては、厚さが100nmのタングステン膜を、スパッタリング装置を用いて形成した。

[0626]

次に、基板102及び導電膜104上に、絶縁膜106、107を形成した。絶縁膜106としては、厚さが400nmの窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜107としては、厚さが50nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

[0627]

次に、絶縁膜107上に酸化物半導体膜108を形成した。

[0628]

酸化物半導体膜108が有する酸化物半導体膜108bとしては、厚さが20nmのIGZO膜を、スパッタリング装置を用いて形成した。なお、IGZO膜の成膜条件としては、基板温度を170℃とし、アルゴンガスと酸素ガスとの流量比における酸素ガスの比率が30%になるようチャンバー内に導入し、圧力を0.2Paとし、金属酸化物スパッタリングターゲット(In:Ga:Zn=4:2:4.1 [原子数比])に1500WのAC電力を投入して成膜した。続いて、酸化物半導体膜108cとしては、厚さが30nmのIGZO膜を、スパッタリング装置を用いて形成した。なお、IGZO膜の成膜条件としては、基板温度を170℃とし、アルゴンガスと酸素ガスとの流量比における酸素ガスの比率が50%になるようチャンバー内に導入し、圧力を0.2Paとし、金属酸化物スパッタリングターゲット(In:Ga:Zn=1:1:1.2 [原子数比])に500WのAC電力を投入して成膜した。また、酸化物半導体膜108の形成後、350℃で1時間の熱処理を行った。

[0629]

次に、絶縁膜107、酸化物半導体膜108上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングすることで、導電膜112a、112bを形成した。導電膜112a、112bとしては、厚さ50nmのタングステン膜と、厚さ200nmの銅膜とを、スパッタリング装置を用いて真空中で連続して形成した。なお、導電膜112a、112bの形成後レジストマスクを除去した。

[0630]

次に、絶縁膜107、酸化物半導体膜108、及び導電膜112a、112b上に絶縁膜114及び絶縁膜116を形成した。絶縁膜114としては、厚さが40nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。また、絶縁膜116としては、厚さが400nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。なお、絶縁膜114及び絶縁膜116としては、PECVD装置により真空中で連続して形成した。

[0631]

絶縁膜114の成膜条件としては、基板温度を220℃とし、流量50sccmのシランガスと、流量2000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を20Paとし、PECVD装置内に設置された平行平板の電極間に100WのRF電力を供給して成膜した。また、絶縁膜116の成膜条件としては、基板温度を220℃とし、流量160sccmのシランガスと、流量4000sccmの一酸化二窒素ガスをチャンバー内に導入し、圧力を200Paとし、PECVD装置内に設置された平行平板の電極間に1500WのRF電力を供給して成膜した。

[0632]

次に、窒素を含む雰囲気下で300℃、1時間の熱処理を行った。

[0633]

次に、絶縁膜116上に絶縁膜118を形成した。絶縁膜118としては、厚さが100nmの窒化シリコン膜を、PECVD装置を用いて形成した。絶縁膜118の成膜条件としては、基板温度を220℃とし、流量50sccmのシランガスと、流量5000sccmの窒素ガスと、流量100sccmのアンモニアガスをチャンバー内に導入し、圧力を100Paとし、PECVD装置内に設置された平行平板の電極間に1000WのRF電力を供給して成膜した。

[0634]

次に、絶縁膜118上に導電膜として、厚さが100nmのITSO膜を、スパッタリング装置を用いて形成した。該ITSO膜の成膜条件としては、基板温度を室温とし、流量72sccmのアルゴンガスと、流量5sccmの酸素ガスをチャンバー内に導入し、圧力を0.15Paとした。なお、ITSO膜に用いた金属酸化物ターゲットの組成は、 $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{SiO}_2 = 85 : 10 : 5$ [重量%]とした。

[0635]

以上の工程で試料B2に相当するトランジスタを作製した。

[0636]

なお、当該トランジスタのサイズとしてはそれぞれ、チャネル長が2 μm 且つチャネル幅が50 μm 、チャネル長が3 μm 且つチャネル幅が50 μm 、及びチャネル長が6 μm 且つチャネル幅が50 μm 、という3種類のサイズを有するトランジスタを作製した。以下では、チャネル長が2 μm の試料B1を試料B1-1と、チャネル長が3 μm の試料B1を試料B1-2と、チャネル長6 μm の試料B1を試料B1-3と呼称する。試料B2についても同様である。

[0637]

<トランジスタの電気特性評価>

上記作製した試料B1及び試料B2に相当するトランジスタの電気特性の評価を行った。トランジスタの電気特性としては、ドレイン電流(I_d)ーゲート電圧(V_g)特性、および I_d ー V_g 特性における電界効果移動度(μ_{FE})とした。試料B1及び試料B2のトランジスタの電気特性を図57及び図58に示す。また、図57(A)及び図58(A)はチャネル長が2 μm 且つチャネル幅が50 μm のトランジスタ特性を、図57(B)及び図58(B)はチャネル長が3 μm 且つチャネル幅が50 μm のトランジスタ特性を、図57(C)乃至図58(C)はチャネル長が6 μm 且つチャネル幅が50 μm のトランジスタ特性を、それぞれ示す。

[0638]

また、図57及び図58において、ソース電極とドレイン電極間の電圧(V_d)を0.1V及び20Vとし、-15Vから20Vまで0.25V間隔で V_g を印加した結果を示している。また、図57及び図58において、第1縦軸がドレイン電流(I_d)を、第2縦軸が $V_d = 20\text{V}$ における電界効果移動度(μ_{FE})を、横軸がゲート電圧(V_g)を、それぞれ表している。また、10個のトランジスタのデータを各々重ねて示している。いずれのトランジスタについても、バラツキが少なくノーマリーオフ特性を示すトランジスタ特性が得られている。

[0639]

また、図57及び図58に示すように、試料B2は、 V_d が0.1Vと V_d が20Vでしきい値電圧が異なる結果となった。また、試料B2より試料B1の方がトランジスタの電界効果移動度(μ_{FE})が高い結果となった。このことから、ソース電極及びドレイン電極に銅を有するトランジスタにおいて、ソース電極及びドレイン電極の端部にシリサイド処理を行うことで、優れた電気特性を有するトランジスタを提供できることが示された。

[0640]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせ用いることができる。

[実施例3]

[0641]

本実施例においては、本発明の一態様の半導体装置に用いることができる導電膜を有する試料を作製し、当該試料の断面形状を走査透過型電子顕微鏡 (Scanning Transmission Electron Microscope: STEM) により観察を行った。また、当該試料の XPS (X線光電子分光法) 分析を行った。

[0642]

<試料の作製>

試料C1としては、720mm×600mmサイズのガラス基板上に、厚さが100nmの酸化窒化シリコン (SiON) 膜を、PECVD装置を用いて成膜した。次に、酸化窒化シリコン膜上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングした。該導電膜としては、厚さ5nmのタングステン (W) 膜と、厚さ200nmの銅 (Cu) 膜と、厚さ5nmのタングステン (W) 膜とを、スパッタリング装置を用いて真空中で連続して形成した。なお、該導電膜の形成後レジストマスクを除去した。

[0643]

試料C2としては、720mm×600mmサイズのガラス基板上に、厚さが100nmの酸化窒化シリコン (SiON) 膜を、PECVD装置を用いて成膜した。次に、酸化窒化シリコン膜上に酸化物半導体膜として厚さが50nmのIGZO膜を、スパッタリング装置を用いて形成した。次に、酸化物半導体膜上に導電膜を形成し、該導電膜上にレジストマスクを形成し、所望の領域をエッチングした。該導電膜としては、厚さが5nmのタングステン膜と、厚さが200nmの銅膜と、厚さが5nmのタングステン膜を、スパッタリング装置を用いて真空中で連続して形成した。なお、該導電膜の形成後レジストマスクを除去した。次に、銅表面のシリサイド化を行った。シリサイド化処理の条件としては、まず銅表面に形成される酸化膜を除去するため、PECVD装置を用いてアンモニアガスを含む雰囲気にてプラズマを放電させた。続いて、シランガスをPECVD装置内に導入し、シランガスを銅表面に曝すことで、銅シリサイドを形成させた。なお、銅表面の酸化膜を除去する際の基板温度としては350℃とした。また、銅シリサイドを形成する際の基板温度としては、350℃とし、流量10sccmのシランガスと、流量1000sccmの窒素ガスとを用いた。

[0644]

<断面観察及びEDX分析結果>

上記作製した試料C1及び試料C2を、STEMにより断面形状の観察を行った。図59(A)は、試料C1の断面STEM写真であり、図59(B)は、試料C2の断面STEM写真である。

[0645]

図59(B)の断面STEM写真により、試料C2においては導電膜の端部に銅と異なる層 (銅シリサイド層) が形成されていることを確認した。

[0646]

また、試料C2の導電膜端部のEDX (Energy Dispersive X-ray Spectroscopy、エネルギー分散型X線分析法) を用いて元素分析を行った。EDX分析結果を図60に示す。

[0647]

図60に示すように、試料C2の導電膜端部からは、銅(Cu)とシリコン(Si)とが検出された。すなわち、試料C2において、導電膜端部にCuとSiとを有する銅シリサイドが形成されていることを確認した。

[0648]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせる用いることができる。

[符号の説明]

[0649]

I 1 絶縁体
I 2 絶縁体
S 1 酸化物半導体
S 2 酸化物半導体
S 3 酸化物半導体
1 0 0 トランジスタ
1 0 0 A トランジスタ
1 0 0 B トランジスタ
1 0 0 C トランジスタ
1 0 0 D トランジスタ
1 0 0 E トランジスタ
1 0 0 F トランジスタ
1 0 0 G トランジスタ
1 0 0 H トランジスタ
1 0 0 J トランジスタ
1 0 0 K トランジスタ
1 0 0 L トランジスタ
1 0 0 M トランジスタ
1 0 0 N トランジスタ
1 0 0 P トランジスタ
1 0 0 Q トランジスタ
1 0 2 基板
1 0 4 導電膜
1 0 6 絶縁膜
1 0 7 絶縁膜
1 0 8 酸化物半導体膜
1 0 8 a 酸化物半導体膜
1 0 8 b 酸化物半導体膜
1 0 8 c 酸化物半導体膜
1 1 2 導電膜
1 1 2 __ 1 導電膜

1 1 2 __ 2 導電膜
1 1 2 __ 3 導電膜
1 1 2 a 導電膜
1 1 2 a __ 1 導電膜
1 1 2 a __ 2 導電膜
1 1 2 a __ 2 a 領域
1 1 2 a __ 2 b 領域
1 1 2 a __ 3 導電膜
1 1 2 b 導電膜
1 1 2 b __ 1 導電膜
1 1 2 b __ 2 導電膜
1 1 2 b __ 2 a 領域
1 1 2 b __ 2 b 領域
1 1 2 b __ 3 導電膜
1 1 2 c 導電膜
1 1 2 c __ 1 導電膜
1 1 2 c __ 2 導電膜
1 1 2 c __ 2 a 領域
1 1 2 c __ 2 b 領域
1 1 2 c __ 3 導電膜
1 1 4 絶縁膜
1 1 6 絶縁膜
1 1 8 絶縁膜
1 2 0 a 導電膜
1 2 0 b 導電膜
1 4 1 a マスク
1 4 1 b マスク
1 4 2 a マスク
1 4 2 b マスク
1 5 1 開口部
1 5 1 a 開口部
1 5 1 b 開口部
1 5 2 a 開口部
1 5 2 b 開口部
1 5 2 c 開口部
1 5 2 d 開口部
1 9 1 ターゲット
1 9 2 プラズマ
1 9 3 ターゲット

1 9 4	プラズマ
1 9 5	プラズマ
5 0 1	画素回路
5 0 2	画素部
5 0 4	駆動回路部
5 0 4 a	ゲートドライバ
5 0 4 b	ソースドライバ
5 0 6	保護回路
5 0 7	端子部
5 5 0	トランジスタ
5 5 2	トランジスタ
5 5 4	トランジスタ
5 6 0	容量素子
5 6 2	容量素子
5 7 0	液晶素子
5 7 2	発光素子
6 0 1	光電変換素子
6 0 2	トランジスタ
6 0 3	トランジスタ
6 0 4	トランジスタ
6 0 5	トランジスタ
6 0 6	容量素子
6 0 7	ノード
6 0 8	配線
6 0 9	配線
6 1 0	撮像装置
6 1 1	配線
6 4 1	基板
6 8 1	光電変換層
6 8 2	透光性導電層
6 8 6	電極
7 0 0	表示装置
7 0 1	基板
7 0 2	画素部
7 0 4	ソースドライバ回路部
7 0 5	基板
7 0 6	ゲートドライバ回路部
7 0 8	F P C端子部
7 1 0	信号線

7 1 1	配線部
7 1 2	シール材
7 1 6	F P C
7 3 0	絶縁膜
7 3 2	封止膜
7 3 4	絶縁膜
7 3 6	着色膜
7 3 8	遮光膜
7 5 0	トランジスタ
7 5 2	トランジスタ
7 6 0	接続電極
7 7 0	平坦化絶縁膜
7 7 2	導電膜
7 7 3	絶縁膜
7 7 4	導電膜
7 7 5	液晶素子
7 7 6	液晶層
7 7 7	導電膜
7 7 8	構造体
7 8 0	異方性導電膜
7 8 2	発光素子
7 8 6	E L 層
7 8 8	導電膜
7 9 0	容量素子
7 9 1	タッチパネル
7 9 2	絶縁膜
7 9 3	電極
7 9 4	電極
7 9 5	絶縁膜
7 9 6	電極
7 9 7	絶縁膜
8 0 0	インバータ
8 1 0	O S トランジスタ
8 2 0	O S トランジスタ
8 3 1	信号波形
8 3 2	信号波形
8 4 0	破線
8 4 1	実線
8 5 0	O S トランジスタ

8 6 0	CMOSインバータ
9 0 0	半導体装置
9 0 1	電源回路
9 0 2	回路
9 0 3	電圧生成回路
9 0 3 A	電圧生成回路
9 0 3 B	電圧生成回路
9 0 3 C	電圧生成回路
9 0 4	回路
9 0 5	電圧生成回路
9 0 6	回路
9 1 1	トランジスタ
9 1 2	トランジスタ
9 1 2 A	トランジスタ
9 1 2 B	トランジスタ
9 2 1	制御回路
9 2 2	トランジスタ
1 2 2 0	ウェル
1 2 2 1	p型半導体
1 2 2 3	n型半導体
2 1 8 9	ROMインターフェース
2 1 9 0	基板
2 1 9 1	ALU
2 1 9 2	ALUコントローラ
2 1 9 3	インストラクションデコーダ
2 1 9 4	インタラプトコントローラ
2 1 9 5	タイミングコントローラ
2 1 9 6	レジスタ
2 1 9 7	レジスタコントローラ
2 1 9 8	バスインターフェース
2 1 9 9	ROM
2 2 0 0	記憶素子
2 2 0 1	回路
2 2 0 2	回路
2 2 0 3	スイッチ
2 2 0 4	スイッチ
2 2 0 6	論理素子
2 2 0 7	容量素子
2 2 0 8	容量素子

2 2 0 9	トランジスタ
2 2 1 0	トランジスタ
2 2 1 3	トランジスタ
2 2 1 4	トランジスタ
2 2 2 0	回路
3 1 0 1	配線
3 1 0 2	配線
3 1 0 3	配線
3 1 0 4	配線
3 1 0 5	配線
3 2 0 0	トランジスタ
3 3 0 0	トランジスタ
3 4 0 0	容量素子
7 0 0 0	表示モジュール
7 0 0 1	上部カバー
7 0 0 2	下部カバー
7 0 0 3	F P C
7 0 0 4	タッチパネル
7 0 0 5	F P C
7 0 0 6	表示パネル
7 0 0 7	バックライト
7 0 0 8	光源
7 0 0 9	フレーム
7 0 1 0	プリント基板
7 0 1 1	バッテリー
8 0 0 0	カメラ
8 0 0 1	筐体
8 0 0 2	表示部
8 0 0 3	操作ボタン
8 0 0 4	シャッターボタン
8 0 0 6	レンズ
8 1 0 0	ファインダー
8 1 0 1	筐体
8 1 0 2	表示部
8 1 0 3	ボタン
8 2 0 0	ヘッドマウントディスプレイ
8 2 0 1	装着部
8 2 0 2	レンズ
8 2 0 3	本体

8 2 0 4	表示部
8 2 0 5	ケーブル
8 2 0 6	バッテリー
8 3 0 0	ヘッドマウントディスプレイ
8 3 0 1	筐体
8 3 0 2	表示部
8 3 0 4	固定具
8 3 0 5	レンズ
9 0 0 0	筐体
9 0 0 1	表示部
9 0 0 3	スピーカ
9 0 0 5	操作キー
9 0 0 6	接続端子
9 0 0 7	センサ
9 0 0 8	マイクロフォン
9 0 5 0	操作ボタン
9 0 5 1	情報
9 0 5 2	情報
9 0 5 3	情報
9 0 5 4	情報
9 0 5 5	ヒンジ
9 1 0 0	テレビジョン装置
9 1 0 1	携帯情報端末
9 1 0 2	携帯情報端末
9 2 0 0	携帯情報端末
9 2 0 1	携帯情報端末
9 5 0 0	表示装置
9 5 0 1	表示パネル
9 5 0 2	表示領域
9 5 0 3	領域
9 5 1 1	軸部
9 5 1 2	軸受部

請求の範囲

[請求項 1]

トランジスタを有する半導体装置であって、
前記トランジスタは、
ゲート電極と、
前記ゲート電極上の第 1 の絶縁膜と、
前記第 1 の絶縁膜を間に挟んで前記ゲート電極と重なる領域を有する酸化物半導体膜と、
前記酸化物半導体膜と電氣的に接続されるソース電極と、
前記酸化物半導体膜と電氣的に接続されるドレイン電極と、
前記酸化物半導体膜上、前記ソース電極上、及び前記ドレイン電極上の第 2 の絶縁膜と、を有し、
前記ソース電極及び前記ドレイン電極は、それぞれ銅を有し、
前記ソース電極の端部及び前記ドレイン電極の端部は、それぞれ銅とシリコンとを含む領域を有する、
ことを特徴とする半導体装置。

[請求項 2]

トランジスタを有する半導体装置であって、
前記トランジスタは、
ゲート電極と、
前記ゲート電極上の第 1 の絶縁膜と、
前記第 1 の絶縁膜を間に挟んで前記ゲート電極と重なる領域を有する酸化物半導体膜と、
前記酸化物半導体膜と電氣的に接続されるソース電極と、
前記酸化物半導体膜と電氣的に接続されるドレイン電極と、
前記酸化物半導体膜上、前記ソース電極上、及び前記ドレイン電極上の第 2 の絶縁膜と、を有し、
前記ソース電極及び前記ドレイン電極は、それぞれ銅を有し、
前記ソース電極の端部及び前記ドレイン電極の端部は、それぞれ銅とシリコンとを含む化合物を有する領域を有する、
ことを特徴とする半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記ソース電極の端部及び前記ドレイン電極の端部は、それぞれ前記第 2 の絶縁膜と接する領域を有する、
ことを特徴とする半導体装置。

[請求項 4]

トランジスタを有する半導体装置であって、
前記トランジスタは、
ゲート電極と、
前記ゲート電極上の第 1 の絶縁膜と、
前記第 1 の絶縁膜を間に挟んで前記ゲート電極と重なる領域を有する酸化物半導体膜と、
前記酸化物半導体膜と電氣的に接続されるソース電極と、

前記酸化物半導体膜と電氣的に接続されるドレイン電極と、
前記酸化物半導体膜上、前記ソース電極上、及び前記ドレイン電極上の第2の絶縁膜と、を有し、
前記ソース電極及び前記ドレイン電極は、それぞれ第1の導電膜と、前記第1の導電膜上に接する第2の導電膜と、前記第2の導電膜上に接する第3の導電膜と、を有し、
前記第2の導電膜は、銅を有し、
前記第1の導電膜及び前記第3の導電膜は、銅の拡散を抑制する材料を有し、
前記第2の導電膜の端部は、銅とシリコンとを含む領域を有する、
ことを特徴とする半導体装置。

[請求項5]

トランジスタを有する半導体装置であって、
前記トランジスタは、
ゲート電極と、
前記ゲート電極上の第1の絶縁膜と、
前記第1の絶縁膜を間に挟んで前記ゲート電極と重なる領域を有する酸化物半導体膜と、
前記酸化物半導体膜と電氣的に接続されるソース電極と、
前記酸化物半導体膜と電氣的に接続されるドレイン電極と、
前記酸化物半導体膜上、前記ソース電極上、及び前記ドレイン電極上の第2の絶縁膜と、を有し、
前記ソース電極及び前記ドレイン電極は、それぞれ第1の導電膜と、前記第1の導電膜上に接する第2の導電膜と、前記第2の導電膜上に接する第3の導電膜と、を有し、
前記第2の導電膜は、銅を有し、
前記第1の導電膜及び前記第3の導電膜は、銅の拡散を抑制する材料を有し、
前記第2の導電膜の端部は、銅とシリコンとを含む化合物を有する領域を有する、
ことを特徴とする半導体装置。

[請求項6]

請求項4または請求項5において、
前記第2の導電膜の端部は、前記第2の絶縁膜と接する領域を有する、
ことを特徴とする半導体装置。

[請求項7]

請求項4または請求項5において、
前記第1の導電膜及び前記第3の導電膜は、チタン、タングステン、タンタル、及びモリブデンの少なくとも一を有する、
ことを特徴とする半導体装置。

[請求項8]

請求項4または請求項5において、
前記第1の導電膜及び前記第3の導電膜は、酸化物を有し、
前記酸化物は、 In または Zn のうち少なくとも一を有する、
ことを特徴とする半導体装置。

[請求項9]

請求項1、請求項2、請求項4、または請求項5において、

前記酸化物半導体膜は、I n と、Z n と、M (Mは、A l、G a、Y、またはS nを表す) と、を有する、

ことを特徴とする半導体装置。

[請求項10]

請求項9において、

前記酸化物半導体膜は、結晶部を有し、

前記結晶部は、c軸配向性を有する、

ことを特徴とする半導体装置。

[請求項11]

請求項1、請求項2、請求項4、または請求項5に記載の半導体装置と、

表示素子と、を有する、

ことを特徴とする表示装置。

[請求項12]

請求項11に記載の表示装置と、

タッチセンサと、を有する、

ことを特徴とする表示モジュール。

[請求項13]

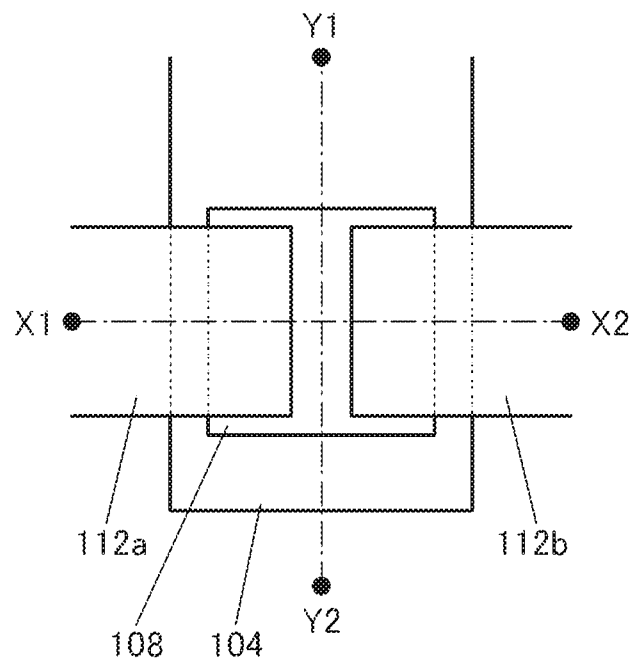
請求項1、請求項2、請求項4、または請求項5に記載の半導体装置と、

操作キーまたはバッテリーの少なくとも一と、を有する、

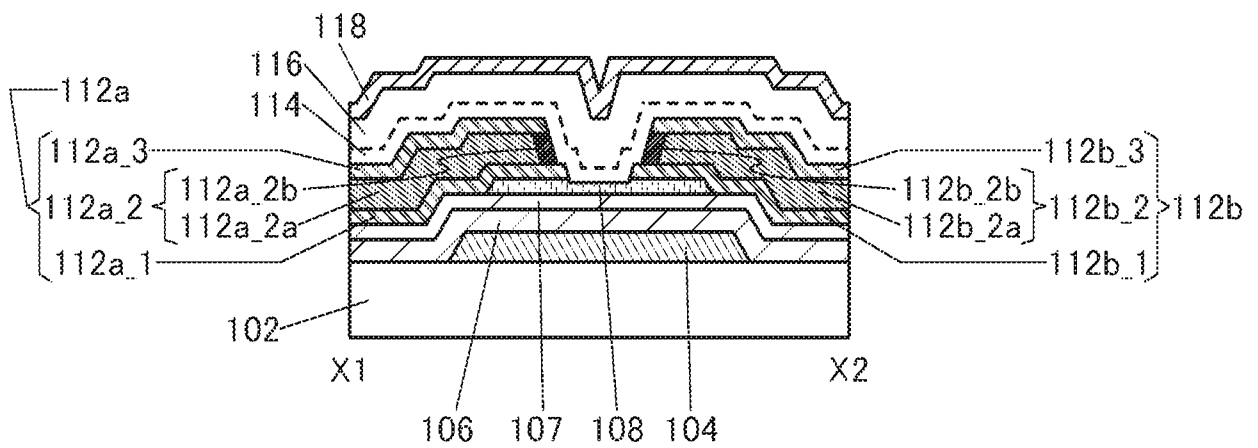
ことを特徴とする電子機器。

[図01]

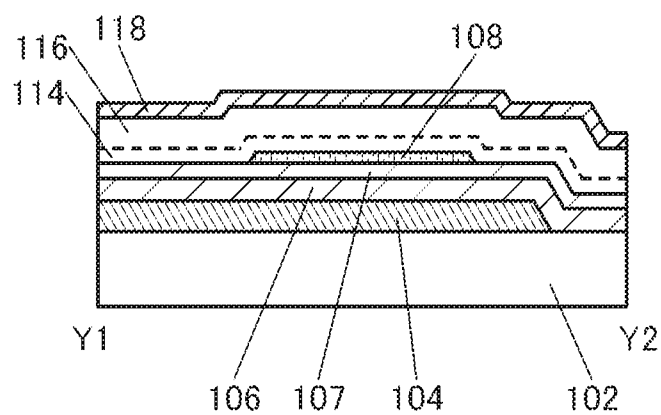
(A)

100

(B)

100

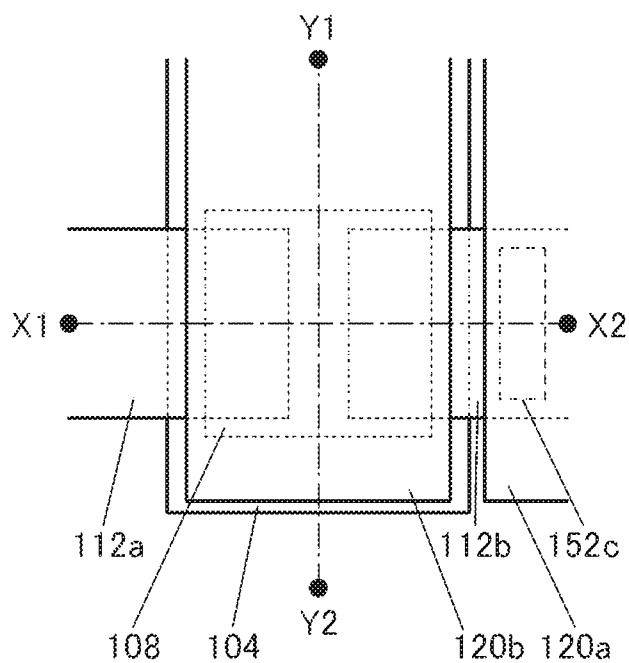
(C)

100

[义 02]

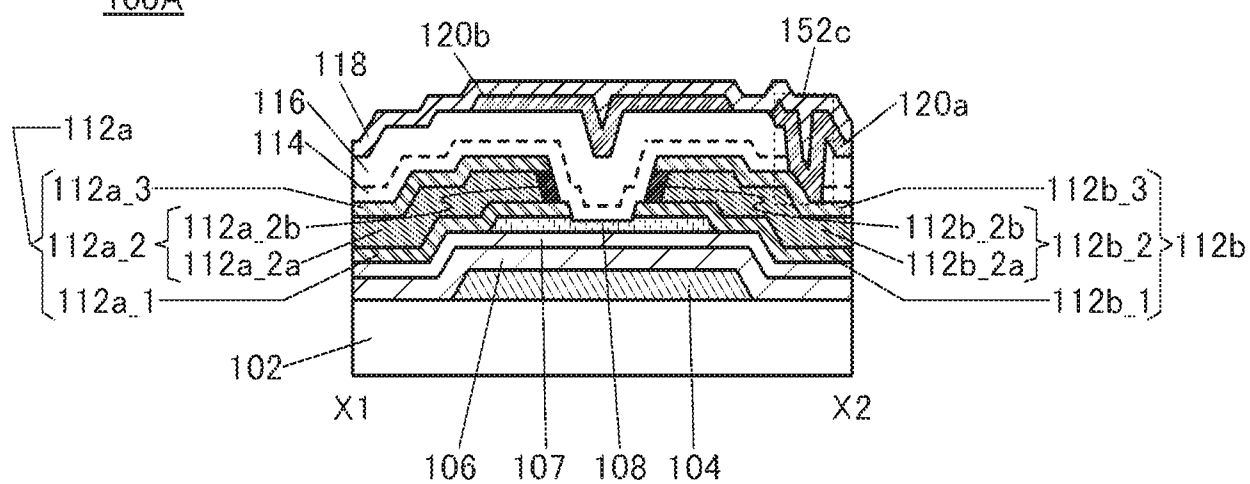
(A)

100A



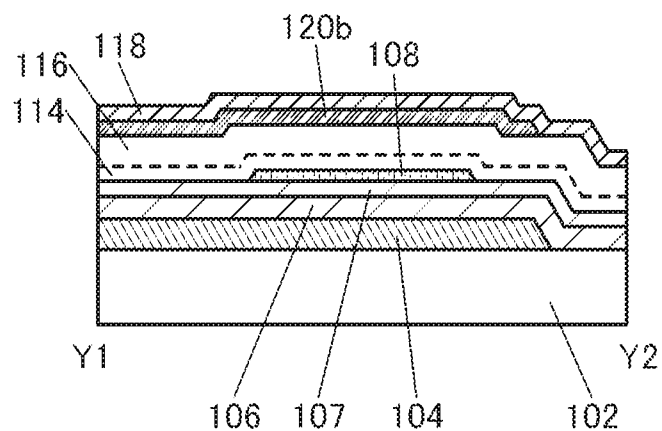
(B)

100A



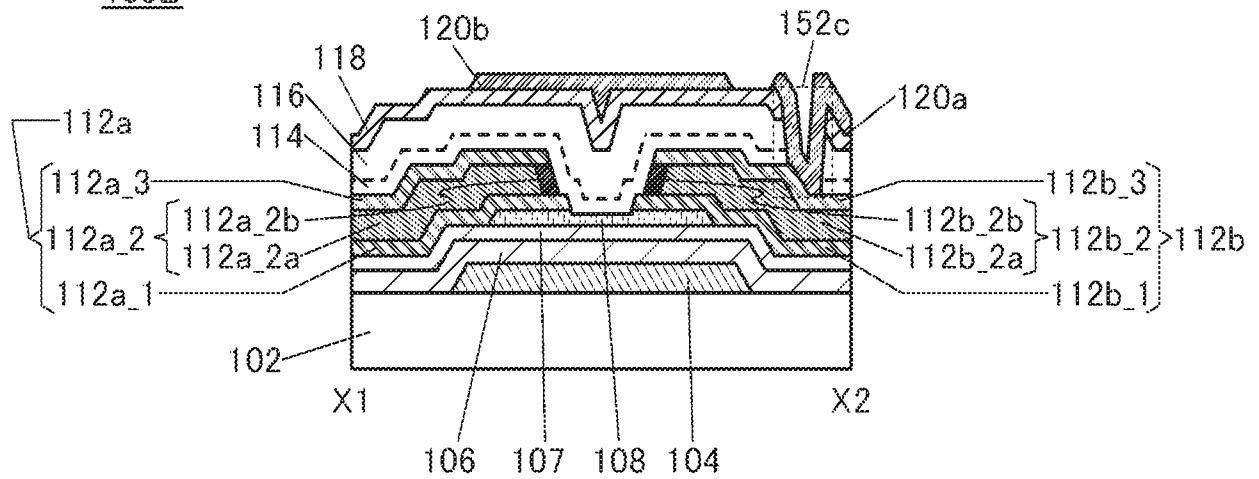
(C)

100A

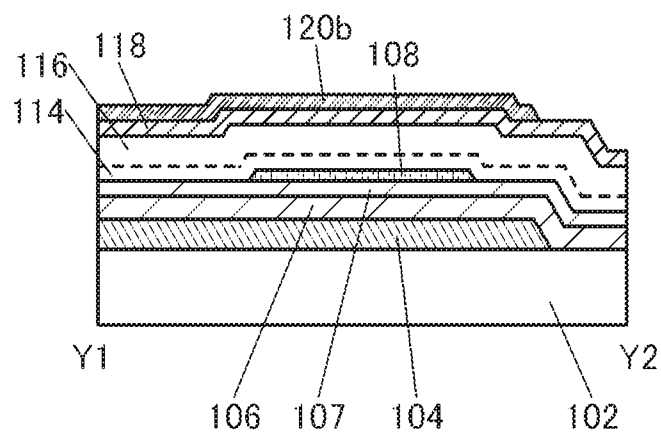


[図03]

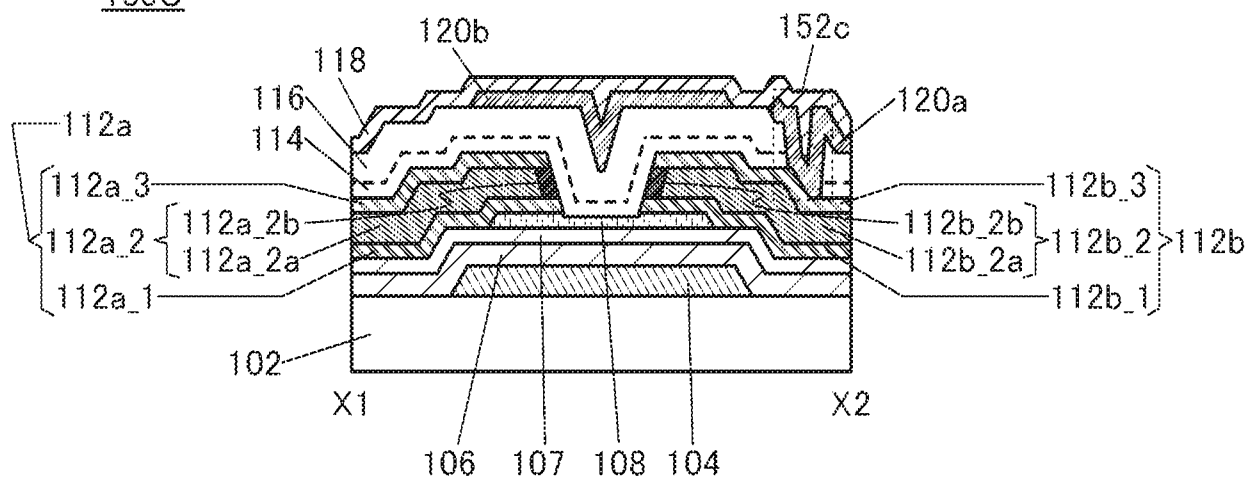
(A)

100B

(B)

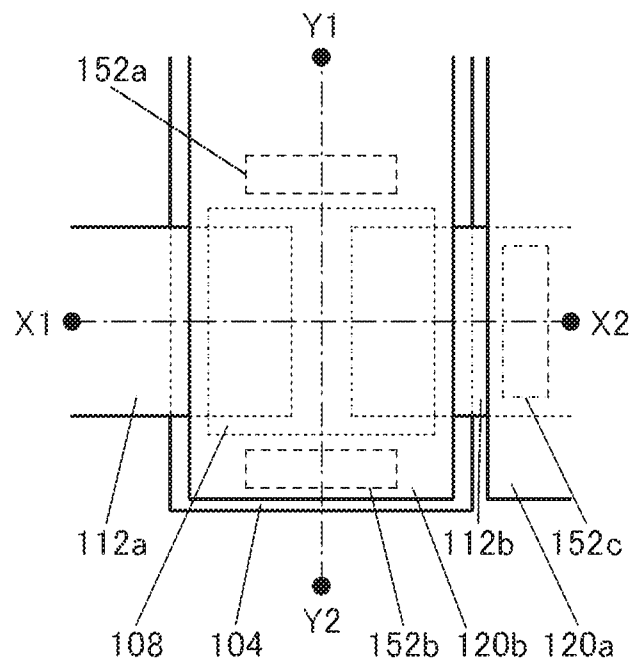
100B

(C)

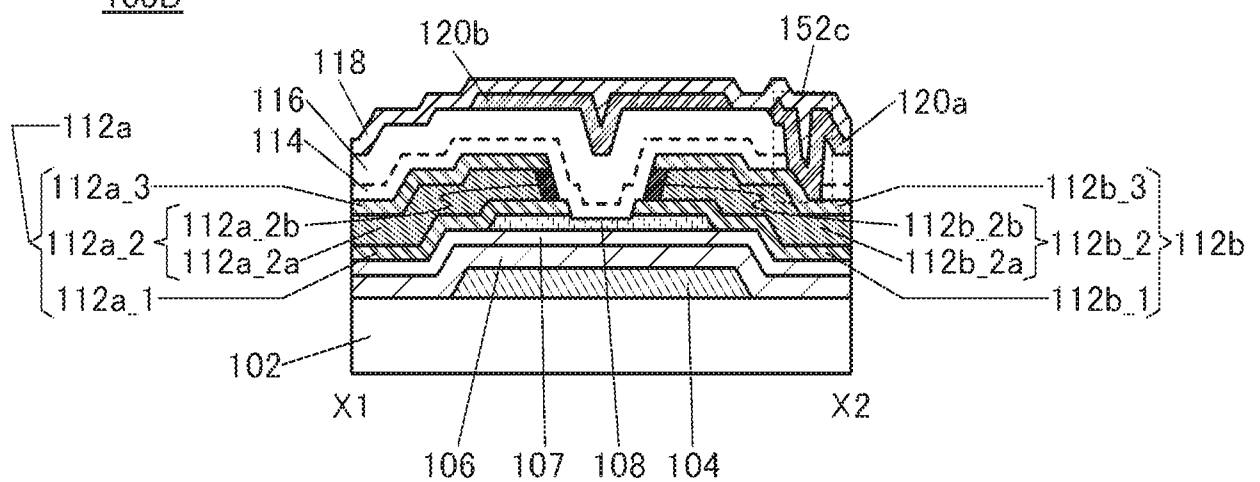
100C

[図04]

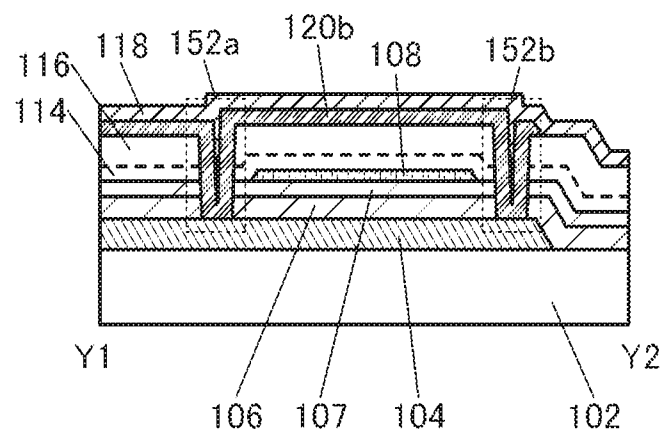
(A)

100D

(B)

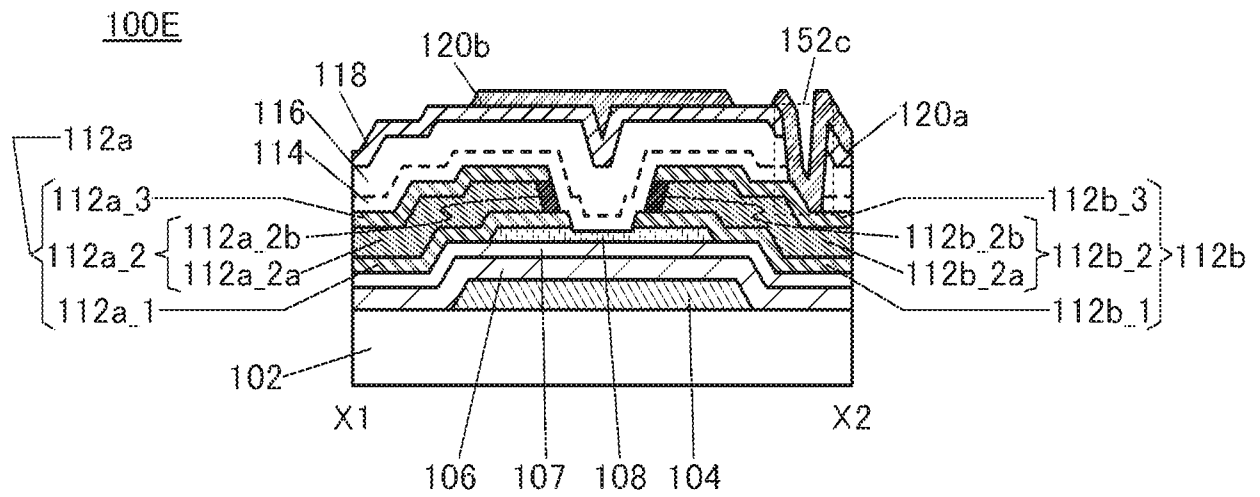
100D

(C)

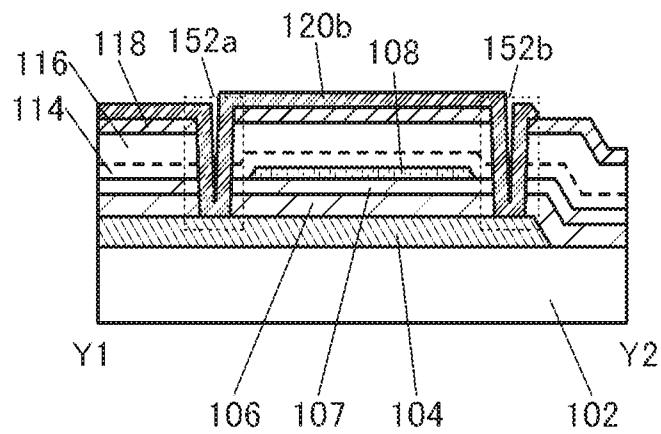
100D

[図05]

(A)



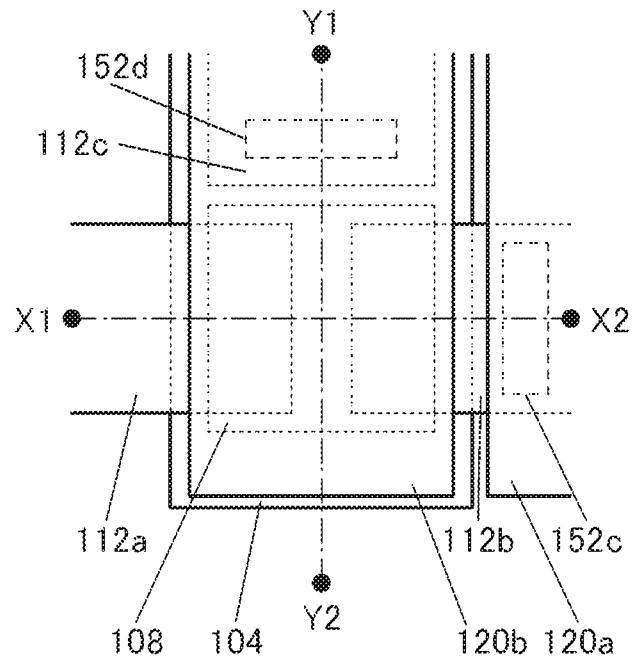
(B)

100E

[义 06]

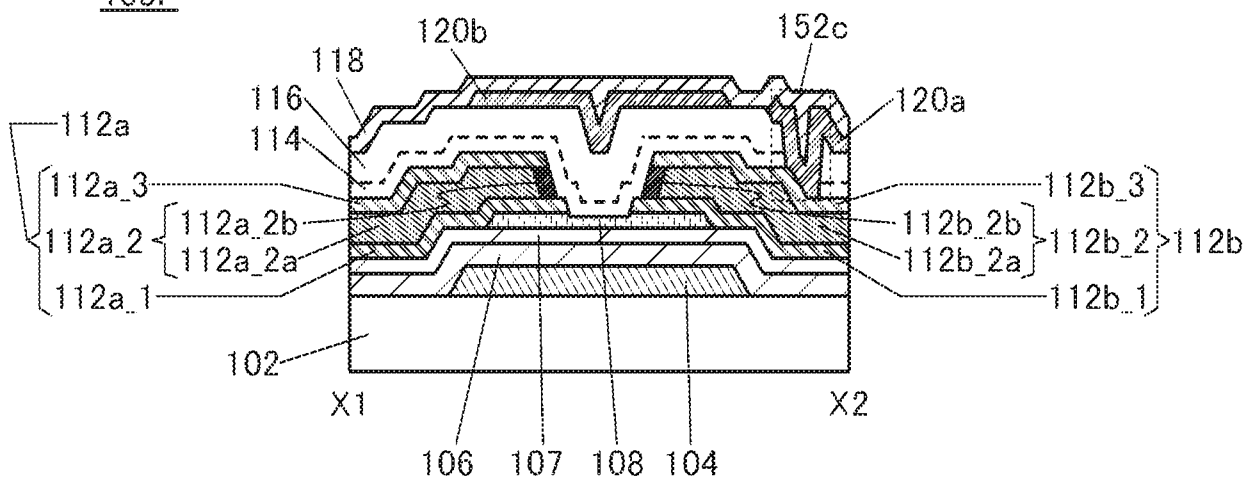
(A)

100F



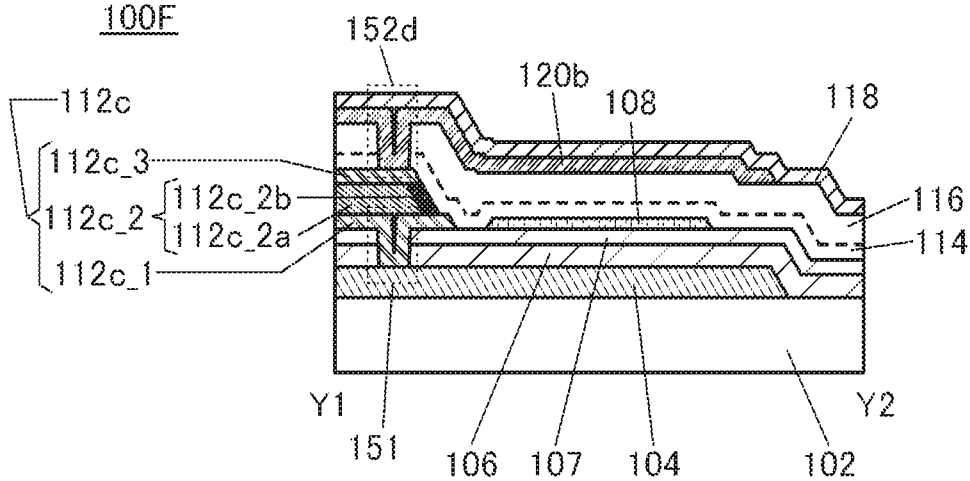
(B)

100F



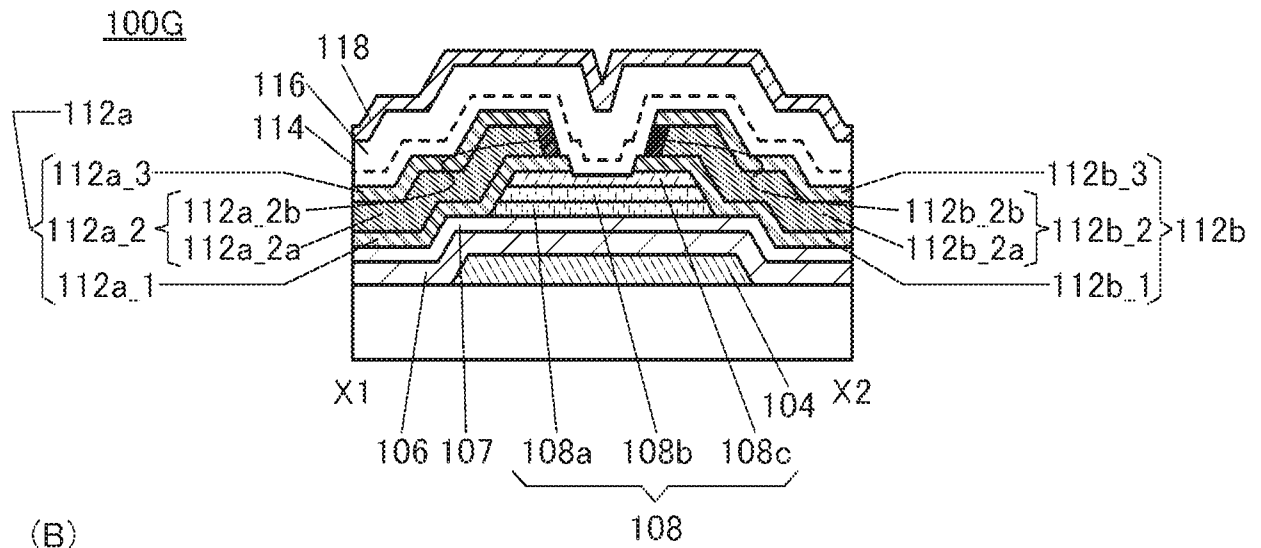
(C)

100F

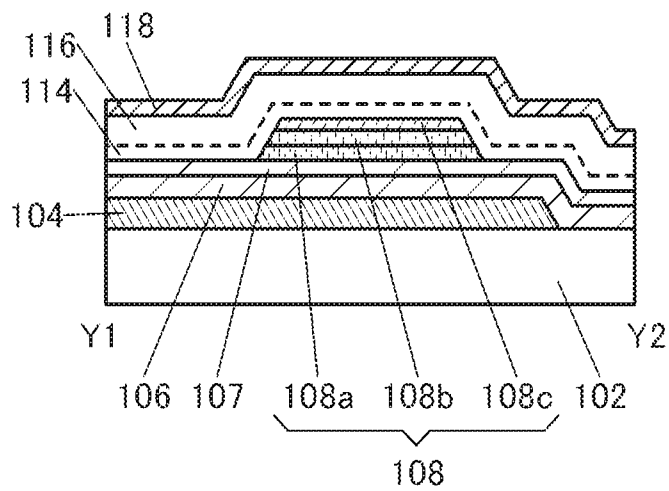


[図07]

(A)

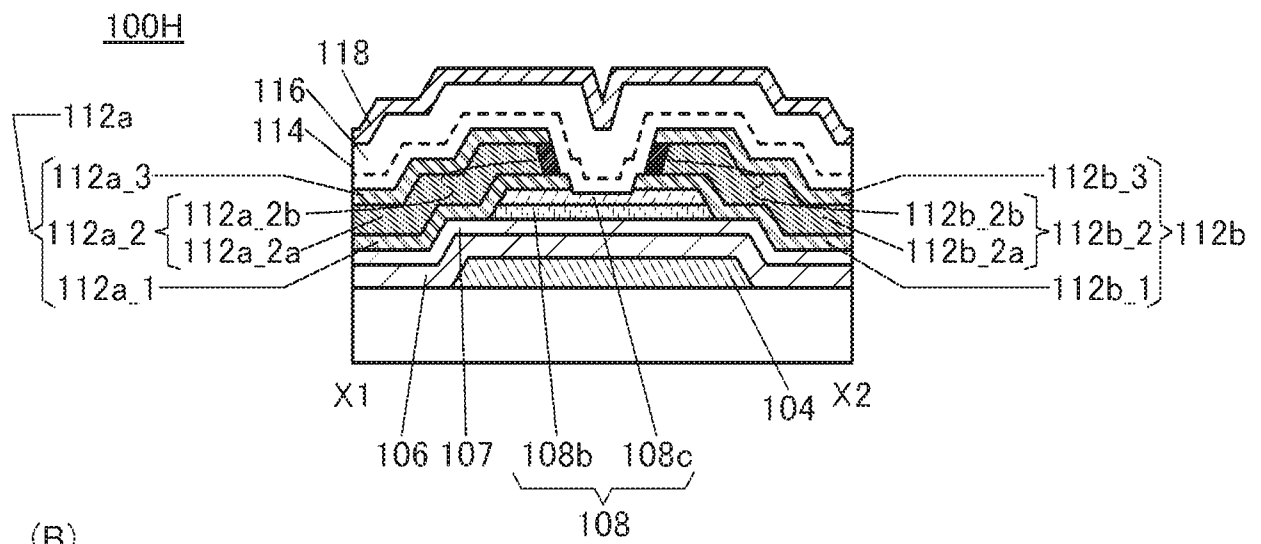


(B)

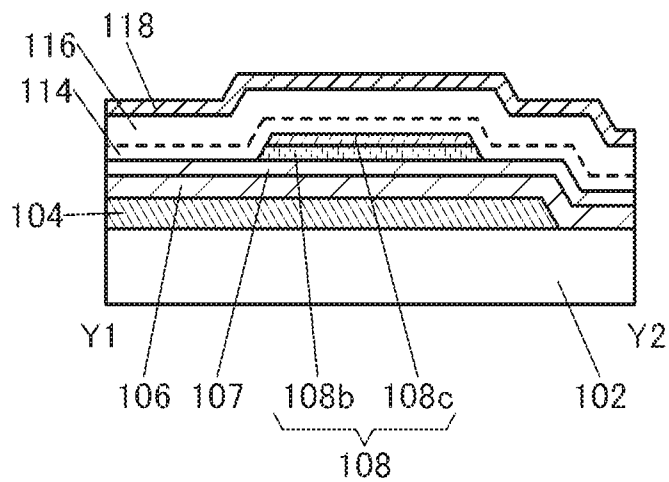
100G

[図08]

(A)

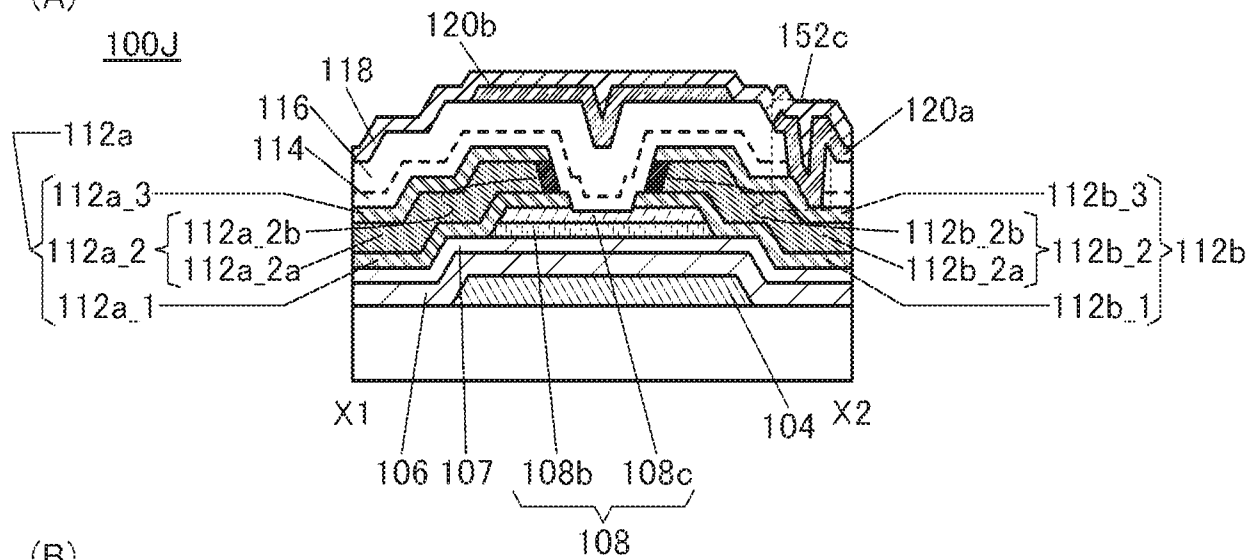


(B)

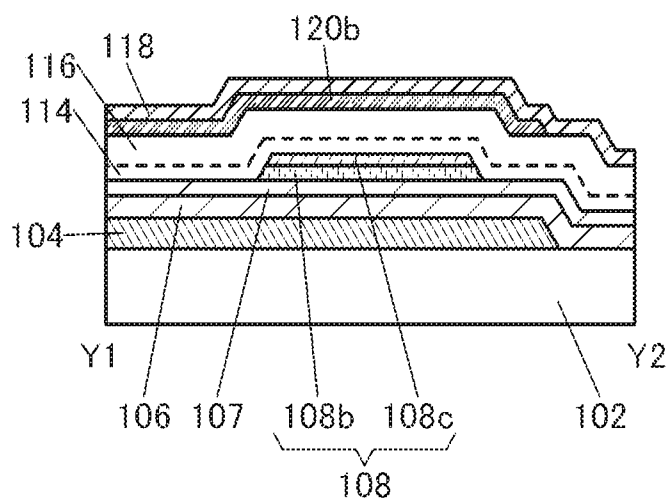
100H

[図09]

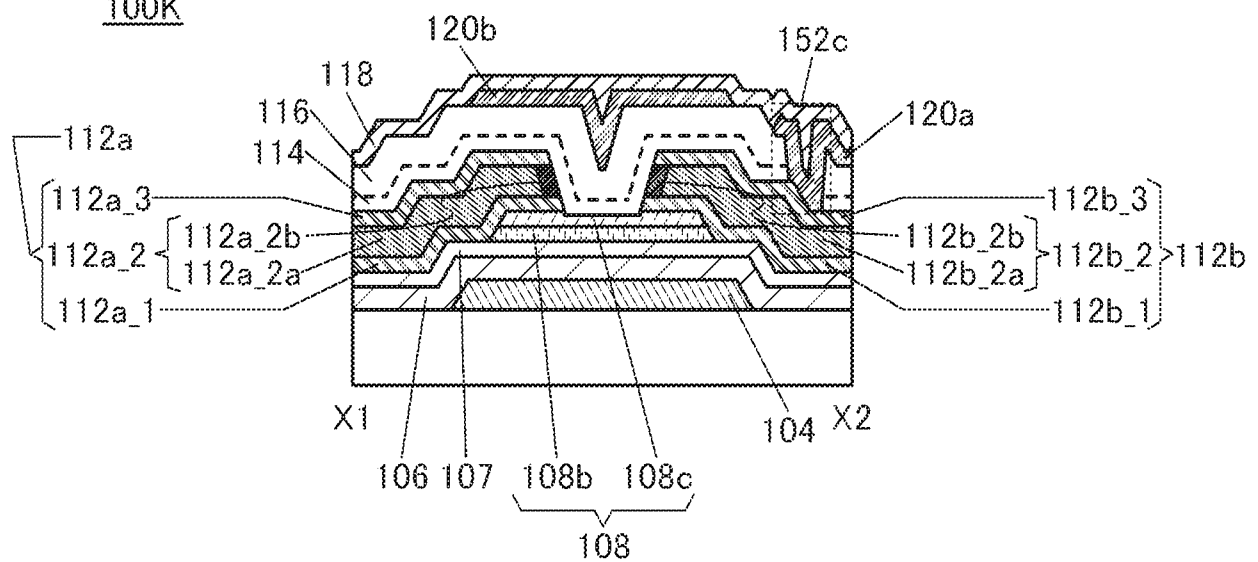
(A)



(B)

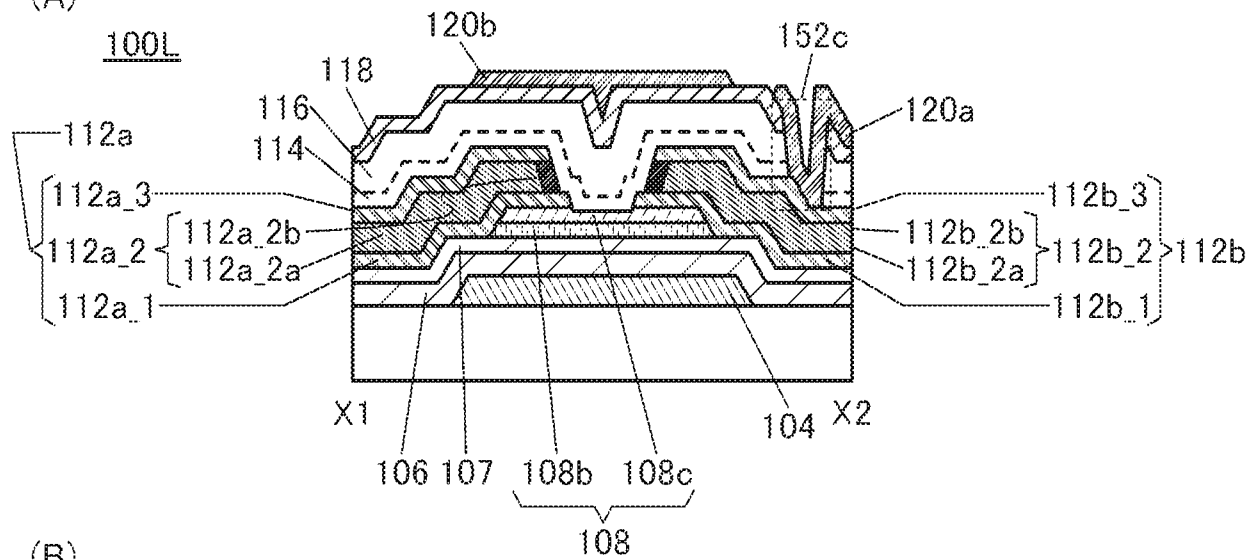
100J

(C)

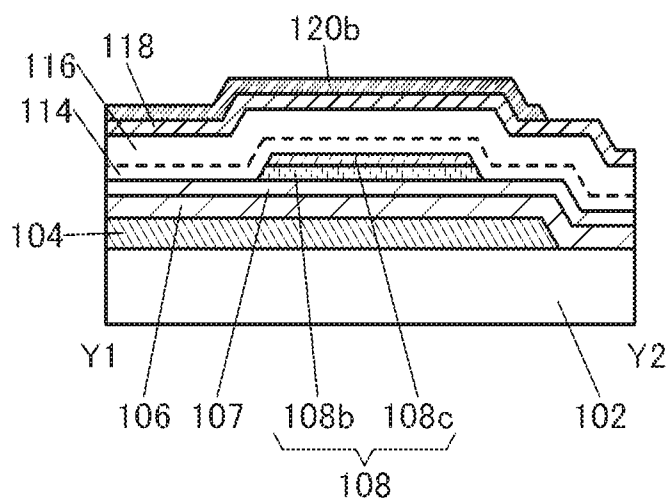
100K

[図10]

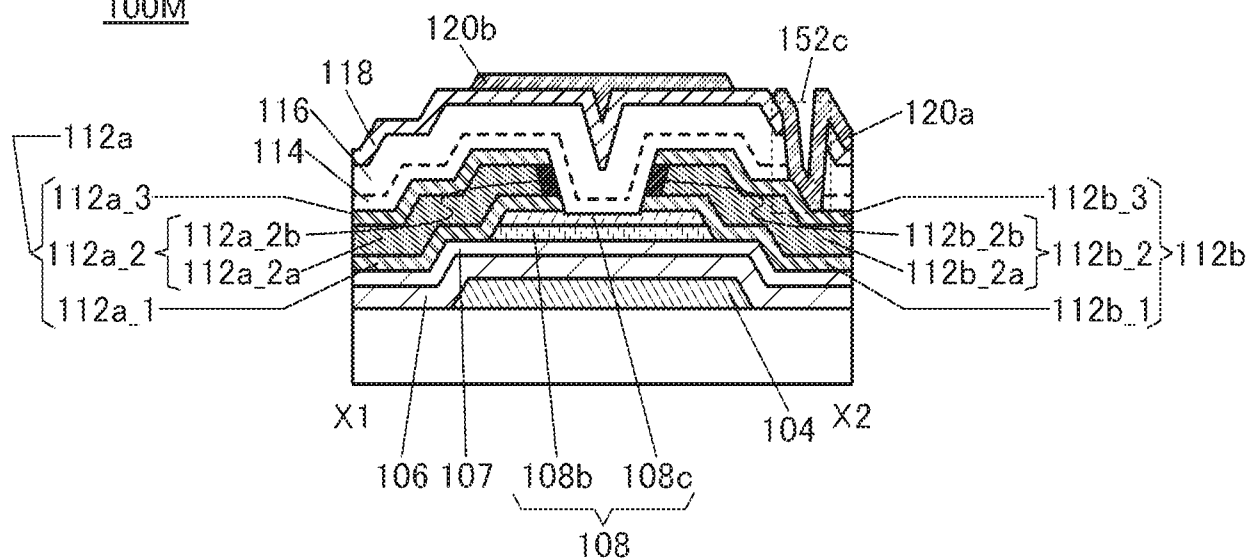
(A)



(B)

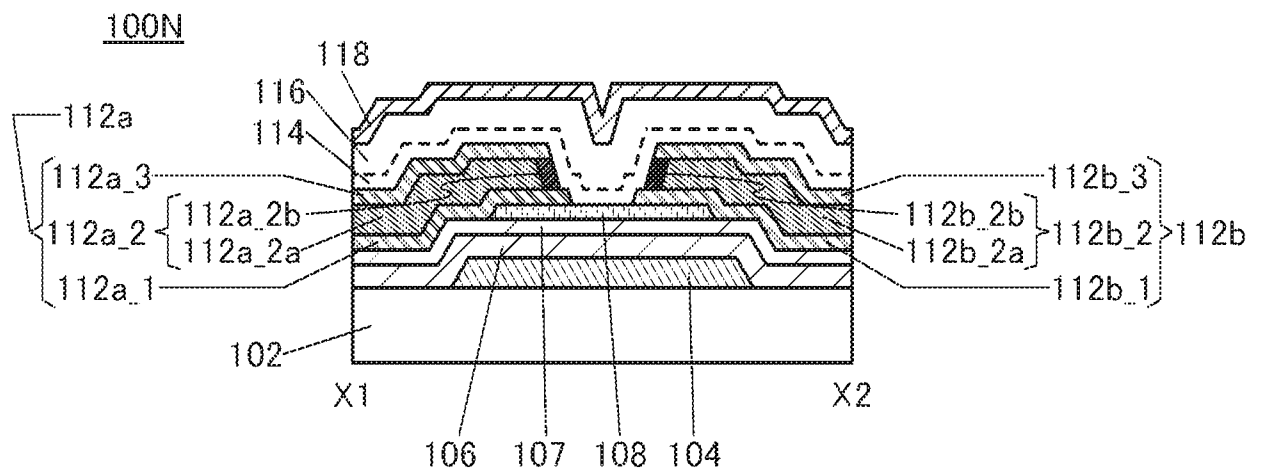
100L

(C)

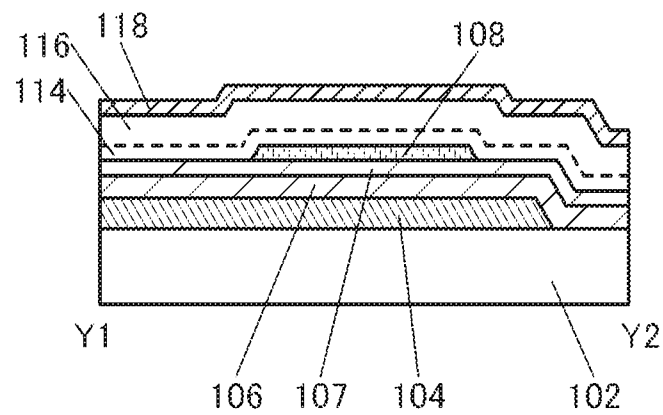
100M

[図 11]

(A)



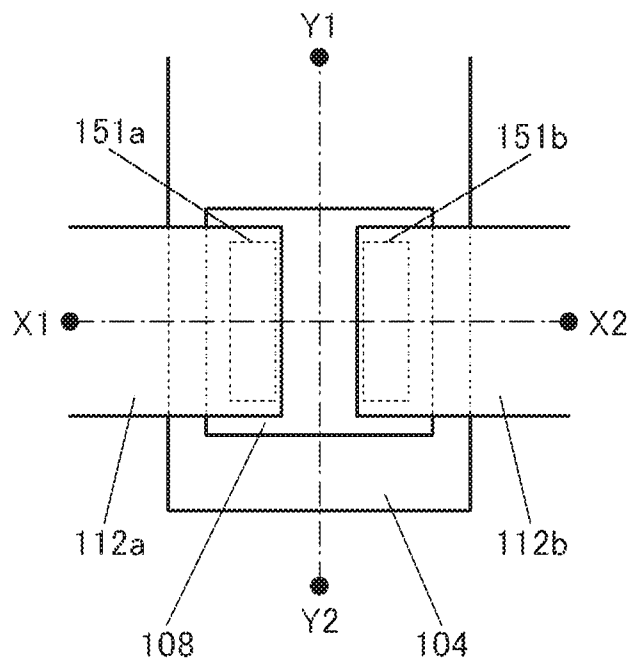
(B)

100N

[圖 12]

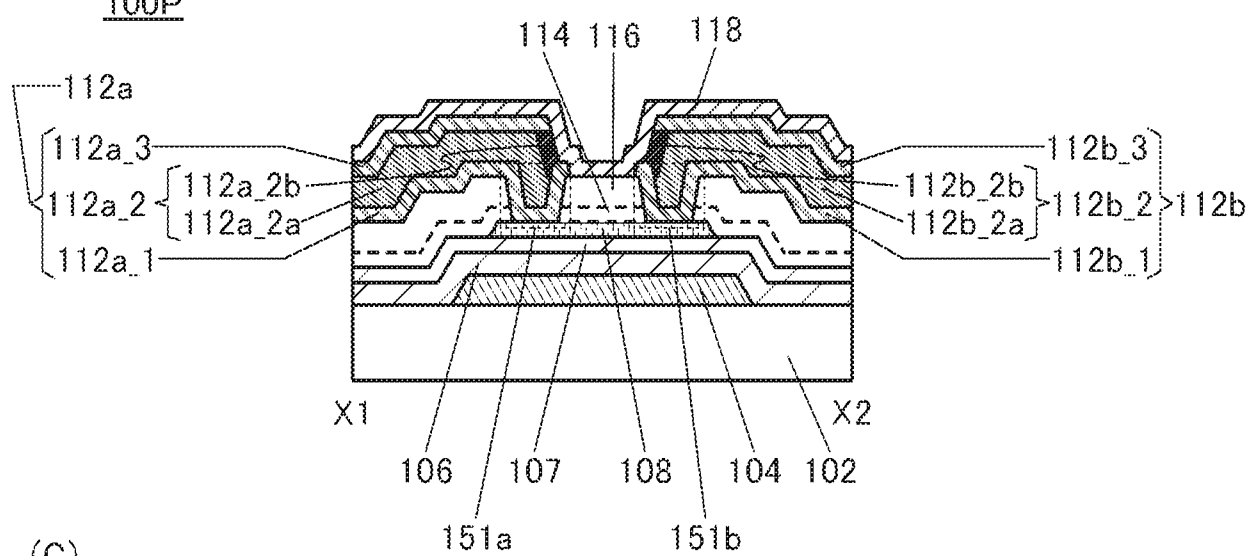
(A)

100P



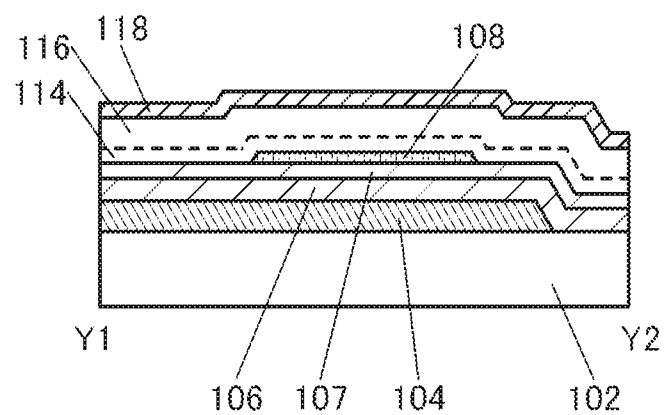
(B)

100P



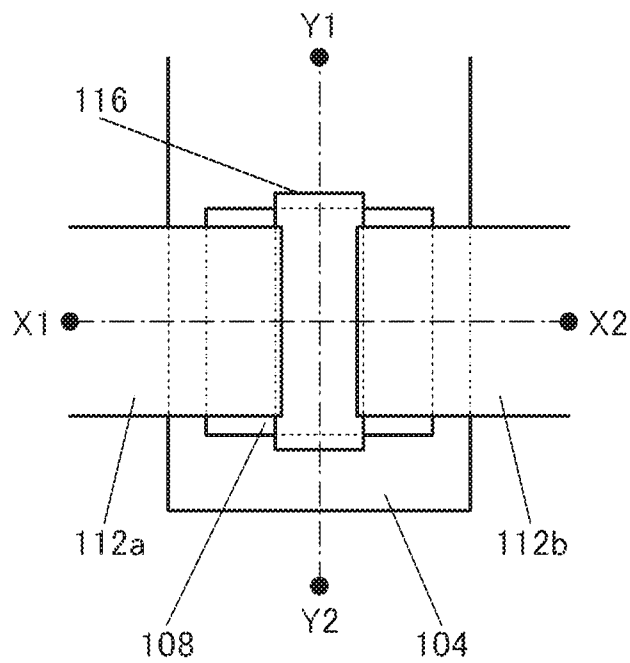
(C)

100P

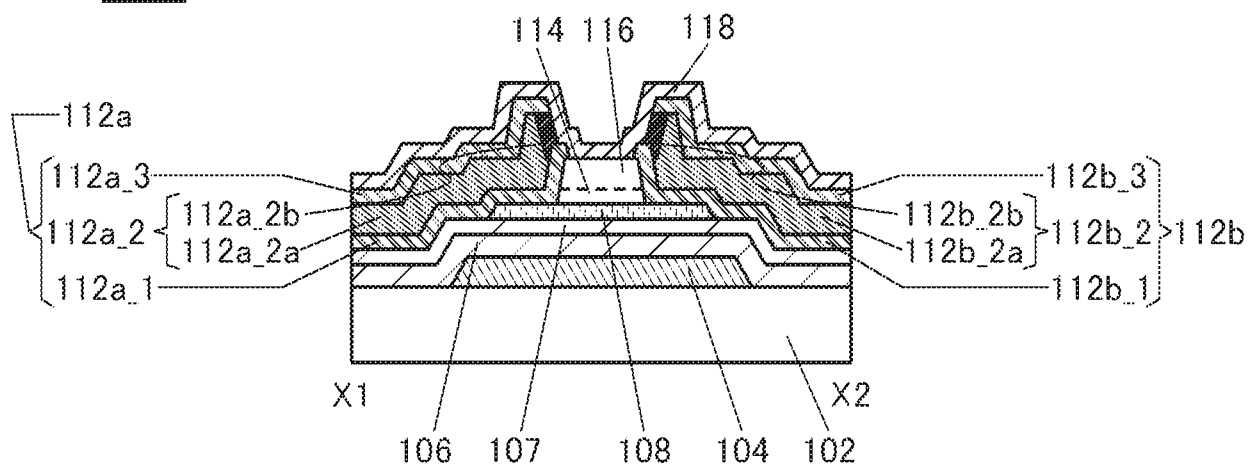


[図13]

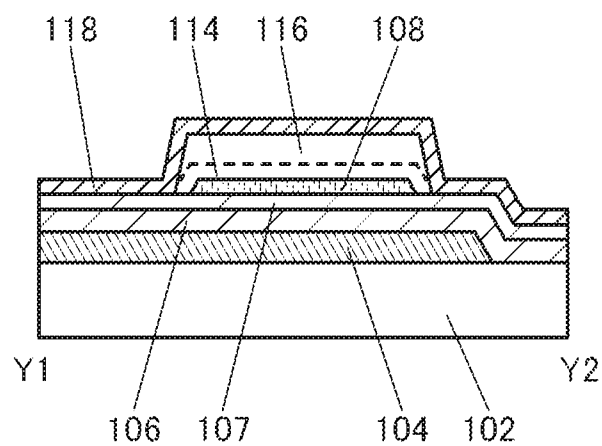
(A)

100Q

(B)

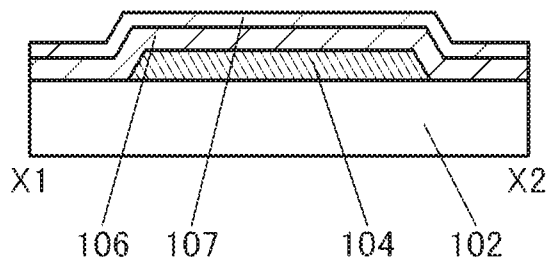
100Q

(C)

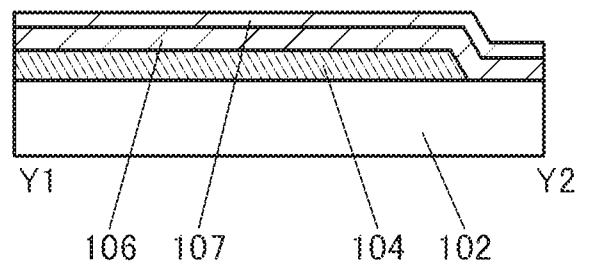
100Q

[図 14]

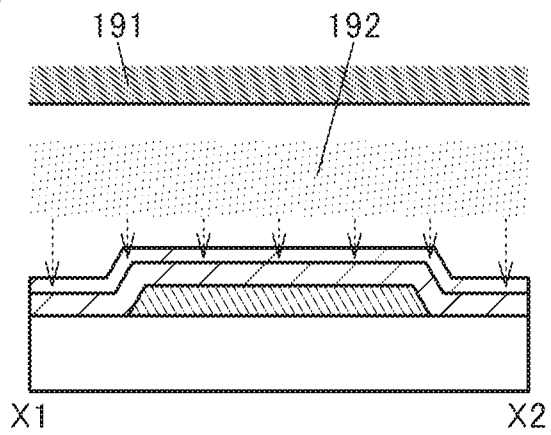
(A)



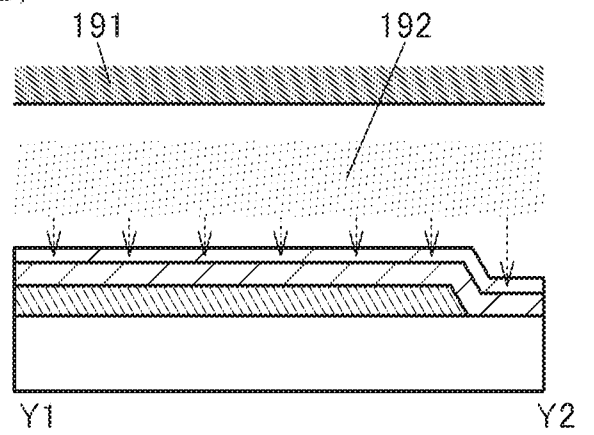
(B)



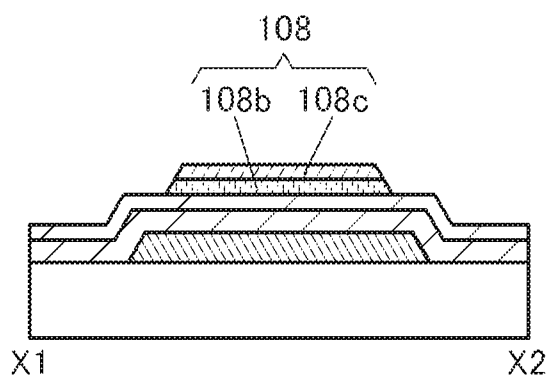
(C)



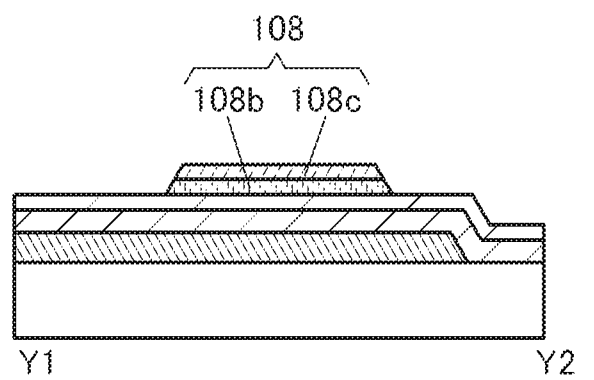
(D)



(E)

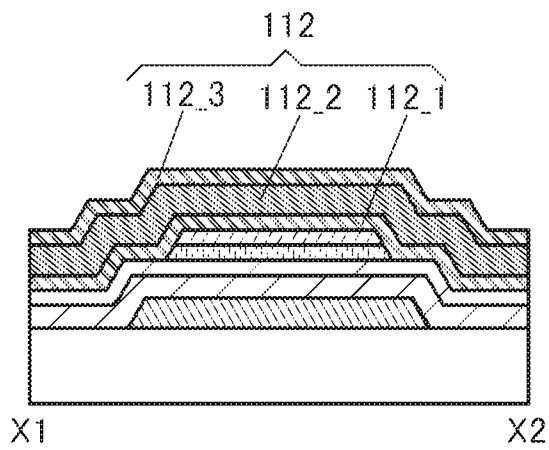


(F)

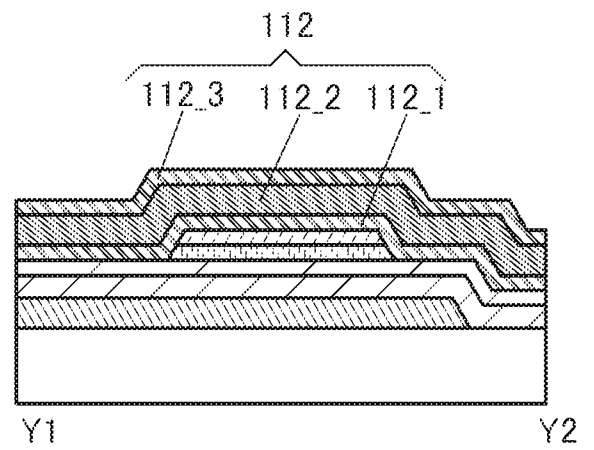


[図15]

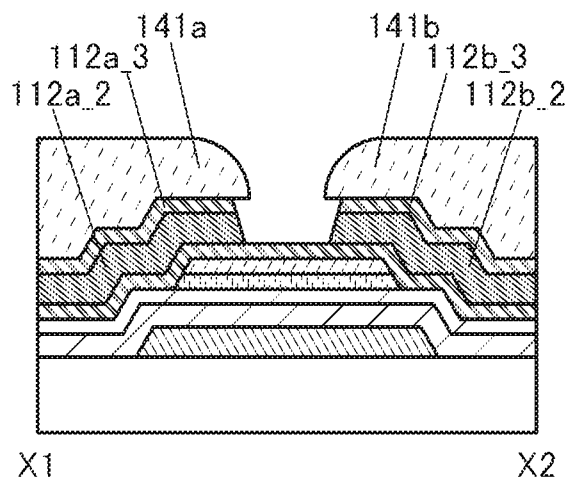
(A)



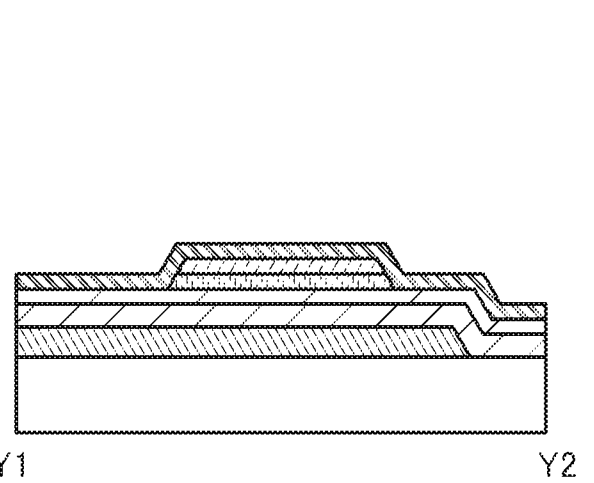
(B)



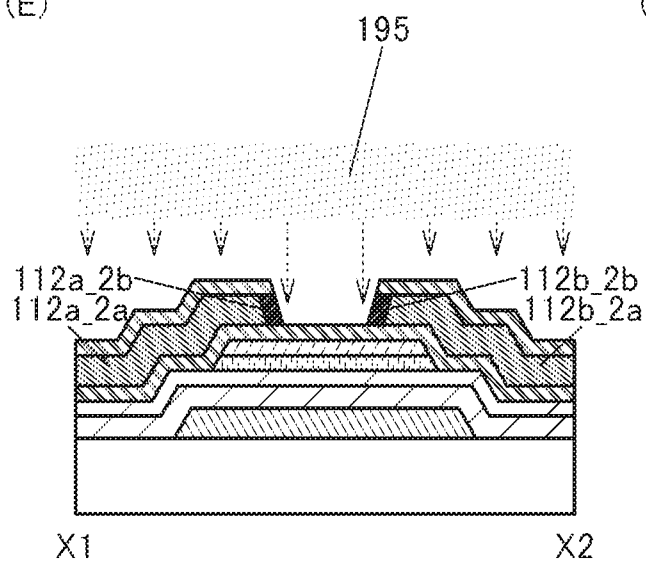
(C)



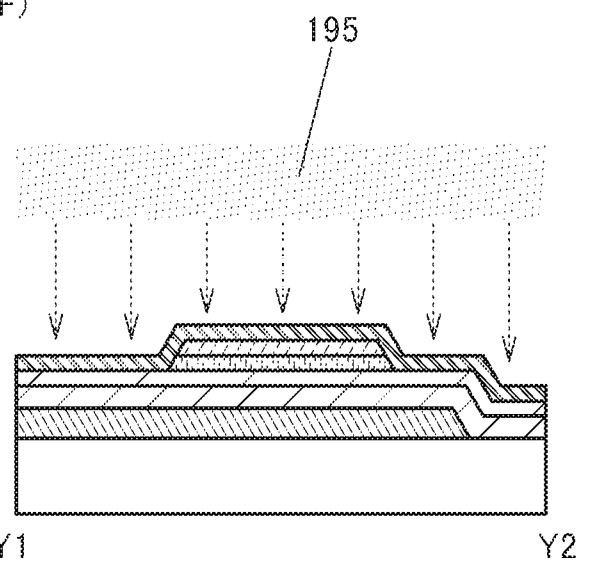
(D)



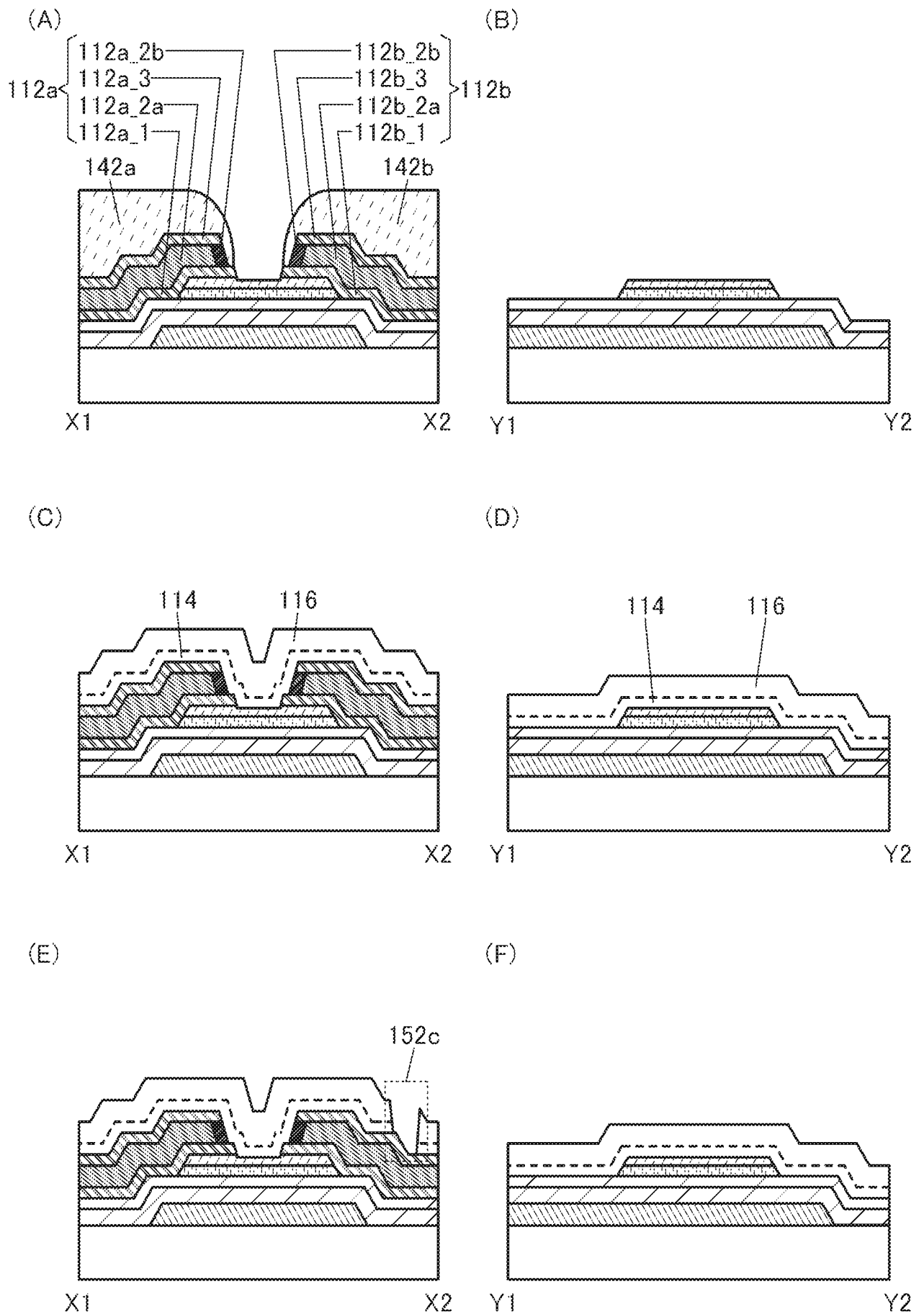
(E)



(F)

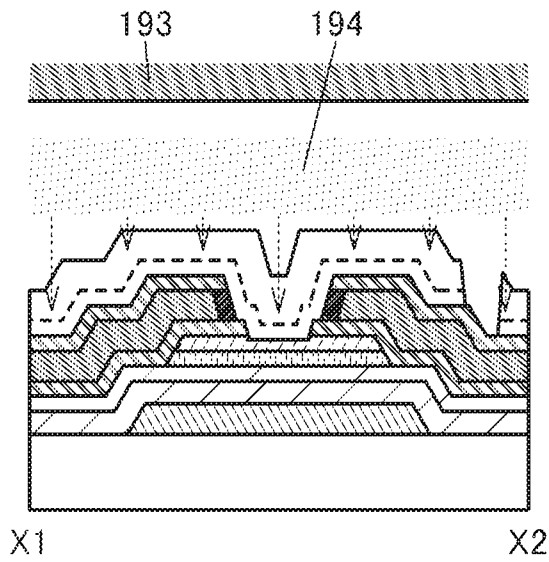


[図16]

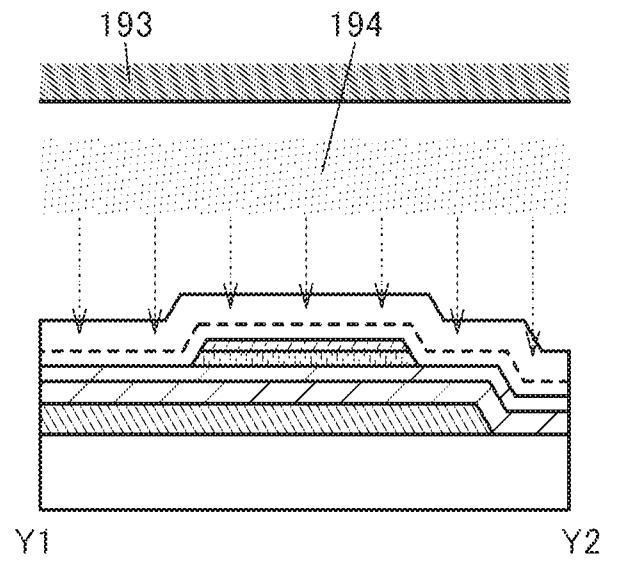


[図 17]

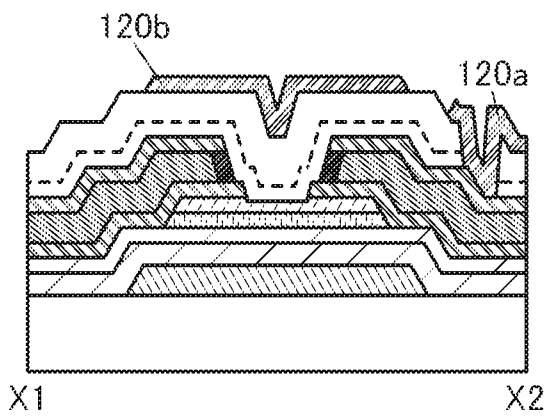
(A)



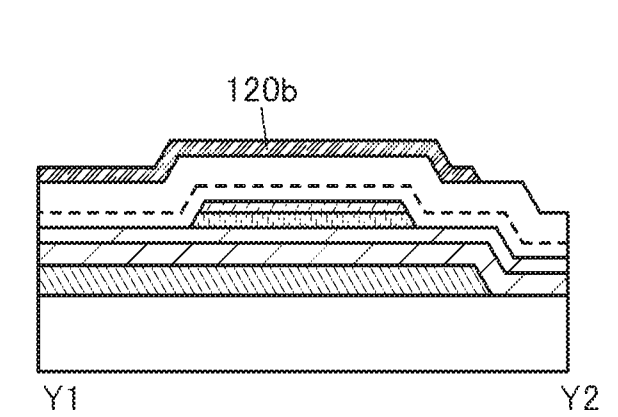
(B)



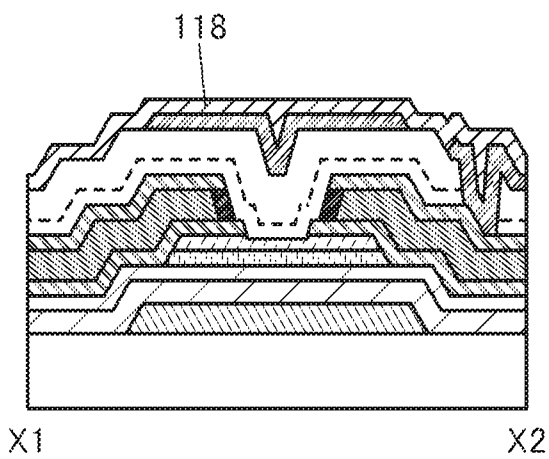
(C)



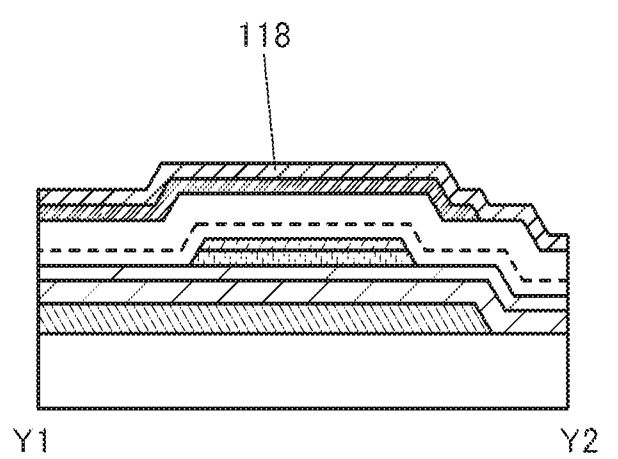
(D)



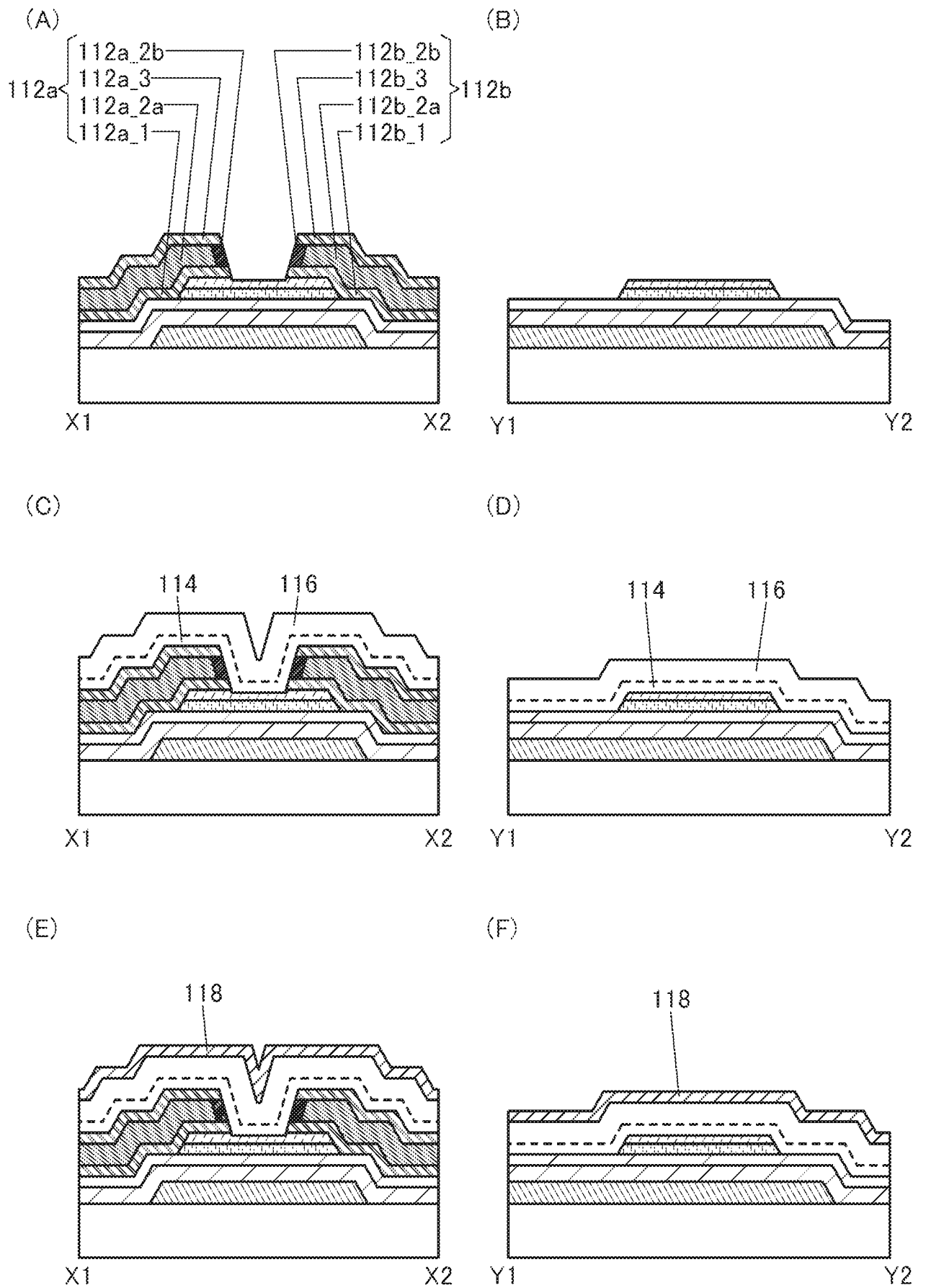
(E)



(F)

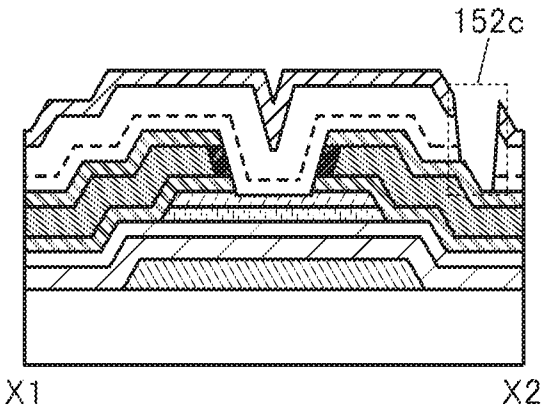


[図18]

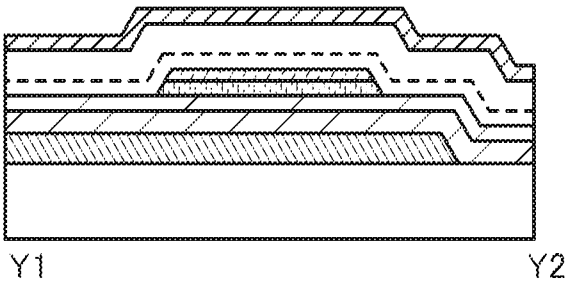


[図 19]

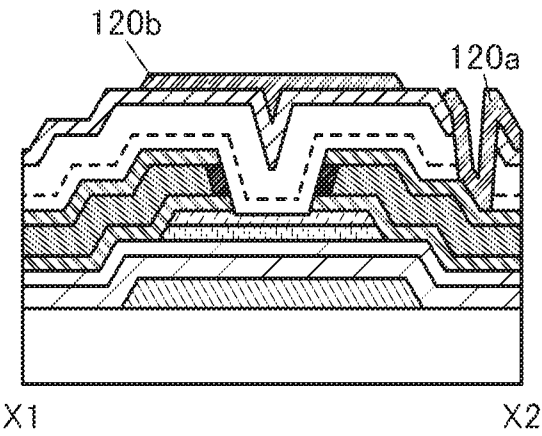
(A)



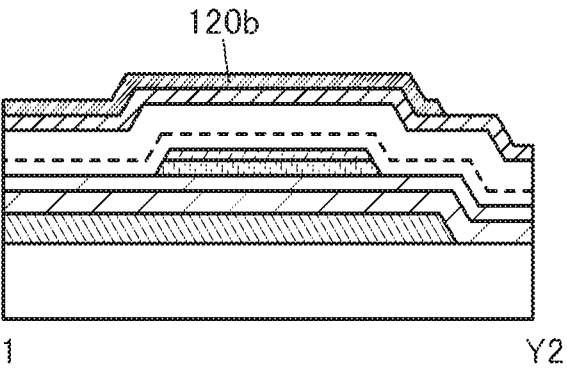
(B)



(C)

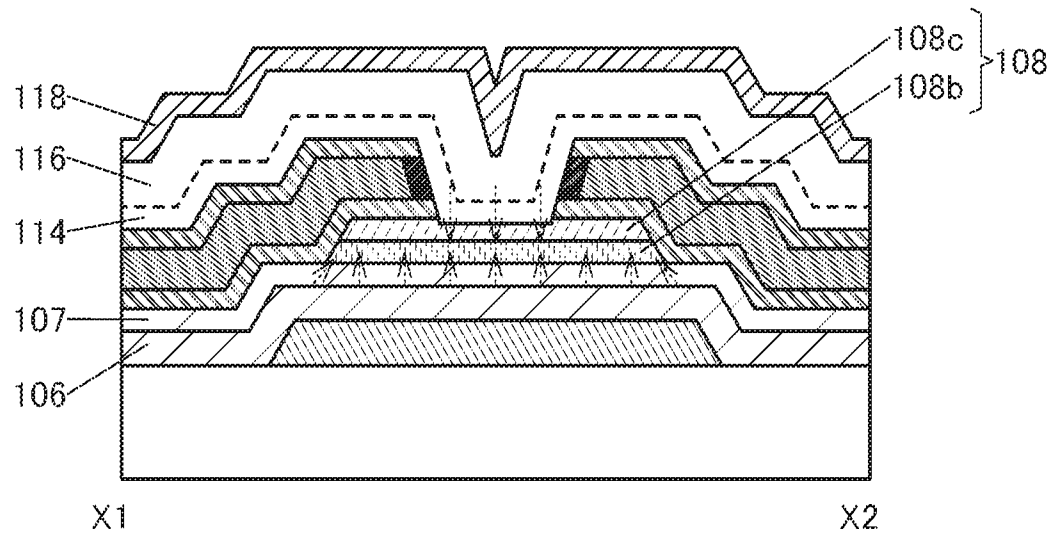


(D)

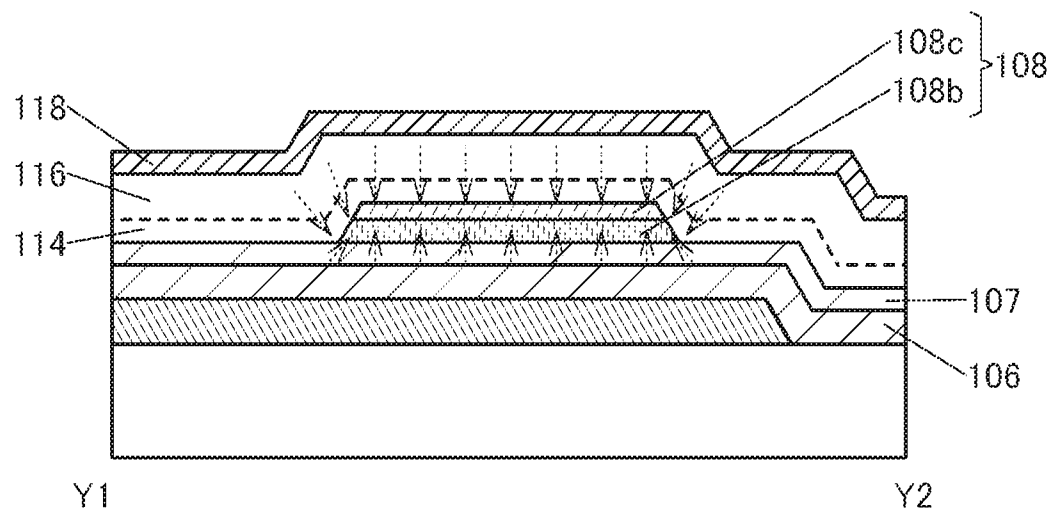


[図20]

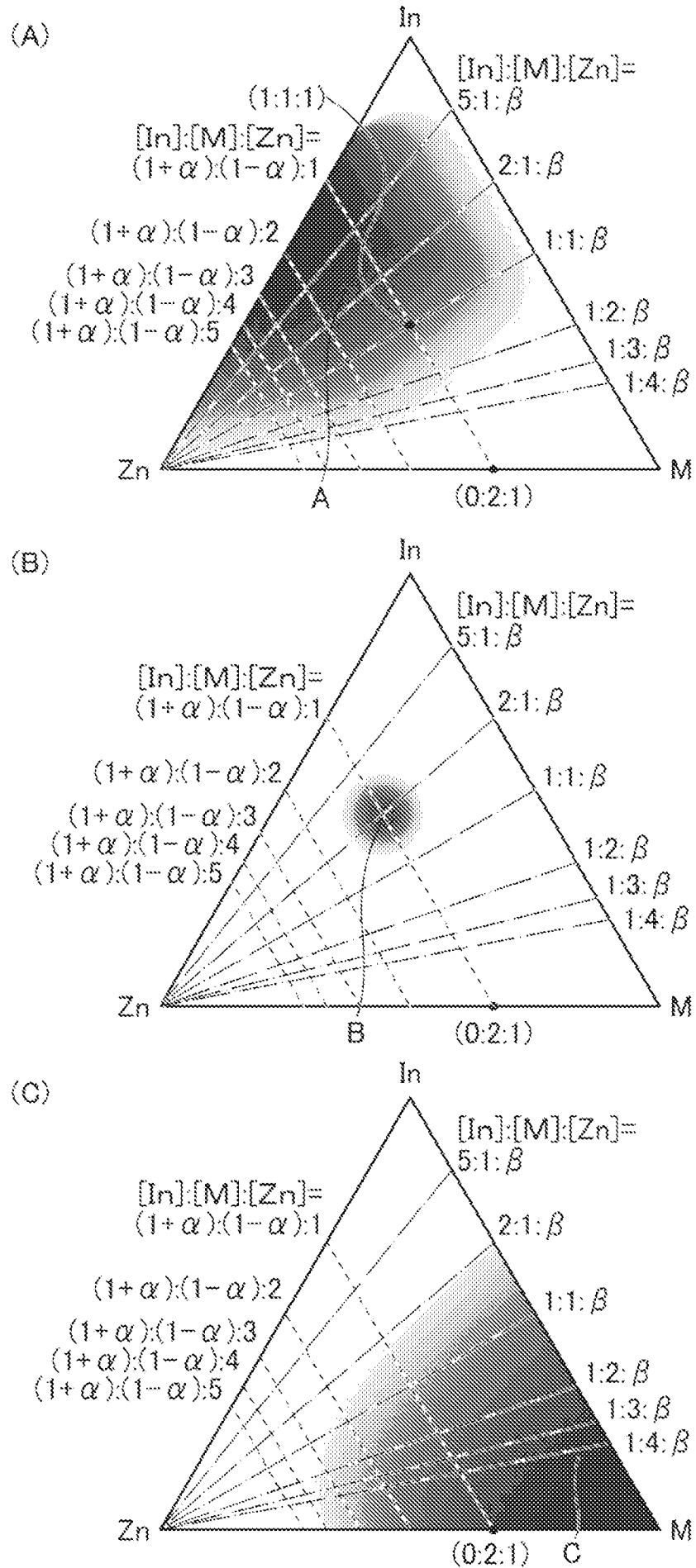
(A)



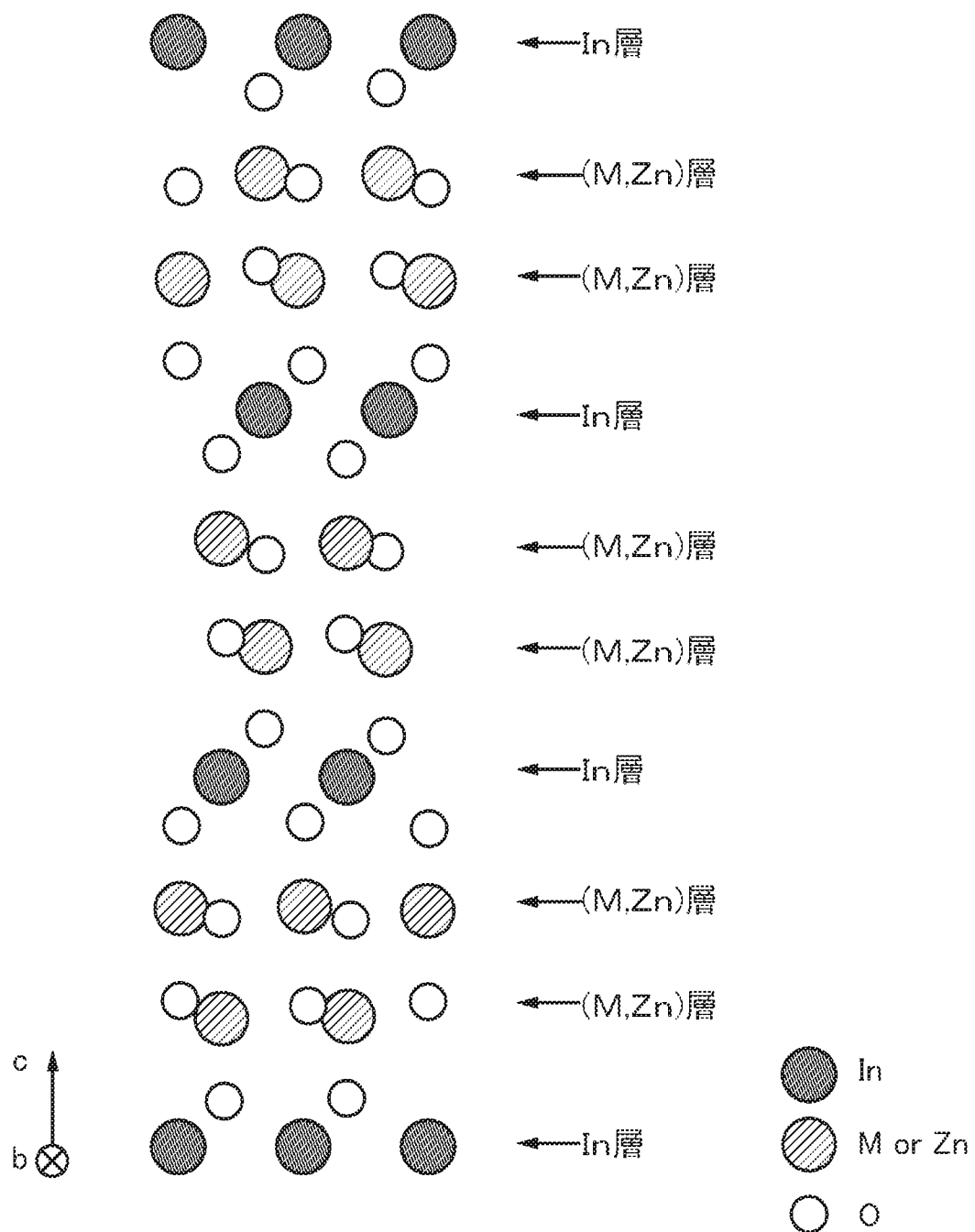
(B)



[図21]

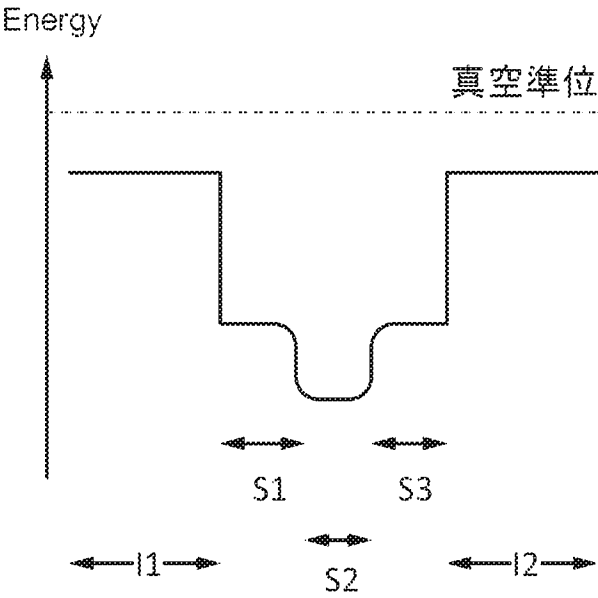


[図22]

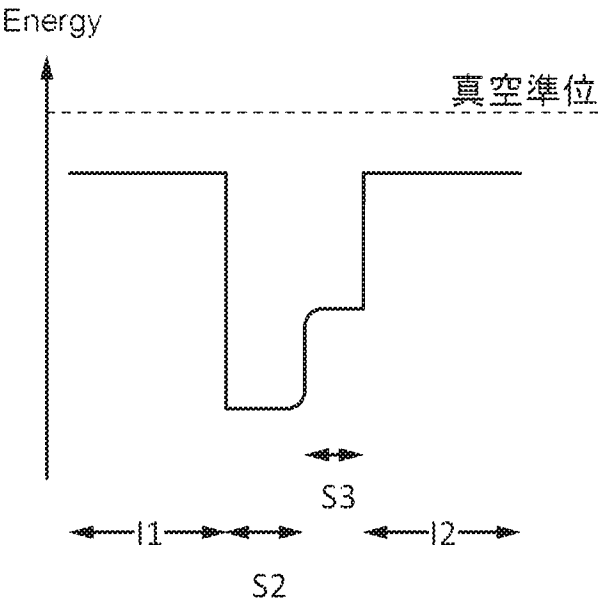
InM₂ZnO₄の結晶構造

[図23]

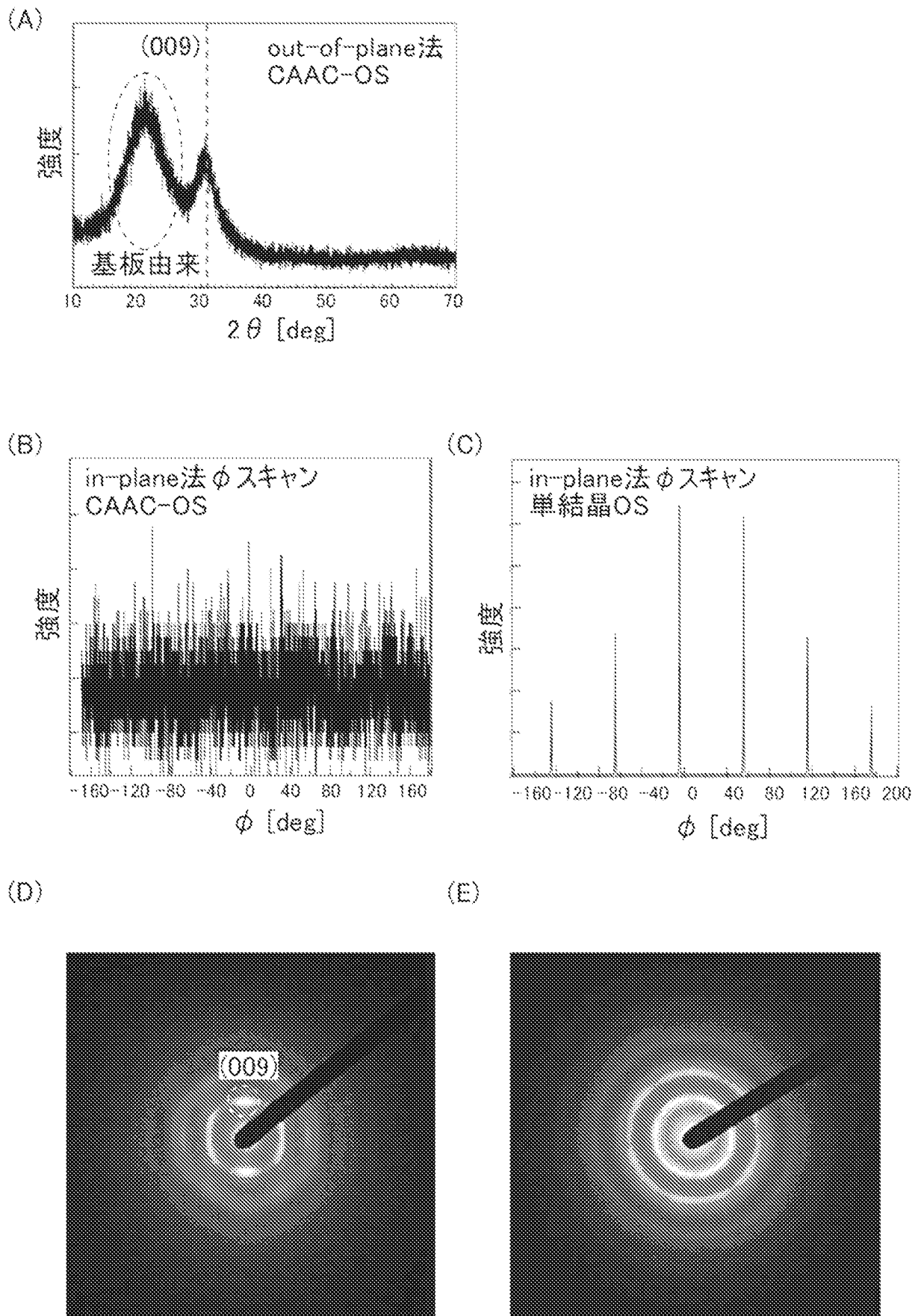
(A)



(B)

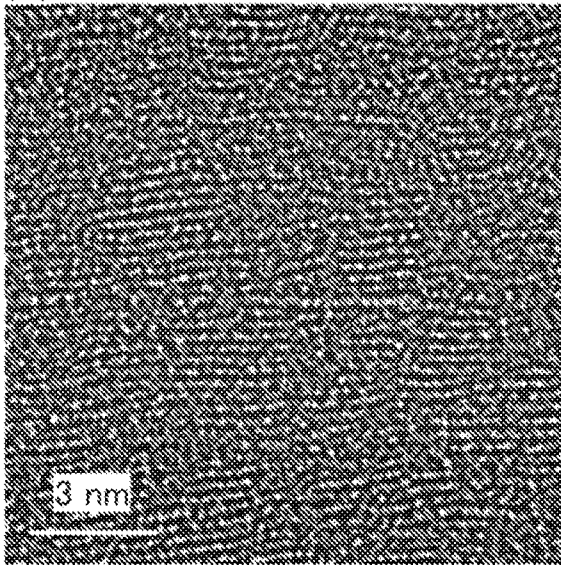


[図24]

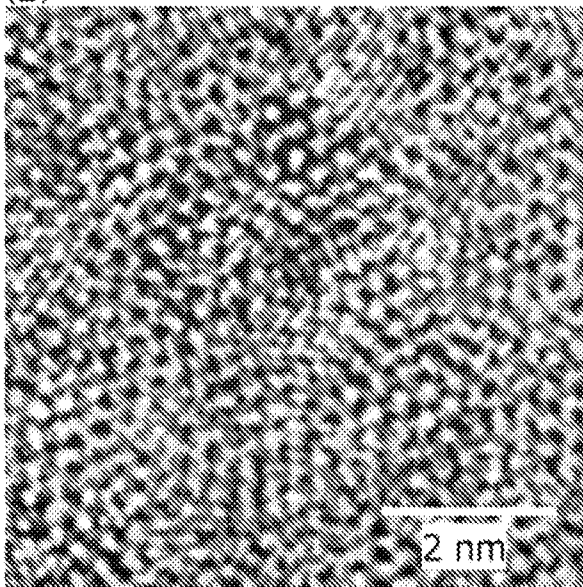


[ 25]

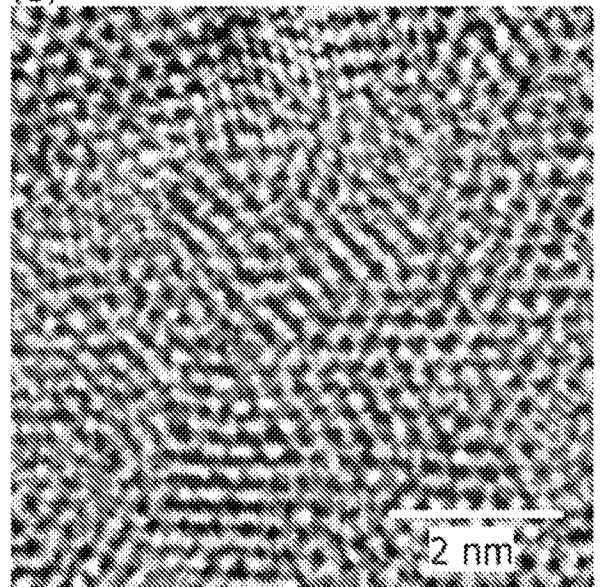
(A)



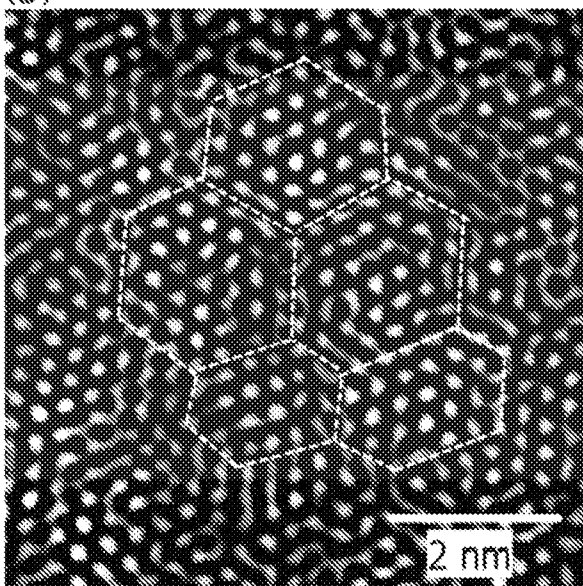
(B)



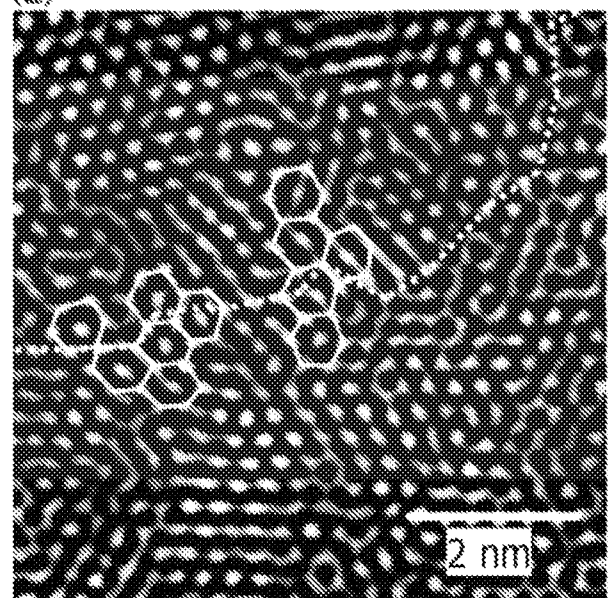
(C)



(D)

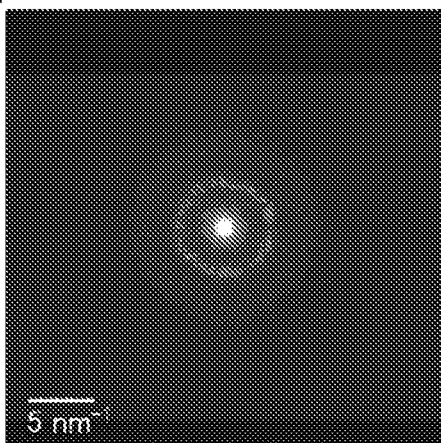


(E)

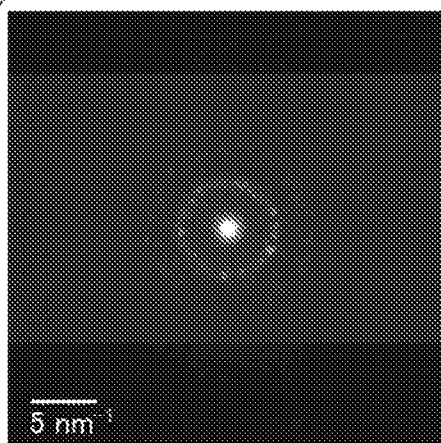


[ 26]

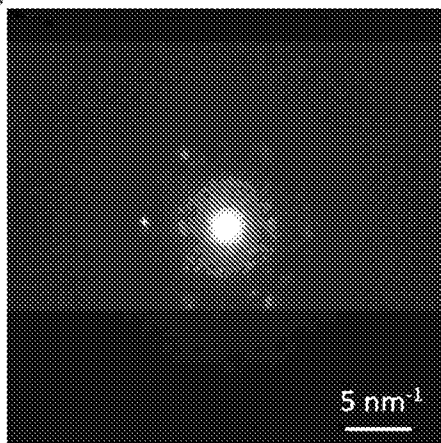
(A)



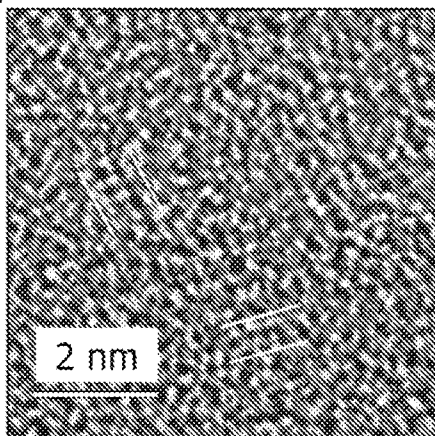
(B)



(C)

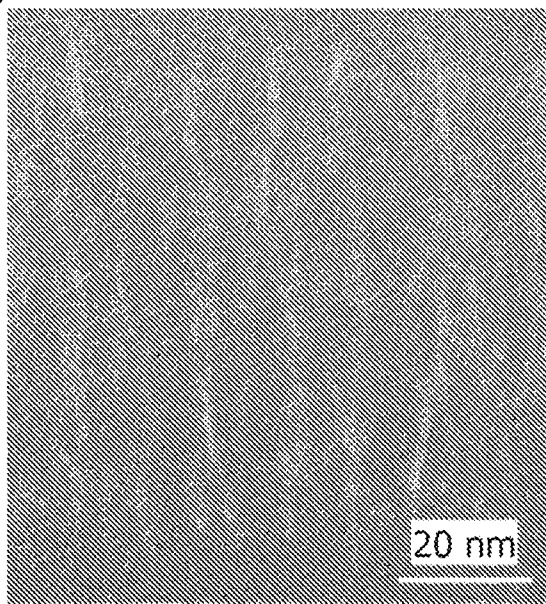


(D)

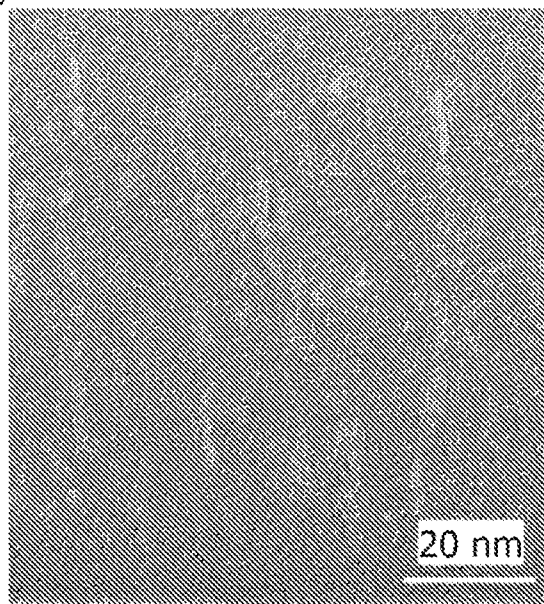


[図27]

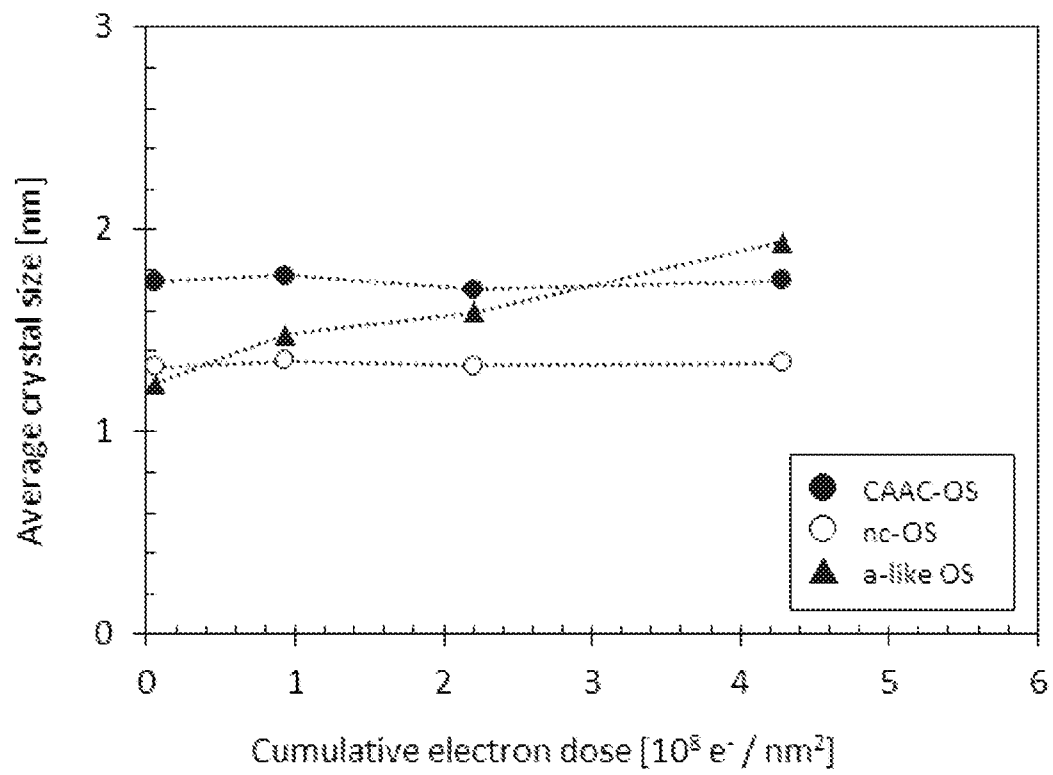
(A)



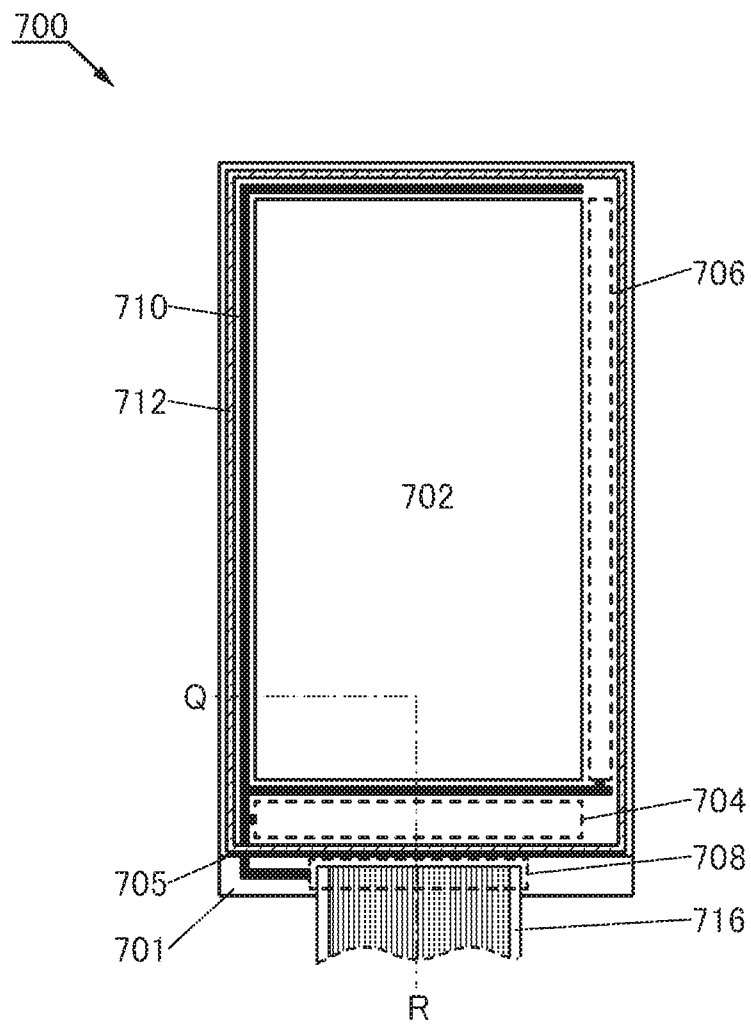
(B)



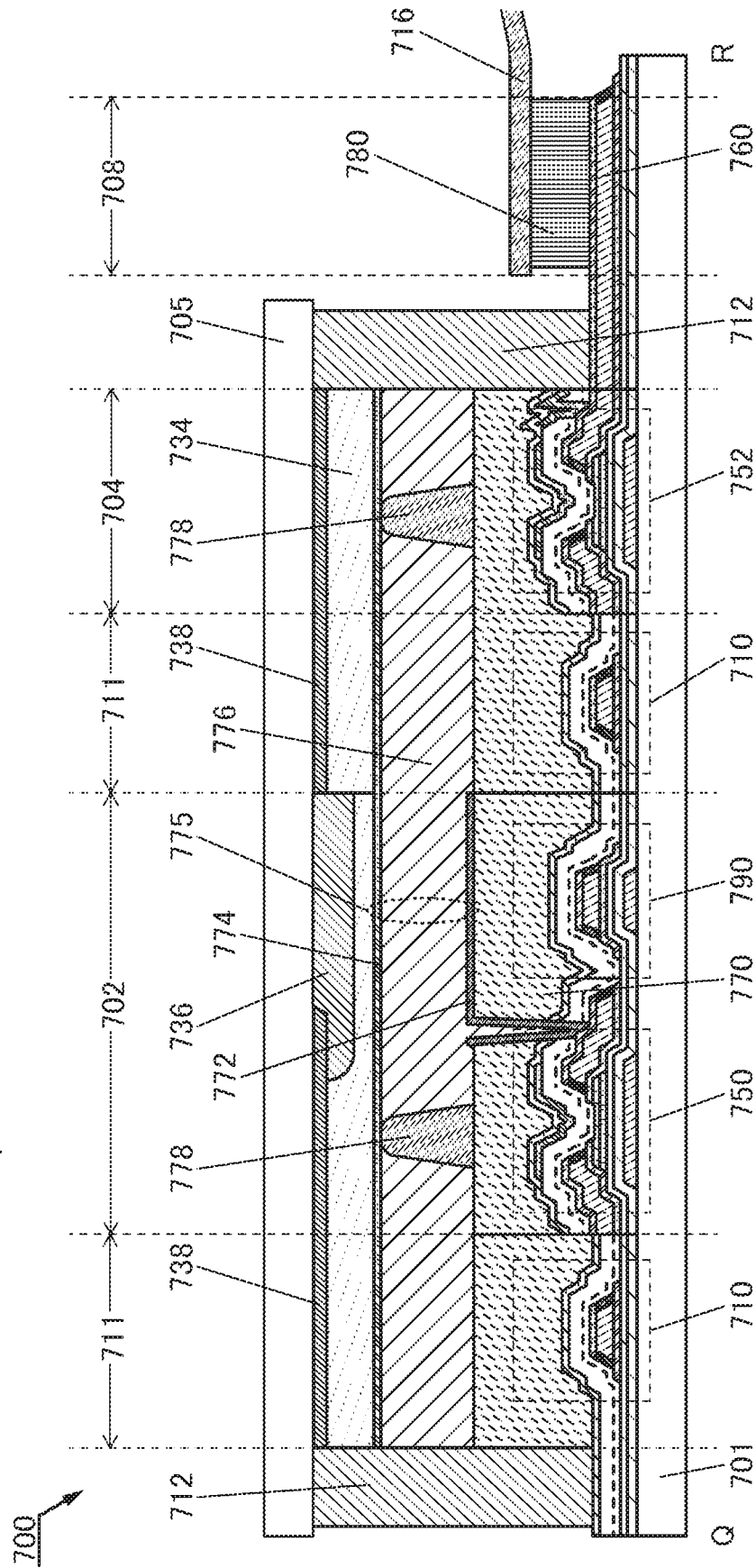
[図28]

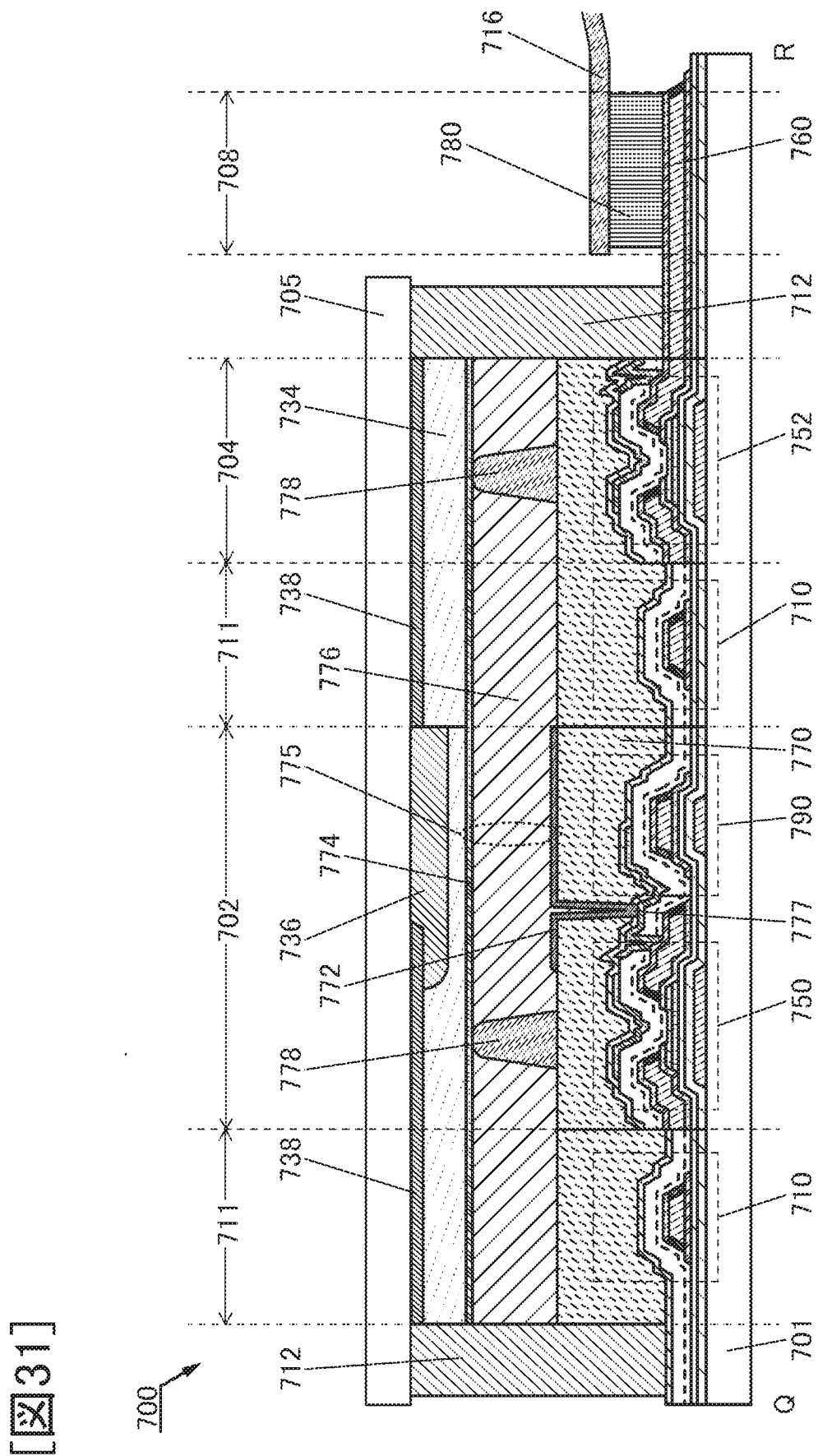


[図29]

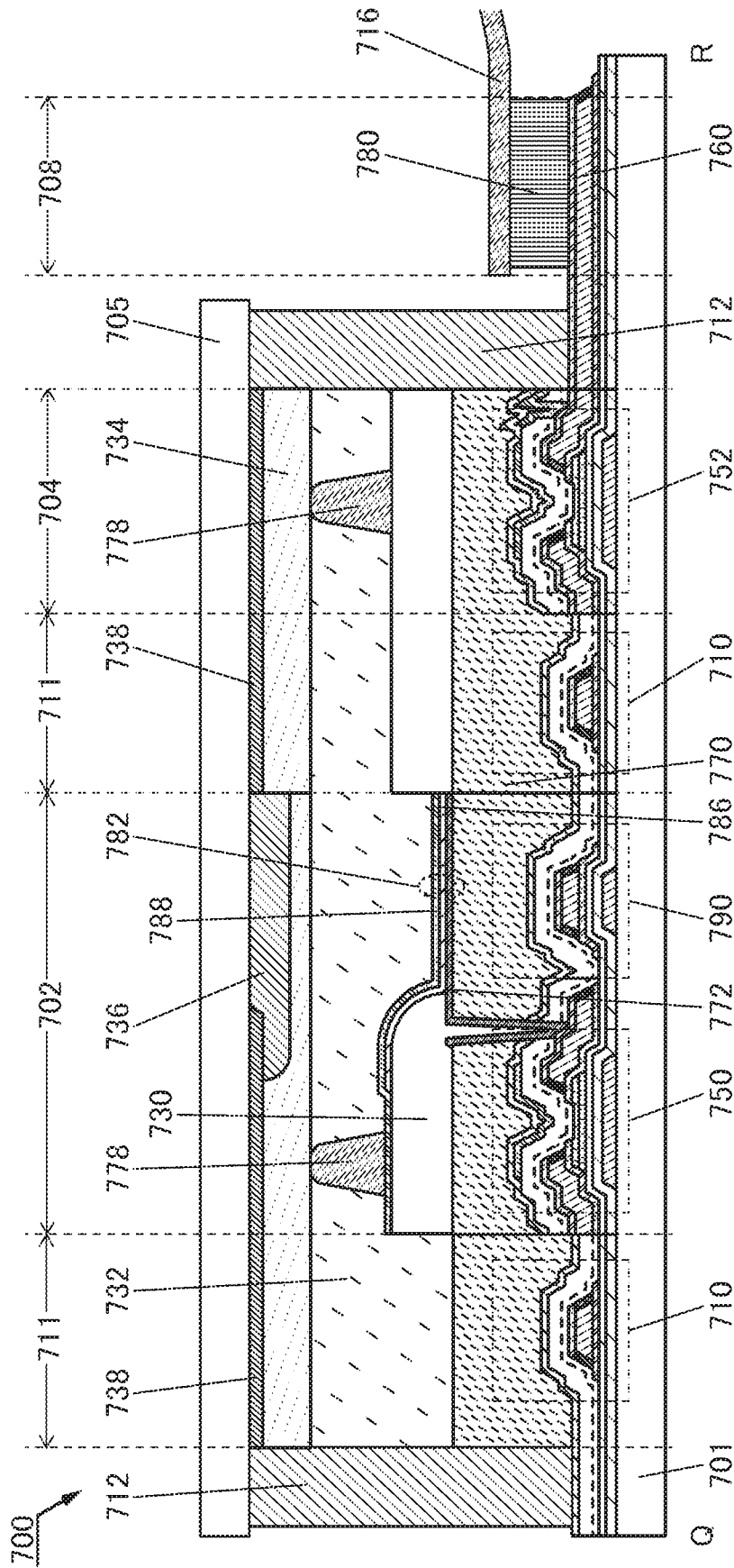


[圖30]

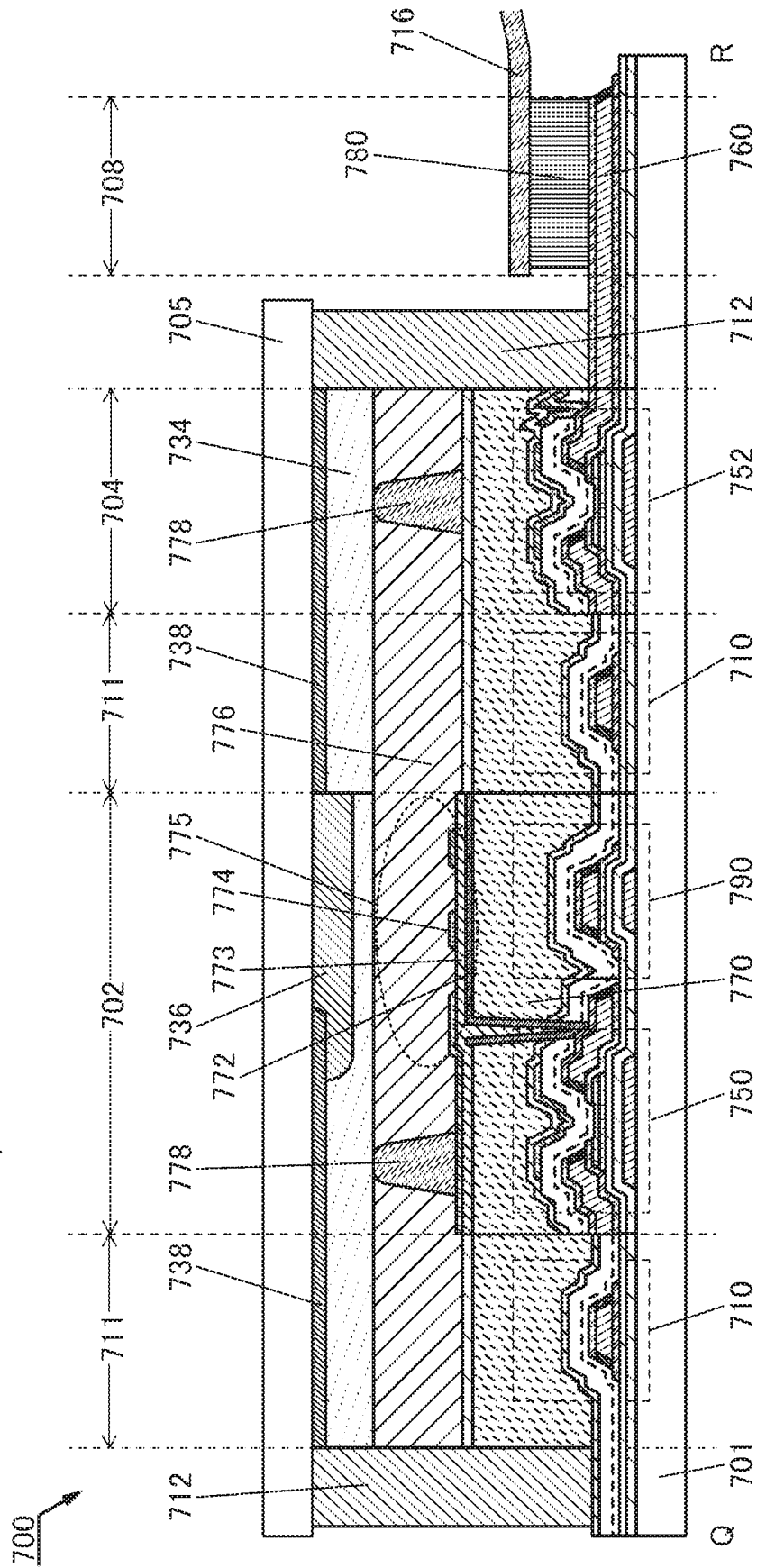




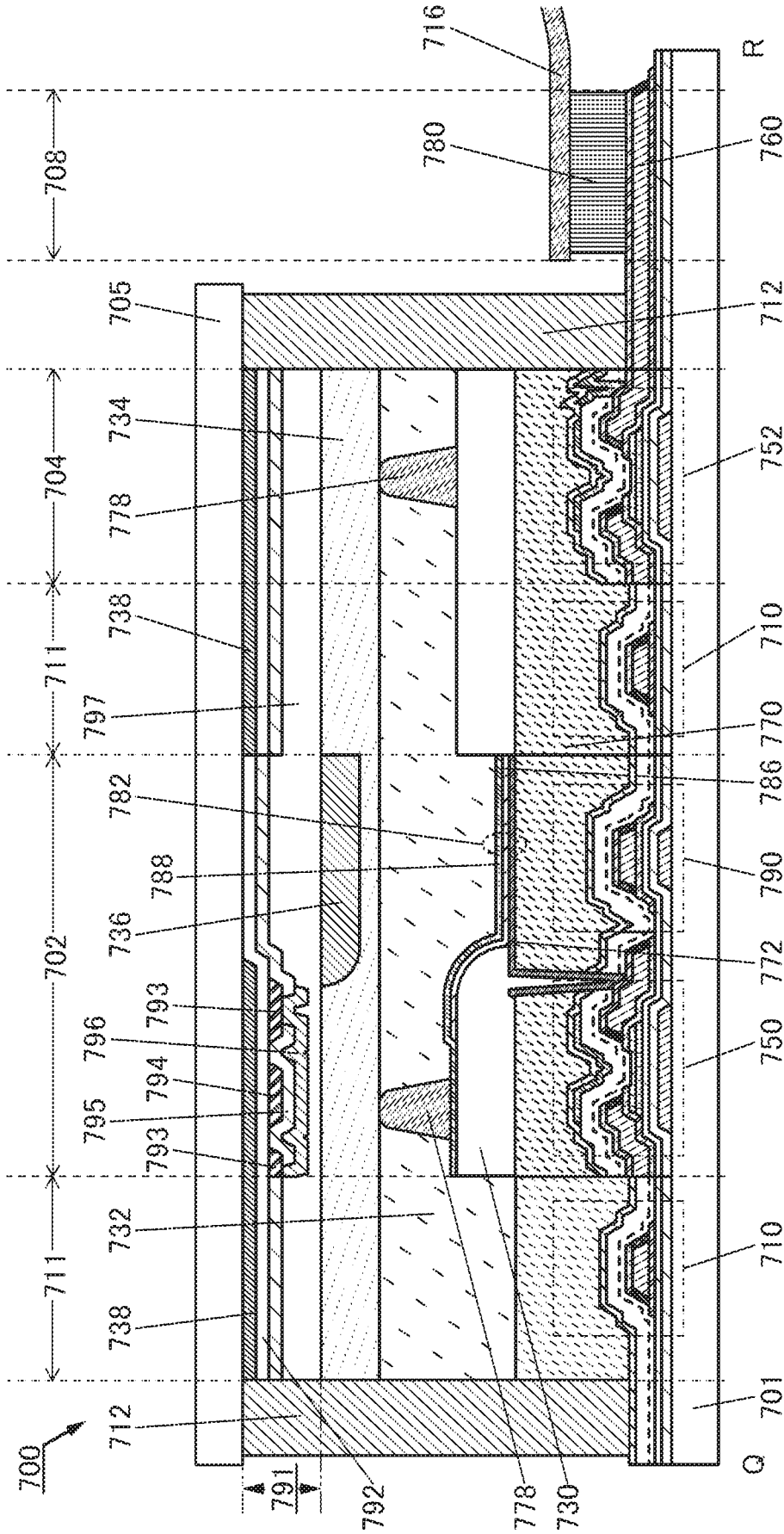
[圖32]

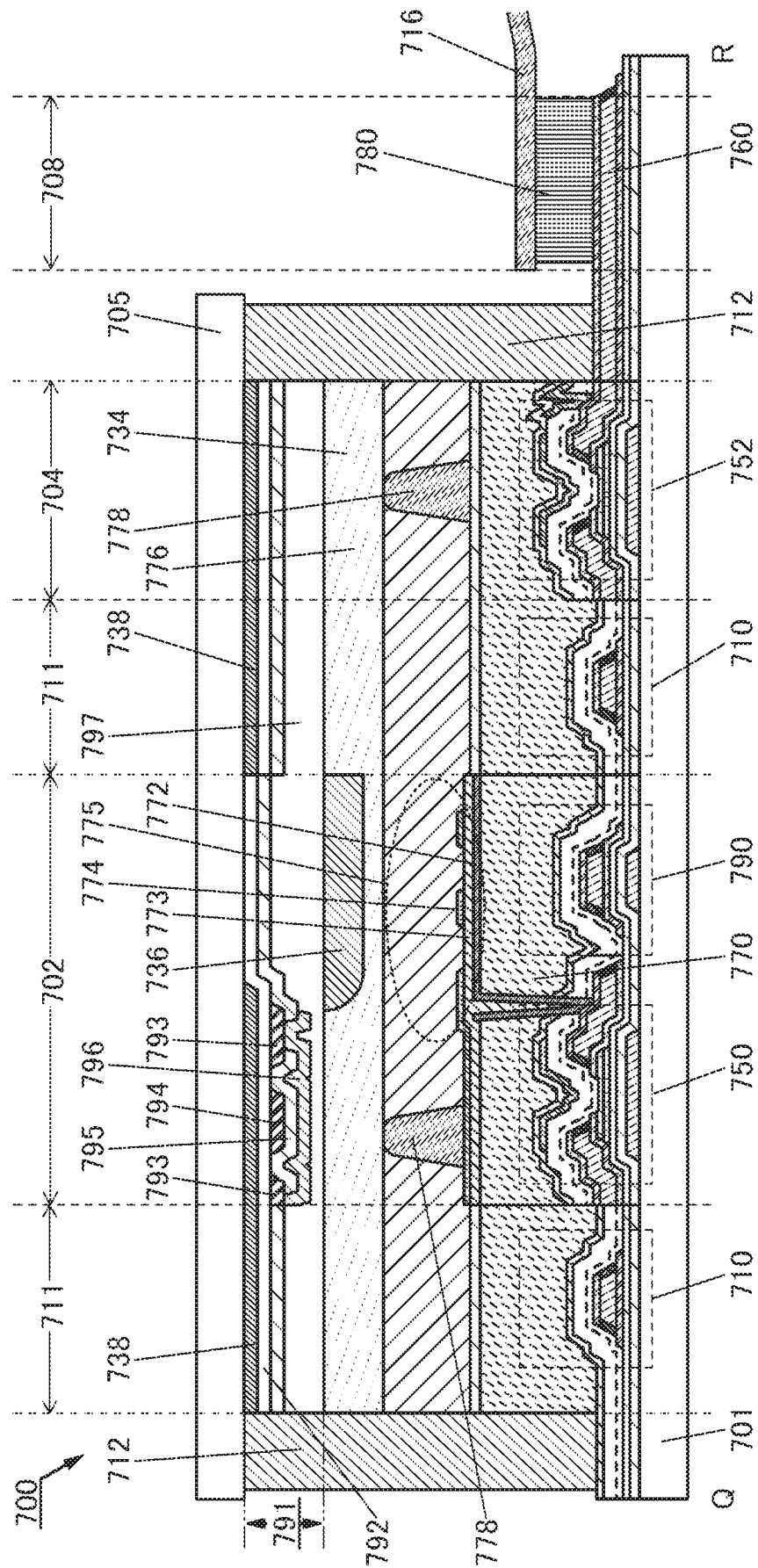


[圖33]



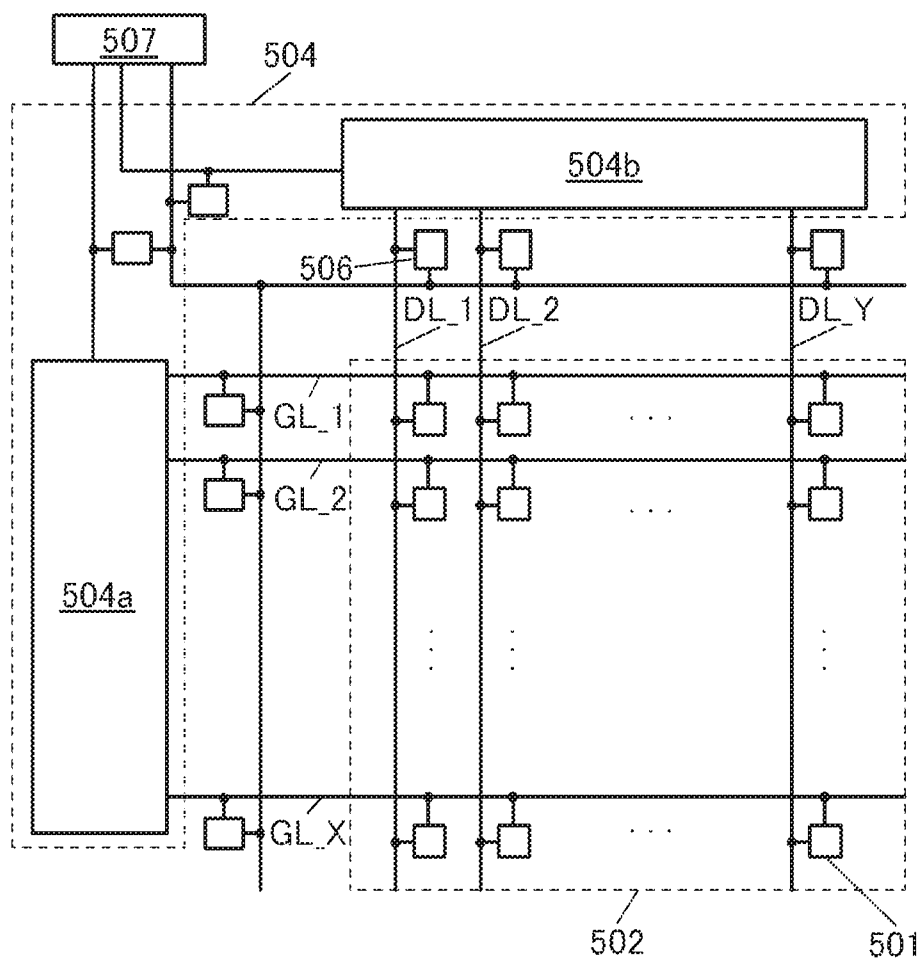
[圖34]



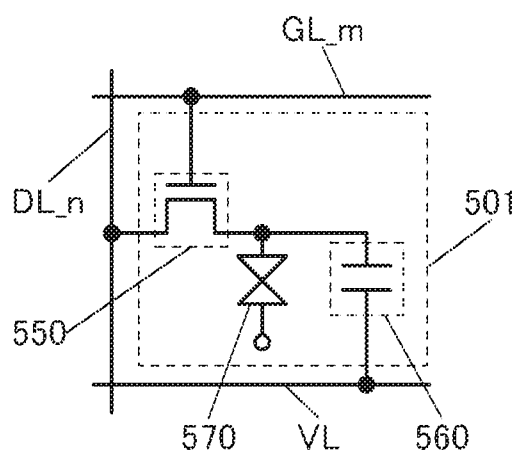


[図 36]

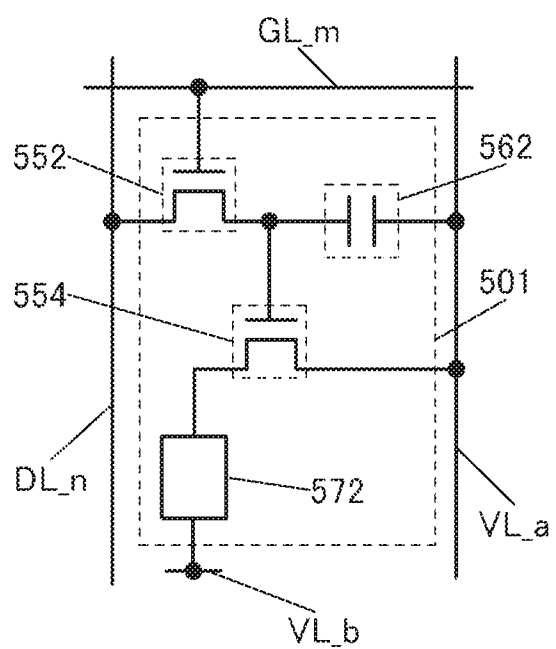
(A)



(B)

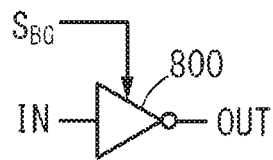


(c)

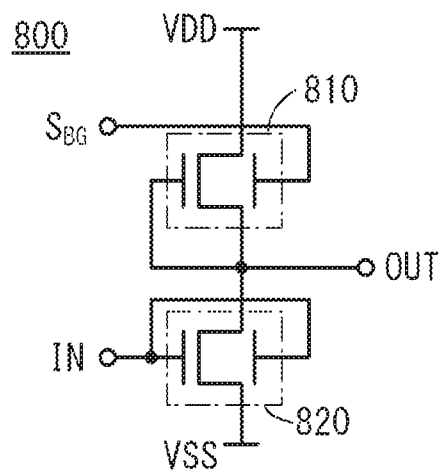


[図37]

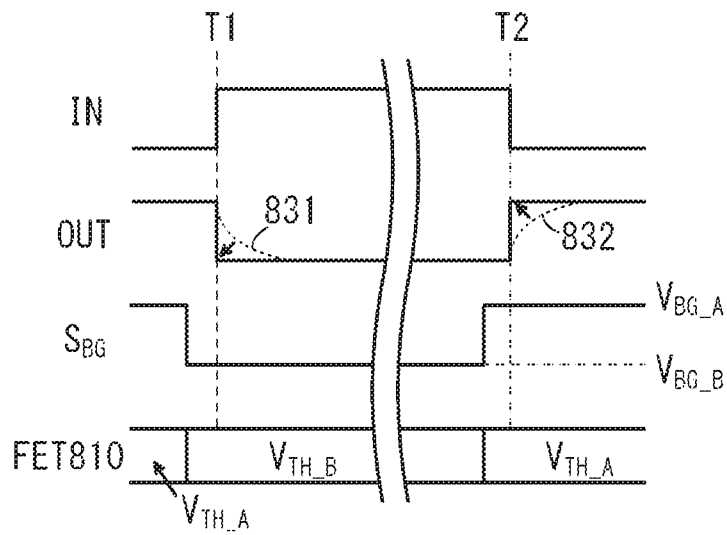
(A)



(B)

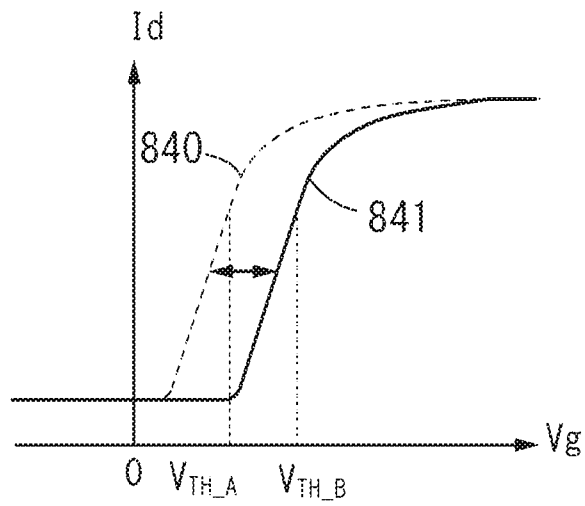
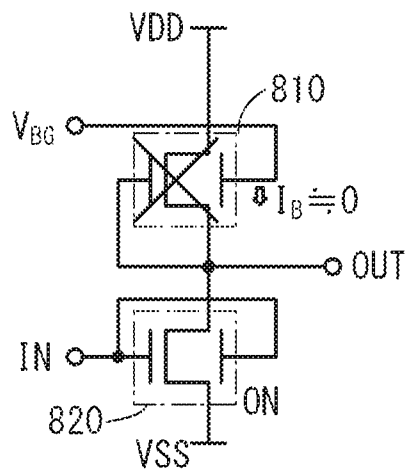
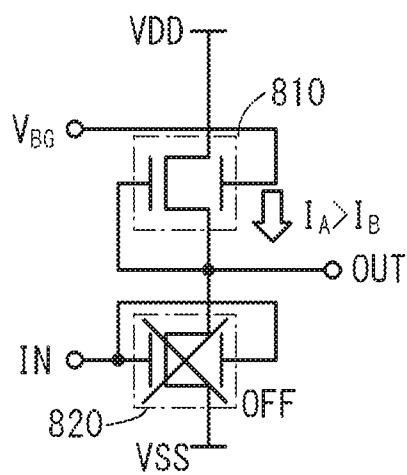


(C)



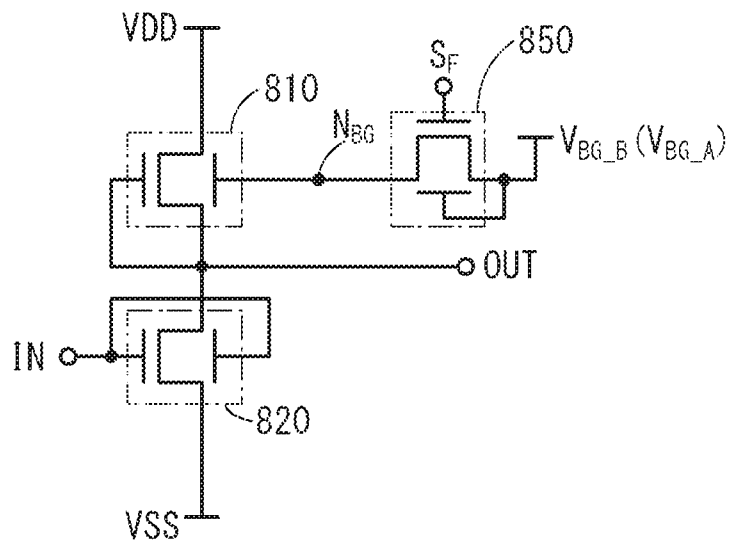
[図 38]

(A)

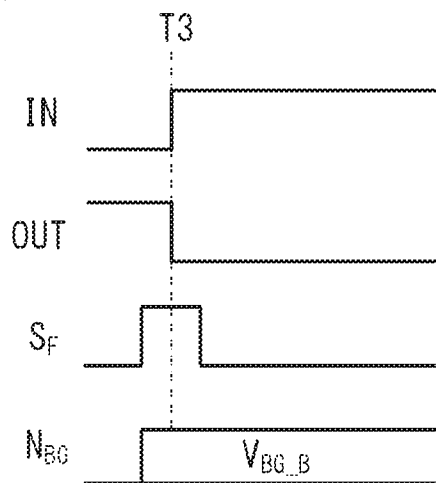
(B) V_{BG_B} (C) V_{BG_A} 

[図 39]

(A)

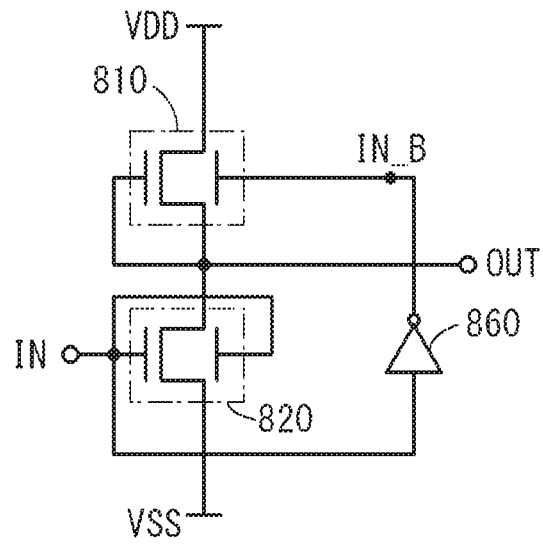


(B)

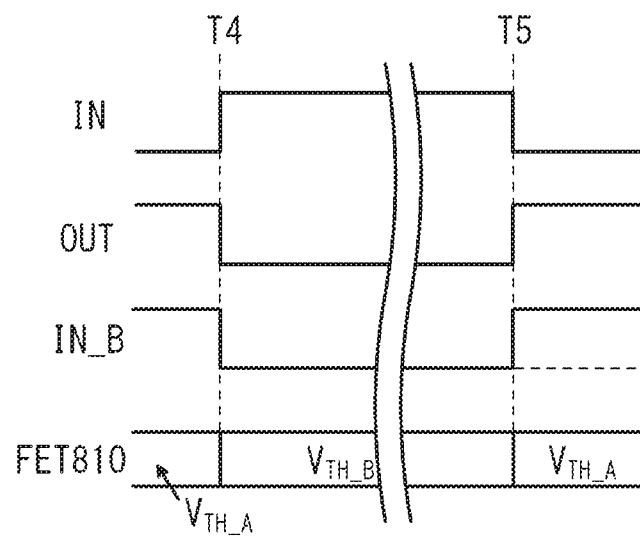


[図 40]

(A)

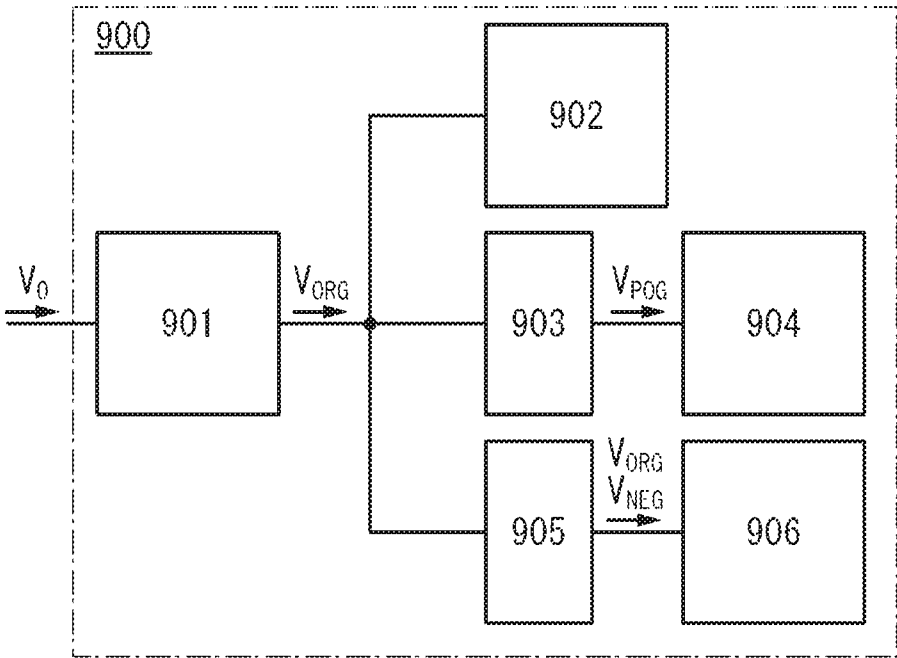


(B)

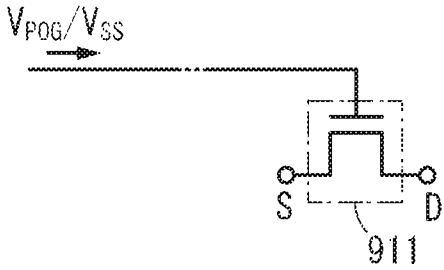


[図 41]

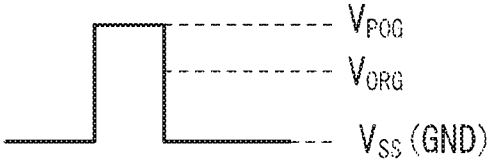
(A)



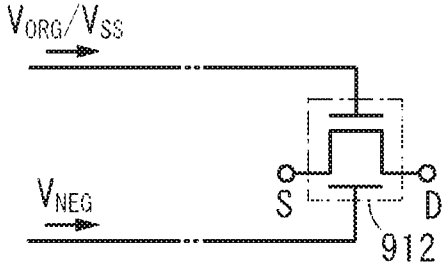
(B)



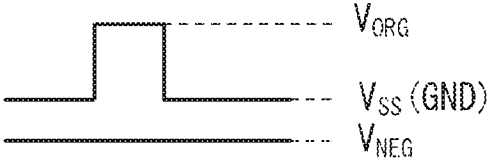
(C)



(D)

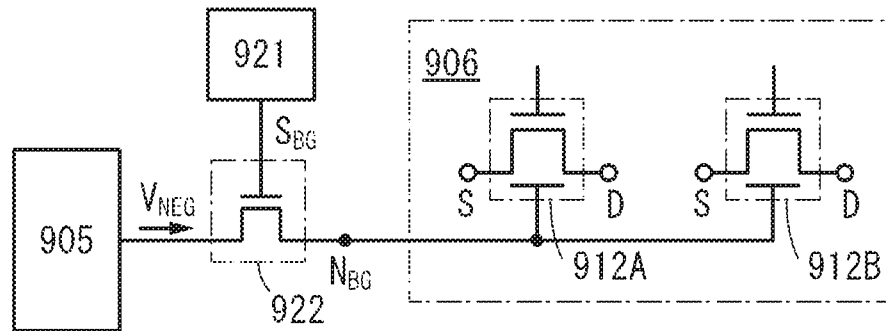


(E)

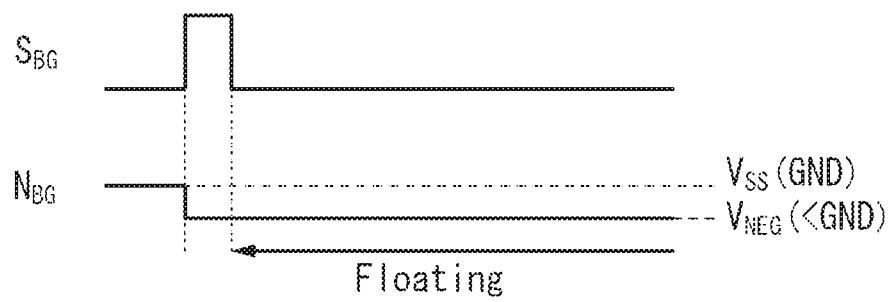


[図42]

(A)

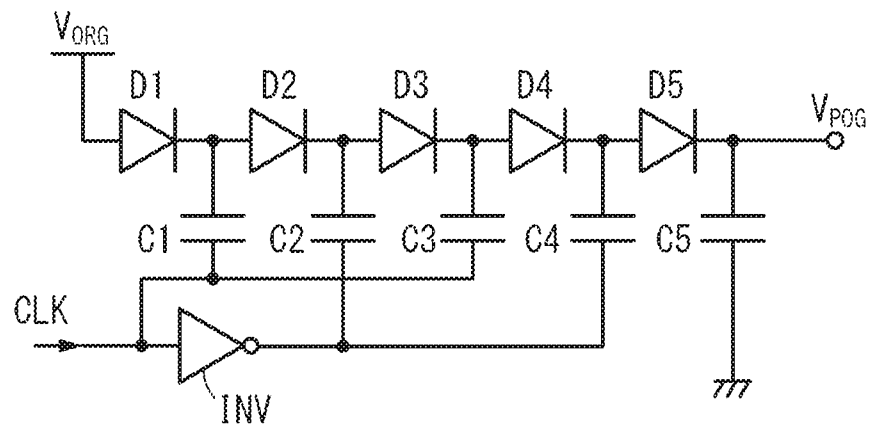


(B)

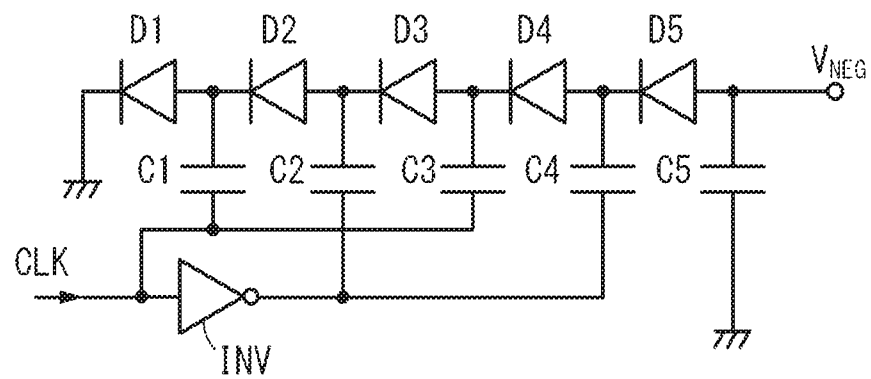


[ 43]

(A)

903 

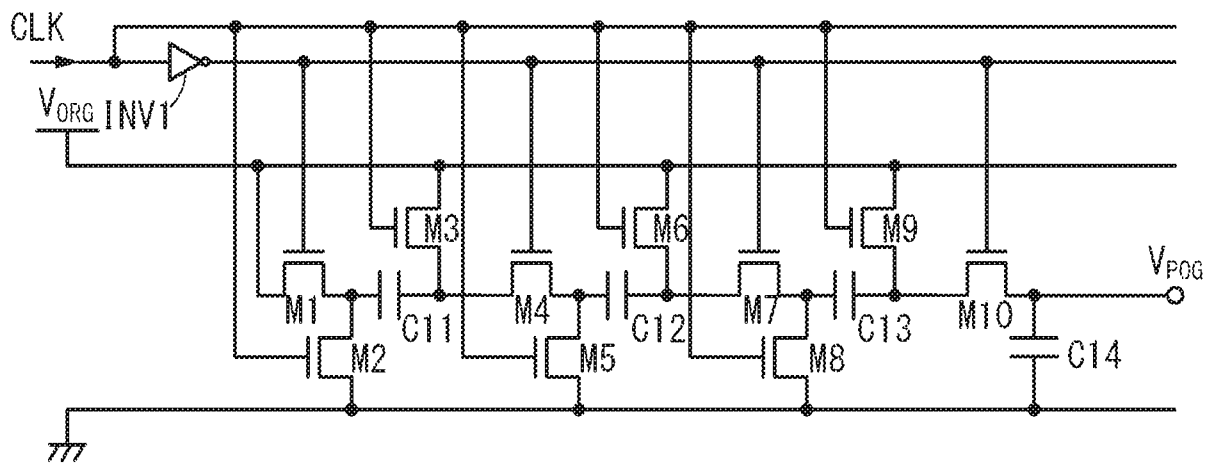
(B)

905 

[図 44]

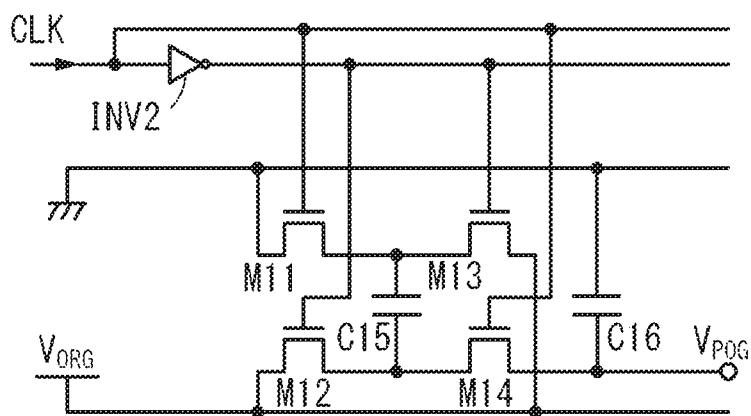
(A)

903A



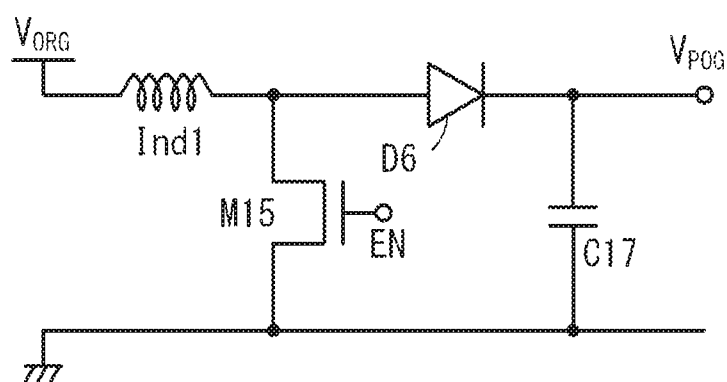
(B)

903B

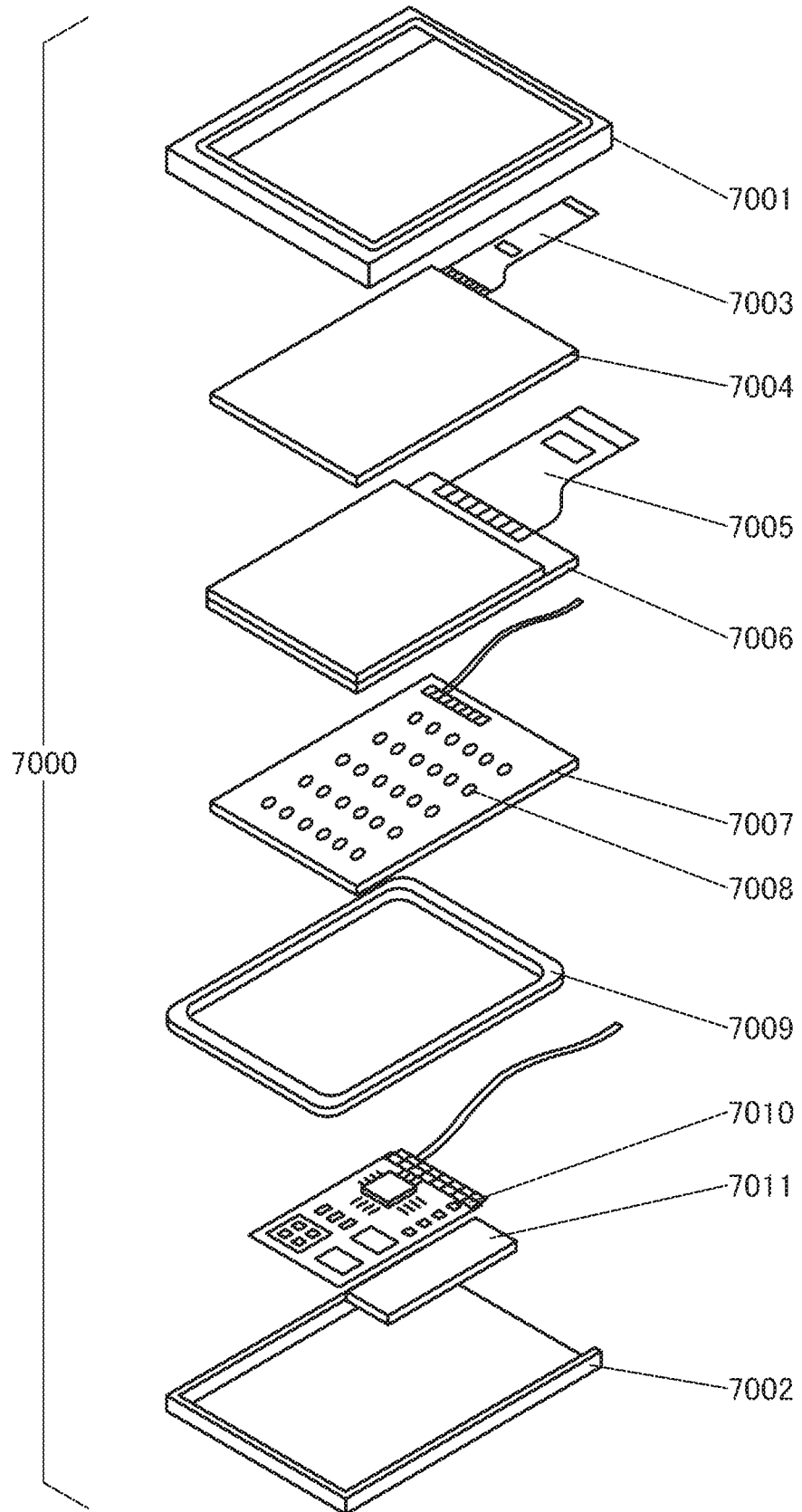


(C)

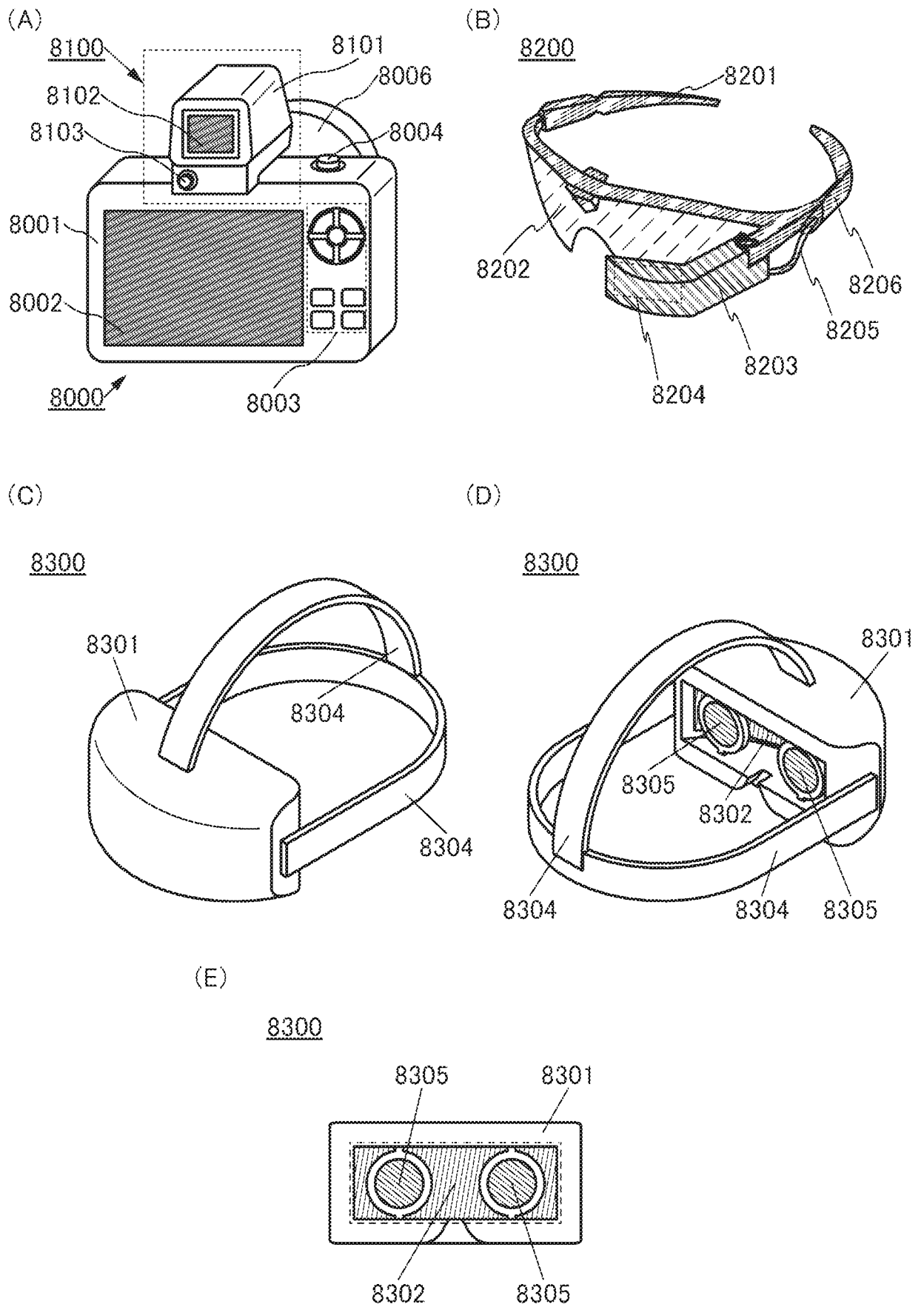
903C



[図45]



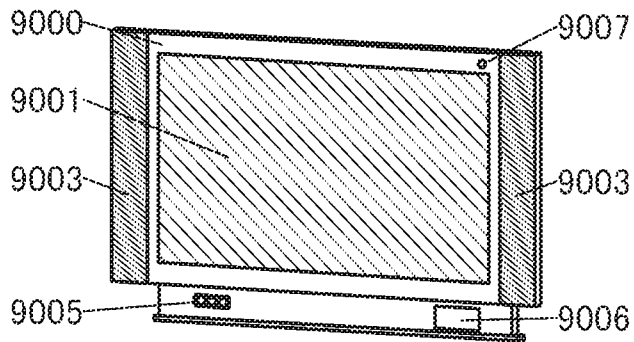
[図46]



[図47]

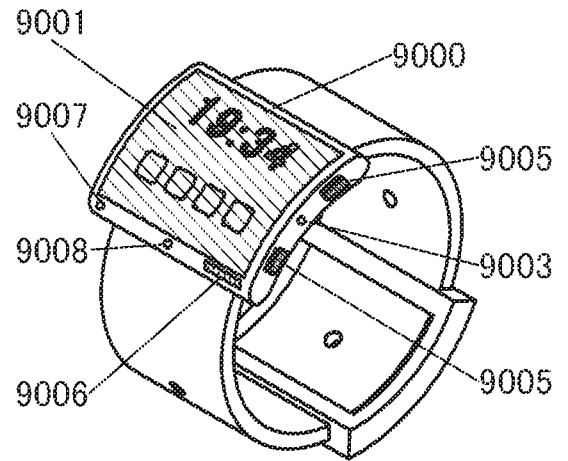
(A)

9100



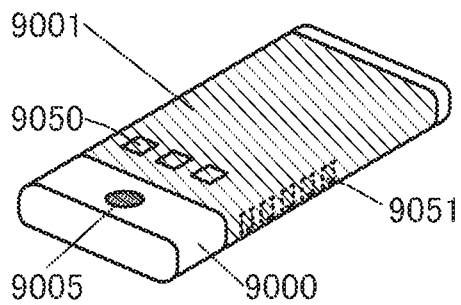
(D)

9200



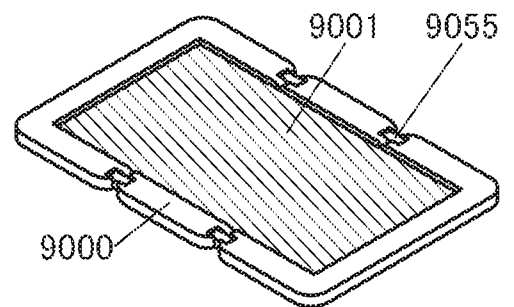
(B)

9101



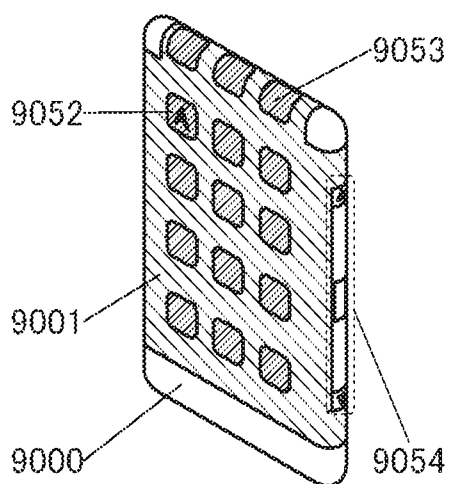
(E)

9201



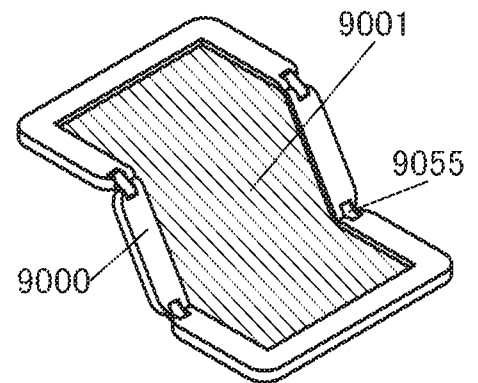
(C)

9102



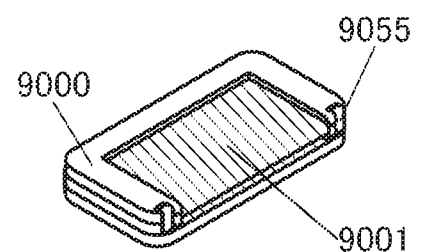
(F)

9201



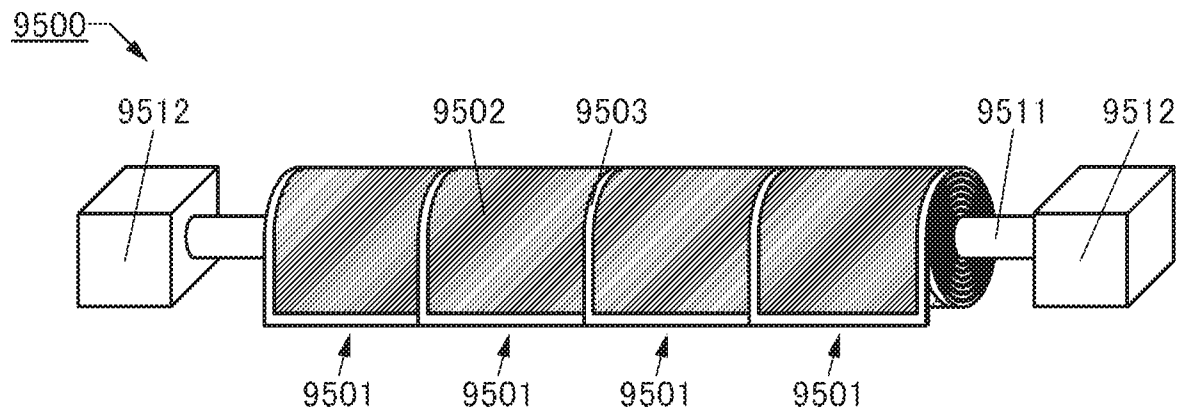
(G)

9201

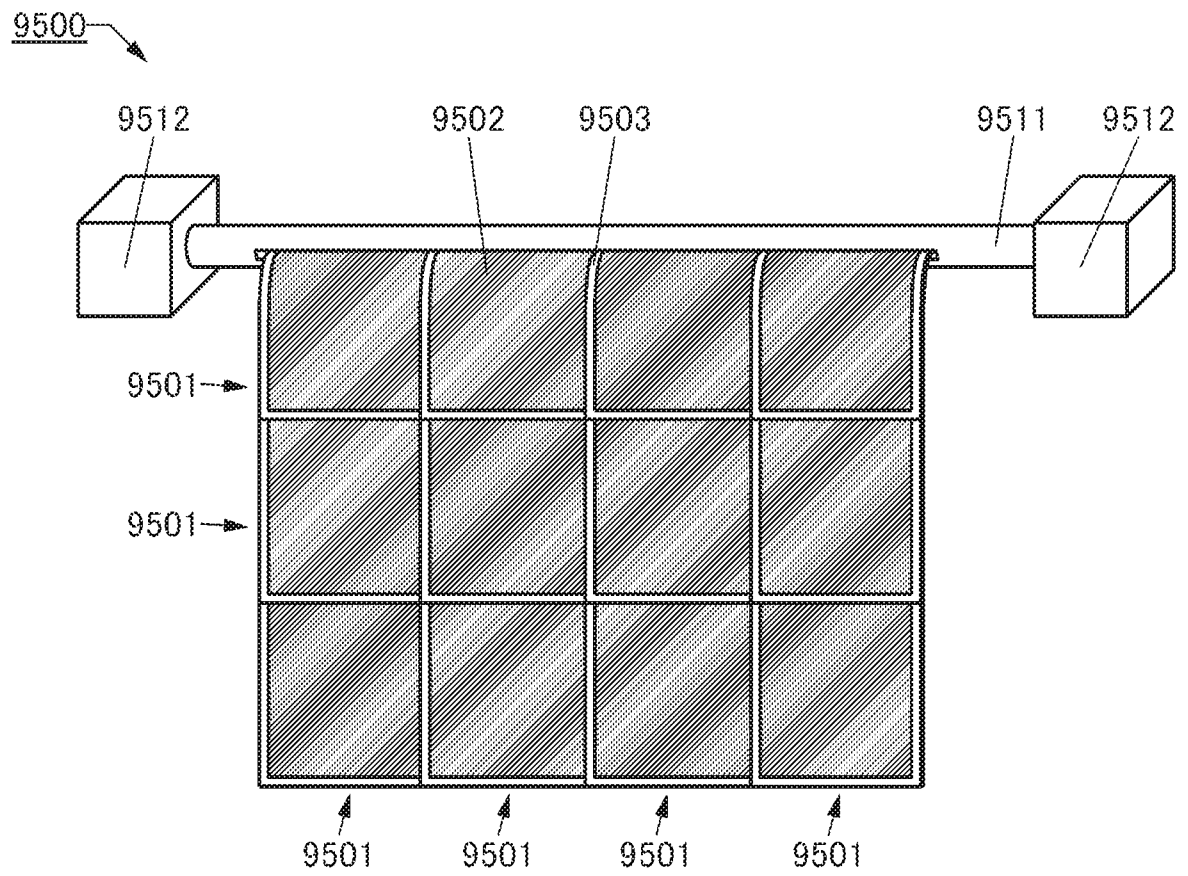


[図 48]

(A)

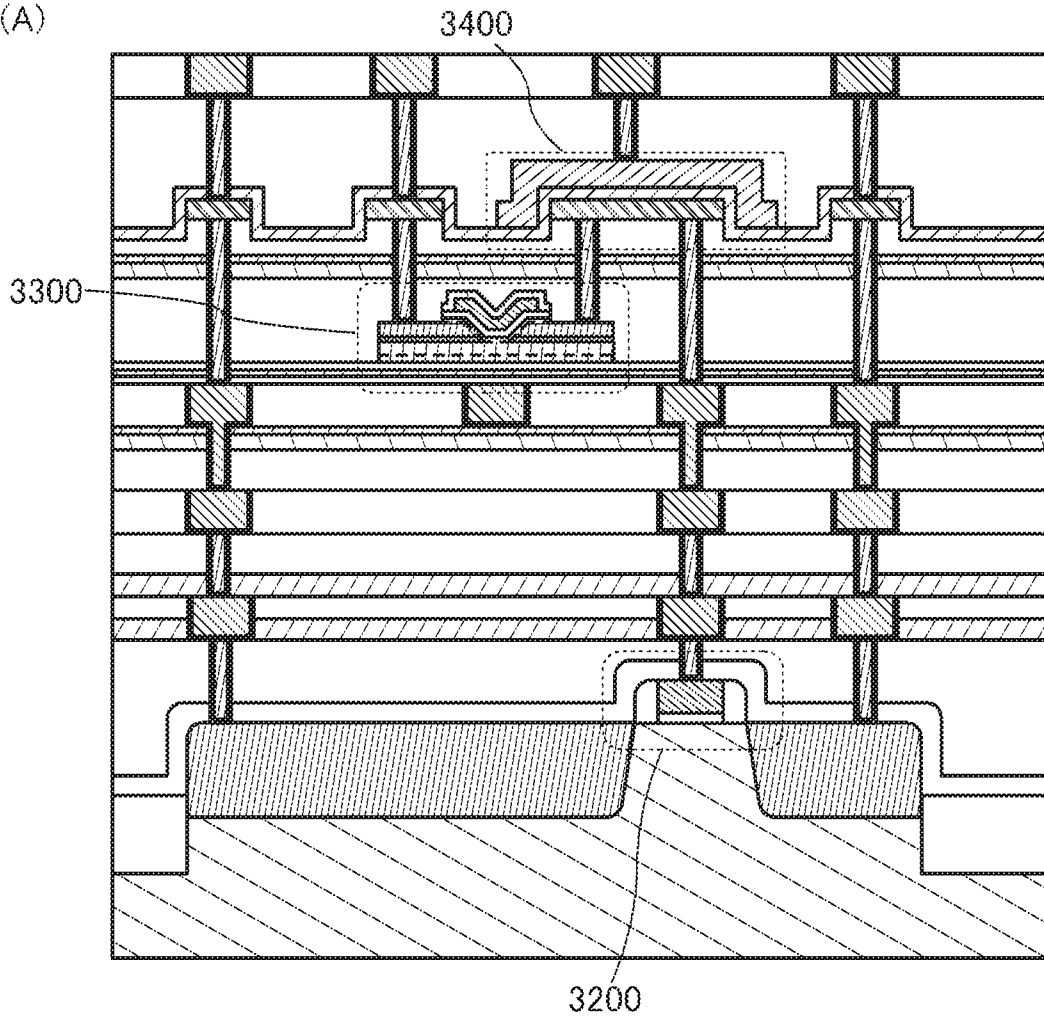


(B)

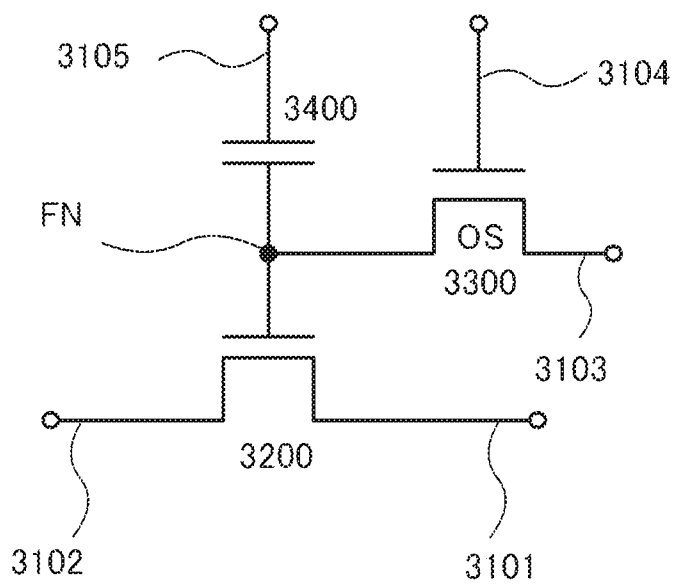


[図 49]

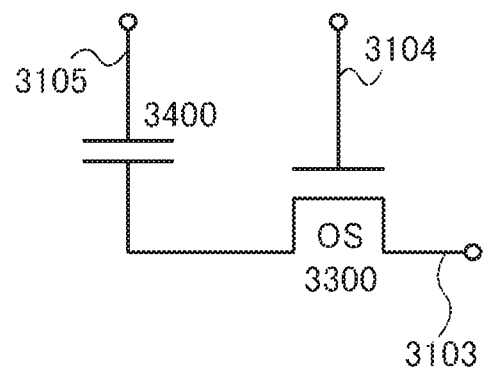
(A)



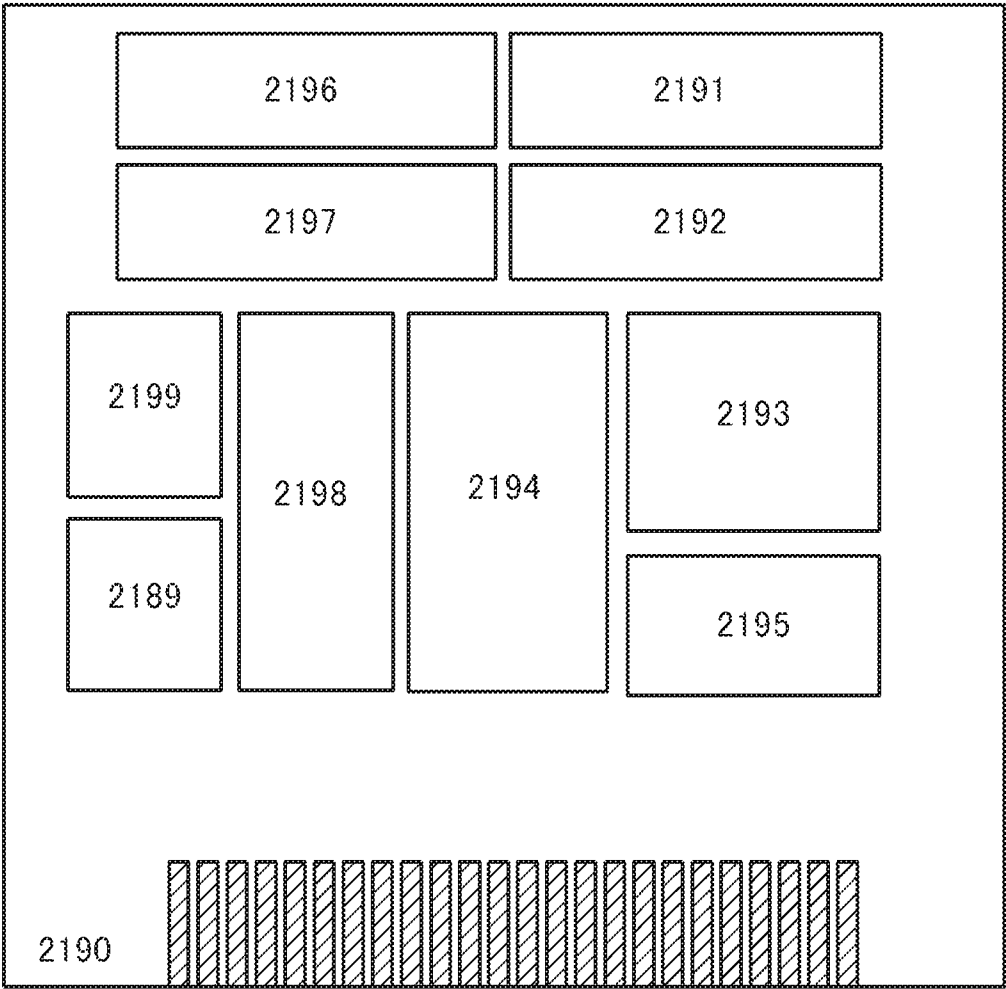
(B)



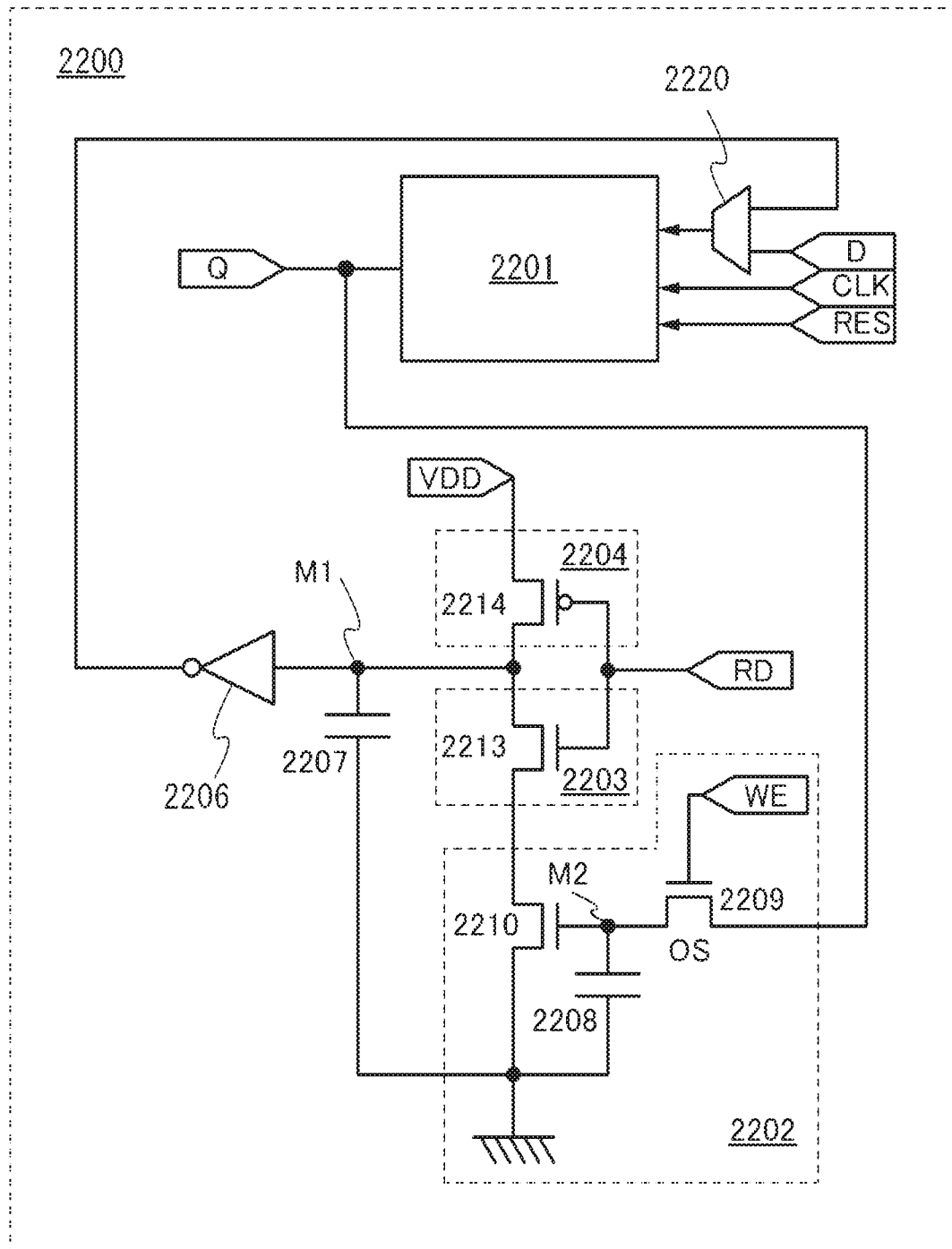
(C)



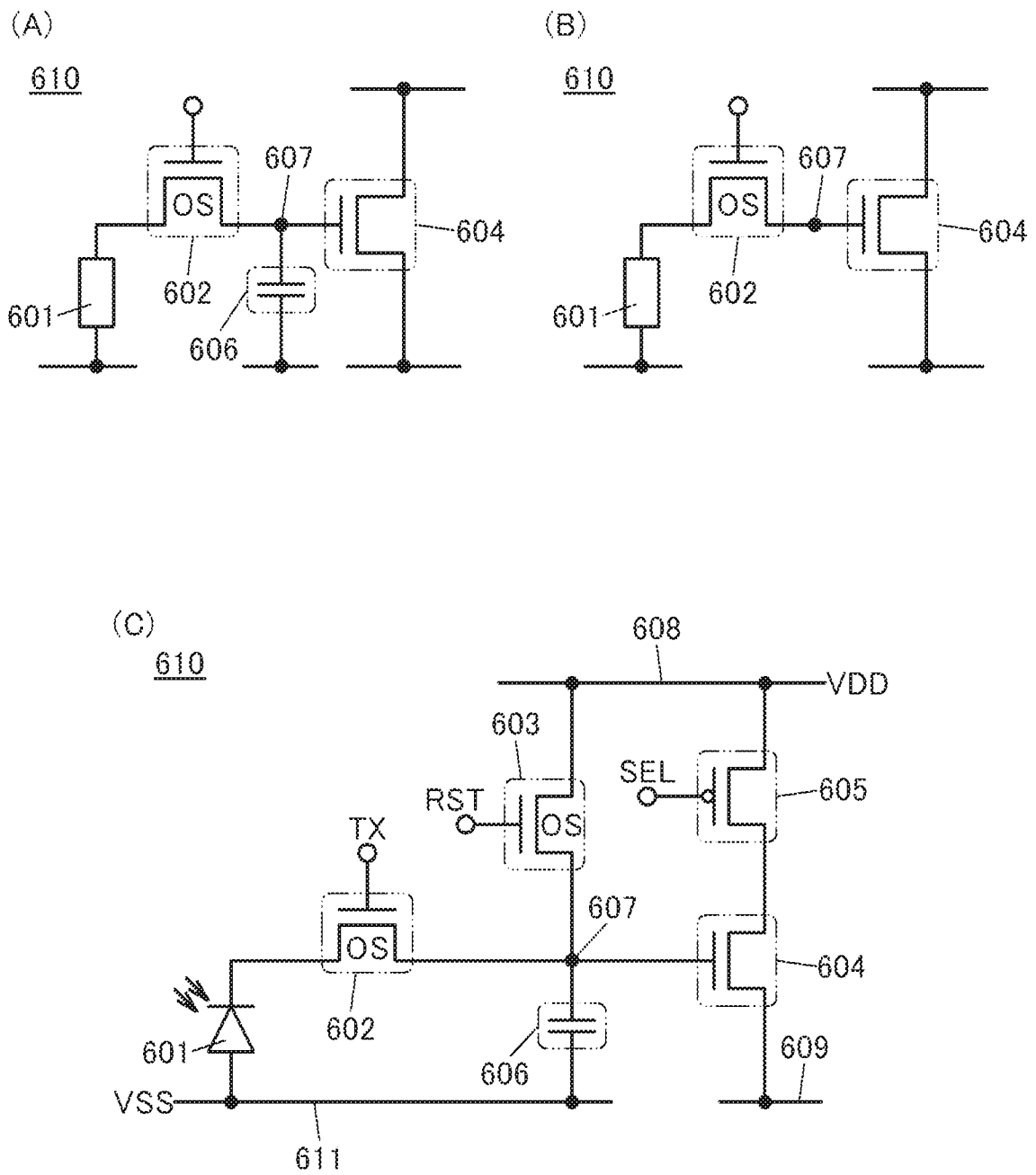
[図50]



[図51]



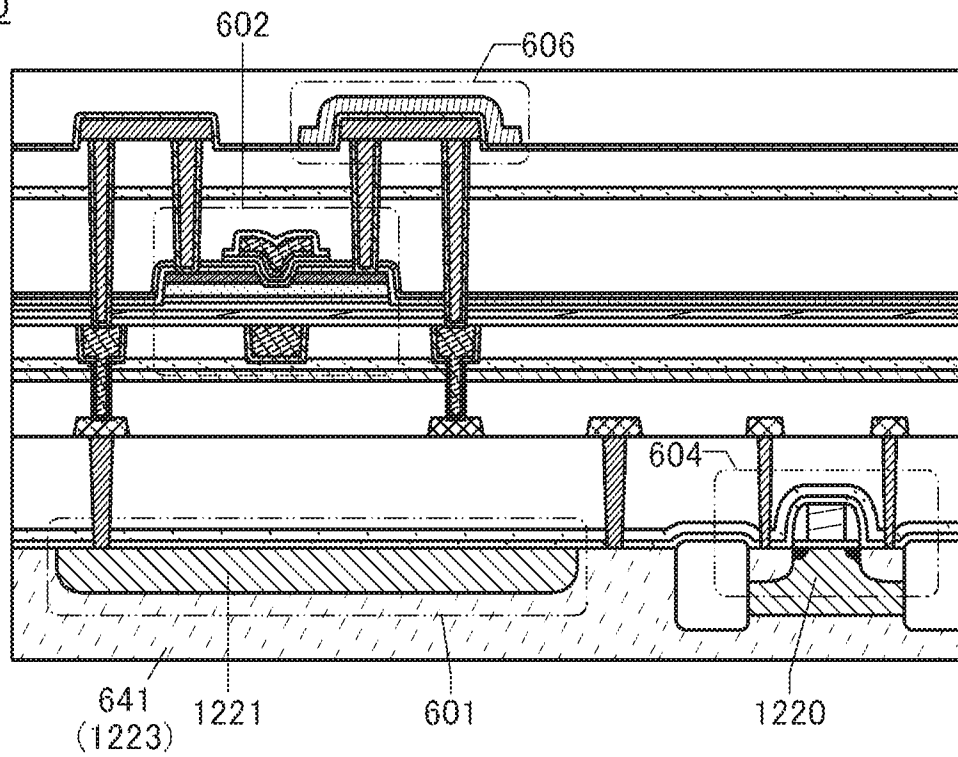
[図52]



[図53]

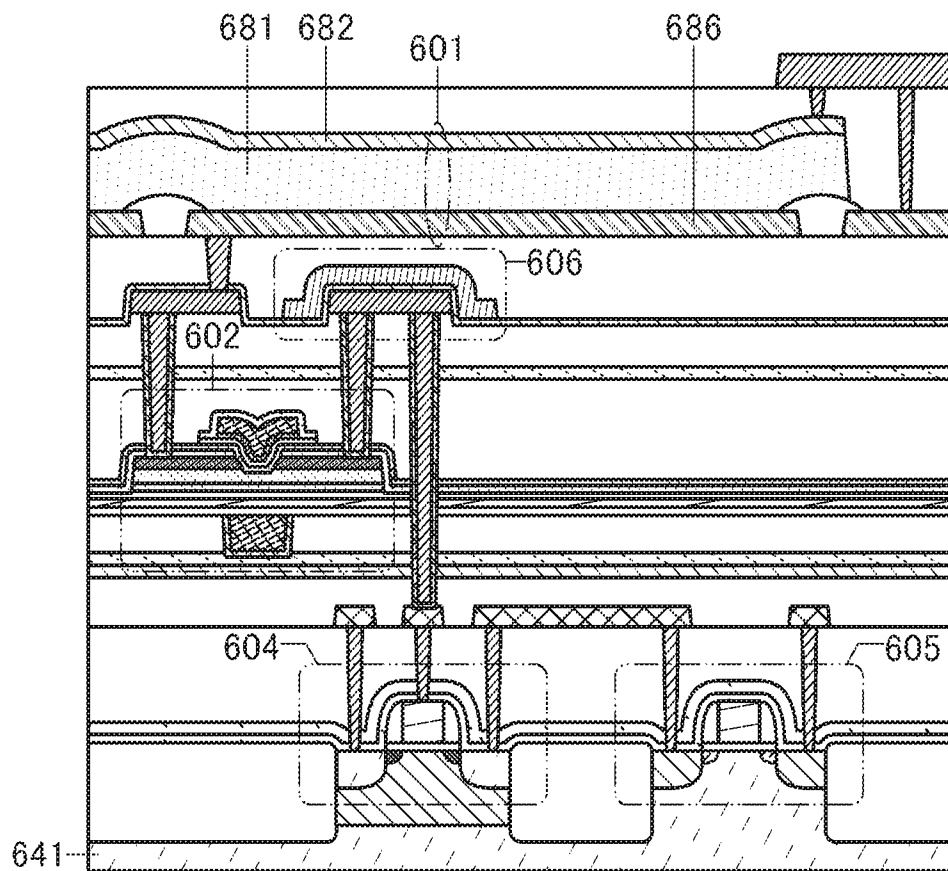
(A)

610



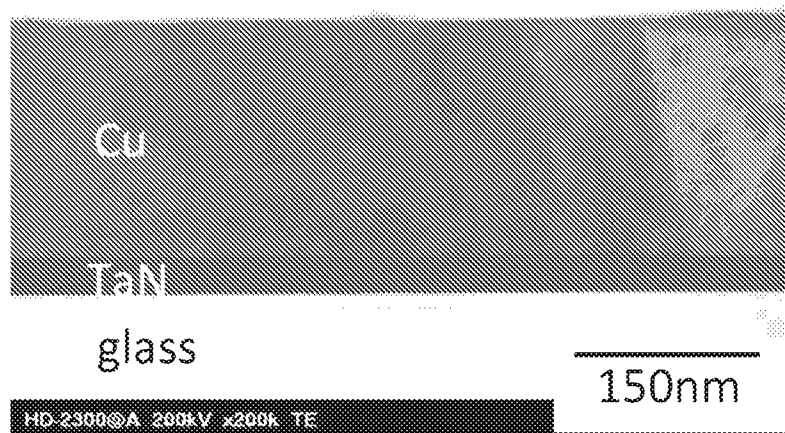
(B)

610



[図54]

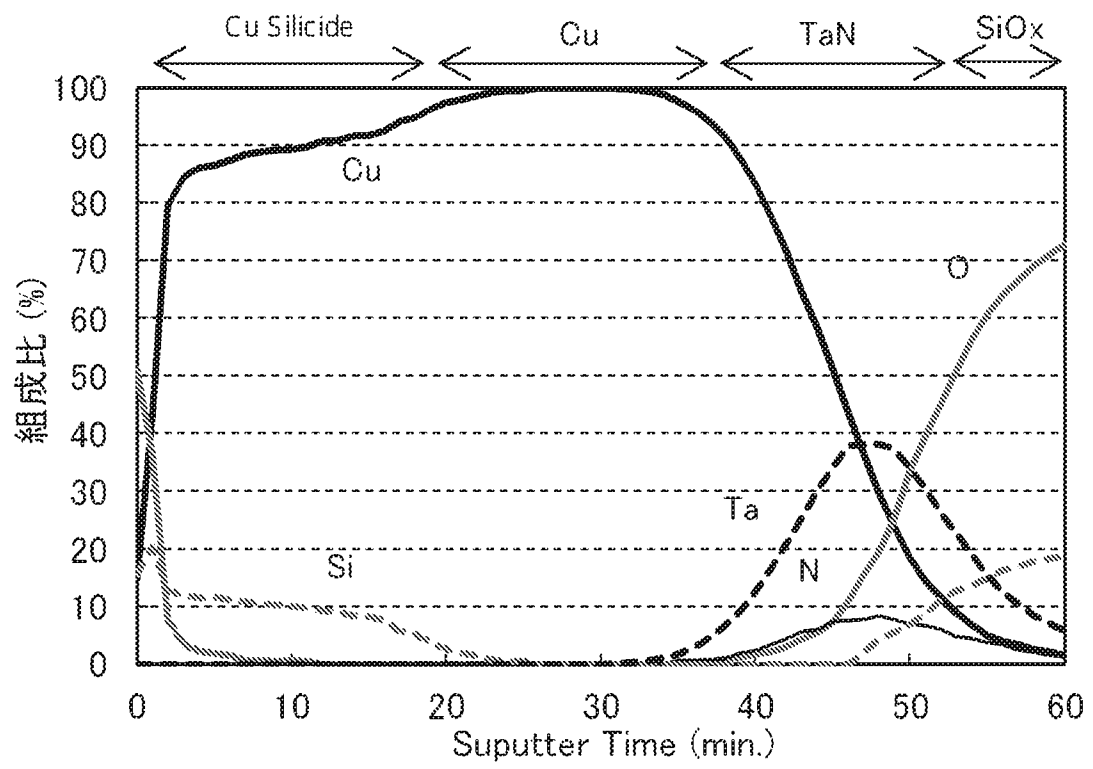
(A)



(B)

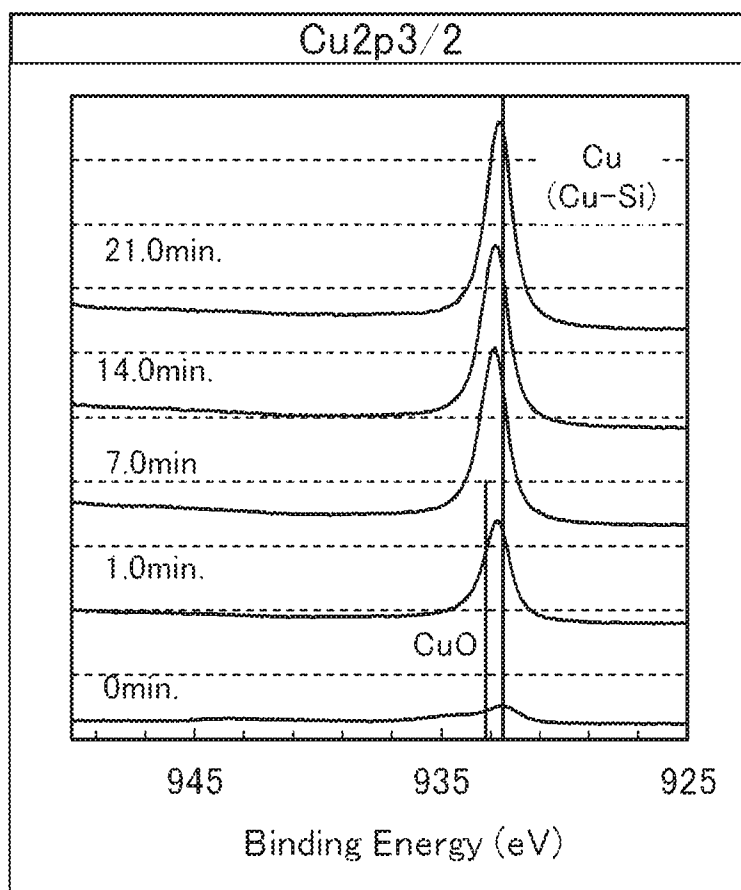


[図55]

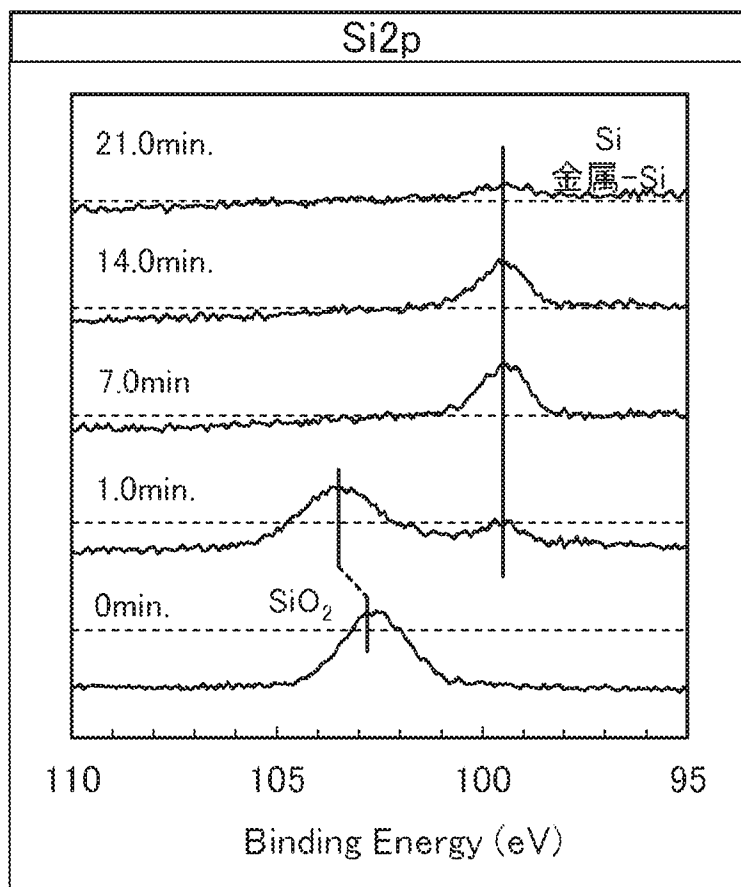


[図56]

(A)

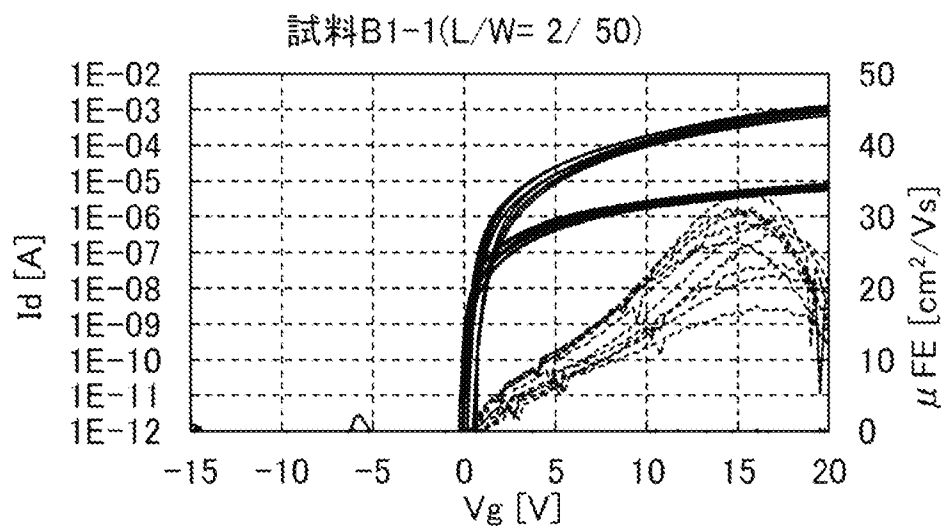


(B)

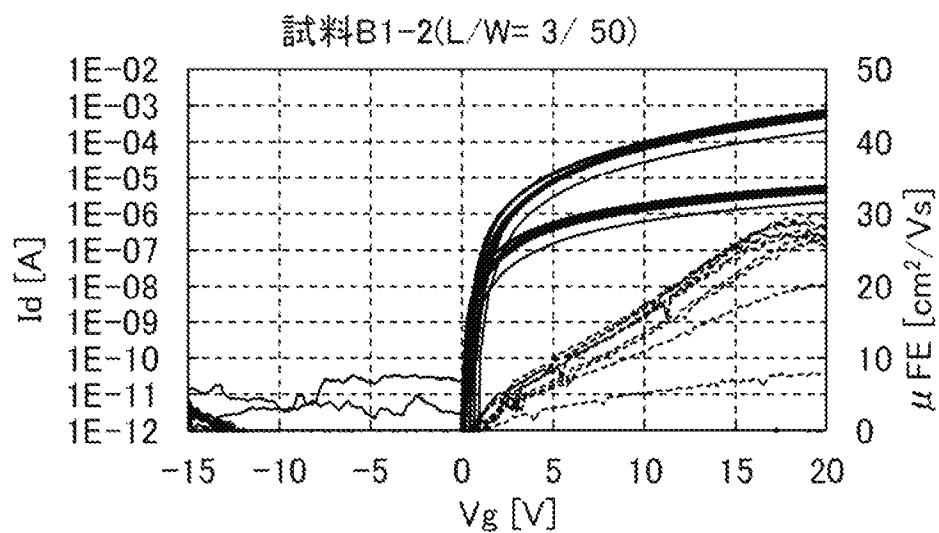


[図57]

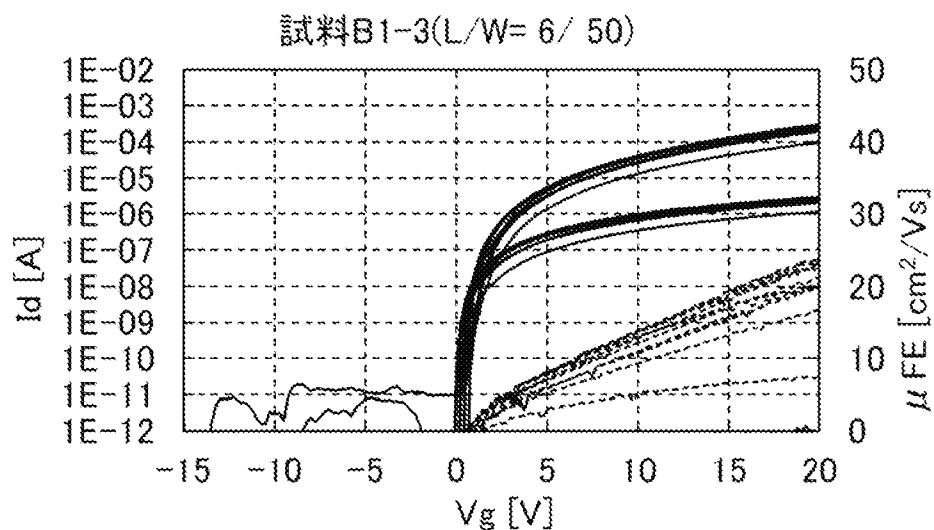
(A)



(B)

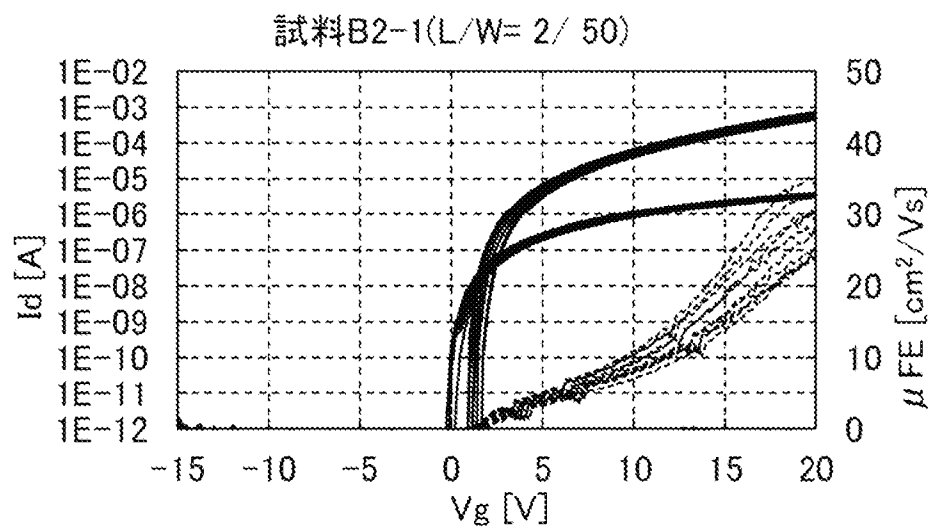


(C)

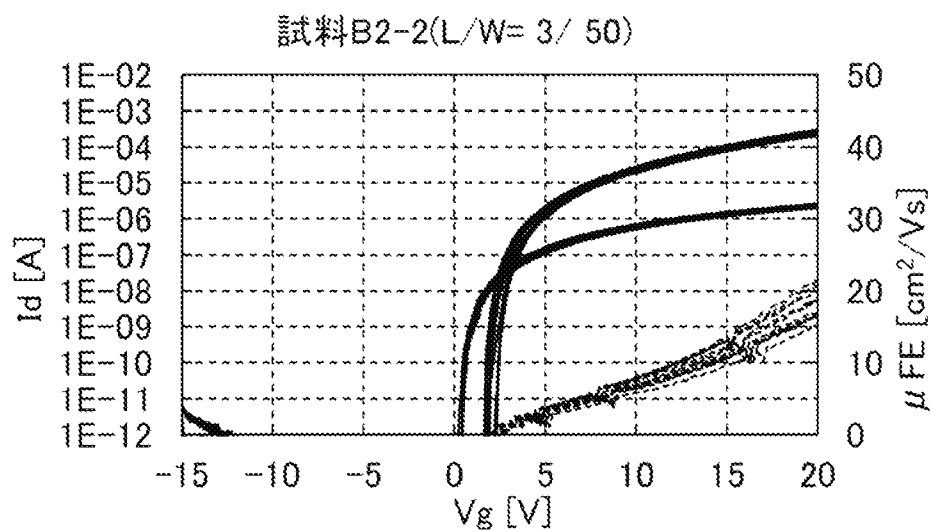


[図58]

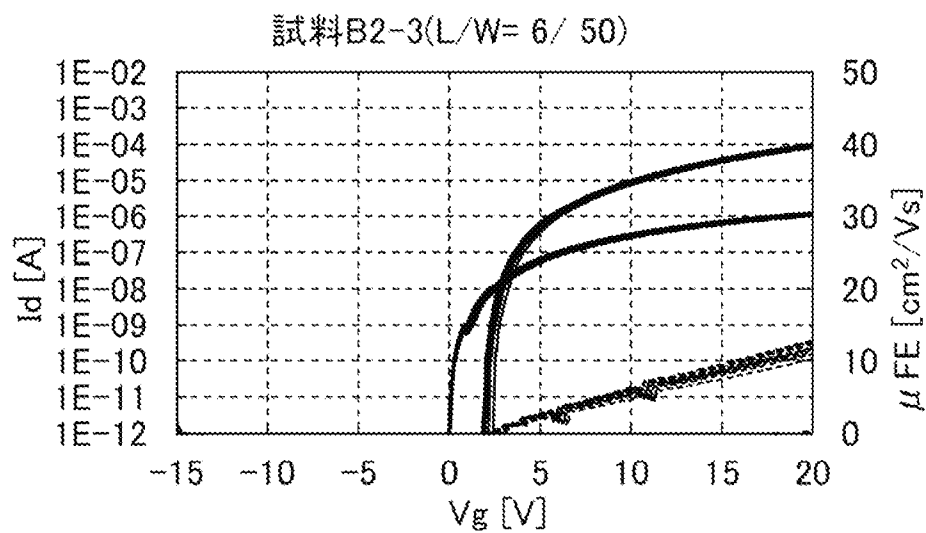
(A)



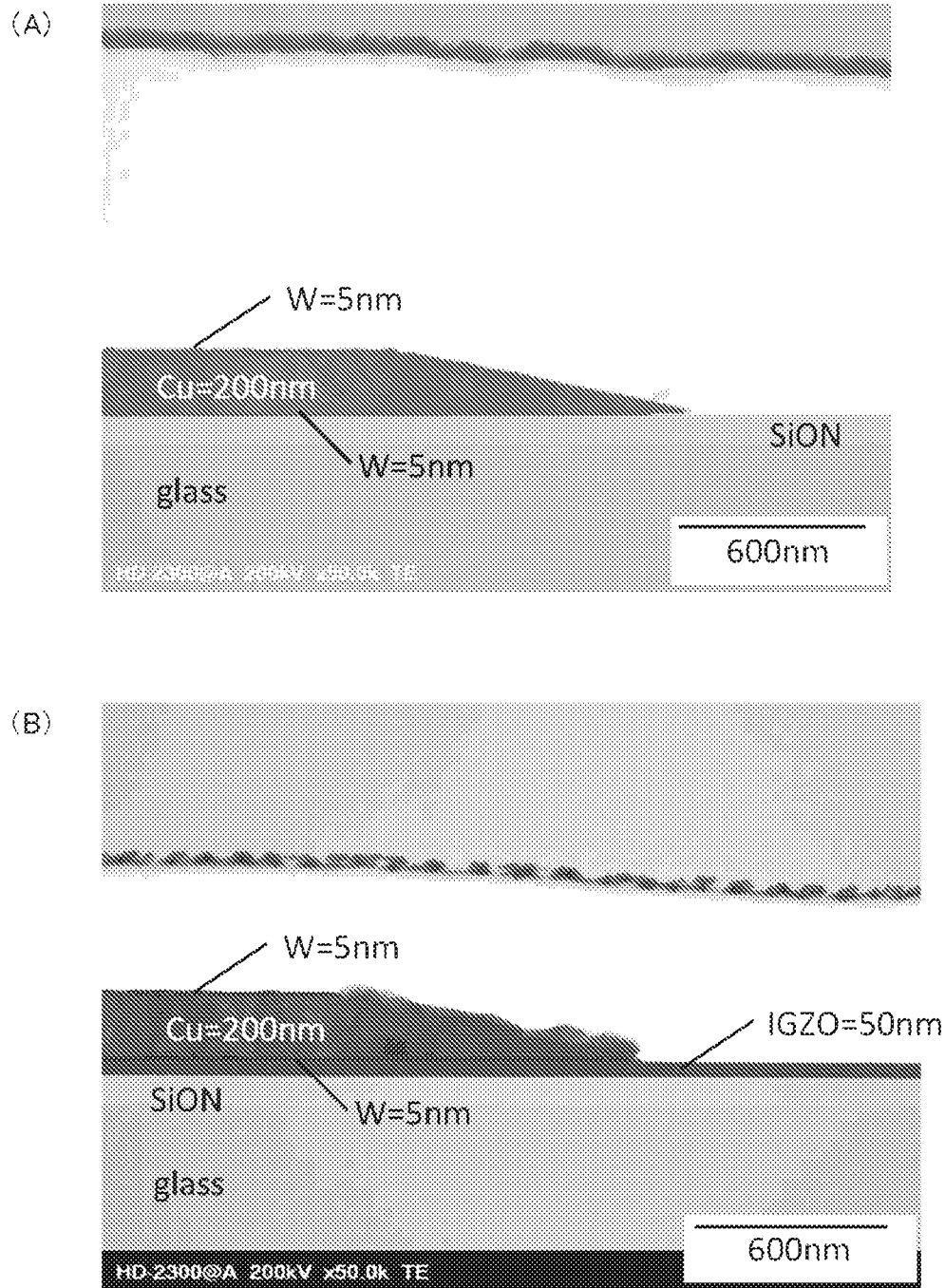
(B)

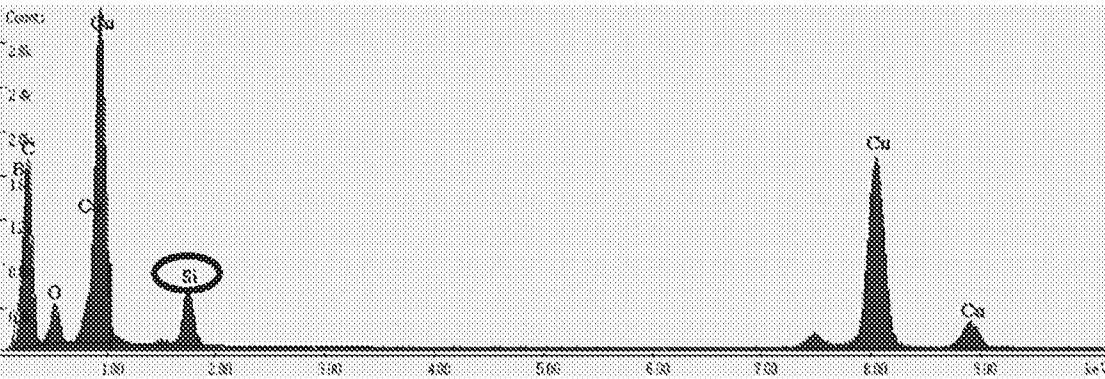
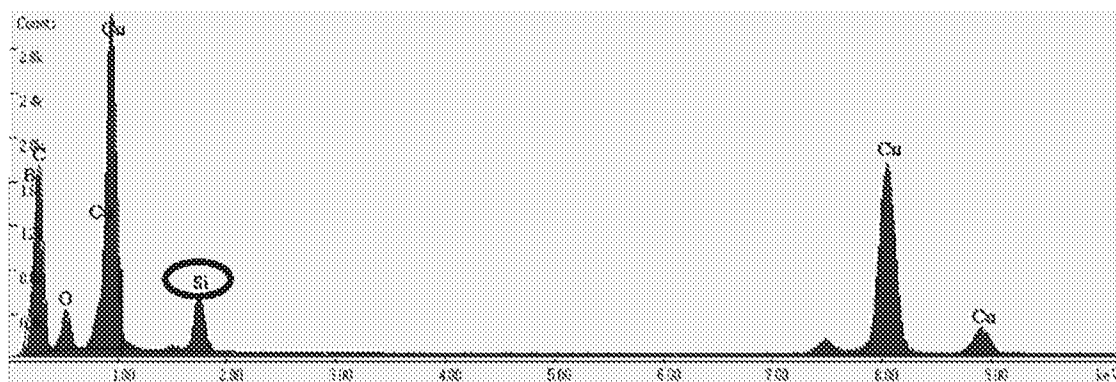


(C)



[図59]



[ 60]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2017/050230

A. CLASSIFICATION OF SUBJECT MATTER H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/088(2006.01)i, H01L27/108(2006.01)i, H01L27/146(2006.01)i, H01L29/417(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/786, H01L21/28, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/146, H01L29/417 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017 Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2015-133479 A (Samsung Display Co., Ltd.), 23 July 2015 (23.07.2015), paragraphs [0016] to [0070]; fig. 1 to 11 & US 2015/0200212 A1 paragraphs [0018] to [0072]; fig. 1 to 11 & KR 10-2015-0083693 A & CN 104779254 A	1-3, 9, 11 10, 12, 13 4-8
Y	JP 2015-213165 A (Semiconductor Energy Laboratory Co., Ltd.), 26 November 2015 (26.11.2015), paragraphs [0259] to [0298], [0371] to [0389] & US 2015/0303309 A1 paragraphs [0298] to [0337], [0413] to [0432] & WO 2015/159183 A2 & TW 201545359 A & CN 106256017 A & KR 10-2016-0145031 A	10, 12, 13
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 April 2017 (24.04.17)		Date of mailing of the international search report 09 May 2017 (09.05.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2017/050230

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-179290 A (Semiconductor Energy Laboratory Co., Ltd.), 09 September 2013 (09.09.2013), entire text; all drawings & US 2013/0207111 A1 entire text; all drawings & KR 10-2013-0092463 A & TW 201338174 A	1-13
A	JP 2012-222171 A (Hitachi, Ltd.), 12 November 2012 (12.11.2012), entire text; all drawings & WO 2012/141089 A1	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i,
H01L27/088(2006.01)i, H01L27/108(2006.01)i, H01L27/146(2006.01)i, H01L29/417(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01L21/28, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/146, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2015-133479 A（三星ディスプレイ株式會社） 2015.07.23, 段落[0016]-[0070], 図 1-11 & US 2015/0200212 A1, 段落[0018]-[0072], 図 1-11 & KR 10-2015-0083693 A & CN 104779254 A	1-3, 9, 11 10, 12, 13 4-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.04.2017

国際調査報告の発送日

09.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川原 光司

5F

5382

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-213165 A (株式会社半導体エネルギー研究所) 2015. 11. 26, 段落[0259]-[0298], [0371]-[0389] & US 2015/0303309 A1, 段落[0298]-[0337], [0413]-[0432] & WO 2015/159183 A2 & TW 201545359 A & CN 106256017 A & KR 10-2016-0145031 A	10, 12, 13
A	JP 2013-179290 A (株式会社半導体エネルギー研究所) 2013. 09. 09, 全文, 全図 & US 2013/0207111 A1, 全文, 全図 & KR 10-2013-0092463 A & TW 201338174 A	1-13
A	JP 2012-222171 A (株式会社日立製作所) 2012. 11. 12, 全文, 全図 & WO 2012/141089 A1	1-13