

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7100257号  
(P7100257)

(45)発行日 令和4年7月13日(2022.7.13)

(24)登録日 令和4年7月5日(2022.7.5)

(51)国際特許分類	F I			
G 0 6 N 99/00 (2019.01)	G 0 6 N 99/00	1 8 0		
G 0 6 N 10/20 (2022.01)	G 0 6 N 10/20			

請求項の数 5 (全22頁)

(21)出願番号	特願2018-189001(P2018-189001)	(73)特許権者	000005223 富士通株式会社
(22)出願日	平成30年10月4日(2018.10.4)		神奈川県川崎市中原区上小田中4丁目1番1号
(65)公開番号	特開2020-57306(P2020-57306A)	(74)代理人	110002918 特許業務法人扶桑国際特許事務所
(43)公開日	令和2年4月9日(2020.4.9)	(72)発明者	米岡 昇 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	令和3年6月10日(2021.6.10)	審査官	金木 陽一

最終頁に続く

(54)【発明の名称】 最適化装置及び最適化装置の制御方法

## (57)【特許請求の範囲】

## 【請求項1】

最適化問題を変換したイジングモデルの基底状態の探索を行う、環状に接続されたM段(Mは2以上の整数)の演算処理部と、  
前記M段の演算処理部の各々に設けられ、前記イジングモデルの情報に基づいて、前記イジングモデルの全スピンの対応する複数のビットのビット数をMで割った数のビットの各々について更新を許容するか否かを判定する判定部と、  
前記M段の演算処理部の各々に設けられ、自身が属す演算処理部である自演算処理部の前記判定部の判定結果に基づいて、更新を許容する更新許容ビットのうちから1つの更新候補ビットを選択し、前記1つの更新候補ビットの識別情報を出力する第1の選択部と、  
前記M段の演算処理部の各々に設けられ、前記自演算処理部における前記更新許容ビットの数を計数する計数部と、  
前記M段の演算処理部のうち2段目以降の演算処理部に設けられ、前記自演算処理部の前記第1の選択部が出力する前記識別情報である第1の識別情報と、前段の演算処理部から供給される前記識別情報である第2の識別情報の何れか一方を選択する際に、前記自演算処理部において計数された前記更新許容ビットの数の計数結果を、前段までの演算処理部において計数された前記更新許容ビットの数の積算値と前記計数結果との和により割った確率で前記第1の識別情報を選択し、選択した前記第1の識別情報または前記第2の識別情報を、後段の演算処理部、または前記自演算処理部がM段目の演算処理部の場合には、1段目の演算処理部に供給する第2の選択部と、

前記M段の演算処理部の各々に設けられ、前記M段目の演算処理部が前記1段目の演算処理部に供給する前記第1の識別情報または前記第2の識別情報に基づいて、前記複数のビットの何れかの値を更新する状態更新部と、  
を有する最適化装置。

【請求項2】

前記M段の演算処理部は、第1のバスを介して制御装置に接続されるとともに、前記第1のバスよりも通信速度が速い第2のバスにより環状に接続されており、  
前記M段の演算処理部は、前記第2のバスを用いて、前記第1の識別情報または前記第2の識別情報の送受信を行う、  
請求項1に記載の最適化装置。

10

【請求項3】

前記第1の選択部は、  
第1の乱数値を発生する第1の乱数発生回路と、  
前記第1の乱数値と前記計数結果とに基づいて、前記更新許容ビットのうちの1つを選択する第1の選択信号を生成する第1の選択信号生成回路と、  
前記第1の選択信号に基づいて、前記更新許容ビットのうちの1つである前記1つの更新候補ビットの前記識別情報を出力する第1のデータ選択回路と、  
を有する、請求項1または2に記載の最適化装置。

【請求項4】

前記第2の選択部は、  
第2の乱数値を発生する第2の乱数発生回路と、  
前記計数結果を、前記積算値と前記計数結果との和により割った確率で前記第1の識別情報を選択する第2の選択信号を生成する第2の選択信号生成回路と、  
前記第2の選択信号に基づいて、前記第1の識別情報または前記第2の識別情報の一方を出力する第2のデータ選択回路と、  
を有する、請求項1乃至3の何れか一項に記載の最適化装置。

20

【請求項5】

最適化問題を変換したイジングモデルの基底状態の探索を行う、環状に接続されたM段（Mは2以上の整数）の演算処理部と、前記M段の演算処理部の各々に設けられ、前記イジングモデルの情報に基づいて、前記イジングモデルの全スピンに対応する複数のビットのビット数をMで割った数のビットの各々について更新を許容するか否かを判定する判定部と、前記M段の演算処理部の各々に設けられ、自身が属す演算処理部である自演算処理部の前記判定部の判定結果に基づいて、更新を許容する更新許容ビットのうちから1つの更新候補ビットを選択し、前記1つの更新候補ビットの識別情報を出力する第1の選択部と、前記M段の演算処理部の各々に設けられ、前記自演算処理部における前記更新許容ビットの数を計数する計数部と、前記M段の演算処理部のうち2段目以降の演算処理部に設けられ、前記自演算処理部の前記第1の選択部が出力する前記識別情報である第1の識別情報と、前段の演算処理部から供給される前記識別情報である第2の識別情報の何れか一方を選択する際に、前記自演算処理部において計数された前記更新許容ビットの数の計数結果を、前段までの演算処理部において計数された前記更新許容ビットの数の積算値と前記計数結果との和により割った確率で前記第1の識別情報を選択し、選択した前記第1の識別情報または前記第2の識別情報を、後段の演算処理部、または前記自演算処理部がM段目の演算処理部の場合には、1段目の演算処理部に供給する第2の選択部と、前記M段の演算処理部の各々に設けられ、前記M段目の演算処理部が前記1段目の演算処理部に供給する前記第1の識別情報または前記第2の識別情報に基づいて、前記複数のビットの何れかの値を更新する状態更新部と、前記M段の演算処理部とバスを介して接続される制御装置と、を有する最適化装置における前記制御装置が、  
前記M段の演算処理部を起動し、  
前記M段の演算処理部に前記イジングモデルの情報を送信し、  
前記M段の演算処理部から、前記複数のビットの何れかの値を更新する処理が複数回繰り返

30

40

50

返されたときの前記複数のビットの値を含む前記基底状態の探索結果を取得し、  
取得した前記探索結果を出力する、  
最適化装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、最適化装置及び最適化装置の制御方法に関する。

【背景技術】

【0002】

従来、ノイマン型コンピュータが不得意とする多変数の最適化問題を、イジング型のエネルギー関数を用いた最適化装置（イジングマシンまたはボルツマンマシンと呼ばれる場合もある）によって計算する方法がある。最適化装置は、計算対象の問題を、磁性体のスピンの振る舞いを表すモデルであるイジングモデルに置き換えて計算する。

10

【0003】

最適化装置は、たとえば、ニューラルネットワークを用いて問題をモデル化することもできる。その場合、イジングモデルに含まれる全スピンの対応した複数のビットのそれぞれが、他のビットの値と、他のビットと自身のビットとの相互作用の大きさを示す重み係数（結合係数とも呼ばれる）とに応じて0または1を出力するニューロンとして機能する。最適化装置は、たとえば、シミュレーテッド・アニーリングなどの確率的探索法により、イジングモデルのエネルギー関数の値（以下エネルギーという）の最小値が得られる各ビットの値の組み合わせを、解として求める。

20

【0004】

従来、デジタル回路を用いてシミュレーテッド・アニーリングを行うことでエネルギーが最小となる各ビットの値の組み合わせを計算する最適化装置がある（たとえば、特許文献1参照）。従来の最適化装置では、イジングモデルの全ビットのうち一度に1つのビットを更新対象とした状態の更新が繰り返される。

【0005】

ところで、最適化問題の規模の増大に応じてイジングモデルのビット数が増えると重み係数の数も増加する。全ビット間の相互作用を考慮する場合、重み係数の数はビット数の2乗となる。

30

【先行技術文献】

【特許文献】

【0006】

【文献】特開2017-219948号公報

特開平9-319721号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ビット数の増大に対応するために、複数の演算処理部（たとえば、それぞれ1チップの半導体集積回路）に重み係数を分散して保持させ、各演算処理部に全ビットのうち一部のビットについての演算を担当させることで、最適化装置を大規模化する方法がある。しかし、全ビットから更新対象の1つのビットを選択する処理は、複数の演算処理部が各々独立に行うものではないため、複数の演算処理部を用いた場合、適切に更新対象の1つのビットを選択することは容易ではない。このため一般的には、複数の演算処理部による最適化装置の大規模化は困難である。

40

【0008】

1つの側面では、本発明は、大規模化が可能な最適化装置及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

50

1つの実施態様では、最適化問題を変換したイジングモデルの基底状態の探索を行う、環状に接続されたM段（Mは2以上の整数）の演算処理部と、前記M段の演算処理部の各々に設けられ、前記イジングモデルの情報に基づいて、前記イジングモデルの全スピンの対応する複数のビットのビット数をMで割った数のビットの各々について更新を許容するかどうかを判定する判定部と、前記M段の演算処理部の各々に設けられ、自身が属す演算処理部である自演算処理部の前記判定部の判定結果に基づいて、更新を許容する更新許容ビットのうちから1つの更新候補ビットを選択し、前記1つの更新候補ビットの識別情報を入力する第1の選択部と、前記M段の演算処理部の各々に設けられ、前記自演算処理部における前記更新許容ビットの数を計数する計数部と、前記M段の演算処理部のうち2段目以降の演算処理部に設けられ、前記自演算処理部の前記第1の選択部が出力する前記識別情報である第1の識別情報と、前段の演算処理部から供給される前記識別情報である第2の識別情報の何れか一方を選択する際に、前記自演算処理部において計数された前記更新許容ビットの数の計数結果を、前段までの演算処理部において計数された前記更新許容ビットの数の積算値と前記計数結果との和により割った確率で前記第1の識別情報を選択し、選択した前記第1の識別情報または前記第2の識別情報を、後段の演算処理部、または前記自演算処理部がM段目の演算処理部の場合には、1段目の演算処理部に供給する第2の選択部と、前記M段の演算処理部の各々に設けられ、前記M段目の演算処理部が前記1段目の演算処理部に供給する前記第1の識別情報または前記第2の識別情報に基づいて、前記複数のビットの何れかの値を更新する状態更新部と、を有する最適化装置が提供される。

10

【0010】

20

また、1つの実施態様では、最適化装置の制御方法が提供される。

【発明の効果】

【0011】

1つの側面では、本発明は、最適化装置の大規模化が可能となる。

【図面の簡単な説明】

【0012】

【図1】第1の実施の形態の最適化装置の一例を示す図である。

【図2】第1の実施の形態の最適化装置に対する比較例の最適化装置を示す図である。

【図3】第2の実施の形態の最適化装置の一例を示す図である。

【図4】コアの内部構成例を示す図である。

30

【図5】判定部の回路例を示す図である。

【図6】コア内の更新候補ビットを選択する選択部の一例を示す図である。

【図7】自コアの更新候補ビットと前段コアの更新候補ビットの一方のインデックスを選択する選択部の一例を示す図である。

【図8】制御装置による最適化装置の制御の一例の流れを示すフローチャートである。

【発明を実施するための形態】

【0013】

以下、発明を実施するための形態を、図面を参照しつつ説明する。

以下に示す最適化装置は、計算対象の最適化問題を変換したイジングモデルの全スピンの対応する複数のビットのそれぞれの値の組み合わせのうち、エネルギー関数が最小値となるとき各ビットの値（イジングモデルの基底状態）を探索するものである。

40

【0014】

イジング型のエネルギー関数  $E(x)$  は、たとえば、以下の式(1)で定義される。

【0015】

【数1】

$$E(x) = - \sum_{\langle i,j \rangle} W_{ij} x_i x_j - \sum_i b_i x_i \quad (1)$$

【0016】

50

右辺の1項目は、イジングモデルの全ビットの全組み合わせについて、漏れと重複なく、2つのビットの値(0または1)と重み係数との積を積算したものである。 $x_i$ は、識別情報(以下インデックスという)が*i*のビットの値を表す変数(状態変数とも呼ばれる)、 $x_j$ は、インデックス=*j*のビットの値を表す変数であり、 $W_{ij}$ は、インデックス=*i*, *j*のビットの相互作用の大きさを示す重み係数である。なお、 $W_{ii} = 0$ である。また、 $W_{ij} = W_{ji}$ であることが多い(つまり、重み係数による係数行列は対称行列である場合が多い)。また重み係数 $W_{ij}$ は、所定のビット幅(たとえば、16ビット、32ビット、64ビット、128ビットなど)をもつ。

【0017】

右辺の2項目は、全ビットのそれぞれのバイアス係数とビットの値を表す変数との積の総和を求めたものである。 $b_i$ は、インデックスが*i*のビットのバイアス係数を示している。

10

【0018】

また、変数 $x_i$ が変化して $1 - x_i$ となると、変数 $x_i$ の増加分は、 $x_i = (1 - x_i) - x_i = 1 - 2x_i$ と表せる。スピン反転(ビットの値の変化)に伴うエネルギー変化 $E_i$ は、以下の式(2)で表される。

【0019】

【数2】

$$\Delta E_i = E(x)|_{x_i \rightarrow 1-x_i} - E(x) = -\Delta x_i \left( \sum_j W_{ij} x_j + b_i \right) = -\Delta x_i h_i \quad (2)$$

20

【0020】

式(2)において、変数 $x_i$ が1から0に変化するとき、 $x_i$ は-1となり、変数 $x_i$ が0から1に変化するとき、 $x_i$ は1となる。なお、 $h_i$ はローカルフィールド(局所場)と呼ばれ、 $x_i$ に応じてローカルフィールド $h_i$ に符号(+1または-1)を乗じたものがエネルギー変化 $E_i$ である。

【0021】

また、変数 $x_j$ が0から1に変化したときのローカルフィールド $h_i$ の変化分 $h_i$ は、 $+W_{ij}$ 、変数 $x_j$ が1から0に変化したときの変化分 $h_i$ は、 $-W_{ij}$ と表せる。したがって、ローカルフィールド $h_i$ は行列演算により毎回計算しなおす必要はなく、状態遷移にともなって変化のあったビットによる変化分だけ $W_{ij}$ を加減算すればよい。

30

【0022】

(第1の実施の形態)

図1は、第1の実施の形態の最適化装置の一例を示す図である。

第1の実施の形態の最適化装置10は、イジングモデルの基底状態の探索を行う、環状に接続された4段の演算処理部11, 12, 13, 14を有する。なお、演算処理部の段数は4段に限定されず、*M*段(*M*は2以上の整数)であればよい。演算処理部11~14の各々は、たとえば、1チップの半導体集積回路(ASIC(Application Specific Integrated Circuit)やFPGA(Field-Programmable Gate Array)など)である。なお、演算処理部11~14は、たとえば、1チップの半導体集積回路内に設けられていてもよい。

40

【0023】

最適化装置10では、イジングモデルの状態を更新する処理が多数回数繰り返されるため、演算処理部11~14の間では高速に情報の送受信が行われることが望ましい。そのため、演算処理部11~14の間は、演算処理部11~14にイジングモデルの情報などを設定するために使用されるバスよりも高速通信が可能な専用バスで接続されていることが望ましい。ただ、専用バスの物理的な制約がある。たとえば、専用バスの通信速度が100Gbpsである場合、演算処理部11~14が200MHzのクロック周波数で動作するとき、500bit/cycleが、専用バスのデータ転送速度の上限となる。たとえば、1024個のビットの各々のインデックス(10ビット)と更新を許容するか否かの

50

判定結果（1ビット）の総情報量は、11264ビットとなるため、上記専用バスでは、1クロックサイクルでの送受信を行えない。そのため、演算処理部11～14の各々は、1つの更新候補ビットを選択し、その情報を、専用バスを用いて送受信する。

#### 【0024】

1段目の演算処理部11は、状態更新部11a、判定部11b、選択部11c、計数部11dを有する。2段目の演算処理部12は、状態更新部12a、判定部12b、選択部12c、計数部12d、選択部12eを有する。3段目の演算処理部13も、2段目の演算処理部12と同様に、状態更新部13a、判定部13b、選択部13c、計数部13d、選択部13eを有する。4段目の演算処理部14も、2段目及び3段目の演算処理部12、13と同様に、状態更新部14a、判定部14b、選択部14c、計数部14d、選択部14eを有する。

10

#### 【0025】

状態更新部11a～14aは、後述するように、4段目の演算処理部14が1段目の演算処理部11に供給する、インデックスに基づいて、複数のビットの何れかの値を更新する。状態更新部11a～14aの各々は、イジングモデルの全てのスピンに対応した複数のビットを保持している。

#### 【0026】

判定部11b～14bの各々は、イジングモデルの情報に基づいて、イジングモデルの全スピンに対応する複数のビットのビット数を演算処理部11～14の段数である4で割った数のビットの各々について更新を許容するか否かを判定する。イジングモデルの情報は、前述の重み係数を含む。

20

#### 【0027】

たとえば、全スピンに対応する複数のビットのビット数が、4096の場合、判定部11bは、インデックスが0～1023のビットの各々について更新を許容するか否かを判定する。また、判定部12bは、インデックスが1024～2047のビットの各々について更新を許容するか否かを判定し、判定部13bは、インデックスが2048～3071のビットの各々について更新を許容するか否かを判定する。また、判定部14bは、インデックスが3072～4095のビットの各々について更新を許容するか否かを判定する。判定部11b～14bの各々は、1024ビットの各々についての更新を許容するか否かの判定結果（以下フラグという）をインデックスとともに出力する。以下では、フラグが1である場合は、そのビットについての更新を許容することを示し、フラグが0である場合は、そのビットについての更新を許容しないことを示す。

30

#### 【0028】

判定部11b～14bの各々は、たとえば、以下のように、各ビットの更新を許容するか否かを判定する。判定部11b～14bの各々は、自身が属す演算処理部が処理を担当する1024ビットに関する重み係数群を保持する記憶部（たとえば、レジスタまたはSRAM（Static Random Access Memory）など）を有する。たとえば、判定部11bの記憶部は、インデックスが0～1023のビットの各々と、他の全てのビットとの間の相互作用の大きさを示す重み係数群を保持している。そして、判定部11b～14bの各々は、その重み係数群と、値が更新されたビットの情報（インデックスと更新後の値）に基づいて、1024ビットの各々の値が変化することによるイジングモデルのエネルギー変化を計算する。そして、判定部11b～14bの各々は、計算したエネルギー変化と、熱励起エネルギー（熱雑音）との大小関係に基づいて、1024ビットの各々の更新を許容するか否かを判定する。熱励起エネルギーは、乱数と、図示しない制御部から供給される温度パラメータとから決定される。シミュレーテッド・アニーリングが行われる場合、温度パラメータは、たとえば、制御部によって、イジングモデルの状態を更新する処理が、所定回数繰り返されるごとに、値が小さくなるように制御される。なお、上記のような判定処理を行う回路の例については、後述する。

40

#### 【0029】

選択部11c～14cの各々は、上記のフラグに基づいて、更新を許容するビット（以下

50

更新許容ビットという)のうちから1つの更新候補ビットを選択し、更新候補ビットのインデックスを出力する。たとえば、選択部11cは、インデックスが0~1023のビットのうち、フラグが1である更新許容ビットが複数ある場合に、それらの中から、乱数を用いて1つの更新候補ビットを選択してそのインデックスを出力する。なお、インデックスが0~1023のビットのフラグが全て0である場合も、1つの更新候補ビットが選択される。

【0030】

選択部11c~14cの各々は、更新候補ビットのインデックスのほか、更新候補ビットのフラグも出力する。

計数部11d~14dの各々は、自身が属す演算処理部における更新許容ビット数を計数する。たとえば、計数部11dは、インデックスが0~1023のビットのうち、フラグが1である更新許容ビット数を計数する。

10

【0031】

選択部12e~14eの各々は、自身が属す演算処理部の選択部(12c~14cの何れか)が出力する更新候補ビットのインデックスと、前段の演算処理部から供給される更新候補ビットのインデックスの何れか一方を、以下のように選択する。

【0032】

選択部12e~14eの各々は、自身が属す演算処理部において計数された更新許容ビット数の計数結果と、前段までの演算処理部において計数された更新許容ビット数の積算値とを受ける。そして、選択部12e~14eの各々は、上記計数結果を、積算値と計数結果との和により割った確率で、自身が属す演算処理部の選択部が出力するインデックスを選択する。選択部12e~13eの各々は、選択したインデックスを後段の演算処理部に供給する。また、選択部12e~13eの各々は、前段の演算処理部から供給される上記積算値に、上記計数結果を加えることで積算値を更新し、後段の演算処理部に供給する。最後段の演算処理部14に属す選択部14eは、選択したインデックスを1段目の演算処理部11に供給する。なお、選択されたインデックスで識別される更新候補ビットのフラグについても、インデックスとともに、後段の演算処理部または1段目の演算処理部11に供給される。

20

【0033】

図1に示すように、たとえば、選択部12eはデータ選択回路12e1を有する。データ選択回路12e1は、選択信号sel1が1の場合、演算処理部12の選択部12cが出力する更新候補ビットのインデックスを選択し、選択信号sel1が0の場合、演算処理部11から供給される更新候補ビットのインデックスを選択する。選択信号sel1は、上記の確率で1になるように生成される。選択部12eは、選択信号sel1を生成する選択信号生成回路を有しているが、図1では図示が省略されている。選択部13eもデータ選択回路13e1を有し、データ選択回路12e1と同様の動作を行う。選択部14eもデータ選択回路14e1を有し、データ選択回路12e1と同様の動作を行う。

30

【0034】

以下、第1の実施の形態の最適化装置10の動作例を説明する。

図示しない制御部により、状態更新部11a~14aに、各ビットの初期値が設定され、判定部11b~14bに重み係数群が設定された後、判定部11b~14bは、たとえば、前述の処理により各ビットについて更新を許容するか否かを判定する。そして、判定部11b~14bは、その判定結果であるフラグを出力する。選択部11c~14cの各々は、フラグに基づいて、更新許容ビットのうちから1つの更新候補ビットを選択し、更新候補ビットのインデックスを出力する。

40

【0035】

図1の例では、演算処理部11の選択部11cはインデックス=1020を出力し、演算処理部12の選択部12cはインデックス=2046を出力している。演算処理部13の選択部13cはインデックス=2054を出力し、演算処理部14の選択部14cはインデックス=3078を出力している。なお、選択部11c~14cの各々は、さらに、選

50

択した更新候補ビットのフラグとして1を出力している。

【0036】

計数部11d～14dの各々は、自身が属す演算処理部における更新許容ビット数を計数する。図1の例では、計数部11dは更新許容ビット数として790を出力し、計数部12dは更新許容ビット数として30を出力し、計数部13dは更新許容ビット数として200を出力し、計数部14dは更新許容ビット数として1を出力している。

【0037】

1段目の演算処理部11は、選択した更新候補ビットのインデックス及びフラグと更新許容ビット数を、2段目の演算処理部12に供給する。

2段目の演算処理部12の選択部12eは、選択部12cが出力したインデックスと、演算処理部11から供給されるインデックスの一方を、以下のように選択する。選択部12eは、演算処理部12において計数された更新許容ビット数の計数結果と、前段までの演算処理部において計数された更新許容ビット数の積算値（演算処理部11から供給される更新許容ビット数）を受ける。そして、選択部12eは、上記計数結果を、演算処理部11から供給される更新許容ビット数と上記計数結果との和により割った確率で選択部12cが出力したインデックスを選択する。選択部12eは、選択したインデックスとフラグ及び、演算処理部11から供給される更新許容ビット数に上記計数結果を加えた積算値を演算処理部13に供給する。

10

【0038】

図1の例では、選択部12eには、演算処理部11から更新許容ビット数として790が供給され、計数部12dが計数した更新許容ビット数として30が供給される。そのため選択部12eは、 $30/820$ の確率で、選択信号se11を1として、選択部12cが出力したインデックス（図1の例では、2046）を選択する。図1の例の選択部12eでは、選択部12cが出力したインデックスよりも、演算処理部11から供給されるインデックス（図1の例では、1020）が選択される確率が高くなる。

20

【0039】

3段目の演算処理部13の選択部13eは、選択部13cが出力したインデックスと、演算処理部12から供給されるインデックスの一方を、以下のように選択する。選択部13eは、演算処理部13において計数された更新許容ビット数の計数結果と、前段までの演算処理部において計数された更新許容ビット数の積算値（演算処理部11, 12における更新許容ビット数の和）を受ける。そして、選択部13eは、上記計数結果を、演算処理部12から供給される積算値と上記計数結果との和により割った確率で選択部13cが出力したインデックスを選択する。選択部13eは、選択したインデックスとフラグ及び、演算処理部12から供給される上記積算値を、上記計数結果を加えることで更新して、演算処理部14に供給する。

30

【0040】

図1の例では、選択部13eには、演算処理部12から更新許容ビット数の積算値として820が供給され、計数部13dが計数した更新許容ビット数として200が供給される。そのため選択部13eは、 $200/1020$ の確率で、選択信号se12を1として、選択部13cが出力したインデックス（図1の例では、2054）を選択する。図1の例の選択部13eでは、選択部13cが出力したインデックスよりも、演算処理部12から供給されるインデックスが選択される確率が高くなる。

40

【0041】

4段目の演算処理部14の選択部14eは、選択部14cが出力したインデックスと、演算処理部13から供給されるインデックスの一方を、以下のように選択する。選択部14eは、演算処理部14において計数された更新許容ビット数の計数結果と、前段までの演算処理部において計数された更新許容ビット数の積算値（演算処理部11, 12, 13における更新許容ビット数の積算値）を受ける。そして、選択部14eは、上記計数結果を、演算処理部13から供給される積算値と上記計数結果との和により割った確率で選択部14cが出力したインデックスを選択する。選択部14eは、選択したインデックスとフ

50

ラグを、1段目の演算処理部11に供給する。

【0042】

図1の例では、選択部14eには、演算処理部13から更新許容ビット数の積算値として1020が供給され、計数部14dが計数した更新許容ビット数として1が供給される。そのため選択部14eは、 $1/1021$ の確率で、選択信号sel3を1として、選択部14cが出力したインデックス(図1の例では、3078)を選択する。図1の例の選択部14eでは、選択部14cが出力したインデックスよりも、演算処理部13から供給されるインデックスが選択される確率が高くなる。また、図1の例では、演算処理部11にて選択された更新候補ビットのインデックスである1020が、演算処理部12の選択部12e、演算処理部13の選択部13e、演算処理部14の選択部14eにて選択され、演算処理部11に供給される例が示されている。この場合、インデックスが1020の更新候補ビットが、更新対象ビットとなる。

10

【0043】

演算処理部11の状態更新部11aは、演算処理部14から供給されるフラグが1の場合、保持している複数のビットの値のうち、演算処理部14から供給されるインデックスに対応するビットの値を更新(反転)させる。

【0044】

演算処理部14から演算処理部11に供給されるインデックスとフラグは、状態更新部11aから演算処理部12に供給され、さらに、演算処理部12から演算処理部13に供給され、演算処理部13から演算処理部14に供給される。そして、状態更新部12a, 13a, 14aでは、状態更新部11aと同様の処理が行われる。

20

【0045】

上記のような処理が、図示しない制御部による制御のもと、所定回数繰り返され、たとえば、所定回数繰り返された後に状態更新部11a~14aに保持されている各ビットの値が解として出力される。なお、各段の演算処理部11~14は、選択した更新候補ビットのインデックスやフラグとともに、その更新候補ビットに対応するエネルギー変化(判定部11bから14b)についても後段(演算処理部14の場合は1段目)の演算処理部に供給してもよい。そして、状態更新部11a~14aは、演算処理部14から演算処理部11に供給されるエネルギー変化に基づいて、イジングモデルのエネルギーを更新してもよい。また、状態更新部11a~14aは、更新したエネルギーが、これまでに得られた値よりも小さければ最小エネルギーとして保持しておき、そのときの各ビットの値(イジングモデルの状態)を保持しておいてもよい。その場合、イジングモデルの状態の更新処理が所定回数繰り返されたときに保持されている最小エネルギーが得られたときの各ビットの値が解として出力される。

30

【0046】

以下、第1の実施の形態の最適化装置10の効果を説明する前に、最適化装置10に対する比較例を説明する。

図2は、第1の実施の形態の最適化装置に対する比較例の最適化装置を示す図である。図2において、図1に示した最適化装置10と同じ要素については同一符号が付されている。

【0047】

比較例の最適化装置20では、演算処理部21, 22, 23, 24のうち、演算処理部22~24に含まれる選択部22a, 23a, 24aは、 $1/2$ の確率で自身が属す演算処理部の選択部(12c~14cの何れか)が出力するインデックスを選択する。つまり、選択部22aのデータ選択回路12e1に供給される選択信号sel1と、選択部23aのデータ選択回路13e1に供給される選択信号sel2と、選択部24aのデータ選択回路14e1に供給される選択信号sel3は $1/2$ の確率で1となる。

40

【0048】

このため、より後段の演算処理部において選択される更新候補ビットのインデックスが優先されてしまい、更新対象ビットの選択確率の偏りが発生し、適切に更新ビットを選択できなくなる。たとえば、図2の例では、インデックスが3072~4095のビットが更

50

新対象ビットとして選択される確率が他のビットよりも高くなる。このような選択確率の偏りによって、解の計算精度が悪化する可能性がある。

【0049】

これに対して、第1の実施の形態の最適化装置10では、演算処理部22~24の各々は前段の演算処理部から送られる更新許容ビットの積算値を用いて、上記のような確率で更新候補ビットを選択することで、更新対象ビットの選択確率の偏りを解消できる。

【0050】

以下、図1の例を用いて選択確率の算出例を説明する。なお、選択部11c~14cの各々は、1024のビットのうちフラグが1のビットが複数ある場合に、それらの中から1つのビットを均等な確率で選択するものとする。

【0051】

たとえば、図1の例では、4段目の演算処理部14の選択部14eがインデックスとして0~1023の何れかを出力する確率は、 $(1/790) \times (790/820) \times (820/1020) \times (1020/1021) = 1/1021$ となる。選択部14eがインデックスとして1024~2047の何れかを出力する確率は、 $(1/30) \times (30/820) \times (820/1020) \times (1020/1021) = 1/1021$ となる。選択部14eがインデックスとして2048~3071の何れかを出力する確率は、 $(1/200) \times (200/1020) \times (1020/1021) = 1/1021$ となる。選択部14eがインデックスとして3072~4095の何れかを出力する確率は、 $1 \times (1/1021) = 1/1021$ となる。

【0052】

つまり、上記の例では、各更新許容ビットが更新対象ビットとなる確率を、 $1/1021$ とすることができ、全更新許容ビットから均等な確率で更新対象ビットを選択することができる。

【0053】

以上のように、第1の実施の形態の最適化装置10では、更新対象ビットの選択確率の偏りを生じさせることなく、環状に接続した複数の演算処理部を用いた大規模化が可能となる。

【0054】

また、演算処理部11~14が環状に接続され、演算処理部11~14の各々では、1つの更新候補ビット（または更新対象ビット）が選択され、その情報が演算処理部の間で受信される。このため、演算処理部11~14の間のバスのインタフェース数やデータ転送量を増加させることなく、演算処理部の数を増加させることができる。

【0055】

（第2の実施の形態）

図3は、第2の実施の形態の最適化装置の一例を示す図である。

第2の実施の形態の最適化装置30は、制御装置31、記憶装置32、M段のコア33a1, 33a2, ..., 33aM、共有バス34、専用バス35a1, 35a2, ..., 35aMを有する。

【0056】

制御装置31は、コア33a1~33aMの制御を行う。制御装置31は、たとえば、CPU (Central Processing Unit) やDSP (Digital Signal Processor) など、プログラムの命令を実行する演算回路を含むプロセッサである。制御装置31は、たとえば、記憶装置32に記憶されたプログラムを実行する。なお、制御装置31は、複数のプロセッサまたは複数のプロセッサコアを備えてもよく、コア33a1~33aMの制御を複数のプロセッサまたはプロセッサコアを用いて並列に実行してもよい。

【0057】

記憶装置32は、イジングモデルの情報などを記憶する。なお、記憶装置32は、制御装置31が実行するプログラムを記憶してもよい。記憶装置32は、たとえば、SDRAM (Synchronous Dynamic Random Access Memory) などの揮発性の記憶装置、また

10

20

30

40

50

は、フラッシュメモリ、EEPROM (Electrically Erasable Programmable Read Only Memory) や HDD (Hard Disk Drive) などの不揮発性の記憶装置、またはこれらの組み合わせであってもよい。

【0058】

コア33a1～33aMの各々は、第1の実施の形態の最適化装置10の演算処理部11～14の何れかと同様の機能を有している。コア33a1～33aMの各々は、たとえば、1チップの半導体集積回路である。コア33a1～33aMの内部構成例については後述する。

【0059】

共有バス34は、コア33a1～33aMと制御装置31とを接続するバスである。共有バス34は、制御装置31がコア33a1～33aMを制御するための制御信号、イジングモデルの情報、コア33a1～33aMによる探索結果などの通信に用いられる。共有バス34として、たとえば、PCI (Peripheral Component Interconnect) - Expressなどが用いられる。

10

【0060】

専用バス35a1～35aMは、コア33a1～33aMの間を環状に接続するバスである。たとえば、専用バス35a1は、コア33a1の出力端子と、コア33a2の入力端子とを接続するバスであり、専用バス35aMは、コア33aMの出力端子と、コア33a1の入力端子とを接続するバスである。専用バス35a1～35aMは、更新候補ビットのインデックスやフラグなどの情報をコア33a1～33aMの間で送受信するために用いられる。専用バス35a1～35aMは、たとえば、メタルケーブルまたは光ケーブルである。光ケーブルとして、たとえば、通信速度が100Gbpsの、QSFP (Quad Small Form-Factor Pluggable) ケーブルなどを用いることができる。コア33a1～33aMの間が、専用バス35a1～35aMにより、point-to-point接続されているため、高いデータ転送帯域が確保できる。

20

【0061】

図4は、コアの内部構成例を示す図である。図4では、コア33a2の内部構成の例が示されているが、他のコアも同様である。

コア33a2は、制御部40、入力処理部41、状態更新部42、判定部43、計数部44、選択部45、46、出力処理部47を有する。

30

【0062】

制御部40は、イジングモデルの状態の更新処理を開始する前に、制御装置31から各種の情報を受信する。制御部40が制御装置31から受信する情報として、たとえば、イジングモデルの情報、各ビットの初期値、後述するオフセット値の増分値、シミュレーテッド・アニーリングを行うための温度スケジュール情報、更新処理の繰り返し回数がある。さらに、制御部40が制御装置31から受信する情報として、コア種別を判断するための情報(コア33a2が何段目のコアなのか判定するための情報)である、コア数(=M)と値mがある。たとえば、コア33a1は、 $m=0$ 、コア33aMは、 $m=M-1$ と表される。コア33a2に含まれる制御部40には、制御装置31から $m=1$ と、Mが送信される。

40

【0063】

そして、制御部40は、イジングモデルの情報を判定部43に設定するとともに、温度スケジュール情報に基づいた温度パラメータを判定部43に設定し、各ビットの初期値を状態更新部42に保持させる。また、制御部40は、オフセット値の初期値(=0)と、オフセット値の増分値を状態更新部42に設定する。

【0064】

その後、制御部40は、たとえば、コア33a2の各部にクロック信号を供給して、イジングモデルの状態の更新処理を開始する。また、制御部40は、更新処理の回数を計数し、更新処理の回数が所定回数に達するたびに、温度スケジュール情報に基づいて、判定部43に設定する温度パラメータの値を小さくしていく。さらに、制御部40は、更新処理

50

の回数が、制御装置 3 1 から受信した繰り返し回数に達した場合、更新処理の終了通知を制御装置 3 1 に対して送信する。

【 0 0 6 5 】

また、制御部 4 0 は、制御装置 3 1 から探索結果の出力要求を受信した場合、更新処理の回数が、上記繰り返し回数に達したときの最小エネルギーと、そのときの各ビットの値を、状態更新部 4 2 から取得して、制御装置 3 1 に送信する。なお、制御装置 3 1 は、更新処理の回数が、上記繰り返し回数に達したときのエネルギーと、そのときの各ビットの値を、状態更新部 4 2 から取得して、制御装置 3 1 に送信してもよい。

【 0 0 6 6 】

また、制御部 4 0 は、イジングモデルの状態の更新処理を開始する前に、制御装置 3 1 から、以前の上記繰り返し回数の更新処理の終了時に得られたエネルギーと各ビットの値及び最小エネルギーと最小エネルギーが得られたときの各ビットの値を受信してもよい。そして、制御部 4 0 は、受信したエネルギーと各ビットの値及び、最小エネルギーと最小エネルギーが得られたときの各ビットの値を、状態更新部 4 2 に設定してから今回の更新処理を開始してもよい。

【 0 0 6 7 】

制御部 4 0 は、たとえば、ASIC や FPGA などの特定用途の電子回路にて実現できる。なお、制御部 4 0 は、CPU や DSP などのプロセッサであってもよい。その場合、プロセッサは、メモリに記憶されたプログラムを実行することで、上記のような制御部 4 0 の処理を行う。

【 0 0 6 8 】

入力処理部 4 1 は、前段のコア 3 3 a 1 から更新対象ビット情報と、更新候補ビット情報を受信する。そして、入力処理部 4 1 は、受信した更新対象ビット情報を状態更新部 4 2 に供給し、受信した更新候補ビット情報を選択部 4 6 に供給する。

【 0 0 6 9 】

更新対象ビット情報には、更新対象ビットのインデックス、フラグ、その更新対象ビットの値を反転させたときのエネルギー変化が含まれる。更新候補ビット情報には、更新候補ビットのインデックス、フラグ、その更新候補ビットの値を反転させたときのエネルギー変化のほかに、前段までのコアにおける更新許容ビット数の積算値が含まれる。入力処理部 4 1 が受信する更新候補ビット情報の上記積算値は、コア 3 3 a 1 における更新許容ビット数に相当する。

【 0 0 7 0 】

なお、図示を省略しているが、1 段目のコア 3 3 a 1 に含まれる入力処理部には、コア 3 3 a M から更新候補ビット情報は供給されず、更新対象ビット情報が供給される。

状態更新部 4 2 は、現在の各ビットの値、現在のエネルギー、最小エネルギー、最小エネルギーが得られたときの各ビットの値、現在のオフセット値、オフセット値の増分値を保持する。そして、状態更新部 4 2 は、入力処理部 4 1 から供給される更新対象ビット情報に基づいて、現在の各ビットの値、現在のエネルギーを更新する。また、状態更新部 4 2 は、更新された現在のエネルギーが最小エネルギーよりも小さい場合には、最小エネルギーと最小エネルギーが得られたときの各ビットの値を更新する。また、状態更新部 4 2 は、更新対象ビット情報に含まれるフラグが 0 の場合には、現在のオフセット値に増分値を加算して、判定部 4 3 に供給する。また、状態更新部 4 2 は、更新対象ビット情報を、出力処理部 4 7 に供給する。

【 0 0 7 1 】

判定部 4 3 は、イジングモデルの情報に基づいて、イジングモデルの全スピンに対応する複数のビットのビット数をコア 3 3 a 1 ~ 3 3 a M の段数である M で割った数のビットの各々について更新を許容するか否かを判定し、その判定結果を示すフラグを出力する。たとえば、M = 4、全ビット数が 4 0 9 6 である場合、2 段目のコア 3 3 a 2 に含まれる判定部 4 3 は、インデックスが 1 0 2 4 ~ 2 0 4 7 のビットについて更新を許容するか否かを判定する。判定部 4 3 の回路例については後述する。

10

20

30

40

50

## 【 0 0 7 2 】

計数部 4 4 は、判定部 4 3 によって判定された更新許容ビットの数（更新許容ビット数）を計数する。

選択部 4 5 は、上記のフラグと更新許容ビット数に基づいて、乱数を用いて、更新許容ビットのうちから 1 つの更新候補ビットを選択し、更新候補ビットのインデックスとフラグを出力する。選択部 4 5 の回路例については後述する。

## 【 0 0 7 3 】

選択部 4 6 は、入力処理部 4 1 から供給される更新候補ビット情報と、自身が属すコア 3 3 a 2 において計数された更新許容ビット数の計数結果とに基づいて、積算値を更新する。更新候補ビット情報に含まれる積算値を  $C[m-1]$ 、計数部 4 4 が出力する計数結果を  $U[m]$  とした場合、更新された積算値  $C[m]$  は、 $C[m] = C[m-1] + U[m]$  と表せる。そして、選択部 4 6 は、 $U[m] / C[m]$  の確率で、選択部 4 5 が出力するインデックスを選択する。また、選択部 4 6 は、 $1 - U[m] / C[m]$  の確率で、更新候補ビット情報に含まれる更新候補ビットのインデックスを選択する。

10

## 【 0 0 7 4 】

選択部 4 6 は、選択したインデックスとそれに対応するフラグ及び更新した積算値を含む更新候補ビット情報を出力処理部 4 7 に供給する。選択部 4 6 の回路例については後述する。

## 【 0 0 7 5 】

なお、図示を省略しているが、1 段目のコア 3 3 a 1 も選択部 4 6 に対応する選択部を有していてもよいが、その選択部は、1 / 1 の確率で、コア 3 3 a 1 において選択された更新候補ビットのインデックスを選択する。

20

## 【 0 0 7 6 】

出力処理部 4 7 は、状態更新部 4 2 から供給される更新対象ビット情報を、後段のコア（図示が省略されている）に送信し、その後、選択部 4 6 から供給される更新候補ビット情報を、後段のコアに送信する。

## 【 0 0 7 7 】

なお、図示を省略しているが、M 段目のコア 3 3 a M に含まれる出力処理部は、コア 3 3 a M において選択部 4 6 に対応する選択部が出力する更新候補ビット情報のうち、積算値を除いた情報を、新たな更新対象ビット情報として 1 段目のコア 3 3 a 1 に送信する。

30

## 【 0 0 7 8 】

（判定部 4 3 の回路例）

図 5 は、判定部の回路例を示す図である。図 5 には、判定部 4 3 において、インデックス =  $i$  のビットに関して更新を許容するか否かを判定する回路部が示されている。他のビットに関して同様の回路部が設けられる。M = 4、全ビット数 N が 4 0 9 6 である場合、2 段目のコア 3 3 a 2 に含まれる判定部 4 3 において、 $i$  は、1 0 2 4 ~ 2 0 4 7 の何れかの値である。

## 【 0 0 7 9 】

判定部 4 3 は、レジスタ 4 3 a、選択回路 4 3 b、E 計算回路 4 3 c、更新判定回路 4 3 d を有する。

40

レジスタ 4 3 a は、インデックス =  $i$  のビットと、インデックス = 0 ~ N - 1 のビットとの相互作用の大きさを表す重み係数  $W_{i0}, W_{i2}, \dots, W_{i(N-1)}$  を保持する。

## 【 0 0 8 0 】

選択回路 4 3 b は、状態更新部 4 2 から更新対象ビットのインデックス =  $j$  (0 ~ N - 1 の何れかの値) を受け、重み係数  $W_{i0} \sim W_{i(N-1)}$  から、更新対象ビットとインデックス =  $i$  のビットとの間の相互作用の大きさを表す重み係数  $W_{ij}$  を選択して出力する。

## 【 0 0 8 1 】

E 計算回路 4 3 c は、選択回路 5 0、乗算器 5 1、加算器 5 2、レジスタ 5 3、乗算器 5 4、選択回路 5 5 を有する。

選択回路 5 0 は、更新対象ビットの値の変化分の演算を実現するものである。インデック

50

ス =  $j$  のビットの値 (変数  $x_j$ ) が、1 から 0 に変化するとき、変化分  $x_j$  は - 1 となり、変数  $x_j$  が 0 から 1 に変化するとき、 $x_j$  は 1 となる。選択回路 5 0 は、状態更新部 4 2 から供給される変数  $x_j$  の更新後の値が 0 のときには、- 1 を選択して出力し、変数  $x_j$  の更新後の値が 1 のときには、1 を選択して出力する。

【 0 0 8 2 】

乗算器 5 1 は、選択回路 4 3 b が出力する重み係数と、選択回路 5 0 が出力する値との積を出力する。図 5 の例では、乗算器 5 1 には、重み係数  $W_{ij}$  が入力されている。乗算器 5 1 の出力は、変数  $x_j$  が変化したことによるローカルフィールド  $h_i$  の変化分  $h_i$  を表す。

【 0 0 8 3 】

加算器 5 2 は、乗算器 5 1 が出力する値と、レジスタ 5 3 に格納されている値とを加算して出力する。

レジスタ 5 3 は、図示しないクロック信号に同期して、加算器 5 2 が出力する値 (ローカルフィールド  $h_i$ ) を取り込む。レジスタ 5 3 は、たとえば、フリップフロップである。なお、レジスタ 5 3 に格納されるローカルフィールド  $h_i$  の初期値は、たとえば、全変数  $x$  の初期値を 0 とした場合、バイアス係数  $b_i$  である。

【 0 0 8 4 】

乗算器 5 4 は、レジスタ 5 3 が出力するローカルフィールド  $h_i$  と選択回路 5 5 が出力する値との積を出力する。この積が、式 ( 2 ) に示した、インデックス =  $i$  のビットの値が変化することによるエネルギー変化  $E_i$  である。

【 0 0 8 5 】

選択回路 5 5 は、式 ( 2 ) の  $- x_i$  の演算を実現するものである。選択回路 5 5 は、状態更新部 4 2 から供給される現在のインデックス =  $i$  のビットの値を示す変数  $x_i$  が 0 のときは、- 1 を出力し、変数  $x_i$  が 1 のときは 1 を出力する。

【 0 0 8 6 】

更新判定回路 4 3 d は、符号反転部 6 0、加算器 6 1、乱数発生回路 6 2、選択法則適用部 6 3、乗算器 6 4、比較回路 6 5、レジスタ 6 6 を有する。

符号反転部 6 0 は、 $E$  計算回路 4 3 c が出力するエネルギー変化  $E_i$  に - 1 を掛けて符号を反転させる。

【 0 0 8 7 】

加算器 6 1 は、符号反転部 6 0 の出力値に、状態更新部 4 2 から供給されるオフセット値  $off$  を加える。前述のように、更新対象ビット情報に含まれるフラグが 0 の場合 (ビットの更新が生じない場合)、状態更新部 4 2 がオフセット値  $off$  を大きくすることで、ビットの更新が許容されやすくなり、現在の状態が局所解にある場合、その局所解からの脱出が促進される。

【 0 0 8 8 】

乱数発生回路 6 2 は、0 以上、1 以下の一様乱数  $r$  を発生する。乱数発生回路 6 2 は、LFSR (Linear Feedback Shift Register) や、メルセンヌ・ツイスタなどにより実現される。

【 0 0 8 9 】

選択法則適用部 6 3 は、シミュレーテッド・アニーリングを行うための選択法則 (メトロポリス法またはギブス法) に基づいた値を出力する。

シミュレーテッド・アニーリングが行われる場合、あるエネルギー変化  $E$  を引き起こす状態遷移の許容確率  $A ( E, T )$  を以下の式 ( 3 ) , ( 4 ) のように決めれば、時刻 ( 反復回数 ) 無限大の極限で状態が最適解に到達することが証明されている。

【 0 0 9 0 】

【 数 3 】

$$A(\Delta E, T) = f(-\Delta E/T) \quad (3)$$

10

20

30

40

50

【 0 0 9 1 】

【 数 4 】

$$f(-\Delta E/T) = \begin{cases} \min[1, \exp(-\Delta E/T)] & \text{メトロポリス法} \\ 1/[1 + \exp(\Delta E/T)] & \text{ギブス法} \end{cases} \quad (4)$$

【 0 0 9 2 】

式 ( 3 ) , ( 4 ) において T は、前述の温度パラメータである。

式 ( 3 ) で表される許容確率  $A ( E , T )$  を用いた場合、十分な反復後に定常状態に達したとすると、各状態の占有確率は熱力学における熱平衡状態に対するボルツマン分布にしたがう。そして、高い温度から徐々に下げていくとエネルギーの低い状態の占有確率が増加するため、十分温度が下がるとエネルギーの低い状態が得られるはずである。この様子が材料を焼き鈍したときの状態変化とよく似ているため、この方法はシミュレーテッド・アニーリングと呼ばれるのである。このとき、エネルギーが上がる状態遷移が確率的に起こることは、物理学における熱励起に相当する。

10

【 0 0 9 3 】

許容確率  $A ( E , T )$  でエネルギー変化  $E$  を引き起こす状態遷移を許容することを示すフラグ (= 1) を出力する回路は、式 ( 3 ) , ( 4 ) の  $f ( - E / T )$  と、一様乱数  $r$  との比較結果に基づいた値を出力する比較器によって実現できる。

20

【 0 0 9 4 】

ただ、次のような変形を行っても同じ機能が実現できる。2つの数に同じ単調増加関数を作用させても大小関係は変化しない。したがって比較器の2つの入力に同じ単調増加関数を作用させても比較器の出力は変わらない。たとえば、 $f ( - E / T )$  に作用させる単調増加関数として  $f ( - E / T )$  の逆関数  $f^{-1} ( - E / T )$ 、一様乱数  $r$  に作用させる単調増加関数として  $f^{-1} ( - E / T )$  の  $- E / T$  を  $r$  とした  $f^{-1} ( r )$  を用いることができる。その場合、上記の比較器と同様の機能を有する回路は、 $- E / T$  が  $f^{-1} ( r )$  より大きいとき 1 を出力する回路でよいことがわかる。さらに温度パラメータ T が正であることから、その回路は、 $- E$  が  $T \cdot f^{-1} ( r )$  より大きいとき 1 を出力する回路でよい。

30

【 0 0 9 5 】

図 5 の選択法則適用部 6 3 は、入力される一様乱数  $r$  を上記の  $f^{-1} ( r )$  の値に変換する変換テーブルを用いて、 $f^{-1} ( r )$  の値を出力する。メトロポリス法が適用される場合、 $f^{-1} ( r )$  は、 $\log ( r )$  である。変換テーブルは、たとえば、RAM ( Random Access Memory )、フラッシュメモリなどのメモリに記憶されている。

【 0 0 9 6 】

乗算器 6 4 は、制御部 4 0 から供給される温度パラメータ T と、 $f^{-1} ( r )$  との積 ( $T \cdot f^{-1} ( r )$ ) を出力する。 $T \cdot f^{-1} ( r )$  は、熱励起エネルギーに相当する。

比較回路 6 5 は、加算器 6 1 による加算結果と、 $T \cdot f^{-1} ( r )$  とを比較し、加算結果が  $T \cdot f^{-1} ( r )$  より大きい場合、フラグとして 1 (更新を許容することを示す値) を出力する。また、比較回路 6 5 は、加算結果が  $T \cdot f^{-1} ( r )$  以下の場合、フラグとして 0 (更新を許容しないことを示す値) を出力する。

40

【 0 0 9 7 】

レジスタ 6 6 は、インデックス =  $i$  を保持している。

エネルギー変化  $E_i$ 、インデックス =  $i$  及びフラグが、インデックス =  $i$  のビットの更新を許容するか否かの情報として、図 4 の選択部 4 5 に供給される。

【 0 0 9 8 】

( 選択部 4 5 の回路例 )

図 6 は、コア内の更新候補ビットを選択する選択部の一例を示す図である。

選択部 4 5 は、乱数発生回路 4 5 a、選択信号生成回路 4 5 b、データ選択回路 4 5 c を

50

有する。

【0099】

乱数発生回路45aは、たとえば、0～65535の16ビットの一樣乱数rnd1を生成する。乱数発生回路45aは、LFSRや、メルセンヌ・ツイスタなどにより実現される。

【0100】

選択信号生成回路45bは、計数部44から供給される更新許容ビット数U[m]と、一樣乱数rnd1とに基づいて、選択信号SEL1を生成する。

一樣乱数rnd1が、0～65535の値である場合、選択信号生成回路45bは、U[m] 2のとき、 $(U[m] \times rnd1) \gg 16$ の値を、選択信号SEL1として出力する。なお、“ $\gg 16$ ”は、16ビット右シフトを表し、 $(U[m] \times rnd1) \gg 16$ は、 $U[m] \times rnd1 / 65536$ を演算することと同じである（小数点以下は切り捨てる）。U[m] < 2のとき、選択信号生成回路45bは、選択信号SEL1として0を出力する。

10

【0101】

データ選択回路45cには、判定部43から、各ビットのインデックス、フラグ、エネルギー変化が供給される。そして、データ選択回路45cは、判定部43が出力する各ビットのフラグのうち、値が1であるフラグ（つまり更新許容ビットのフラグ）を全て選択する。その後、データ選択回路45cは、更新許容ビットのインデックスの小さいほうから数えて、SEL1（選択信号SEL1の値）番目のインデックスの更新許容ビットの情報（インデックス、フラグ、エネルギー変化）を出力する。

20

【0102】

また、データ選択回路45cは、判定部43が出力する各ビットのフラグが全て0である場合、コア33a2内で、最も小さいインデックスのビットのインデックス、フラグ、エネルギー変化を出力する。

【0103】

このような選択部45では、更新許容ビットの計数結果と乱数に基づいて選択を行うことで、コア33a2内における全更新許容ビットの中から比較的均一の割合で、1つの更新候補ビットを選択できる。

【0104】

（選択部46の回路例）

図7は、自コアの更新候補ビットと前段コアの更新候補ビットの一方のインデックスを選択する選択部の一例を示す図である。

30

【0105】

選択部46は、乱数発生回路46a、加算器46b、選択信号生成回路46c、データ選択回路46d、付加回路46eを有する。

乱数発生回路46aは、たとえば、0～65535の16ビットの一樣乱数rnd2を生成する。乱数発生回路46aは、LFSRや、メルセンヌ・ツイスタなどにより実現される。

【0106】

加算器46bは、入力処理部41から供給される更新候補ビット情報に含まれる積算値C[m-1]に、更新許容ビット数U[m]を加算することで更新した積算値C[m]を出力する。

40

【0107】

選択信号生成回路46cは、更新許容ビット数U[m]と、積算値C[m]と、一樣乱数rnd2とに基づいて選択信号SEL2を生成する。

一樣乱数rnd2が、0～65535の値である場合、選択信号生成回路46cは、C[m]が0より大きいとき、 $rnd2 < 65536 \times U[m] / C[m]$ ならば、選択信号SEL2として1を出力する。選択信号生成回路46cは、 $rnd2 < 65536 \times U[m] / C[m]$ を満たさない場合には、選択信号SEL2として0を出力する。

50

## 【 0 1 0 8 】

また、選択信号生成回路 4 6 c は、 $C [ m ] = 0$  の場合は、選択信号  $S E L 2$  として 1 を出力する。

データ選択回路 4 6 d は、選択信号  $S E L 2$  が 1 の場合、選択部 4 5 が出力する情報を選択して出力する。データ選択回路 4 6 d は、選択信号  $S L 2$  が 0 の場合、入力処理部 4 1 から供給される更新候補ビット情報のうち積算値  $C [ m - 1 ]$  を除いたものを、選択して出力する。

## 【 0 1 0 9 】

付加回路 4 6 e は、データ選択回路 4 6 d が出力する情報に積算値  $C [ m ]$  を付加した更新候補ビット情報を出力する。

以下、最適化装置 3 0 の動作例を説明する。

## 【 0 1 1 0 】

まず、図 3 に示した制御装置 3 1 は、共有バス 3 4 を介して、コア 3 3 a 1 ~ 3 3 a M を起動し、イジングモデルの情報などの各種情報をコア 3 3 a 1 ~ 3 3 a M に送信する。コア 3 3 a 1 ~ 3 3 a M は、各種情報を制御装置 3 1 から受信し、受信した各種情報に基づいて、たとえば、前述の処理によって、各ビットについて更新を許容するか否かを判定する。たとえば、 $M = 4$ 、全ビット数が 4 0 9 6 である場合、2 段目のコア 3 3 a 2 に含まれる判定部 4 3 は、インデックスが 1 0 2 4 ~ 2 0 4 7 のビットについて更新を許容するか否かを判定する。

## 【 0 1 1 1 】

その後、コア 3 3 a 1 ~ 3 3 a M は、更新を許容するか否かの判定結果を示すフラグと、更新許容ビット数に基づいて、乱数を用いて、更新許容ビットのうちから 1 つの更新候補ビットを選択する。

## 【 0 1 1 2 】

1 段目のコア 3 3 a 1 は、選択した更新候補ビットのインデックス、フラグ、エネルギー変化及び更新許容ビット数を含む更新候補ビット情報をコア 3 3 a 2 に、専用バス 3 5 a 1 を介して送信する。2 段目以降のコア 3 3 a 2 ~ 3 3 a M は、前段のコアが送信した更新候補ビット情報と、自身のコアで計数された更新許容ビット数  $U [ m ]$  に基づいて、更新許容ビット数の積算値  $C [ m ]$  を更新する。そして、コア 3 3 a 2 ~ 3 3 a M は、 $U [ m ] / C [ m ]$  の確率で、自身のコアで選択された更新候補ビットのインデックスを選択し、 $1 - U [ m ] / C [ m ]$  の確率で、更新候補ビット情報に含まれる更新候補ビットのインデックスを選択する。

## 【 0 1 1 3 】

その後、コア 3 3 a 2 ~ 3 3 a M のコア 3 3 a M 以外は、選択した更新候補ビットのインデックス、フラグ、エネルギー変化及び更新した積算値を含む更新候補ビット情報を、後段のコアに送信する。コア 3 3 a M は、選択した更新候補ビットのインデックス、フラグ及びエネルギー変化を含む更新対象ビット情報を、1 段目のコア 3 3 a 1 に送信する。

## 【 0 1 1 4 】

コア 3 3 a 1 は、更新対象ビット情報に基づいて、現在の各ビットの値、現在のエネルギーを更新する。また、コア 3 3 a 1 は、更新された現在のエネルギーが最小エネルギーよりも小さい場合には、最小エネルギーと最小エネルギーが得られたときの各ビットの値を更新する。更新対象ビット情報は、コア 3 3 a 2 ~ 3 3 a M にも前段のコアから供給され、同様の更新が行われる。

## 【 0 1 1 5 】

また、コア 3 3 a 1 ~ 3 3 a M は、更新対象ビット情報に含まれるフラグが 0 の場合には、現在のオフセット値に増分値を加算する。

コア 3 3 a 1 ~ 3 3 a M は、以上のようなイジングモデルの状態の更新処理を繰り返し、更新処理の回数が所定回数に達するたびに、温度スケジュール情報に基づいて、温度パラメータの値を小さくしていく。さらに、コア 3 3 a 1 ~ 3 3 a M は、更新処理の回数が、制御装置 3 1 から受信した繰り返し回数に達した場合、共有バス 3 4 を介して、更新処理

10

20

30

40

50

の終了通知を制御装置 3 1 に対して送信する。

【0116】

制御装置 3 1 は、コア 3 3 a 1 ~ 3 3 a M から終了通知を受信した場合、共有バス 3 4 を介して、探索結果の出力要求をコア 3 3 a 1 ~ 3 3 a M に対して送信する。コア 3 3 a 1 ~ 3 3 a M は、探索結果の出力要求を受信した場合、イジングモデルの基底状態の探索結果（最適化問題の計算結果）を、制御装置 3 1 に送信する。探索結果は、たとえば、更新処理の回数が、制御装置 3 1 から受信した繰り返し回数に達したときに状態更新部 4 2 で保持されている最小エネルギーが得られたときの各ビットの値である。または、探索結果は、更新処理の回数が上記繰り返し回数に達したときの各ビットの値であってもよい。また、探索結果にはエネルギーや最小エネルギーが含まれていてもよい。

10

【0117】

なお、エネルギー、最小エネルギー及び最小エネルギーが得られたときの各ビットの値の更新については、コア 3 3 a 1 ~ 3 3 a M のうち、1 つのコアが行ってもよい。その場合、制御装置 3 1 は、その 1 つのコアから探索結果を取得する。

【0118】

制御装置 3 1 は、取得した探索結果を、たとえば、図示しない表示装置に出力（表示）する。なお、制御装置 3 1 は、探索結果を記憶装置 3 2 に記憶してもよい。

図 8 は、制御装置による最適化装置の制御の一例の流れを示すフローチャートである。

【0119】

制御装置 3 1 は、共有バス 3 4 を介して、各コア（コア 3 3 a 1 ~ 3 3 a M）を起動し（ステップ S 1）、イジングモデルの情報などの各種情報を各コアに送信する（ステップ S 2）。

20

【0120】

その後、制御装置 3 1 は、各コアから更新処理の終了通知を受信したか否かを判定する（ステップ S 3）。終了通知を受信するまでステップ S 3 の処理が繰り返される。

制御装置 3 1 は、各コアから終了通知を受信した場合、前述の探索結果を取得し（ステップ S 4）、探索結果を出力し（ステップ S 5）、処理を終える。なお、制御装置 3 1 は、温度スケジュール情報などの計算条件を変えて、ステップ S 2 ~ S 5 の処理を繰り返してもよい。

【0121】

以上のような、第 2 の実施の形態の最適化装置 3 0 によれば、コア 3 3 a 1 ~ 3 3 a M の各々は前段のコアから送られる更新許容ビットの積算値を用いて、上記のような確率で更新候補ビットを選択する。これにより、更新対象ビットの選択確率の偏りを生じさせることなく、環状に接続したコア 3 3 a 1 ~ 3 3 a M を用いた大規模化が可能となる。

30

【0122】

なお、上記の説明では、コア 3 3 a 1 を 1 段目のコア、コア 3 3 a M を M 段目のコアとしたがこれに限定されない。コア 3 3 a 1 ~ 3 3 a M に制御装置 3 1 から供給されるコア種別を判断するための情報に基づいて、たとえば、制御部 4 0 が、選択部 4 6 を 1 段目のコアの選択部として機能させてもよいし、出力処理部 4 7 を M 段目の出力処理部として機能させてもよい。

40

【0123】

以上、実施の形態に基づき、本発明の最適化装置及び最適化装置の制御方法の一観点について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

【符号の説明】

【0124】

1 0 最適化装置

1 1 ~ 1 4 演算処理部

1 1 a ~ 1 4 a 状態更新部

1 1 b ~ 1 4 b 判定部

1 1 c ~ 1 4 c , 1 2 e ~ 1 4 e 選択部

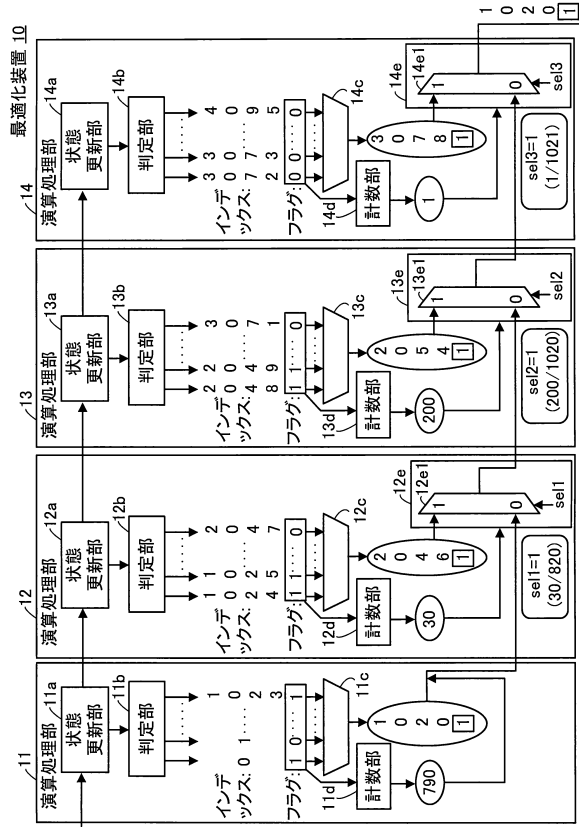
50

1 1 d ~ 1 4 d 計数部

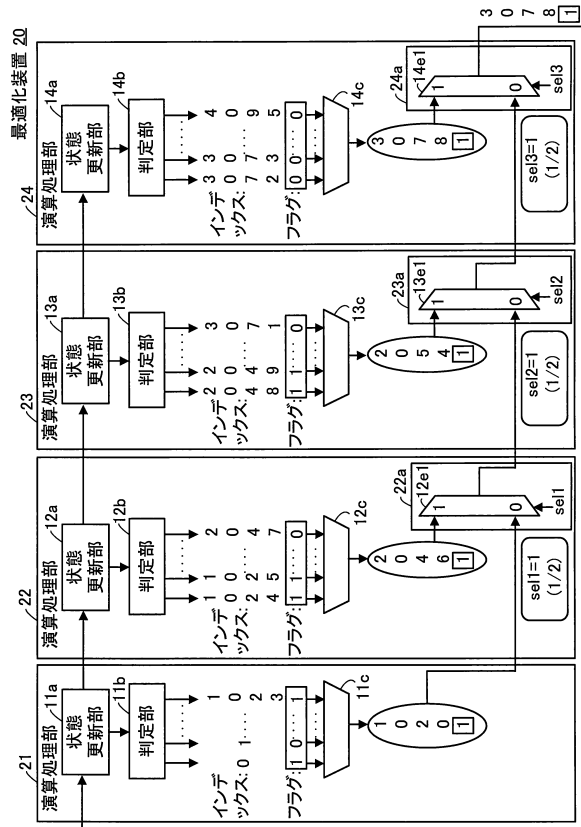
1 2 e 1 ~ 1 4 e 1 データ選択回路

【 図 面 】

【 図 1 】



【 図 2 】



10

20

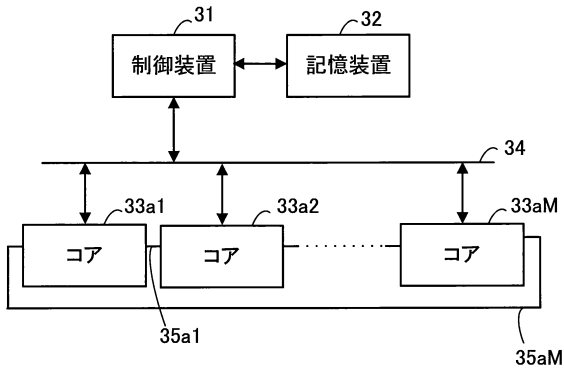
30

40

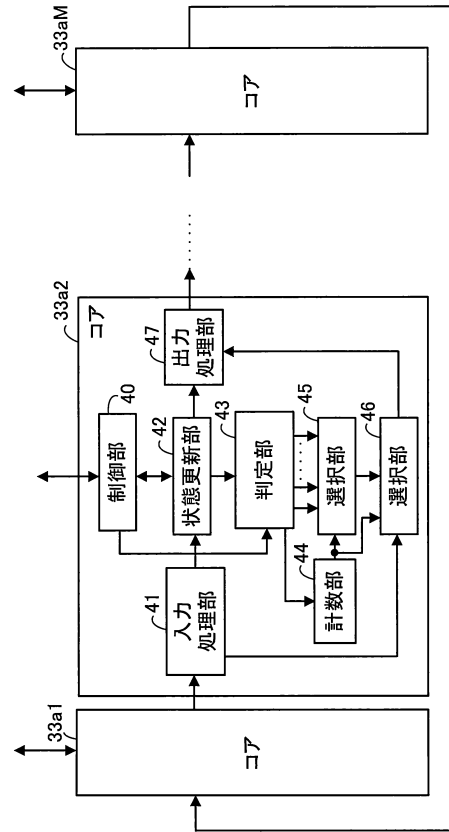
50

【 図 3 】

最適化装置 30



【 図 4 】

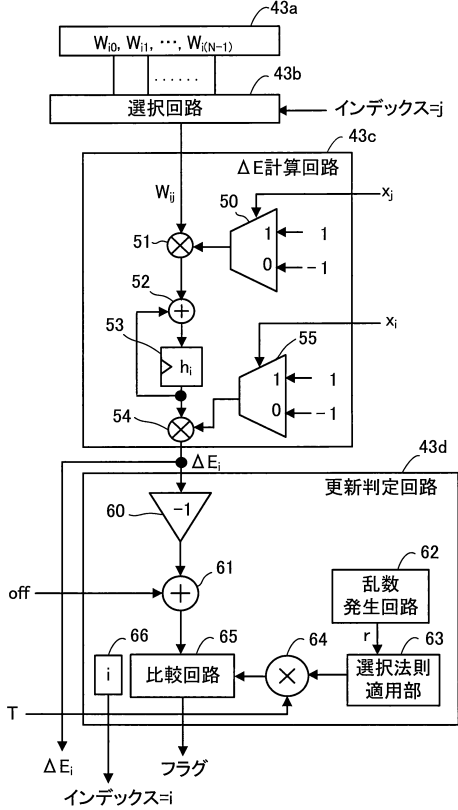


10

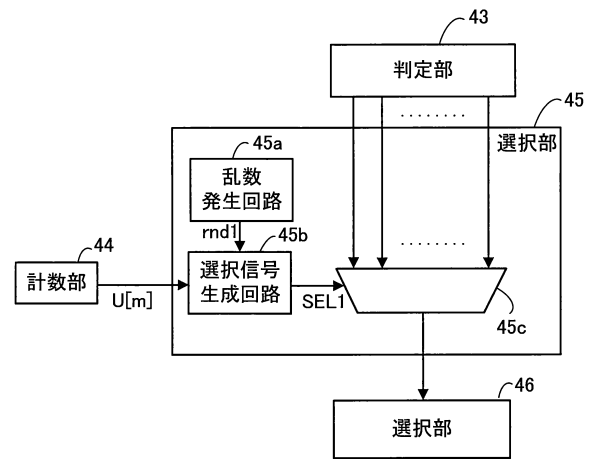
20

【 図 5 】

判定部 43



【 図 6 】

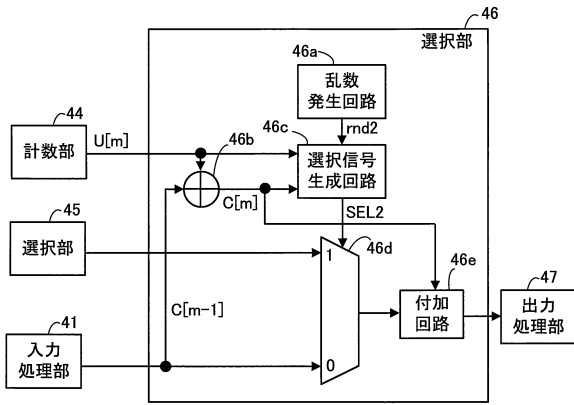


30

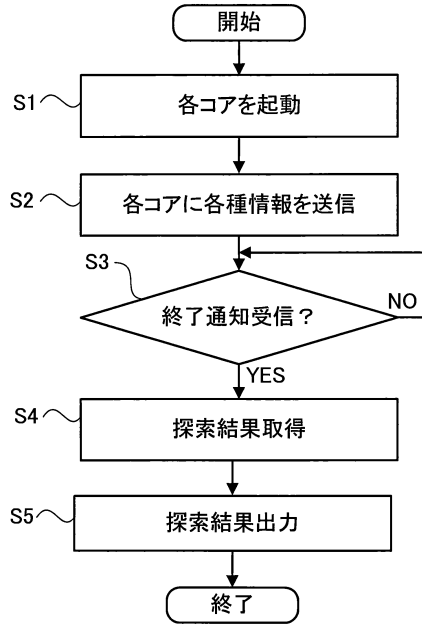
40

50

【 図 7 】



【 図 8 】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開2018-041351(JP,A)  
特開2017-219948(JP,A)  
特開2018-63626(JP,A)  
特開平7-200517(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
- |      |       |
|------|-------|
| G06N | 10/00 |
| G06F | 7/58  |
| G06N | 99/00 |