

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月9日(09.02.2012)

PCT

(10) 国際公開番号
WO 2012/017746 A1

(51) 国際特許分類:

H01L 21/8249 (2006.01) H01L 27/11 (2006.01)
H01L 21/331 (2006.01) H01L 27/115 (2006.01)
H01L 21/8234 (2006.01) H01L 29/66 (2006.01)
H01L 21/8238 (2006.01) H01L 29/732 (2006.01)
H01L 21/8244 (2006.01) H01L 29/78 (2006.01)
H01L 21/8247 (2006.01) H01L 29/786 (2006.01)
H01L 27/06 (2006.01) H01L 29/788 (2006.01)
H01L 27/088 (2006.01) H01L 29/792 (2006.01)
H01L 27/092 (2006.01)

(71) 出願人(米国を除く全ての指定国について): 株式会社日立製作所(HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 久本 大(HISAMOTO, Digh) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 斎藤 慎一(SAITO, Shinichi) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 島 明生(SHIMA, Akio) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 吉元 広行(YOSHIMOTO, Hiroyuki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2011/064060

(22) 国際出願日: 2011年6月20日(20.06.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-174172 2010年8月3日(03.08.2010) JP

(74) 代理人: 筒井 大和(TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿2丁目3番10号

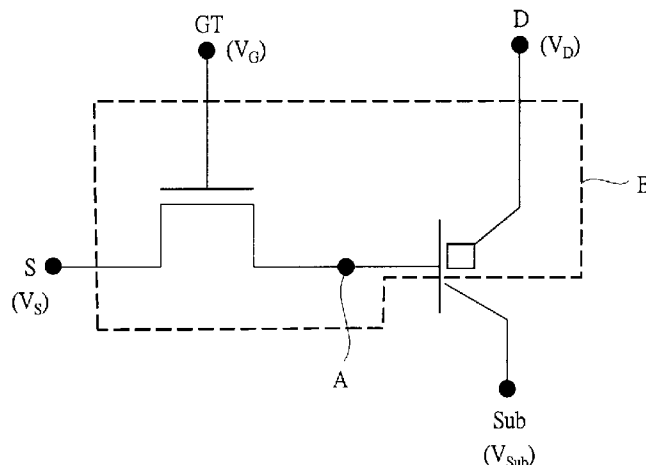
[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体装置およびその製造方法ならびに不揮発性半導体記憶装置

[図1]

図 1



(57) Abstract: Provided is a semiconductor element having, while maintaining the same integrability as a conventional MOSFET, excellent switch characteristics compared with the MOSFET, that is, having the S-value less than 60 mV/order at room temperature. By combining the MOSFET and a tunnel bipolar transistor having a tunnel junction, a semiconductor element is configured that shows an abrupt change in the drain current with respect to a change in the gate voltage (an S-value of less than 60 mV/order) even at a low voltage.

(57) 要約: これまでのMOSFETと同等の集積性を維持しながら、MOSFETに比べて優れたスイッチング特性をもつ、すなわち、室温においてS値が60mV/桁より小さな値をもつ半導体素子を提供する。MOSFETと、トンネル接合を有するトンネルバイポーラトランジスタを組み合わせることにより、低電圧であっても、ゲート電位変化に対してドレイン電流が急峻な変化(S値が60mV/桁よりも小さい)を示す半導体素子を構成する。

WO 2012/017746 A1



新宿御苑ビル3階 筒井国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体装置およびその製造方法ならびに不揮発性半導体記憶装置

技術分野

[0001] 本発明は、半導体装置およびその製造技術ならびに不揮発性半導体記憶装置に関し、特に、低電圧で動作可能な半導体装置およびその製造技術ならびに不揮発性半導体記憶装置に適用して有効な技術に関する。

背景技術

[0002] 特開 2 0 0 9 - 2 9 0 0 9 5 号公報（特許文献 1）には、大規模集積回路に用いられているプレーナ型のロジック回路用 MOS F E T（Metal Oxide Semiconductor Field Effect Transistor）において、ドレイン拡散層電極のなかに、ダイオード素子と抵抗素子が並列配置されるように形成する技術が記載されている。これにより、低電圧であっても、ゲート電圧変化に対してドレイン電流が急峻な変化を示す高性能トランジスタを実現できるとしている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 0 9 - 2 9 0 0 9 5 号公報

発明の概要

発明が解決しようとする課題

[0004] 2 0 世紀末から 2 1 世紀にかけて、C M O S（Complementary MOS）デバイスを縮小し、集積度を高めることで、飛躍的に情報処理能力を高めた半導体集積回路（半導体チップ）が実現されてきた。C M O S デバイスの縮小には、M O S F E T の構造が極めてシンプルであったこと、また、加工に用いるプレーナ技術の継続的な進歩が大きな役割を果たしてきたものと考えられる。この集積度の増大は、半導体チップの消費電力を増大させることになるため、デバイスのサイズを縮小させるとともに、使用電圧を低下させ

る“スケーリング”が行われてきた。論理回路に用いられるいわゆる“ロジックCMOS”の電源電圧としては、例えば、90nmプレーナ技術世代では、1.2V、さらに先の45nm世代では1Vといった電圧設定が行われている。この様子は、例えばInternational Technology Roadmap for Semiconductor (ITRS) 2005年版に見ることができる。この文献にも示されているが、さらにデバイスサイズを縮小してゆくには、1V以下まで電圧を下げるが必要になるものと考えられる。

[0005] しかし、1V以下の電圧でMOSFETを動作させるには、スイッチング特性が大きな課題になるものと考えられている。MOSFETのスイッチングは、ゲート電極にゲート電圧を加えることで、MOSFETのオン・オフを変化させている。これは、ある電圧（閾値）を境にMOSFETのチャネルの伝導性が急激に変化することを用いたものである。この変化をチャネル電流の変化として評価するSubthreshold Swing（以下、S値という）を用いると、S値は約100mV／桁になっている。すなわち、0.1V程度のゲート電圧を加えることで、チャネル電流を1桁増大させることができる。このため、S値が小さいほど、急峻なスイッチング特性を示すことになる。MOSFETでは、1Vの電圧に対して10桁程度、チャネル電流の大きさが変化することから、十分に急峻なスイッチング特性を得ることができており、MOSFETは、デジタル回路動作の基本素子となっている。

[0006] このS値については、ゲート電極の電界効果により誘起されるチャネル電荷により支配されていることが知られている。すなわち、チャネル表面状態がボルツマン分布に従うことから、理想的なMOSFETが実現した場合に、S値は、 $S = 2.3 k T / q$ と表すことができる。ここにkはボルツマン定数、Tは温度、qは電子電荷である。例えば、室温（300°K）において、S値は59.5mVをとることになる。MOSFETにおいては、S値をこれ以下にすることはできないため、MOSFETの課題のなかで、60

mVの壁として知られている問題になっている。

[0007] 先に述べたように、消費電力を低減するために電源電圧を低下させることが行なわれるが、電源電圧を低下させる上で、このS値に下限があることは大きな障害となる。例えば、電源電圧を0.3Vに設定すると、5桁のオン・オフ比をとることが限界になることを示している。実際のMOSFETにおいては、これに閾値のバラツキなどの効果が加わることから、さらに、オン・オフ比が低下することになり、良好な回路動作を得ることができなくなる。

[0008] これまで、S値を改善（低減）させた低S値デバイスの新たな構造の提案が行われてきている。例えば、2002年にPlummer等は、International Electron Device Meetingにおいて、1-MOSと呼ばれる構造の提案を行っている（2002年アイ・イー・イー インターナショナル エレクトロン デバイシーズ ミーティング テクニカル ダイジェスト 289頁から291頁（IEEE International Electron Devices Meeting Technical Digest pp. 289-292, 2002））。1-MOSでは、高電界によりアバランシェ現象を起こすことで、電荷量を増幅させ、ボルツマン分布で規定される電荷を超える電荷を得ることが行われている。

[0009] しかし、この原理では、増幅させて発生させた電荷のゲート電極による制御性が劣化すること、また、高電界を発生させるため、高い電圧が必要になる。これらは、本発明が解決すべき課題として考えている電力低減のための電源電圧低減と逆行している。そのため、これまで提案されてきた低S値デバイス構造は、本発明の取り扱う分野では用いることはできないものと考えられる。すなわち、増幅作用を用いる素子では、半導体のバンドギャップに比べ大きな電圧をかけることが通常行われることから、バンドギャップに比べ、小さな電圧下で動作する状態において、有効に働く半導体素子を開発する必要がある。

[0010] 本発明の目的は、これまでのMOSFETと同等の集積性を維持しながら

、M O S F E T に比べて優れたスイッチング特性をもつ、すなわち、室温においてS値が60mV／桁より小さな値をもつ半導体素子を提供することにある。

[0011] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0012] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0013] 本発明における半導体装置は、半導体基板に形成された第1電界効果トランジスタとバイポーラトランジスタから構成される半導体素子を備える。このとき、前記半導体素子を構成する前記第1電界効果トランジスタは、(a) 前記半導体基板内に設けられた第1ソース領域となる第1導電型の第1半導体領域と、(b) 前記半導体基板内で前記第1半導体領域と離間して設けられた第1ドレイン領域となる前記第1導電型の第2半導体領域とを有する。そして、(c) 前記第1半導体領域と前記第2半導体領域の間の前記半導体基板内に形成された前記第1導電型とは逆導電型である第2導電型の第1チャネル領域と、(d) 前記第1チャネル領域上に形成された第1ゲート絶縁膜と、(e) 前記第1ゲート絶縁膜上に形成された第1ゲート電極とを有する。また、前記半導体素子を構成する前記バイポーラトランジスタは、(f) 前記第2半導体領域に内包されるように形成されたエミッタ領域となる前記第2導電型の第3半導体領域と、(g) ベース領域となる前記第1導電型の前記第2半導体領域と、(h) コレクタ領域となる前記第2導電型の前記半導体基板とを有する。ここで、前記第2半導体領域と前記第3半導体領域の境界領域にトンネル接合が形成されていることを特徴とするものである。

[0014] また、本発明における半導体装置は、支持基板と、前記支持基板上に形成された埋め込み絶縁層と、前記埋め込み絶縁層上に形成された活性層よりなるS O I 基板に形成された第1電界効果トランジスタとバイポーラトランジ

スタから構成される半導体素子を備える。このとき、前記半導体素子を構成する前記電界効果トランジスタは、（a）前記活性層内に設けられた第1ソース領域となる第1導電型の第1半導体領域と、（b）前記活性層内で前記第1半導体領域と離間して設けられた第1ドレイン領域となる前記第1導電型の第2半導体領域とを有する。さらに、（c）前記第1半導体領域と前記第2半導体領域の間の前記活性層内に形成された第1チャネル領域となる前記第1導電型とは逆導電型である第2導電型の第1ボディ領域と、（d）前記第1ボディ領域上に形成された第1ゲート絶縁膜と、（e）前記第1ゲート絶縁膜上に形成された第1ゲート電極とを有する。また、前記半導体素子を構成する前記バイポーラトランジスタは、（f）前記第2半導体領域に内包されるように形成されたエミッタ領域となる前記第2導電型の第3半導体領域と、（g）ベース領域となる前記第1導電型の前記第2半導体領域と、（h）コレクタ領域となる前記第2導電型の前記ボディ領域とを有する。ここで、前記第2半導体領域と前記第3半導体領域の境界領域にトンネル接合が形成されていることを特徴とするものである。

[0015] さらに、本発明における不揮発性半導体記憶装置は、半導体基板に形成されたメモリトランジスタとバイポーラトランジスタから構成されるメモリセルを備える。そして、前記メモリセルを構成する前記メモリトランジスタは、（a）前記半導体基板内に設けられたソース領域となる第1導電型の第1半導体領域と、（b）前記半導体基板内で前記第1半導体領域と離間して設けられたドレイン領域となる前記第1導電型の第2半導体領域と、（c）前記第1半導体領域と前記第2半導体領域の間の前記半導体基板内に形成された前記第1導電型とは逆導電型である第2導電型のチャネル領域とを有する。さらに、（d）前記チャネル領域上に形成された第1電位障壁膜と、（e）前記第1電位障壁膜上に形成された電荷蓄積膜と、（f）前記電荷蓄積膜上に形成された第2電位障壁膜と、（g）前記第2電位障壁膜上に形成されたゲート電極とを有する。また、前記メモリセルを構成する前記バイポーラトランジスタは、（h）前記第2半導体領域に内包されるように形成された

エミッタ領域となる前記第 2 導電型の第 3 半導体領域と、(i) ベース領域となる前記第 1 導電型の前記第 2 半導体領域と、(j) コレクタ領域となる前記第 2 導電型の前記半導体基板とを有する。ここで、前記第 2 半導体領域と前記第 3 半導体領域の境界領域にトンネル接合が形成されていることを特徴とするものである。

[0016] また、本発明における半導体装置の製造方法は、(a) 前記半導体基板を用意する工程と、(b) 前記半導体基板上にゲート絶縁膜を形成する工程と、(c) 前記ゲート絶縁膜上にゲート電極を形成する工程と、(d) 前記(c) 工程後、前記半導体基板内に第 1 導電型不純物を導入することにより、第 1 導電型の第 1 半導体領域および前記第 1 導電型の第 2 半導体領域を互いに離間して形成する工程とを備える。次に、(e) 前記(d) 工程後、前記半導体基板内に第 2 導電型不純物を導入することにより、前記第 2 半導体領域に内包されるように、第 1 導電型とは逆導電型の第 2 導電型の第 3 半導体領域を形成する工程とを備える。続いて、(f) 前記(e) 工程後、前記第 1 半導体領域および前記第 2 半導体領域に導入した前記第 1 導電型不純物と、前記第 3 半導体領域に導入した前記第 2 導電型不純物を活性化するための熱処理を実施する工程とを備える。ここで、前記(d) 工程で前記第 1 半導体領域および前記第 2 半導体領域に導入する前記第 1 導電型不純物の濃度、前記(e) 工程で前記第 3 半導体領域に導入する前記第 2 導電型不純物の濃度、および、前記(f) 工程で実施する熱処理を調整することにより、前記第 2 半導体領域と前記第 3 半導体領域の境界領域にトンネル接合を形成することを特徴とするものである。

発明の効果

[0017] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0018] これまでの MOSFET と同等の集積性を維持しながら、MOSFET に比べて優れたスイッチング特性をもつ、すなわち、室温において S 値が 60 mV より小さな値をもつ半導体素子を提供することができる。

図面の簡単な説明

- [0019] [図1]本発明の実施の形態 1 における半導体素子の等価回路図を示したものである。
- [図2]ゲート電極に電圧を印加した場合のノードにおける電位変化を測定した結果を示すグラフである。
- [図3]実施の形態 1 における半導体素子のドレイン電流－ゲート電圧特性を示すグラフである。
- [図4]実施の形態 1 における半導体素子を上部から見た平面図である。
- [図5]図 4 の X 1－X 1 線で切断した断面図である。
- [図6]通常の p n 接合とトンネル接合において、接合に印加する電圧と、接合を流れる電流の絶対値との関係を示すグラフである。
- [図7]通常の p n 接合に電圧を印加しない場合におけるバンド図である。
- [図8]所定電圧以下の順バイアスを印加した場合におけるバンド図である。
- [図9]所定電圧よりも大きな順バイアスを印加した場合におけるバンド図である。
- [図10]トンネル接合に電圧を印加しない場合におけるバンド図である。
- [図11]所定電圧以下の順バイアスを印加した場合におけるバンド図である。
- [図12]所定電圧よりも大きな順バイアスを印加した場合におけるバンド図である。
- [図13] p 型半導体領域と n 型半導体領域の不純物プロファイルを示すグラフである。
- [図14]実施の形態 1 における半導体装置の製造工程を示す断面図である。
- [図15]図 1 4 に続く半導体装置の製造工程を示す断面図である。
- [図16]図 1 5 に続く半導体装置の製造工程を示す断面図である。
- [図17]図 1 6 に続く半導体装置の製造工程を示す断面図である。
- [図18]図 1 7 に続く半導体装置の製造工程を示す断面図である。
- [図19]図 1 8 に続く半導体装置の製造工程を示す断面図である。
- [図20]実施の形態 2 におけるインバータ回路を示す回路図である。

[図21] nチャネル型半導体素子とpチャネル型半導体素子のデバイス構造を示す断面図である。

[図22]実施の形態2における半導体装置の製造工程を示す断面図である。

[図23]図22に続く半導体装置の製造工程を示す断面図である。

[図24]図23に続く半導体装置の製造工程を示す断面図である。

[図25]図24に続く半導体装置の製造工程を示す断面図である。

[図26]図25に続く半導体装置の製造工程を示す断面図である。

[図27]図26に続く半導体装置の製造工程を示す断面図である。

[図28]実施の形態3における半導体装置のデバイス構造を示す断面図である。

[図29]実施の形態3における半導体装置の製造工程を示す断面図である。

[図30]図29に続く半導体装置の製造工程を示す断面図である。

[図31]図30に続く半導体装置の製造工程を示す断面図である。

[図32]図31に続く半導体装置の製造工程を示す断面図である。

[図33]図32に続く半導体装置の製造工程を示す断面図である。

[図34]図33に続く半導体装置の製造工程を示す断面図である。

[図35]2つ単体トランジスタおよび2つのnチャネル型半導体素子を組み合わせてSRAMセルを構成する例を示す回路図である。

[図36]2つ単体トランジスタ、2つのnチャネル型半導体素子および2つのpチャネル型半導体素子を組み合わせてSRAMセルを構成する例を示す回路図である。

[図37]実施の形態4における半導体素子を上部から見た平面図である。

[図38]図37のX2-X2線で切断した断面図である。

[図39]実施の形態4における半導体装置の製造工程を示す断面図である。

[図40]図39に続く半導体装置の製造工程を示す断面図である。

[図41]図40に続く半導体装置の製造工程を示す断面図である。

[図42]図41に続く半導体装置の製造工程を示す断面図である。

[図43]図42に続く半導体装置の製造工程を示す断面図である。

[図44]図4 3に続く半導体装置の製造工程を示す断面図である。

[図45]図4 4に続く半導体装置の製造工程を示す断面図である。

[図46]変形例1を示す断面図である。

[図47]埋め込み絶縁層を薄膜化する構成例を示す断面図である。

[図48]実施の形態5において、ゲート電極に電圧を印加した場合のノードにおける電位変化を測定した結果を示すグラフである。

[図49]例えば、0.8Vという比較的高い電位をドレイン端子に印加した場合における半導体素子のドレイン電流－ゲート電圧特性を示すグラフである。

[図50]実施の形態5における半導体チップの回路ブロック図である。

[図51]実施の形態6における不揮発性メモリセルのデバイス構造を示す断面図である。

発明を実施するための形態

[0020] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0021] また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0022] さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

[0023] 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0024] また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

[0025] (実施の形態 1)

＜本願発明の回路構成による特徴説明＞

従来の MOSFET のドレイン領域（ドレイン拡散層）内にトンネルダイオード素子を形成し、基板電極を用いたトンネルバイポーラトランジスタを形成することにより、上述した目的を達成することができる。トンネルバイポーラトランジスタとは、エミッターベース間にトンネル接合を持ったバイポーラトランジスタのことである。後で製造工程（加工プロセス）をもとに詳しく説明するが、この構造では、集積性の問題は生じることはない。すなわちプレーナ技術において MOSFET のドレイン領域（ドレイン拡散層）およびソース領域（ソース拡散層）は、ゲート電極に対してイオン打ち込み法を用いることで自己整合的に形成される。そのため、ゲート電極を小さく形成すれば、それに合わせて素子特性を決めるドレイン領域およびソース領域も極めて小さく（近接させて）形成することができる。この結果、素子性能を向上させながら全体を小さくできるので、集積性を高くできる要因になっている。現在、半導体産業において広く用いられているスペース技術を用いると、本発明のトンネルダイオードをゲート電極に対して自己整合的に形成することができる。そのため、本発明の構造によれば集積性の問題を生じないことは明らかである。

[0026] 次に、本実施の形態 1 における半導体素子によれば、S 値を小さくできることを、図 1 を用いて説明する。図 1 は、本実施の形態 1 における半導体素子の等価回路図を示したものである。本実施の形態 1 における半導体素子は、構造としては 1 素子でありながら、ドレイン領域（ドレイン拡散層）にトンネルダイオードを組み込むことで、等価回路的には、MOSFET とトンネルバイポーラトランジスタを含むものとみることができる。

[0027] トンネルバイポーラトランジスタは、これまで一般的ではなかったため、

広く用いられている等価回路記号がない。したがって、本明細書では、バイポーラトランジスタを模して、通常矢印で接合を表現するのに習い、接合に矩形記号を用いて説明することにする。矢印での表記では、N/P接合の向きの意が含まれているが、ここでの矩形記号は、単に接合位置を表すものになっている。本実施の形態1における半導体素子において、MOSFETにはnチャネル型MOSFETを使用し、また、トンネルバイポーラトランジスタにはPNP型トンネルバイポーラトランジスタを使用して説明する。

[0028] 図1において、本実施の形態1における半導体素子は、MOSFETとトンネルバイポーラトランジスタを有している。MOSFETのソース領域はソース端子Sと接続され、MOSFETのゲート電極はゲート端子GTと接続されている。そして、MOSFETのドレイン領域は、トンネルバイポーラトランジスタのベース領域と接続されており、この接続領域をノードAと表現している。そして、トンネルバイポーラトランジスタのエミッタ領域は、ドレイン端子Dと接続されており、トンネルバイポーラトランジスタのコレクタ領域は、基板端子Subと接続されている。このトンネルバイポーラトランジスタにおいては、エミッタ領域とベース領域の接合がトンネル接合となっており、図1の矩形記号で表現されている。

[0029] 続いて、図2は、ゲート電極に電圧を印加した場合のノードAにおける電位(ϕ_n)変化を測定した結果を示すグラフである。図2に示すように、ドレイン端子Dにドレイン電位 V_D を印加し、ゲート端子GTに印加するゲート電位 V_G を上げてゆくと、ノードAの電位(ϕ_n)はゲート電位 V_G とは逆に、ドレイン電位 V_D から急激に低下することがわかる。これは、図1に示すBの破線で囲んだMOSFETとトンネルダイオードとの接続がインバータを形成しているとみることで理解することができる。

[0030] つまり、MOSFETとトンネルダイオードとの接続領域であるノードAは、回路的に、ソース端子SとMOSFETのチャネル抵抗で接続され、かつ、ドレイン端子Dとトンネルダイオードのトンネル抵抗で接続されているとみることができる。したがって、ノードAの電位は、ソース端子Sに印加

されるソース電位 V_S とドレイン端子Dに印加されるドレイン電位 V_D との間の電圧をチャネル抵抗とトンネル抵抗で抵抗分割した電位が現れることになる。このため、例えば、MOSFETのチャネルがオフした状態では、トンネル抵抗に比べてチャネル抵抗が非常に高いため、ノードAの電位はほとんどドレイン電位 V_D と同じになる。一方、MOSFETのチャネルがオンした状態では、トンネル抵抗に比べてチャネル抵抗が低いため、ノードAにはほとんどソース電位 V_S と同じになる。このことから、Bの破線で囲んだMOSFETとトンネルダイオードの接続は、ゲート端子GTに印加されるゲート電位 V_G の変化に対して、図2で示すようなインバータ動作をすることになる。

[0031] このとき、トンネルバイポーラトランジスタのエミッタ領域とベース領域の間に形成されるトンネルダイオードには、 $V_D - \phi_n$ の電圧が印加されることになる。すなわち、ゲート端子GTに印加するゲート電圧 V_G を大きくしていくと、一定なドレイン電位 V_D に対して、図2に示すように、電位 ϕ_n が急激に変化する。このため、極めて急激に大きな電圧がトンネルダイオードに印加されることになる。この結果、トンネルバイポーラトランジスタでは、トンネル効果により、エミッタ領域からベース領域に向って急激な電荷（正孔）の注入が起こり、ベース領域に注入された電荷（正孔）の大半が半導体基板（基板端子Sub）に到達することになる。したがって、本実施の形態1における半導体素子によれば、ドレイン端子Dにおいて、急激に増大する電流を得ることができる。すなわち、本実施の形態1における半導体素子のように、MOSFETとトンネルバイポーラトランジスタを組み合わせることにより、MOSFET単体では得られないような大きな電流を得ることができるのである。

[0032] 具体的に、本実施の形態1における半導体素子のドレイン電流とゲート電圧との関係について説明する。図3は、本実施の形態1における半導体素子のドレイン電流－ゲート電圧特性を示すグラフである。測定は、ドレイン電位 V_D を0.6Vに設定し、ソース電位 V_S および基板電位 V_{sub} を0Vに設定

して行った。図3において、実線で示した曲線は、本実施の形態1における半導体素子のドレイン電流－ゲート電圧特性であり、破線で示した曲線は、比較のために示した通常のMOSFET単体でのサブスレショルド特性である。

[0033] 図3に示すように、本実施の形態1における半導体素子のドレイン電流－ゲート電圧特性によれば、これまでのMOSFET単体の理論限界である60mV／桁よりも急峻な傾きをもっていることがわかる。つまり、本実施の形態1によれば、単体MOSFETに比べて優れたスイッチング特性をもつ、すなわち、室温においてS値が60mVより小さな値をもつ半導体素子を提供することができる。

[0034] 上述した動作説明からわかるように、ドレイン電流の立ち上がるゲート電位 V_G は、MOSFETのしきい値電圧に依存することになる。そのため、通常のイオン打ち込みなどの方法により、ドレイン電流の立ち上がり位置の調整を容易に行うことができる。本実施の形態1における半導体素子によれば、60mVより小さなS値を得ることができるため、優れたスイッチング特性を持った半導体素子を実現することができる。

[0035] 図1の等価回路で示すように、本実施の形態1における半導体素子は、MOSFETとトンネルバイポーラトランジスタをダーリントン接続として知られている接続法によりつないだ構成となっている。MOSFETと通常のバイポーラトランジスタを接続させる構成をとることは、これまで広く用いられている。この構成をとることで、MOSFETの利点であるゲート入力の応答性の良さと、バイポーラトランジスタの利点である電流駆動能力の高さを組み合わせることができるからである。

[0036] しかし、これまでの通常のバイポーラトランジスタでは、エミッタ領域とベース領域の間に形成されるPN接合のビルトインポテンシャルによる注入障壁があるため、低電圧ではバイポーラトランジスタをオン動作させることができなかった。本実施の形態1においては、トンネル接合を有するトンネルバイポーラトランジスタを使用することで、MOSFETのゲート電極へ

の入力（ゲート電圧 V_g ）に対して、ドレイン電流のより大きな変化を起こせるようにし、さらに、このトンネルバイポーラトランジスタは低電圧で駆動できるため、本実施の形態1における半導体素子によれば、低電圧でも優れたスイッチング特性を得ることができる。

[0037] つまり、通常のバイポーラトランジスタでは、エミッタ領域とベース領域の境界領域に形成されているpn接合のビルトインポテンシャルに起因して、pn接合に順バイアスを印加しても、所定電圧（立ち上り電圧）以下の順バイアスでは、電流が流れない。例えば、MOSFETと通常のバイポーラトランジスタを図1に示すように組み合わせた場合を考える。このとき、電源電圧の低電圧化により、例えば、ドレイン端子Dに0.3Vを印加し、ソース端子Sに0Vを印加する場合を考える。この場合、MOSFETにしきい値電圧以上のゲート電圧 V_g を印加してMOSFETをオンしても、通常のバイポーラトランジスタのエミッタ領域とベース領域の間には0.3Vの順方向バイアスしか印加されないことになる。通常のバイポーラトランジスタでは、順方向バイアスが所定電圧（立ち上り電圧）以下では、エミッタ領域とベース領域の間に電流が流れない。このため、通常のバイポーラトランジスタはオン動作せず、ドレイン電流を確保することができない。すなわち、単に、MOSFETと通常のバイポーラトランジスタを組み合わせても、単体MOSFETに比べて優れたスイッチング特性をもつ、すなわち、室温においてS値が60mVより小さな値をもつ半導体素子を得ることはできないのである。

[0038] これに対し、本実施の形態1における半導体素子のように、MOSFETとトンネルバイポーラトランジスタを組み合わせた場合を考える。このトンネルバイポーラトランジスタでは、エミッタ領域とベース領域の境界領域に形成されているpn接合はトンネル接合となっている。このトンネル接合の場合もビルトインポテンシャルが存在するが、バンド間トンネリングによって電流（トンネル電流）が流れるのである。すなわち、トンネル接合では、トンネル接合に順バイアスを印加すると、所定電圧以下の順バイアスでもバ

ンド間トンネリングに起因した電流が流れる。

[0039] 例えば、電源電圧の低電圧化により、ド레인端子Dに0.3Vを印加し、ソース端子Sに0Vを印加する場合を考える。この場合、MOSFETにしきい値電圧以上のゲート電圧 V_G を印加してMOSFETをオンすると、トンネルバイポーラトランジスタのエミッタ領域とベース領域の間には0.3Vの順方向バイアスが印加される。すなわち、エミッタ領域とベース領域の境界領域に形成されているトンネル接合に0.3Vの順バイアスが印加される。上述したように、トンネル接合では、通常のpn接合ではビルトインポテンシャルによって電流が流れない所定電圧以下の電圧(0.3V)であっても、バンド間トンネリングによるトンネル電流が流れる。このことから、ド레인端子Dに低電圧しか印加されない場合であっても、MOSFETにしきい値電圧以上のゲート電圧 V_G を印加してMOSFETをオンすると、トンネルバイポーラトランジスタもオンしてエミッタ領域とベース領域の間に電流が流れ、大きなド레인電流を確保できるのである。この結果、本実施の形態1における半導体素子によれば、トンネルバイポーラトランジスタの増幅機能によって、MOSFET単体では確保できないような大きなド레인電流を得ることができ、これにより、これまでのMOSFET単体の理論限界である60mV/桁よりも急峻な傾きをもつド레인電流ーゲート電圧特性を得ることができるのである。つまり、本実施の形態1によれば、単体MOSFETに比べて優れたスイッチング特性をもつ、すなわち、室温においてS値が60mVより小さな値をもつ半導体素子を提供することができる。

[0040] 特に、本実施の形態1では、トンネルバイポーラトランジスタのバイポーラトランジスタとしての電流増幅機能と、エミッタ領域とベース領域の境界領域に形成されるトンネル接合において、順方向バイアスが低電圧であってもバンド間トンネリングによってトンネル電流が流れるという特性を利用することにより、低動作電圧であっても、室温においてS値が60mVより小さな値をもつ半導体素子を実現することができる。

[0041] <本願発明のデバイス構造による特徴説明>

続いて、本願発明における半導体素子のデバイス構造の観点から、本願発明の特徴について説明する。図4は、本実施の形態1における半導体素子を上部から見た平面図である。図4において、X方向に離間して並ぶようにn型半導体領域NR_sとn型半導体領域NR_bが形成されている。そして、n型半導体領域NR_bの上部にはp型半導体領域PR_dが形成されている。このp型半導体領域PR_dと電氣的に接続するようにプラグPLG1が形成され、n型半導体領域NR_sと電氣的に接続するようにプラグPLG2が形成されている。さらに、離間されて配置されているn型半導体領域NR_sと半導体領域NR_bの間をY方向に延在するようにゲート電極Gが形成されている。そして、ゲート電極Gの一端部でゲート電極GはプラグPLG3と電氣的に接続されている。

[0042] 次に、図5は、図4のX1-X1線で切断した断面図である。図5に示すように、本実施の形態1における半導体素子は、半導体基板1Sに形成された素子分離領域STIで区画されたアクティブ領域に形成されている。具体的に、素子分離領域STIで区画された半導体基板1S内には、例えば、ボロンなどのp型不純物を導入したp型ウェルPWLが形成されており、このp型ウェルPWL内に離間して一对の低濃度n型半導体領域EX1が形成されている。低濃度n型半導体領域EX1は、リンなどのn型不純物を導入した半導体領域であり、一对の低濃度n型半導体領域EX1で挟まれたp型ウェルPWL内の領域がチャネル領域となる。そして、低濃度n型半導体領域EX1の外側にはn型半導体領域NR_sとn型半導体領域NR_bが形成されている。すなわち、一对の低濃度n型半導体領域EX1のうち左側の低濃度n型半導体領域EX1のさらに左側にn型半導体領域NR_sが形成され、一对の低濃度n型半導体領域EX1のうち右側の低濃度n型半導体領域EX1のさらに右側にn型半導体領域NR_bが形成されている。このn型半導体領域NR_sおよびn型半導体領域NR_bは、砒素などのn型不純物が導入された半導体領域である。

[0043] さらに、本実施の形態 1 における半導体素子においては、n 型半導体領域 N R b に内包されるように、p 型半導体領域 P R d が形成されている。この p 型半導体領域 P R d は、ボロンなどの p 型不純物が導入された半導体領域である。

[0044] 次に、チャネル領域上にはゲート絶縁膜 G O X が形成されており、このゲート絶縁膜 G O X 上にゲート電極 G が形成されている。ゲート絶縁膜 G O X は、例えば、酸化シリコン膜から形成されるが、これに限らず、例えば、酸化ハフニウム膜などの酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。また、ゲート電極 G は、例えば、リンを導入したポリシリコン膜 P F 1 (n 型ポリシリコン膜) と、ポリシリコン膜 P F 1 上に形成されたシリサイド膜 S L から形成されている。シリサイド膜 S L は、ゲート電極 G の低抵抗化のために形成された膜であり、シリサイド膜 S L は、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜などから形成されている。

[0045] ゲート電極 G の両側の側壁にはサイドウォール S W 1 が形成されており、このサイドウォール S W 1 の外側にサイドウォール S W 2 が形成されている。そして、サイドウォール S W 2 よりも外側の領域にシリサイド膜 S L が形成されている。具体的に、左側のサイドウォール S W 2 の外側に露出している n 型半導体領域 N R s の表面にシリサイド膜 S L が形成されているとともに、右側のサイドウォール S W 2 の外側に露出している p 型半導体領域 P R d の表面にもシリサイド膜 S L が形成されている。

[0046] 本実施の形態 1 における半導体素子は上記のように構成されており、この半導体素子は、M O S F E T とトンネルバイポーラトランジスタを備えている。つまり、左側の低濃度 n 型半導体領域 E X 1 と n 型半導体領域 N R s およびシリサイド膜 S L により、M O S F E T のソース領域が形成されている。そして、チャネル領域上に形成されたゲート絶縁膜 G O X が M O S F E T のゲート絶縁膜を構成し、かつ、ゲート絶縁膜 G O X 上に形成されているゲ

ート電極GがMOSFETのゲート電極を構成している。さらに、右側の低濃度n型半導体領域EX1とn型半導体領域NRbがMOSFETとトンネルバイポーラトランジスタとの接続領域（MOSFETのドレイン領域）を形成している。

[0047] 続いて、p型半導体領域PRdとシリサイド膜SLがトンネルバイポーラトランジスタのエミッタ領域となっており、右側の低濃度n型半導体領域EX1およびn型半導体領域NRbがトンネルバイポーラトランジスタのベース領域となっている。そして、p型ウェルPWLおよび半導体基板1Sがトンネルバイポーラトランジスタのコレクタ領域となっている。以上のことから、本実施の形態1における半導体素子は、MOSFETとトンネルバイポーラトランジスタを備え、MOSFETのドレイン領域がトンネルバイポーラトランジスタのベース領域となるように、MOSFETとトンネルバイポーラトランジスタが電氣的に接続された構成をしていることがわかる。

[0048] このように構成されている半導体素子を覆う半導体基板1S上には、例えば、図5に示すように、TEOSを原料とした酸化シリコン膜からなるコンタクト層間絶縁膜CILが形成されている。そして、このコンタクト層間絶縁膜CILを貫通してp型半導体領域PRdの表面に形成されたシリサイド膜SLに達するようにコンタクトホールCNT1が形成されている。同様に、コンタクト層間絶縁膜CILを貫通してn型半導体領域NRsの表面に形成されたシリサイド膜SLに達するようにコンタクトホールCNT2が形成されている。コンタクトホールCNT1の内部とコンタクトホールCNT2の内部には、バリア導体膜となるチタン／窒化チタン膜と、このバリア導体膜上に形成されたタングステン膜が埋め込まれて、プラグPLG1およびプラグPLG2が形成されている。プラグPLG1およびプラグPLG2を形成したコンタクト層間絶縁膜CIL上には、配線L1が形成されている。この配線L1は、例えば、窒化チタン膜と、アルミニウム膜と、窒化チタン膜の積層膜から形成されている。

[0049] ここで、本実施の形態1における半導体素子の特徴は、n型半導体領域N

R b に内包されるように p 型半導体領域 P R d が形成されており、この n 型半導体領域 N R b と p 型半導体領域 P R d の間の境界領域にトンネル接合が形成されていることにある。これにより、例えば、p 型半導体領域 P R d に低電圧を印加した場合であっても、p 型半導体領域 P R d と n 型半導体領域 N R b の間にはトンネル接合が形成されているので、p 型半導体領域 P R d よりなるエミッタ領域から、n 型半導体領域 N R b よりなるベース領域に正孔が注入され、このベース領域に注入された正孔が p 型ウェル P W L （半導体基板 1 S）よりなるコレクタ領域に引き抜かれることにより、トンネルバイポーラトランジスタとして機能させることができるのである。つまり、本実施の形態 1 における半導体素子では、M O S F E T とトンネルバイポーラトランジスタを接続し、M O S F E T をオンしたとき、低電圧であってもトンネルバイポーラトランジスタのエミッタ領域とベース領域の間にバンド間トンネリングによってトンネル電流が流れることを利用している。これにより、M O S F E T 単体では得ることができないような大きなドレイン電流をトンネルバイポーラトランジスタの増幅機能で得ることができる。この結果、本実施の形態 1 によれば、単体 M O S F E T に比べて優れたスイッチング特性をもつ、すなわち、室温において S 値が 6 0 m V より小さな値をもつ半導体素子を得ることができるのである。

[0050] 通常のバイポーラトランジスタをオンさせるためには、エミッタ領域とベース領域との間に所定電圧（立ち上がり電圧）以上の電圧を印加させなければならないが、本実施の形態 1 における半導体素子では、通常のバイポーラトランジスタではなく、トンネルバイポーラトランジスタを使用している。このため、トンネルバイポーラトランジスタのエミッタ領域とベース領域の間に上述した所定電圧（立ち上り電圧）以下の順方向バイアスを印加する場合であっても、トンネルバイポーラトランジスタをオンさせることができる。

[0051] つまり、本実施の形態 1 は、まず、M O S F E T 単体では、S 値を 6 0 m V / 桁以下にすることができないことを考慮して、M O S F E T と電流増幅

機能を有するバイポーラトランジスタを組み合わせることで、 S 値が 60 mV 以下の半導体素子を得られるようにしたものである。このとき、単に通常のバイポーラトランジスタを組み合わせるだけでは、所定電圧（立ち上り電圧）以下の順方向バイアスでバイポーラトランジスタをオンすることができないので、電源電圧の低電圧化に対応することができない。このことを考慮して、本実施の形態 1 では、所定電圧（立ち上り電圧）以下の順方向バイアスでオン動作させることができるトンネルバイポーラトランジスタに着目しているのである。すなわち、本実施の形態 1 では、 MOSFET とバイポーラトランジスタを組み合わせることによりバイポーラトランジスタの電流増幅機能を利用することで、ゲート電圧の変化に対して単体の MOSFET では得られないほど低い S 値を有する半導体素子を得ることができるのである。そして、特に、本実施の形態 1 では、電源電圧の低電圧化に対応して、バイポーラトランジスタとして通常のバイポーラトランジスタを使用するのではなく、トンネルバイポーラトランジスタを使用することにより、電源電圧が低電圧でもオン動作させることができ、この結果、低電圧動作で、かつ、 S 値が $60\text{ mV}/\text{桁}$ 以下の半導体素子を得ることができるのである。

[0052] 以下に、通常のバイポーラトランジスタの $p\text{ n}$ 接合と、本実施の形態 1 におけるトンネルバイポーラトランジスタのトンネル接合との特性の相違点について説明する。図 6 は、接合に印加する電圧と、接合を流れる電流の絶対値との関係を示すグラフであり、実線が本実施の形態 1 におけるトンネル接合を示し、破線が通常の $p\text{ n}$ 接合を示している。図 6 において、横軸は接合に印加する電圧を示している。このとき、正方向の電圧は、接合に逆バイアスを印加することを示しており、負方向の電圧は、接合に順バイアスを印加することを示している。一方、縦軸は、接合に流れる電流の絶対値を対数表示で示している。

[0053] まず、破線で示されている通常の $p\text{ n}$ 接合の特性について説明する。図 6 に示すように、通常の $p\text{ n}$ 接合に逆バイアスが印加される場合、電流値は 1×10^{-13} ($1\text{ E} - 13$) A 以下であり、ほとんど電流が流れないことがわか

る。続いて、通常の p n 接合に順方向バイアスを印加した場合を考える。この場合、順バイアスが図 6 の V_f 以下の場合、ほとんど電流が流れず、順バイアスの大きさが V_f を超えると、急激に通常の p n 接合に電流（順方向電流）が流れることがわかる。以上のことから、通常の p n 接合とは、逆バイアスを印加したときにほとんど電流（逆方向電流）が流れず、かつ、順方向バイアスを印加した場合も順方向バイアスが所定電圧（立ち上り電圧）（ V_f ）以下であると電流が流れず、順方向バイアスが所定電圧（ V_f ）を超えてはじめて電流（順方向電流）が流れるという特性をもっている接合として定義することができる。

[0054] 次に、実線で示されている本実施の形態 1 におけるトンネル接合の特性について説明する。図 6 に示すように、トンネル接合に逆バイアスが印加される場合、逆バイアスを増加していても、電流値は 1×10^{-9} （ $1 \text{ E} - 09$ ）A 以下に抑制されていることがわかる。つまり、実線で示すトンネル接合では、破線に示す通常の p n 接合よりは、逆方向電流が増加する傾向があるが、それでも、逆方向バイアスを増加していても電流値が一定値以下に抑えられているので、このトンネル接合も逆バイアスに対して一定の電流抑制機能（整流機能）を有していることがわかる。一方、トンネル接合に順方向バイアスを印加した場合を考える。この場合、順バイアスが 0 V より大きくなると急激に電流（順方向電流）が流れることがわかる。つまり、トンネル接合では、所定電圧以下の順バイアスを印加した場合でも電流（順方向電流）が流れることがわかる。すなわち、通常の p n 接合では、順バイアスが所定電圧（ V_f ）以下である場合は電流（順方向電流）がほとんど流れないのに対し、トンネル接合では、順バイアスが所定電圧（ V_f ）以下である場合であっても大きな電流（順方向電流）が流れることが大きく相違する。以上のことから、本実施の形態 1 におけるトンネル接合とは、順方向に所定電圧（ V_f ）以下の順バイアスを印加した場合にも、ほとんど電流が流れないのではなく、順方向電流が流れ、かつ、逆バイアスを印加した時に一定の電流抑制機能を有する接合であると定義することができる。

[0055] このように通常の p n 接合の特性と、本実施の形態 1 におけるトンネル接合の特性との間には大きな相違点があるが、この相違点が発生するメカニズムについて以下で説明する。

[0056] まず、通常の p n 接合での順方向特性についてバンド図を使用して説明する。図 7 は、通常の p n 接合に電圧を印加しない場合 ($V = 0$) におけるバンド図である。図 7 の左側領域が p 型半導体領域を示し、図 7 の右側領域が n 型半導体領域を示している。このとき、通常の p n 接合を形成する p 型半導体領域の不純物濃度および n 型半導体領域の不純物濃度は縮退しない程度の低い濃度となっているので、p 型半導体領域のフェルミ準位 E_f は、価電子帯 E_v の直上に存在し、かつ、n 型半導体領域のフェルミ準位 E_f は、伝導帯 E_c の直下に存在する。そして、平衡状態 ($V = 0$) では、p 型半導体領域のフェルミ準位 E_f と、n 型半導体領域のフェルミ準位 E_f が一致することから、図 7 に示すように、通常の p n 接合ではビルトインポテンシャルが存在することになる。

[0057] 続いて、図 8 は、所定電圧 (V_f) 以下の順バイアス ($|V| < |V_f|$) を印加した場合におけるバンド図である。図 8 に示すように、所定電圧 (V_f) 以下の順バイアスを印加することにより、p 型半導体領域のフェルミ準位 E_f と、n 型半導体領域のフェルミ準位 E_f の間に電位差 $|V|$ が生じて、ビルトインポテンシャルが平衡状態のビルトインポテンシャルよりも小さくなる。しかし、まだ、ビルトインポテンシャルの大きさが大きいので、n 型半導体領域の伝導帯 E_c にある電子が、ビルトインポテンシャルを乗り越えて p 型半導体領域の伝導帯 E_c に拡散することや、p 型半導体領域の価電子帯 E_v にある正孔が、ビルトインポテンシャルを乗り越えて n 型半導体領域の価電子帯 E_v へ拡散することが生じにくくなっている。このことから、所定電圧 (V_f) 以下の順バイアス ($|V| < |V_f|$) を印加した場合、通常の p n 接合では、p 型半導体領域から n 型半導体領域へ電流（順方向電流）がほとんど流れないことがわかる。

[0058] さらに、図 9 は、所定電圧 (V_f) よりも大きな順バイアス ($|V| > |$

$|V_f|$) を印加した場合におけるバンド図である。図 9 に示すように、所定電圧 (V_f) よりも大きな順バイアスを印加することにより、p 型半導体領域のフェルミ準位 E_f と、n 型半導体領域のフェルミ準位 E_f の間に電位差 $|V|$ が生じて、ビルトインポテンシャルが平衡状態のビルトインポテンシャルよりも充分に小さくなることがわかる。このため、n 型半導体領域の伝導帯 E_c にある電子が、容易にビルトインポテンシャルを乗り越えて p 型半導体領域の伝導帯 E_c に拡散する。同様に、p 型半導体領域の価電子帯 E_v にある正孔が、ビルトインポテンシャルを乗り越えて n 型半導体領域の価電子帯 E_v へ拡散する。このことから、所定電圧 (V_f) よりも大きな順バイアス ($|V| > |V_f|$) を印加した場合、通常の p n 接合では、p 型半導体領域から n 型半導体領域へ大きな電流 (順方向電流) が流れることがわかる。したがって、順方向バイアスを印加した場合も順方向バイアスが所定電圧 (立ち上り電圧) (V_f) 以下であると電流が流れず、順方向バイアスが所定電圧 (V_f) を超えてはじめて電流 (順方向電流) が流れるという特性を、通常の p n 接合はもっていることが説明される。

[0059] 次に、トンネル接合での順方向特性についてバンド図を使用して説明する。図 10 は、トンネル接合に電圧を印加しない場合 ($V = 0$) におけるバンド図である。図 10 の左側領域が p 型半導体領域を示し、図 10 の右側領域が n 型半導体領域を示している。このとき、トンネル接合を形成する p 型半導体領域の不純物濃度および n 型半導体領域の不純物濃度は縮退する程度の高い濃度となっているので、p 型半導体領域のフェルミ準位 E_f は、価電子帯 E_v の内部に入り込み、かつ、n 型半導体領域のフェルミ準位 E_f は、伝導帯 E_c の内部に入り込むようになっている。そして、平衡状態 ($V = 0$) では、p 型半導体領域のフェルミ準位 E_f と、n 型半導体領域のフェルミ準位 E_f が一致することから、図 10 に示すように、トンネル接合でもビルトインポテンシャルが存在することになる。

[0060] 続いて、図 11 は、所定電圧 (V_f) 以下の順バイアス ($|V| < |V_f|$) を印加した場合におけるバンド図である。図 11 に示すように、所定電

圧 (V_f) 以下の順バイアスを印加することにより、 p 型半導体領域のフェルミ準位 E_f と、 n 型半導体領域のフェルミ準位 E_f の間に電位差 $|V|$ が生じる。このとき、トンネル接合では、 p 型半導体領域のフェルミ準位 E_f は、価電子帯 E_v の内部に入り込み、かつ、 n 型半導体領域のフェルミ準位 E_f は、伝導帯 E_c の内部に入り込んでいることから、 p 型半導体領域の価電子帯 E_v と n 型半導体領域の伝導帯 E_c の間に重なり（オーバーラップ）が生じる。つまり、 p 型半導体領域に存在する空の準位と、 n 型半導体領域に存在する満たされた準位が同じエネルギーレベルで相対することになる。そして、トンネル接合では、 p 型半導体領域の不純物濃度や n 型半導体領域の不純物濃度が縮退する程度に高濃度となっていることから、トンネル接合で形成される空乏層は非常に狭くなり、トンネル接合での電界は極めて大きくなる。したがって、トンネル接合では、有限の高さをもった狭いビルトインポテンシャルで分離された空の準位（価電子帯 E_v ）と満たされた準位（伝導帯 E_c ）の間でバンド間トンネリングの発生条件が成立する。例えば、図 11 に示すように、 p 型半導体領域に存在する正孔が、 p 型半導体領域の価電子帯 E_v から n 型半導体領域の伝導帯 E_c へバンド間トンネリングで移動（トンネル）する。同様に、 n 型半導体領域に存在する電子が、 n 型半導体領域の伝導帯 E_c から p 型半導体領域の価電子帯 E_v へバンド間トンネリングで移動（トンネル）する。この結果、トンネル接合では、所定電圧 (V_f) 以下の順バイアス ($|V| < |V_f|$) を印加した場合でも、バンド間トンネリングによる電流（順方向電流）が流れることがわかる。

[0061] さらに、図 12 は、所定電圧 (V_f) よりも大きな順バイアス ($|V| > |V_f|$) を印加した場合におけるバンド図である。図 12 に示すように、所定電圧 (V_f) よりも大きな順バイアスを印加することにより、 p 型半導体領域のフェルミ準位 E_f と、 n 型半導体領域のフェルミ準位 E_f の間に電位差 $|V|$ が生じて、ビルトインポテンシャルが平衡状態のビルトインポテンシャルよりも充分に小さくなることがわかる。このため、 n 型半導体領域の伝導帯 E_c にある電子が、容易にビルトインポテンシャルを乗り越えて p

型半導体領域の伝導帯 E_c に拡散する。同様に、 p 型半導体領域の価電子帯 E_v にある正孔が、ビルトインポテンシャルを乗り越えて n 型半導体領域の価電子帯 E_v へ拡散する。このことから、所定電圧(V_f)よりも大きな順バイアス($|V| > |V_f|$)を印加した場合、トンネル接合では、 p 型半導体領域から n 型半導体領域へ大きな電流(順方向電流)が流れることがわかる。したがって、順方向に所定電圧(V_f)以下の順バイアスを印加した場合にも、順方向電流が流れるという特性を、トンネル接合はもっていることが説明される。

[0062] 本実施の形態1における半導体素子は、図5に示すように、 p 型半導体領域 PR_d と n 型半導体領域 NR_b の境界領域に形成される接合を上述したトンネル接合で形成する。このことから、 p 型半導体領域 PR_d の不純物濃度と、 n 型半導体領域 NR_b の不純物濃度は、縮退する程度に高濃度である必要がある。しかし、本実施の形態1では、 n 型半導体領域 NR_b の不純物濃度は、縮退する程度の濃度でありながら、なるべく低濃度である必要がある。この理由について説明する。

[0063] 図5に示すように、本実施の形態1における半導体素子は、 p 型半導体領域 PR_d をエミッタ領域、 n 型半導体領域 NR_b をベース領域、 p 型ウェル PWL (半導体基板1 S)をコレクタ領域とするトンネルバイポーラトランジスタを含んでいる。この場合、エミッタ領域である p 型半導体領域 PR_d と、ベース領域である n 型半導体領域 NR_b の間にトンネル接合が形成されており、トンネルバイポーラトランジスタのエミッタ領域とベース領域の間に順バイアスが印加されると、エミッタ領域からベース領域へエミッタ電流が流れる。このエミッタ電流は、トンネル接合でのバンド間トンネリングによる電流であり、エミッタ領域(p 型半導体領域 PR_d)からベース領域(n 型半導体領域 NR_b)へ流れる正孔電流と、ベース領域(n 型半導体領域 NR_b)からエミッタ領域(p 型半導体領域 PR_d)へ流れる電子電流から構成される。

[0064] このとき、トンネルバイポーラトランジスタとして考えた場合、エミッタ

電流のほとんどが正孔電流であることがトンネルバイポーラトランジスタの増幅率を増大させる観点から望ましい。つまり、エミッタ領域からベース領域に注入された正孔電流のほとんどがコレクタ領域に引き抜かれることで、トンネルバイポーラトランジスタの増幅動作が行われる一方、ベース領域からエミッタ領域へ注入される電子電流はトンネルバイポーラトランジスタの増幅動作には寄与しない。したがって、エミッタ領域からベース領域に流れる正孔電流を増大させ、かつ、ベース領域からエミッタ領域へ流れる電子電流をできるだけ小さくするほうが、トンネルバイポーラトランジスタの増幅率を向上させることができるのである。このことは、エミッタ注入効率（正孔電流／（正孔電流＋電子電流））をできるだけ1に近づけることが望ましいことを意味している。

[0065] ここで、トンネルバイポーラトランジスタにおいて、エミッタ注入効率を向上させることは、ベース領域の不純物濃度を低くし、かつ、エミッタ領域の不純物濃度を高くすることで実現できる。したがって、p型半導体領域PRdとn型半導体領域NRbの境界領域に形成される接合をトンネル接合で形成する必要性から、ベース領域となるn型半導体領域NRbの不純物濃度を縮退する程度に高濃度にする必要性がある一方で、トンネルバイポーラトランジスタとして考えた場合、ベース領域となるn型半導体領域NRbの不純物濃度は低くすることが望ましい。以上のことから、n型半導体領域NRbの不純物濃度は、縮退する程度の濃度でありながら、なるべく低濃度であることが望ましいのである。このため、本実施の形態1では、エミッタ領域となるp型半導体領域PRdの不純物濃度よりも、ベース領域となるn型半導体領域NRbの不純物濃度を低くしているのである。具体的に、本実施の形態1では、p型半導体領域PRdの不純物濃度を $10^{20}/\text{cm}^3$ のオーダーとし、n型半導体領域NRbの不純物濃度を $10^{19}/\text{cm}^3$ のオーダーとしている。

[0066] 図13は、p型半導体領域PRdとn型半導体領域NRbの不純物プロファイルを示すグラフである。図13において、横軸は半導体基板からの深さ

(基板深さ)を示しており、縦軸は不純物濃度を示している。図13に示すように、p型半導体領域PRdは、深さ0nm～15nm程度の深さにわたって形成され、p型半導体領域PRdの不純物濃度(ボロン濃度)のピークは $10^{20}/\text{cm}^3$ のオーダーとなっている。一方、n型半導体領域NRbは、深さ0nm～25nm程度の深さにわたって形成され、n型半導体領域NRbの不純物濃度(砒素濃度)のピークは $10^{19}/\text{cm}^3$ のオーダーとなっている。

[0067] 以上のように、本実施の形態1では、p型半導体領域PRdとn型半導体領域NRbによってトンネル接合が形成されているとともに、p型半導体領域PRdの不純物濃度に比べてn型半導体領域NRbの不純物濃度を低くすることにより、トンネルバイポーラトランジスタのエミッタ注入効率を向上させている。本実施の形態1におけるトンネル接合では、p型半導体領域PRdとn型半導体領域NRbを縮退させることで、順方向に所定電圧(V_f)以下の順バイアスを印加した場合にも、バンド間トンネリングにより順方向電流が流れるという特性を持たせている。そして、p型半導体領域PRdの不純物濃度に比べてn型半導体領域NRbの不純物濃度を低くすることにより、逆バイアスを印加したときに電流抑制機能が発揮されることになる。つまり、本実施の形態1における半導体素子では、p型半導体領域PRdの不純物濃度に比べてn型半導体領域NRbの不純物濃度を低くするという構成は、トンネルバイポーラトランジスタの観点からエミッタ注入効率を向上させるためになされているといえることができる。一方、この構成は、トンネル接合の観点から見ると、n型半導体領域NRbの不純物濃度ができるだけ低濃度となっていることから、逆バイアスを印加したときに空乏層が延び、その結果、逆バイアス印加時のバンド間トンネリングが抑制されて、逆方向電流が抑制されるともいえる。したがって、本実施の形態1におけるトンネル接合は、順方向に所定電圧(V_f)以下の順バイアスを印加した場合にも、ほとんど電流が流れないのではなく、順方向電流が流れ、かつ、逆バイアスを印加した時に一定の電流抑制機能を有する接合であるといえることができる。

る。

[0068] なお、トンネル接合の特性向上方法として、バンドギャップの狭いゲルマニウムやシリコン・ゲルマニウムの結晶を使用してヘテロ構造をとる技術が知られており、本実施の形態1でもその技術を応用することができる。

[0069] <実施の形態1における半導体装置の製造方法>

本実施の形態1における半導体装置は上記のように構成されており、以下にその製造方法について図面を参照しながら説明する。

[0070] まず、図14に示すように、半導体基板（p型シリコン基板）1Sの表面に、例えば、10nmの酸化シリコン膜を熱酸化法で形成した後、100nmの窒化シリコン膜をCVD（Chemical Vapor Deposition）法を用いて堆積する。そして、フォトリソグラフィ技術を用いて、活性領域をパターニングする。その後、ドライエッチング技術を使用することにより、窒化シリコン膜および酸化シリコン膜を半導体基板1Sの主面（基板面）に対して垂直方向に異方性エッチングした後、さらに、半導体基板1Sを異方性エッチングして、半導体基板1Sに、例えば、300nmの深さの溝（トレンチ）を形成する。

[0071] 続いて、溝の内部に露出したシリコン表面を酸化することにより、5nmの酸化シリコン膜を形成し、さらに、CVD法により、700nmの酸化シリコン膜を半導体基板1S上に堆積する。次に、CMP（Chemical Mechanical Polishing）法を使用することにより、窒化シリコン膜を下地マスクとして、堆積した酸化シリコン膜の研磨を行い、溝の内部を除いて、半導体基板1S上に堆積した酸化シリコン膜を除去する。その後、マスクとして使用した窒化シリコン膜を熱リン酸によるウェットエッチングで除去する。以上のようにして、半導体基板1Sの主面側に素子分離領域STIを形成することができる。

[0072] 次に、イオン注入法および熱処理を使用することにより、半導体基板1S内に、例えば、ボロン（B）などのp型不純物を導入することで、基板表面付近の不純物濃度を $8 \times 10^{17} / \text{cm}^{-3}$ に設定したp型ウェルPWLを形成

する。このp型ウェルPWLにおける不純物濃度プロファイルを設定することにより、MOSFETの閾値を調整することができる。そして、窒化シリコン膜の下に形成していた酸化シリコン膜をフッ酸で除去することにより、半導体基板1Sの表面（シリコン表面）を露出させる。

[0073] 続いて、図15に示すように、熱酸化法を使用することにより、活性領域に、例えば、3nmのゲート絶縁膜GOXを形成する。ゲート絶縁膜GOXは、例えば、酸化シリコン膜から形成されるが、これに限らず、酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。その後、ゲート絶縁膜GOX上に、CVD法を用いて、ポリシリコン膜PF1を100nm程度の厚さで堆積する。このとき、ポリシリコン膜PF1には、in-situドーピング法またはイオン注入法などを用いて高濃度にリンをドーピングする。そして、フォトリソグラフィ技術およびドライエッチング法を使用することにより、ポリシリコン膜PF1をパターニングする。具体的には、フォトリソグラフィ技術を使用してポリシリコン膜PF1上に形成されたレジスト膜をパターニングする。そして、パターニングしたレジスト膜をマスクにして、ポリシリコン膜PF1をドライエッチングする。このように、ポリシリコン膜PF1を半導体基板1Sの基板面に垂直方向に異方性エッチングすることで、ポリシリコン膜PF1からなるゲート電極Gを形成する。

[0074] 次に、図16に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、半導体基板1S内にゲート電極Gに整合した低濃度n型半導体領域EX1を形成する。そして、図17に示すように、CVD法により、ゲート電極Gを覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積し、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、ゲート電極Gの両側の側壁にサイドウォールSW1を形成する。

[0075] その後、サイドウォールSW1を形成したゲート電極Gをマスクにしたイオン注入法により、半導体基板1S内に砒素を、25keVの加速エネルギー、かつ、 $5 \times 10^{14} / \text{cm}^2$ 程度のドーズ量でドーピングする。これにより

、 n 型半導体領域 NR_s および n 型半導体領域 NR_b を形成することができる。その後、熱処理によって導入した不純物（砒素）の活性化を行ってもよい。ここで、イオン注入法を実施する際、サイドウォール SW_1 を形成したゲート電極 G とともに、レジスト膜をパターニングしてイオン注入法のマスクとすることができる。この場合、 n 型半導体領域 NR_s と n 型半導体領域 NR_b を異なる不純物濃度にすることができる。

[0076] 続いて、図18に示すように、CVD法により、ゲート電極 G を覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積する。次に、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、サイドウォール SW_1 の外側にサイドウォール SW_2 を形成する。そして、フォトリソグラフィ技術およびイオン注入法を使用することにより、 n 型半導体領域 NR_b に内包されるように p 型半導体領域 PR_d を形成する。このとき、イオン注入法では、 p 型不純物であるボロン（B）を、2keVの加速エネルギー、かつ、 $2 \times 10^{15} / \text{cm}^2$ 程度のドーズ量でドーピングする。

[0077] その後、Laser Spike Annealing（LSA）を用いて短時間での高温活性化処理を行う。これにより、例えば、 n 型半導体領域 NR_b および p 型半導体領域 PR_d は、図13に示すような不純物プロファイルを有するように形成される。この結果、 n 型半導体領域 NR_b と p 型半導体領域 PR_d の間の境界領域にトンネル接合を形成することができる。

[0078] 本発明の特徴の一つは、自己整合的に p 型半導体領域 PR_d を n 型半導体領域 NR_b 内に形成できる点にある。そして、 p 型半導体領域 PR_d は、 n 型半導体領域 NR_b に内包されるように形成されるので、新たに p 型半導体領域 PR_d を形成しても、本実施の形態1における半導体素子のサイズは、単体のMOSFETのサイズと同じサイズで形成することができる。このため、本実施の形態1における半導体素子は、集積度に影響を与えることなく、単体のMOSFETと同等の集積度で形成できる利点がある。

[0079] なお、本実施の形態1における半導体素子では、正電圧（例えば0.6V）を p 型半導体領域 PR_d であるドレイン領域に印加しても、 p 型ウェル P

WL（半導体基板1S）とは、反対導電型であるn型半導体領域NRbのみが接しているため、半導体基板1Sとの間に順方向バイアスによるリーク電流を生じることはない。さらに、p型半導体領域PRdとn型半導体領域NRbによって形成されるトンネル接合の特性は、p型半導体領域PRdやn型半導体領域NRbに注入する不純物の注入エネルギーを調整することにより、変化させることができる。

[0080] また、p型半導体領域PRdよりn型半導体領域NRbに注入された電荷（正孔）の半導体基板1Sへの引き抜きは、p型半導体領域PRdとn型半導体領域NRbの縦方向不純物分布、すなわち、実効的なn型半導体領域NRb（ベース領域）の厚さとともに、横方向の幅、すなわち、サイドウォールSW2の幅、および、チャネル領域の不純物プロファイルを調整することにより制御することができる。すなわち、n型半導体領域NRb（ベース領域）の幅を小さくすることで、引き抜き効率を向上させることができる。一方、n型半導体領域NRb（ベース領域）の幅を大きくすることで、リーク電流を減らすことができる。また、サイドウォールSW2の幅を小さくすることで引き抜き効率を向上させることができるとともに、チャネル領域の不純物濃度を上げることで引き抜き効率を向上させることができる。

[0081] 次に、図19に示すように、サイドウォールSW2をマスクにして選択的に、ゲート電極Gの上面、p型半導体領域PRdの表面、および、n型半導体領域NRsの表面にシリサイド膜SLを形成する。これにより、ゲート電極G、p型半導体領域PRd、および、n型半導体領域NRsを低抵抗化することができる。これは、シリサイド工程として知られる通常の工程である。このシリサイド膜SLは、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜から形成することができる。

[0082] その後、図5に示すように、通常のLSIで用いられている配線工程を行うことで、本実施の形態1における半導体素子を得ることができる。具体的には、図5に示すように、半導体基板1S上に、例えば、酸化シリコン膜か

らなるコンタクト層間絶縁膜C I Lを形成し、その表面をCMP法で平坦化する。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、コンタクト層間絶縁膜C I Lを貫通するコンタクトホールCNT 1およびコンタクトホールCNT 2を形成する。

[0083] 次に、コンタクトホールCNT 1、CNT 2の底面および内壁を含むコンタクト層間絶縁膜C I L上にチタン／窒化チタン膜を形成する。チタン／窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン／窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

[0084] 続いて、コンタクトホールCNT 1、CNT 2を埋め込むように、半導体基板1 Sの主面の全面にタングステン膜を形成する。このタングステン膜は、例えばCVD法を使用して形成することができる。そして、コンタクト層間絶縁膜C I L上に形成された不要なチタン／窒化チタン膜およびタングステン膜を例えばCMP法で除去することにより、プラグPLG 1およびプラグPLG 2を形成することができる。

[0085] 次に、コンタクト層間絶縁膜C I LおよびプラグPLG 1、PLG 2上にチタン／窒化チタン膜、アルミニウム膜、チタン／窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行うことにより配線L 1を形成することができる。

[0086] なお、これらの配線工程には、これまで知られている抵抗低減プロセスなどを用いることができる。例えば、上述した配線工程で形成される配線L 1はアルミニウム配線となっているが、配線L 1を銅配線（ダマシン配線）から形成することもできる。また、必要に応じて、多層配線を形成することもできる。

[0087] 以上のようにして、本実施の形態1における半導体装置を製造することが

できる。上述した製造工程によって形成される半導体素子は、通常のMOS FETと同じ平面レイアウトで製造することができることは明らかである。このため、本実施の形態1における半導体装置によれば、集積性を損ねることなく、高性能な半導体装置を得ることができる。

[0088] なお、本実施の形態1における半導体素子の等価回路を示す図1で、ソース端子Sと基板端子S_{ub}を説明のため、ソース端子Sと基板端子S_{ub}とを分離して示しているが、ソース電位V_sおよび基板電位V_{s_{ub}}はともに0Vに設定するため、両端子をつないで、3端子素子を形成することができる。また、注入電荷をn型半導体領域NR_bより半導体基板1Sに引き抜くことを考えると、基板電位V_{s_{ub}}をソース電位V_sに比べて低く設定し、n型半導体領域NR_bと半導体基板1Sの間に逆バイアスを印加することで、引き抜き効率を向上させることもできる。

[0089] (実施の形態2)

前記実施の形態1では、nチャネル型MOS FETとPNP型トンネルバイポーラトランジスタを組み合わせたnチャネル型半導体素子について説明したが、本願発明の半導体素子では、pチャネル型MOS FETとNPN型トンネルバイポーラトランジスタを組み合わせたpチャネル型半導体素子も形成できる。したがって、本願発明の半導体素子では、nチャネル型半導体素子とpチャネル型半導体素子とを利用して相補型(Complementary)の半導体素子を形成することができる。本実施の形態2では、nチャネル型半導体素子とpチャネル型半導体素子を組み合わせた相補型半導体素子について説明する。特に、本実施の形態2では、相補型半導体素子を利用した回路として、インバータ回路を例に挙げて説明する。

[0090] 図20は、本実施の形態2におけるインバータ回路を示す回路図である。図20に示すように、電源電位VDDとグランド電位GNDとの間にpチャネル型半導体素子PT_rとnチャネル型半導体素子NT_rが直列に接続されている。具体的には、電源電位VDD側にpチャネル型半導体素子PT_rが配置され、グランド電位GND側にnチャネル型半導体素子NT_rが配置さ

れている。そして、pチャネル型半導体素子PTrのゲート電極とnチャネル型半導体素子のゲート電極が電氣的に接続されて入力INとなっており、pチャネル型半導体素子のドレイン領域とnチャネル型半導体素子のドレイン領域を接続したノードが出力OUTとなっている。

[0091] このように構成されているインバータ回路によれば、入力INに「H」（例えば、1V）が入力されると、pチャネル型半導体素子PTrのゲート電極とnチャネル型半導体素子NTrのゲート電極に「H」が印加される。この場合、pチャネル型半導体素子PTrはオフし、かつ、nチャネル型半導体素子NTrがオンする。したがって、出力OUTはオンしたnチャネル型半導体素子NTrによってグランド電位GNDと電氣的に接続され、出力OUTから「L」（例えば、0V）が出力される。一方、入力INに「L」（例えば、0V）が入力されると、pチャネル型半導体素子PTrのゲート電極とnチャネル型半導体素子NTrのゲート電極に「L」が印加される。この場合、nチャネル型半導体素子NTrはオフし、かつ、pチャネル型半導体素子PTrがオンする。したがって、出力OUTはオンしたpチャネル型半導体素子PTrによって電源電位VDDと電氣的に接続され、出力OUTから「H」（例えば、1V）が出力される。このようにして、出力OUTには入力INと反対の電位が出力されてインバータ回路が動作することになる。

[0092] 次に、上述したインバータ回路を構成するnチャネル型半導体素子NTrとpチャネル型半導体素子PTrのデバイス構造について説明する。図21は、nチャネル型半導体素子NTrとpチャネル型半導体素子PTrのデバイス構造を示す断面図である。図21において、半導体基板1S上の主面側には素子分離領域STIが形成されており、素子分離領域STIで区画された活性領域（アクティブ領域）にp型ウェルPWLとn型ウェルNWLが形成されている。図21では左側領域にp型ウェルPWLが形成され、右側領域にn型ウェルNWLが形成されている。そして、p型ウェルPWL上にnチャネル型半導体素子NTrが形成され、n型ウェルNWL上にpチャネル

型半導体素子 PTr が形成されている。

[0093] まず、 p 型ウェル PWL 上に形成されている n チャネル型半導体素子 NTr の構造について説明する。素子分離領域 STI で区画された半導体基板 1 S 内には、例えば、ボロンなどの p 型不純物を導入した p 型ウェル PWL が形成されており、この p 型ウェル PWL 内に離間して一对の低濃度 n 型半導体領域 $EX1$ が形成されている。低濃度 n 型半導体領域 $EX1$ は、リンなどの n 型不純物を導入した半導体領域であり、一对の低濃度 n 型半導体領域 $EX1$ で挟まれた p 型ウェル PWL 内の領域がチャネル領域となる。そして、低濃度 n 型半導体領域 $EX1$ の外側には n 型半導体領域 NRs と n 型半導体領域 NRb が形成されている。すなわち、一对の低濃度 n 型半導体領域 $EX1$ のうち左側の低濃度 n 型半導体領域 $EX1$ のさらに左側に n 型半導体領域 NRs が形成され、一对の低濃度 n 型半導体領域 $EX1$ のうち右側の低濃度 n 型半導体領域 $EX1$ のさらに右側に n 型半導体領域 NRb が形成されている。この n 型半導体領域 NRs および n 型半導体領域 NRb は、砒素などの n 型不純物が導入された半導体領域である。

[0094] さらに、本実施の形態2における n チャネル型半導体素子 NTr においては、 n 型半導体領域 NRb に内包されるように、 p 型半導体領域 PRd が形成されている。この p 型半導体領域 PRd は、ボロンなどの p 型不純物が導入された半導体領域である。

[0095] 次に、チャネル領域上にはゲート絶縁膜 $G O X$ が形成されており、このゲート絶縁膜 $G O X$ 上にゲート電極 $G 1$ が形成されている。ゲート絶縁膜 $G O X$ は、例えば、酸化シリコン膜から形成されるが、これに限らず、例えば、酸化ハフニウム膜などの酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。また、ゲート電極 $G 1$ は、例えば、リンを導入したポリシリコン膜 $P F 1$ (n 型ポリシリコン膜) と、ポリシリコン膜 $P F 1$ 上に形成されたシリサイド膜 $S L$ から形成されている。シリサイド膜 $S L$ は、ゲート電極 $G 1$ の低抵抗化のために形成された膜であり、シリサイド膜 $S L$ は、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜

、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜などから形成されている。

[0096] ゲート電極G 1の両側の側壁にはサイドウォールSW 1が形成されており、このサイドウォールSW 1の外側にサイドウォールSW 2が形成されている。そして、サイドウォールSW 2よりも外側の領域にシリサイド膜SLが形成されている。具体的に、左側のサイドウォールSW 2の外側に露出しているn型半導体領域NR sの表面にシリサイド膜SLが形成されているとともに、右側のサイドウォールSW 2の外側に露出しているp型半導体領域PR dの表面にもシリサイド膜SLが形成されている。

[0097] 本実施の形態2におけるnチャネル型半導体素子NT rは上記のように構成されており、このnチャネル型半導体素子NT rは、nチャネル型MOS FETとPNP型トンネルバイポーラトランジスタを備えている。つまり、左側の低濃度n型半導体領域EX 1とn型半導体領域NR sおよびシリサイド膜SLにより、nチャネル型MOS FETのソース領域が形成されている。そして、チャネル領域上に形成されたゲート絶縁膜GO Xがnチャネル型MOS FETのゲート絶縁膜を構成し、かつ、ゲート絶縁膜GO X上に形成されているゲート電極G 1がnチャネル型MOS FETのゲート電極を構成している。さらに、右側の低濃度n型半導体領域EX 1とn型半導体領域NR bがnチャネル型MOS FETとPNP型トンネルバイポーラトランジスタとの接続領域を形成している。

[0098] 続いて、p型半導体領域PR dとシリサイド膜SLがPNP型トンネルバイポーラトランジスタのエミッタ領域となっており、右側の低濃度n型半導体領域EX 1およびn型半導体領域NR bがPNP型トンネルバイポーラトランジスタのベース領域となっている。そして、p型ウェルPWLおよび半導体基板1 SがPNP型トンネルバイポーラトランジスタのコレクタ領域となっている。以上のことから、本実施の形態2におけるnチャネル型半導体素子NT rは、nチャネル型MOS FETとPNP型トンネルバイポーラトランジスタを備え、nチャネル型MOS FETのドレイン領域がPNP型ト

ンネルバイポーラトランジスタのベース領域となるように、 n チャネル型MOSFETとPNP型トンネルバイポーラトランジスタが電氣的に接続された構成をしている。なお、 p 型ウェルPWLには、 p 型ウェルPWLに電位を供給するための p 型給電領域PR1も形成されている。

[0099] 続いて、 n 型ウェルNWL上に形成されている p チャネル型半導体素子PTrの構造について説明する。素子分離領域STIで区画された半導体基板1S内には、例えば、リンや砒素などの n 型不純物を導入した n 型ウェルNWLが形成されており、この n 型ウェルNWL内に離間して一対の低濃度 p 型半導体領域EX2が形成されている。低濃度 p 型半導体領域EX2は、ボロンなどの p 型不純物を導入した半導体領域であり、一対の低濃度 p 型半導体領域EX2で挟まれた n 型ウェルNWL内の領域がチャネル領域となる。そして、低濃度 p 型半導体領域EX2の外側には p 型半導体領域PRbと p 型半導体領域PRsが形成されている。すなわち、一対の低濃度 p 型半導体領域EX2のうち左側の低濃度 p 型半導体領域EX2のさらに左側に p 型半導体領域PRbが形成され、一対の低濃度 p 型半導体領域EX2のうち右側の低濃度 p 型半導体領域EX2のさらに右側に p 型半導体領域PRsが形成されている。この p 型半導体領域PRbおよび p 型半導体領域PRsは、ボロンなどの p 型不純物が導入された半導体領域である。

[0100] さらに、本実施の形態2における p チャネル型半導体素子PTrにおいては、 p 型半導体領域PRbに内包されるように、 n 型半導体領域NRdが形成されている。この n 型半導体領域NRdは、リンや砒素などの n 型不純物が導入された半導体領域である。

[0101] 次に、チャネル領域上にはゲート絶縁膜GOXが形成されており、このゲート絶縁膜GOX上にゲート電極G2が形成されている。ゲート絶縁膜GOXは、例えば、酸化シリコン膜から形成されるが、これに限らず、例えば、酸化ハフニウム膜などの酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。また、ゲート電極G2は、例えば、ボロンを導入したポリシリコン膜PF1（ p 型ポリシリコン膜）と、ポリシリコン膜PF1上に形

成されたシリサイド膜SLから形成されている。シリサイド膜SLは、ゲート電極G2の低抵抗化のために形成された膜であり、シリサイド膜SLは、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜などから形成されている。

[0102] ゲート電極G2の両側の側壁にはサイドウォールSW1が形成されており、このサイドウォールSW1の外側にサイドウォールSW2が形成されている。そして、サイドウォールSW2よりも外側の領域にシリサイド膜SLが形成されている。具体的に、左側のサイドウォールSW2の外側に露出しているn型半導体領域NRdの表面にシリサイド膜SLが形成されているとともに、右側のサイドウォールSW2の外側に露出しているp型半導体領域PRsの表面にもシリサイド膜SLが形成されている。

[0103] 本実施の形態2におけるpチャネル型半導体素子PTRは上記のように構成されており、このpチャネル型半導体素子PTRは、pチャネル型MOSFETとNPN型トンネルバイポーラトランジスタを備えている。つまり、右側の低濃度p型半導体領域EX2とp型半導体領域PRsおよびシリサイド膜SLにより、pチャネル型MOSFETのソース領域が形成されている。そして、チャネル領域上に形成されたゲート絶縁膜GOXがpチャネル型MOSFETのゲート絶縁膜を構成し、かつ、ゲート絶縁膜GOX上に形成されているゲート電極G2がpチャネル型MOSFETのゲート電極を構成している。さらに、左側の低濃度p型半導体領域EX2とp型半導体領域PRbがpチャネル型MOSFETとNPN型トンネルバイポーラトランジスタとの接続領域を形成している。

[0104] 続いて、n型半導体領域NRdとシリサイド膜SLがNPN型トンネルバイポーラトランジスタのエミッタ領域となっており、左側の低濃度p型半導体領域EX2およびp型半導体領域PRbがNPN型トンネルバイポーラトランジスタのベース領域となっている。そして、n型ウェルNWLがNPN型トンネルバイポーラトランジスタのコレクタ領域となっている。以上のこ

とから、本実施の形態2におけるpチャネル型半導体素子PT_rは、pチャネル型MOSFETとNPN型トンネルバイポーラトランジスタを備え、pチャネル型MOSFETのドレイン領域がNPN型トンネルバイポーラトランジスタのベース領域となるように、pチャネル型MOSFETとNPN型トンネルバイポーラトランジスタが電氣的に接続された構成をしている。なお、n型ウェルNW_Lには、n型ウェルNW_Lに電位を供給するためのn型給電領域NR₁も形成されている。

[0105] このように構成されているnチャネル型半導体素子NT_rとpチャネル型半導体素子PT_rを覆う半導体基板1S上には、例えば、図21に示すように、TEOSを原料とした酸化シリコン膜からなるコンタクト層間絶縁膜C_{IL}が形成されている。そして、このコンタクト層間絶縁膜C_{IL}を貫通してシリサイド膜SLに達するようにコンタクトホールCNTが形成されている。コンタクトホールCNTの内部には、バリア導体膜となるチタン／窒化チタン膜と、このバリア導体膜上に形成されたタングステン膜が埋め込まれて、プラグPLGが形成されている。プラグPLGを形成したコンタクト層間絶縁膜C_{IL}上には、配線L₁が形成されている。この配線L₁は、例えば、窒化チタン膜と、アルミニウム膜と、窒化チタン膜の積層膜から形成されている。

[0106] 本実施の形態2における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

[0107] まず、図22に示すように、半導体基板（p型シリコン基板）1Sの表面に、例えば、10nmの酸化シリコン膜を熱酸化法で形成した後、100nmの窒化シリコン膜をCVD（Chemical Vapor Deposition）法を用いて堆積する。そして、フォトリソグラフィ技術を用いて、活性領域をパターンニングする。その後、ドライエッチング技術を使用することにより、窒化シリコン膜および酸化シリコン膜を半導体基板1Sの主面（基板面）に対して垂直方向に異方性エッチングした後、さらに、半導体基板1Sを異方性エッチングして、半導体基板1Sに、例えば、300nmの深さの溝（トレンチ）を形

成する。

[0108] 続いて、溝の内部に露出したシリコン表面を酸化することにより、5 nmの酸化シリコン膜を形成し、さらに、CVD法により、700 nmの酸化シリコン膜を半導体基板1 S上に堆積する。次に、CMP (Chemical Mechanical Polishing)法を使用することにより、窒化シリコン膜を下地マスクとして、堆積した酸化シリコン膜の研磨を行い、溝の内部を除いて、半導体基板1 S上に堆積した酸化シリコン膜を除去する。その後、マスクとして使用した窒化シリコン膜を熱リン酸によるウェットエッチングで除去する。以上のようにして、半導体基板1 Sの主面側に素子分離領域STIを形成することができる。

[0109] 次に、イオン注入法および熱処理を使用することにより、半導体基板1 S内にp型ウェルPWLおよびn型ウェルNWLを形成する。そして、窒化シリコン膜の下に形成していた酸化シリコン膜をフッ酸で除去することにより、半導体基板1 Sの表面（シリコン表面）を露出させる。

[0110] 続いて、図23に示すように、熱酸化法を使用することにより、活性領域に、例えば、3 nmのゲート絶縁膜GOXを形成する。ゲート絶縁膜GOXは、例えば、酸化シリコン膜から形成されるが、これに限らず、酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。その後、ゲート絶縁膜GOX上に、CVD法を用いて、ポリシリコン膜PF1を100 nm程度の厚さで堆積する。このとき、nチャネル型半導体素子形成領域に形成されているポリシリコン膜PF1には、イオン注入法などを用いて高濃度にリンをドーピングする。同様に、pチャネル型半導体素子形成領域に形成されているポリシリコン膜PF1には、イオン注入法などを用いて高濃度にボロンをドーピングする。

[0111] そして、フォトリソグラフィ技術およびドライエッチング法を使用することにより、ポリシリコン膜PF1をパターニングする。具体的には、フォトリソグラフィ技術を使用してポリシリコン膜PF1上に形成されたレジスト膜をパターニングする。そして、パターニングしたレジスト膜をマスクにし

て、ポリシリコン膜PF1をドライエッチングする。このように、ポリシリコン膜PF1を半導体基板1Sの基板面に垂直方向に異方性エッチングすることで、ポリシリコン膜PF1からなるゲート電極G1およびゲート電極G2を形成する。

[0112] 次に、図24に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、半導体基板1S内にゲート電極G1に整合した低濃度n型半導体領域EX1を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用することにより、半導体基板1S内にゲート電極G2に整合した低濃度p型半導体領域EX2を形成する。そして、図25に示すように、CVD法により、ゲート電極G1とゲート電極G2を覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積し、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、ゲート電極G1およびゲート電極G2の両側の側壁にサイドウォールSW1を形成する。

[0113] その後、サイドウォールSW1を形成したゲート電極G1およびパターンニングしたレジスト膜をマスクにしたイオン注入法により、p型ウェルPWL内に砒素をドーピングする。これにより、n型半導体領域NRsおよびn型半導体領域NRbを形成することができる。このとき、n型ウェルNWL内にn型給電領域NR1も形成する。同様に、サイドウォールSW1を形成したゲート電極G2およびパターンニングしたレジスト膜をマスクにしたイオン注入法により、n型ウェルNWL内にボロンをドーピングする。これにより、p型半導体領域PRsおよびp型半導体領域PRbを形成することができる。このとき、p型ウェルPWL内にp型給電領域PR1も形成する。その後、熱処理によって導入した不純物（砒素とボロン）の活性化を行ってもよい。

[0114] 続いて、図26に示すように、CVD法により、ゲート電極G1およびゲート電極G2を覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積する。次に、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、サイドウォールSW1の外側にサイドウォールSW2を形

成する。そして、 n チャネル型半導体素子形成領域においては、フォトリソグラフィ技術およびイオン注入法を使用することにより、 n 型半導体領域 NR_b に内包されるように p 型半導体領域 PR_d を形成する。同様に、 p チャネル型半導体素子形成領域においては、フォトリソグラフィ技術およびイオン注入法を使用することにより、 p 型半導体領域 PR_b に内包されるように n 型半導体領域 NR_d を形成する。

[0115] その後、*Laser Spike Annealing* (*LSA*) を用いて短時間での高温活性化処理を行う。これにより、 n チャネル型半導体素子形成領域においては、 n 型半導体領域 NR_b と p 型半導体領域 PR_d の間の境界領域にトンネル接合を形成することができる。同様に、 p チャネル型半導体素子形成領域においては、 p 型半導体領域 PR_b と n 型半導体領域 NR_d の間の境界領域にトンネル接合を形成することができる。

[0116] 次に、図27に示すように、サイドウォール SW_2 をマスクにして選択的に、ゲート電極 G_1 およびゲート電極 G_2 の上面、 p 型半導体領域 PR_d の表面、 n 型半導体領域 NR_s の表面、 n 型半導体領域 NR_d の表面、 p 型半導体領域 PR_s の表面、 p 型給電領域 PR_1 の表面、および、 n 型給電領域 NR_1 の表面にシリサイド膜 SL を形成する。これにより、ゲート電極 G_1 、 G_2 、 p 型半導体領域 PR_d 、 n 型半導体領域 NR_s 、 n 型半導体領域 NR_d 、 p 型半導体領域 PR_s 、 p 型給電領域 PR_1 、および、 n 型給電領域 NR_1 を低抵抗化することができる。これは、シリサイド工程として知られる通常の工程である。このシリサイド膜 SL は、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜から形成することができる。

[0117] その後、図21に示すように、通常の LSI で用いられている配線工程を行うことで、本実施の形態2における半導体装置を得ることができる。具体的には、図21に示すように、半導体基板 $1S$ 上に、例えば、酸化シリコン膜からなるコンタクト層間絶縁膜 CIL を形成し、その表面をCMP法で平坦化する。そして、フォトリソグラフィ技術およびエッチング技術を使用す

ることにより、コンタクト層間絶縁膜C I Lを貫通するコンタクトホールC N Tを形成する。

[0118] 次に、コンタクトホールC N Tの底面および内壁を含むコンタクト層間絶縁膜C I L上にチタン／窒化チタン膜を形成する。チタン／窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン／窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

[0119] 続いて、コンタクトホールC N Tを埋め込むように、半導体基板1 Sの主面の全面にタングステン膜を形成する。このタングステン膜は、例えばC V D法を使用して形成することができる。そして、コンタクト層間絶縁膜C I L上に形成された不要なチタン／窒化チタン膜およびタングステン膜を例えばC M P法で除去することにより、プラグP L Gを形成することができる。

[0120] 次に、コンタクト層間絶縁膜C I LおよびプラグP L G上にチタン／窒化チタン膜、アルミニウム膜、チタン／窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行うことにより配線L 1を形成することができる。

[0121] なお、これらの配線工程には、これまで知られている抵抗低減プロセスなどを用いることができる。例えば、上述した配線工程で形成される配線L 1はアルミニウム配線となっているが、配線L 1を銅配線（ダマシン配線）から形成することもできる。また、必要に応じて、多層配線を形成することもできる。以上のようにして、本実施の形態2における半導体装置を製造することができる。

[0122] なお、本実施の形態2では、インバータを例に挙げて説明している。インバータは、デジタル回路の基本単位となっており、これを組み合わせることにより、デジタル回路で用いられるN A N D回路、N O R回路、E X - O R回路

、フリップフロップ回路などの基本論理回路を形成することができる。つまり、本実施の形態2におけるnチャネル型半導体素子 NTr およびpチャネル型半導体素子 PT_r を使用してデジタル回路を構築することができることがわかる。

[0123] (実施の形態3)

本実施の形態3では、同一の半導体基板上に、本願発明における半導体素子と、単体MOSFETからなる単体トランジスタとを形成する例について説明する。

[0124] 図28は、本実施の形態3における半導体装置のデバイス構造を示す断面図である。図28に示すように、半導体基板1S上の主面側には素子分離領域STIが形成されており、素子分離領域STIで区画された活性領域（アクティブ領域）にp型ウェルPWL1とp型ウェルPWL2が形成されている。図28では左側領域にp型ウェルPWL1が形成され、右側領域にp型ウェルPWL2が形成されている。そして、p型ウェルPWL1上にnチャネル型半導体素子 NTr_1 が形成され、p型ウェルPWL2上に単体トランジスタ NTr_2 が形成されている。

[0125] ここで、nチャネル型半導体素子 NTr_1 の構造は前記実施の形態2で説明したnチャネル型半導体素子 NTr （図21参照）と同様の構成をしているので、その説明は省略する。一方、単体トランジスタ NTr_2 は、広く用いられている単体MOSFETであり、以下に、この構造について図28を参照しながら説明する。

[0126] 素子分離領域STIで区画された半導体基板1S内には、例えば、ボロンなどのp型不純物を導入したp型ウェルPWL2が形成されており、このp型ウェルPWL2内に離間して一对の低濃度n型半導体領域EX3が形成されている。低濃度n型半導体領域EX3は、リンなどのn型不純物を導入した半導体領域であり、一对の低濃度n型半導体領域EX3で挟まれたp型ウェルPWL2内の領域がチャネル領域となる。そして、低濃度n型半導体領域EX3の外側にはn型半導体領域 NR_s2 とn型半導体領域 NR_b2 が形

成されている。すなわち、一对の低濃度 n 型半導体領域 $E \times 3$ のうち左側の低濃度 n 型半導体領域 $E \times 3$ のさらに左側に n 型半導体領域 $NR_s 2$ が形成され、一对の低濃度 n 型半導体領域 $E \times 3$ のうち右側の低濃度 n 型半導体領域 $E \times 3$ のさらに右側に n 型半導体領域 $NR_b 2$ が形成されている。この n 型半導体領域 $NR_s 2$ および n 型半導体領域 $NR_b 2$ は、砒素などの n 型不純物が導入された半導体領域である。

[0127] 次に、チャネル領域上にはゲート絶縁膜 GOX が形成されており、このゲート絶縁膜 GOX 上にゲート電極 $G 3$ が形成されている。ゲート絶縁膜 GOX は、例えば、酸化シリコン膜から形成されるが、これに限らず、例えば、酸化ハフニウム膜などの酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。また、ゲート電極 $G 3$ は、例えば、リンを導入したポリシリコン膜 $PF 1$ (n 型ポリシリコン膜) と、ポリシリコン膜 $PF 1$ 上に形成されたシリサイド膜 SL から形成されている。シリサイド膜 SL は、ゲート電極 $G 1$ の低抵抗化のために形成された膜であり、シリサイド膜 SL は、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜などから形成されている。

[0128] ゲート電極 $G 3$ の両側の側壁にはサイドウォール $SW 1$ が形成されており、このサイドウォール $SW 1$ の外側にサイドウォール $SW 2$ が形成されている。そして、サイドウォール $SW 2$ よりも外側の領域にシリサイド膜 SL が形成されている。具体的に、左側のサイドウォール $SW 2$ の外側に露出している n 型半導体領域 $NR_s 2$ の表面にシリサイド膜 SL が形成されているとともに、右側のサイドウォール $SW 2$ の外側に露出している n 型半導体領域 $NR_b 2$ の表面にもシリサイド膜 SL が形成されている。なお、 p 型ウェル $PWL 2$ には、 p 型ウェル $PWL 2$ に電位を供給するための p 型給電領域 $PR 2$ も形成されている。

[0129] 本実施の形態 3 における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

[0130] まず、図29に示すように、半導体基板（p型シリコン基板）1Sの表面に、例えば、10nmの酸化シリコン膜を熱酸化法で形成した後、100nmの窒化シリコン膜をCVD（Chemical Vapor Deposition）法を用いて堆積する。そして、フォトリソグラフィ技術を用いて、活性領域をパターンニングする。その後、ドライエッチング技術を使用することにより、窒化シリコン膜および酸化シリコン膜を半導体基板1Sの主面（基板面）に対して垂直方向に異方性エッチングした後、さらに、半導体基板1Sを異方性エッチングして、半導体基板1Sに、例えば、300nmの深さの溝（トレンチ）を形成する。

[0131] 続いて、溝の内部に露出したシリコン表面を酸化することにより、5nmの酸化シリコン膜を形成し、さらに、CVD法により、700nmの酸化シリコン膜を半導体基板1S上に堆積する。次に、CMP（Chemical Mechanical Polishing）法を使用することにより、窒化シリコン膜を下地マスクとして、堆積した酸化シリコン膜の研磨を行い、溝の内部を除いて、半導体基板1S上に堆積した酸化シリコン膜を除去する。その後、マスクとして使用した窒化シリコン膜を熱リン酸によるウェットエッチングで除去する。以上のようにして、半導体基板1Sの主面側に素子分離領域STIを形成することができる。

[0132] 次に、イオン注入法および熱処理を使用することにより、半導体基板1S内にp型ウェルPWLおよびn型ウェルNWLを形成する。そして、窒化シリコン膜の下に形成していた酸化シリコン膜をフッ酸で除去することにより、半導体基板1Sの表面（シリコン表面）を露出させる。

[0133] 続いて、図30に示すように、熱酸化法を使用することにより、活性領域に、例えば、3nmのゲート絶縁膜GOXを形成する。ゲート絶縁膜GOXは、例えば、酸化シリコン膜から形成されるが、これに限らず、酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。その後、ゲート絶縁膜GOX上に、CVD法を用いて、ポリシリコン膜PF1を100nm程度の厚さで堆積する。このとき、nチャネル型半導体素子形成領域に形成さ

れているポリシリコン膜PF1には、イオン注入法などを用いて高濃度にリンをドーピングする。

[0134] そして、フォトリソグラフィ技術およびドライエッチング法を使用することにより、ポリシリコン膜PF1をパターニングする。具体的には、フォトリソグラフィ技術を使用してポリシリコン膜PF1上に形成されたレジスト膜をパターニングする。そして、パターニングしたレジスト膜をマスクにして、ポリシリコン膜PF1をドライエッチングする。このように、ポリシリコン膜PF1を半導体基板1Sの基板面に垂直方向に異方性エッチングすることで、ポリシリコン膜PF1からなるゲート電極G1およびゲート電極G3を形成する。

[0135] 次に、図31に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、半導体基板1S内にゲート電極G1に整合した低濃度n型半導体領域EX1を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用することにより、半導体基板1S内にゲート電極G3に整合した低濃度n型半導体領域EX3を形成する。そして、図32に示すように、CVD法により、ゲート電極G1とゲート電極G3を覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積し、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、ゲート電極G1およびゲート電極G3の両側の側壁にサイドウォールSW1を形成する。

[0136] その後、サイドウォールSW1を形成したゲート電極G1およびパターニングしたレジスト膜をマスクにしたイオン注入法により、p型ウェルPWL1内に砒素をドーピングする。これにより、n型半導体領域NRsおよびn型半導体領域NRbを形成することができる。同様に、サイドウォールSW1を形成したゲート電極G3およびパターニングしたレジスト膜をマスクにしたイオン注入法により、p型ウェルPWL2内に砒素をドーピングする。これにより、n型半導体領域NRs2およびn型半導体領域NRb2を形成することができる。さらに、フォトリソグラフィ技術およびイオン注入法を使用して、p型ウェルPWL1にボロンを導入することにより、p型ウェル

PWL 1 内に p 型給電領域 PR 1 を形成する。同様に、フォトリソグラフィ技術およびイオン注入法を使用して、p 型ウェル PWL 2 にボロンを導入することにより、p 型ウェル PWL 2 内に p 型給電領域 PR 2 を形成する。その後、熱処理によって導入した不純物（砒素とボロン）の活性化を行ってもよい。

[0137] 続いて、図 3 3 に示すように、CVD 法により、ゲート電極 G 1 およびゲート電極 G 3 を覆う半導体基板 1 S 上に酸化シリコン膜を 50 nm 程度の厚さで堆積する。次に、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、サイドウォール SW 1 の外側にサイドウォール SW 2 を形成する。そして、n チャネル型半導体素子形成領域においては、フォトリソグラフィ技術およびイオン注入法を使用することにより、n 型半導体領域 NR b に内包されるように p 型半導体領域 PR d を形成する。

[0138] その後、Laser Spike Annealing (LSA) を用いて短時間での高温活性化処理を行う。これにより、n チャネル型半導体素子形成領域においては、n 型半導体領域 NR b と p 型半導体領域 PR d の間の境界領域にトンネル接合を形成することができる。

[0139] 次に、図 3 4 に示すように、サイドウォール SW 2 をマスクにして選択的に、ゲート電極 G 1 およびゲート電極 G 3 の上面、p 型半導体領域 PR d の表面、n 型半導体領域 NR s の表面、n 型半導体領域 NR s 2 の表面、n 型半導体領域 NR b 2 の表面、p 型給電領域 PR 1 の表面、および、p 型給電領域 PR 2 の表面にシリサイド膜 SL を形成する。これにより、ゲート電極 G 1、G 3、p 型半導体領域 PR d、n 型半導体領域 NR s、n 型半導体領域 NR s 2、n 型半導体領域 NR b 2、p 型給電領域 PR 1、および、p 型給電領域 PR 2 を低抵抗化することができる。これは、シリサイド工程として知られる通常の工程である。このシリサイド膜 SL は、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜から形成することができる。

[0140] その後、図28に示すように、通常のLSIで用いられている配線工程を行うことで、本実施の形態3における半導体装置を得ることができる。具体的には、図28に示すように、半導体基板1S上に、例えば、酸化シリコン膜からなるコンタクト層間絶縁膜C1Lを形成し、その表面をCMP法で平坦化する。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、コンタクト層間絶縁膜C1Lを貫通するコンタクトホールCNTを形成する。

[0141] 次に、コンタクトホールCNTの底面および内壁を含むコンタクト層間絶縁膜C1L上にチタン／窒化チタン膜を形成する。チタン／窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン／窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

[0142] 続いて、コンタクトホールCNTを埋め込むように、半導体基板1Sの全面の全面にタングステン膜を形成する。このタングステン膜は、例えばCVD法を使用して形成することができる。そして、コンタクト層間絶縁膜C1L上に形成された不要なチタン／窒化チタン膜およびタングステン膜を例えばCMP法で除去することにより、プラグPLGを形成することができる。

[0143] 次に、コンタクト層間絶縁膜C1LおよびプラグPLG上にチタン／窒化チタン膜、アルミニウム膜、チタン／窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行うことにより配線L1を形成することができる。

[0144] なお、これらの配線工程には、これまで知られている抵抗低減プロセスなどを用いることができる。例えば、上述した配線工程で形成される配線L1はアルミニウム配線となっているが、配線L1を銅配線（ダマシン配線）から形成することもできる。また、必要に応じて、多層配線を形成することも

できる。以上のようにして、本実施の形態3における半導体装置を製造することができる。

[0145] 上述したように、本実施の形態3における半導体装置では、 n チャネル型半導体素子 $NTr1$ と単体トランジスタ $NTr2$ を容易に集積することができる。本願発明の n チャネル型半導体素子 $NTr1$ は、極めて優れたスイッチング特性を持っているが、ソース領域とドレイン領域が異なる構造を持っているため、非対称な構造になっている。このため、回路構成上、対称性が要求されるパストランジスタとして用いられるところでは、単体トランジスタ $NTr2$ と置き換えることができない問題がある。

[0146] しかし、本実施の形態3で説明したように、本願発明の n チャネル型半導体素子 $NTr1$ は、単体トランジスタ $NTr2$ と高い集積性をもつことから、対称性の必要なところに単体トランジスタを用いて、本願発明の n チャネル型半導体素子 $NTr1$ と単体トランジスタ $NTr2$ を組み合わせることで優れた特性を得ることができる。

[0147] 例として、 n チャネル型半導体素子 $NTr1$ と単体トランジスタ $NTr2$ の組み合わせをSRAMセルに用いた場合について説明する。図35は、2つ単体トランジスタ $NTr2$ および2つの n チャネル型半導体素子 $NTr1$ を組み合わせ、SRAMセルを構成する例を示す回路図である。図35に示すSRAMセルでは、記憶ノードに2つの n チャネル型半導体素子 $NTr1$ を使用し、対称性の必要なパストランジスタ（転送用トランジスタ）に単体トランジスタ $NTr2$ を使用している。

[0148] また、図36は、2つ単体トランジスタ $NTr2$ 、2つの n チャネル型半導体素子 $NTr1$ および2つの p チャネル型半導体素子 $PTr1$ を組み合わせ、SRAMセルを構成する例を示す回路図である。図36に示すSRAMセルでは、記憶ノードに2つのインバータを使用し、対称性の必要なパストランジスタ（転送用トランジスタ）に単体トランジスタ $NTr2$ を使用している。そして、2つのインバータは、それぞれ、 n チャネル型半導体素子 $NTr1$ と p チャネル型半導体素子 $PTr1$ から構成している。

[0149] このように、図35や図36に示すSRAMセルでは、対称性の必要なパストランジスタには、対称性を有する単体トランジスタを使用する一方、記憶ノードには、低電圧で動作し、かつ、優れたスイッチング特性を有する本願発明の半導体素子（nチャネル型半導体素子NT_{r1}、pチャネル型半導体素子PT_{r1}）を使用している。これにより、従来のSRAMセルでは動作できない低電圧（0.2～0.3V）においても、本願発明の半導体素子を用いることで極めて良好なメモリ特性を得ることができる。

[0150] （実施の形態4）

本実施の形態4では、SOI（Silicon On Insulator）基板上に本願発明の半導体素子を形成する例について説明する。図37は、本実施の形態4における半導体素子を上部から見た平面図である。図37において、X方向に離間して並ぶようにn型半導体領域NR_sとn型半導体領域NR_bが形成されている。そして、n型半導体領域NR_bの上部にはp型半導体領域PR_dが形成されている。このp型半導体領域PR_dと電氣的に接続するようにプラグPLG1が形成されている。また、n型半導体領域NR_sの外側領域には、p型半導体領域PR_cが形成されており、このp型半導体領域PR_cとn型半導体領域NR_sの両方と電氣的に接続するようにプラグPLG2が形成されている。さらに、離間されて配置されているn型半導体領域NR_sと半導体領域NR_bの間をY方向に延在するようにゲート電極Gが形成されている。そして、ゲート電極Gの一端部でゲート電極GはプラグPLG3と電氣的に接続されている。

[0151] 次に、図38は、図37のX2-X2線で切断した断面図である。図38に示すように、本実施の形態4における半導体素子は、支持基板HSと、支持基板HS上に形成された埋め込み絶縁層BOXと、埋め込み絶縁層BOX上に形成されたシリコン層（活性層）からなるSOI基板に形成されている。具体的に、SOI基板のシリコン層は、シリコン層を貫通して埋め込み絶縁層に達する素子分離領域STIによって区画され、この区画されたシリコン層に本実施の形態4における半導体素子が形成されている。素子分離領域

S T I で区画されたシリコン層は p 型半導体領域からなるボディ領域 B D と呼ばれており、このボディ領域 B D 内に離間して一对の低濃度 n 型半導体領域 E X 1 が形成されている。低濃度 n 型半導体領域 E X 1 は、リンなどの n 型不純物を導入した半導体領域であり、一对の低濃度 n 型半導体領域 E X 1 で挟まれたボディ領域 B D 内の領域がチャネル領域となる。そして、低濃度 n 型半導体領域 E X 1 の外側には n 型半導体領域 N R s と n 型半導体領域 N R b が形成されている。すなわち、一对の低濃度 n 型半導体領域 E X 1 のうち左側の低濃度 n 型半導体領域 E X 1 のさらに左側に n 型半導体領域 N R s が形成され、一对の低濃度 n 型半導体領域 E X 1 のうち右側の低濃度 n 型半導体領域 E X 1 のさらに右側に n 型半導体領域 N R b が形成されている。この n 型半導体領域 N R s および n 型半導体領域 N R b は、砒素などの n 型不純物が導入された半導体領域である。

[0152] ここで、n 型半導体領域 N R b は埋め込み絶縁層 B O X まで達している一方、n 型半導体領域 N R s は、埋め込み絶縁層 B O X まで達していない。そして、この n 型半導体領域 N R s の n 型半導体領域 N R b 側とは反対側に埋め込み絶縁層 B O X まで達する p 型半導体領域 P R c が形成されている。したがって、p 型半導体領域 P R c とボディ領域 B D はともに p 型不純物を導入した半導体領域から構成されているので、電氣的に接続されていることになる。つまり、本実施の形態 4 では、p 型半導体領域 P R c とボディ領域 B D とを電氣的に接続するため、n 型半導体領域 N R s を埋め込み絶縁層 B O X まで達しないように構成しているのである。

[0153] さらに、本実施の形態 4 における半導体素子においては、n 型半導体領域 N R b に内包されるように、p 型半導体領域 P R d が形成されている。この p 型半導体領域 P R d は、ボロンなどの p 型不純物が導入された半導体領域である。

[0154] 次に、チャネル領域（ボディ領域 B D）上にはゲート絶縁膜 G O X が形成されており、このゲート絶縁膜 G O X 上にゲート電極 G が形成されている。ゲート絶縁膜 G O X は、例えば、酸化シリコン膜から形成されるが、これに

限らず、例えば、酸化ハフニウム膜などの酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。また、ゲート電極Gは、例えば、リンを導入したポリシリコン膜PF1（n型ポリシリコン膜）と、ポリシリコン膜PF1上に形成されたシリサイド膜SLから形成されている。シリサイド膜SLは、ゲート電極Gの低抵抗化のために形成された膜であり、シリサイド膜SLは、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜などから形成されている。

[0155] ゲート電極Gの両側の側壁にはサイドウォールSW1が形成されており、このサイドウォールSW1の外側にサイドウォールSW2が形成されている。そして、サイドウォールSW2よりも外側の領域にシリサイド膜SLが形成されている。具体的に、左側のサイドウォールSW2の外側に露出しているn型半導体領域NRsの表面およびp型半導体領域PRcの表面にシリサイド膜SLが形成されているとともに、右側のサイドウォールSW2の外側に露出しているp型半導体領域PRdの表面にもシリサイド膜SLが形成されている。

[0156] 本実施の形態4における半導体素子は上記のように構成されており、この半導体素子は、MOSFETとトンネルバイポーラトランジスタを備えている。つまり、左側の低濃度n型半導体領域EX1とn型半導体領域NRsおよびシリサイド膜SLにより、MOSFETのソース領域が形成されている。そして、チャネル領域上に形成されたゲート絶縁膜GOXがMOSFETのゲート絶縁膜を構成し、かつ、ゲート絶縁膜GOX上に形成されているゲート電極GがMOSFETのゲート電極を構成している。さらに、右側の低濃度n型半導体領域EX1とn型半導体領域NRbがMOSFETとトンネルバイポーラトランジスタとの接続領域を形成している。

[0157] 続いて、p型半導体領域PRdとシリサイド膜SLがトンネルバイポーラトランジスタのエミッタ領域となっており、右側の低濃度n型半導体領域EX1およびn型半導体領域NRbがトンネルバイポーラトランジスタのベー

ス領域となっている。そして、ボディ領域BDがトンネルバイポーラトランジスタのコレクタ領域となっている。以上のことから、本実施の形態4における半導体素子は、MOSFETとトンネルバイポーラトランジスタを備え、MOSFETのドレイン領域がトンネルバイポーラトランジスタのベース領域となるように、MOSFETとトンネルバイポーラトランジスタが電氣的に接続された構成をしていることがわかる。

[0158] このように構成されている半導体素子を覆う半導体基板1S上には、例えば、図38に示すように、TEOSを原料とした酸化シリコン膜からなるコンタクト層間絶縁膜CILが形成されている。そして、このコンタクト層間絶縁膜CILを貫通してp型半導体領域PRdの表面に形成されたシリサイド膜SLに達するようにコンタクトホールCNT1が形成されている。一方、コンタクト層間絶縁膜CILを貫通してn型半導体領域NRsの表面に形成されたシリサイド膜SLと、p型半導体領域PRcの表面に形成されたシリサイド膜SLの両方に達するようにコンタクトホールCNT2が形成されている。

[0159] コンタクトホールCNT1の内部とコンタクトホールCNT2の内部には、バリア導体膜となるチタン／窒化チタン膜と、このバリア導体膜上に形成されたタングステン膜が埋め込まれて、プラグPLG1およびプラグPLG2が形成されている。プラグPLG1およびプラグPLG2を形成したコンタクト層間絶縁膜CIL上には、配線L1が形成されている。この配線L1は、例えば、窒化チタン膜と、アルミニウム膜と、窒化チタン膜の積層膜から形成されている。

[0160] 以上のことから、本実施の形態4における半導体素子では、n型半導体領域NRsとp型半導体領域PRcの両方に接するように、n型半導体領域NRsおよびp型半導体領域PRc上にプラグPLG2が形成されていることがわかる。このため、本実施の形態4における半導体素子では、プラグPLG2を介してn型半導体領域NRsとp型半導体領域PRcに同じ電位が供給され、さらに、p型半導体領域PRcはボディ領域BDと電氣的に接続さ

れていることから、結局、 n 型半導体領域 PRc とボディ領域 BD に同じ電位が供給されることになる。

[0161] ここで、本実施の形態4における半導体素子の特徴は、ボディ領域 BD が p 型半導体領域 PRc を介してプラグ $PLG2$ と電氣的に接続されていることから、ボディ領域 BD がフローティング状態になっていない点にある。これにより、本実施の形態4における半導体素子を SOI 基板上に形成した場合、以下に示す利点を得られる。

[0162] 例えば、通常の SOI 基板では、支持基板 HS とボディ領域 BD の間に埋め込み絶縁層 BOX が存在するため、ボディ領域 BD に給電することができず、基板浮遊現象と呼ばれる不安定動作を生じることが知られている。これに対し、本実施の形態4では、 n 型半導体領域 NRs の外側に p 型半導体領域 PRc を設け、この p 型半導体領域 PRc とボディ領域 BD を電氣的に接続している。そして、この p 型半導体領域 PRc はプラグ $PLG2$ と接続されていることから、ボディ領域 BD はフローティング状態となっていない。この結果、本実施の形態4によれば、基板浮遊現象による不安定動作を抑制できる利点がある。

[0163] 本実施の形態4における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

[0164] まず、図39に示すように、支持基板 HS と、支持基板 HS 上に形成された埋め込み絶縁層 BOX と、埋め込み絶縁層 BOX 上に形成されたシリコン層からなる SOI 基板を用意する。そして、この SOI 基板に素子分離領域 STI を形成し、この素子分離領域 STI によって活性領域を区画する。区画された活性領域（シリコン層）はボディ領域 BD となる。このとき、ボディ領域 BD の厚さは、例えば、 50 nm 程度であり、 p 型半導体領域となっている。例えば、ボディ領域 BD の不純物濃度（ p 型不純物）は、 $10^{15}/\text{cm}^3$ のオーダーとなっている。

[0165] 続いて、図40に示すように、熱酸化法を使用することにより、ボディ領域 BD 上に、例えば、 3 nm のゲート絶縁膜 Gox を形成する。ゲート絶縁

膜GOXは、例えば、酸化シリコン膜から形成されるが、これに限らず、酸化シリコン膜よりも誘電率の高い高誘電率膜から形成してもよい。その後、ゲート絶縁膜GOX上に、CVD法を用いて、ポリシリコン膜PF1を100nm程度の厚さで堆積する。このとき、ポリシリコン膜PF1には、in-situドーピング法またはイオン注入法などを用いて高濃度にリンをドーピングする。そして、フォトリソグラフィ技術およびドライエッチング法を使用することにより、ポリシリコン膜PF1をパターニングする。具体的には、フォトリソグラフィ技術を使用してポリシリコン膜PF1上に形成されたレジスト膜をパターニングする。そして、パターニングしたレジスト膜をマスクにして、ポリシリコン膜PF1をドライエッチングする。このように、ポリシリコン膜PF1を半導体基板1Sの基板面に垂直方向に異方性エッチングすることで、ポリシリコン膜PF1からなるゲート電極Gを形成する。

[0166] 次に、図41に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、半導体基板1S内にゲート電極Gに整合した低濃度n型半導体領域EX1を形成する。そして、図42に示すように、CVD法により、ゲート電極Gを覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積し、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、ゲート電極Gの両側の側壁にサイドウォールSW1を形成する。

[0167] その後、サイドウォールSW1を形成したゲート電極Gをマスクにしたイオン注入法により、半導体基板1S内に砒素をドーピングする。これにより、n型半導体領域NRsおよびn型半導体領域NRbを形成することができる。その後、熱処理によって導入した不純物（砒素）の活性化を行ってもよい。ここで、イオン注入法を実施する際、サイドウォールSW1を形成したゲート電極Gとともに、レジスト膜をパターニングしてイオン注入法のマスクとする。この場合、n型半導体領域NRsとn型半導体領域NRbを異なる不純物濃度および異なる深さにすることができる。例えば、n型半導体領域NRbを形成する際の注入エネルギーよりも、n型半導体領域NRsを形

成する際の注入エネルギーを低くすることにより、*n*型半導体領域NRbを埋め込み絶縁層BOXまで達するように形成できる一方、*n*型半導体領域NRsを埋め込み絶縁層BOXまで達しないように形成することができる。

[0168] 続いて、図43に示すように、CVD法により、ゲート電極Gを覆う半導体基板1S上に酸化シリコン膜を50nm程度の厚さで堆積する。次に、堆積した酸化シリコン膜に対して異方的にエッチングすることにより、サイドウォールSW1の外側にサイドウォールSW2を形成する。そして、フォトリソグラフィ技術およびイオン注入法を使用することにより、*n*型半導体領域NRbに内包されるように*p*型半導体領域PRdを形成する。

[0169] その後、図44に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、*n*型半導体領域NRsの外側領域に、埋め込み絶縁層BOXにまで達する*p*型半導体領域PRcを形成する。このとき、*n*型半導体領域NRsの底部は埋め込み絶縁層BOXにまで達していないことから、*p*型半導体領域PRcはボディ領域BDと電氣的に接続されることになる。

[0170] 次に、Laser Spike Annealing (LSA) を用いて短時間での高温活性化処理を行う。これにより、*n*型半導体領域NRbと*p*型半導体領域PRdの間の境界領域にトンネル接合を形成することができる。

[0171] 続いて、図45に示すように、サイドウォールSW2をマスクにして選択的に、ゲート電極Gの上面、*p*型半導体領域PRdの表面、*n*型半導体領域NRsの表面、および、*p*型半導体領域PRcの表面にシリサイド膜SLを形成する。これにより、ゲート電極G、*p*型半導体領域PRd、*n*型半導体領域NRs、および、*p*型半導体領域PRcを低抵抗化することができる。これは、シリサイド工程として知られる通常の工程である。このシリサイド膜SLは、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜から形成することができる。

[0172] その後、図38に示すように、通常のLSIで用いられている配線工程を行うことで、本実施の形態4における半導体素子を得ることができる。具体的には、図38に示すように、半導体基板1S上に、例えば、酸化シリコン膜からなるコンタクト層間絶縁膜CILを形成し、その表面をCMP法で平坦化する。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、コンタクト層間絶縁膜CILを貫通するコンタクトホールCNT1およびコンタクトホールCNT2を形成する。このとき、コンタクトホールCNT2の底面は、p型半導体領域PRcとn型半導体領域NRcの両方に接するように形成される。

[0173] 次に、コンタクトホールCNT1、CNT2の底面および内壁を含むコンタクト層間絶縁膜CIL上にチタン／窒化チタン膜を形成する。チタン／窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン／窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

[0174] 続いて、コンタクトホールCNT1、CNT2を埋め込むように、半導体基板1Sの主面の全面にタングステン膜を形成する。このタングステン膜は、例えばCVD法を使用して形成することができる。そして、コンタクト層間絶縁膜CIL上に形成された不要なチタン／窒化チタン膜およびタングステン膜を例えばCMP法で除去することにより、プラグPLG1およびプラグPLG2を形成することができる。このとき、プラグPLG2は、p型半導体領域PRcとn型半導体領域NRsの両方と電氣的に接続されることになる。

[0175] 次に、コンタクト層間絶縁膜CILおよびプラグPLG1、PLG2上にチタン／窒化チタン膜、アルミニウム膜、チタン／窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行うことにより配線L

1を形成することができる。以上のようにして、本実施の形態4における半導体装置を製造することができる。

[0176] 上述した本実施の形態4における半導体素子では、ボディ領域BDへ給電するために、n型半導体領域NRsを埋め込み絶縁層BOXまで達しないように形成するとともに、n型半導体領域NRsの外側領域に埋め込み絶縁層BOXまで達するp型半導体領域PRcを形成する例について説明した。

[0177] 以下では、この構造とは異なる他の構造でボディ領域BDへ給電する変形例1について説明する。図46は、本変形例1における半導体素子のデバイス構造を示す断面図である。図46に示す本変形例1における半導体素子のデバイス構造は、図38に示す半導体素子のデバイス構造とほぼ同様の構成をしているため、異なる構成について説明する。

[0178] 図46に示すように、本変形例1においては、n型半導体領域NRsは埋め込み絶縁層BOXまで達しておらず、このn型半導体領域NRsと埋め込み絶縁層BOXの間にp型半導体領域PRc2が形成されている。このp型半導体領域PRc2の不純物濃度は、 $10^{20}/\text{cm}^3$ よりも高い濃度で形成されているため、このp型半導体領域PRc2とn型半導体領域NRsとは整流作用を有する通常のpn接合ではなく、オーミック接触を形成している。オーミック接触とは、整流作用がなく、かつ、電流・電圧特性が抵抗性を示す接触を示している。したがって、本変形例1において、n型半導体領域NRsとp型半導体領域PRc2は抵抗性接触で電氣的に接続されていることになり、さらに、p型半導体領域PRc2はボディ領域BDと接続されることになるから、結局、n型半導体領域NRsとボディ領域BDとは電氣的に接続されることになる。そして、n型半導体領域NRsはプラグPLG2と接続されていることから、プラグPLG2からn型半導体領域NRsおよびp型半導体領域PRc2を介してボディ領域BDに給電することができる。したがって、変形例1においても、ボディ領域BDはフローティング状態とはならず、ボディ領域BDがフローティング状態になることによる基板浮遊現象（不安定動作）を抑制することができる。

[0179] この変形例 1 の構成によれば、以下に示すような利点を有する。例えば、図 3 8 に示すように、 n 型半導体領域 $N R s$ の外側領域に p 型半導体領域 $P R c$ を形成する場合には、 p 型半導体領域 $P R c$ を形成するための特別なマスク（微細な開口部を有するマスク）が必要となる。これに対し、本変形例 1 を示す図 4 6 において、 p 型半導体領域 $P R c 2$ は、ゲート電極 G の側壁に形成されているサイドウォール $S W 2$ に整合して形成することができる。つまり、本変形例 1 では、図 3 8 に示す p 型半導体領域 $P R c$ を形成するときのように特別なマスクを必要とせずに、サイドウォール $S W 2$ に整合して p 型半導体領域 $P R c 2$ を形成できる利点が得られる。

[0180] なお、本実施の形態 4 のように、 $S O I$ 基板上に本願発明の半導体素子を形成する場合、 $S O I$ 基板に特有の構造をうまく利用することが有用である。すなわち、本実施の形態 4 における半導体素子においても、 $P N P$ 型トンネルバイポーラトランジスタが含まれており、この $P N P$ 型トンネルバイポーラトランジスタによる増幅機能を利用して、単体 $M O S F E T$ では得ることができない $60 m V / \text{桁}$ 以下の S 値を実現している。このとき、 $P N P$ 型トンネルバイポーラトランジスタの電流増幅機能は、 $P N P$ 型トンネルバイポーラトランジスタのエミッタ領域となる p 型半導体領域 $P R d$ から、 $P N P$ 型トンネルバイポーラトランジスタのベース領域となる n 型半導体領域 $N R b$ へ正孔を注入し、ベース領域に注入された正孔をコレクタ領域となるボディ領域 $B D$ へ引き抜くことにより実現される。したがって、ベース領域に注入された正孔をなるべく多くボディ領域 $B D$ へ引き抜くことが重要となってくる。ここで、 $S O I$ 基板では、エミッタ領域からベース領域に注入された正孔をボディ領域 $B D$ へ引き抜く際、埋め込み絶縁層 $B O X$ の下層にある支持基板 $H S$ をバックゲートとして用いることにより、ベース領域からボディ領域 $B D$ （コレクタ領域）へ効果的に正孔を引き抜くことができる。

[0181] 具体的には、支持基板 $H S$ に負電位を印加すると、ボディ領域 $B D$ の埋め込み絶縁層 $B O X$ との界面に正孔を蓄積することができる。つまり、ボディ領域 $B D$ と埋め込み絶縁層 $B O X$ の界面に正孔による蓄積領域が形成される

。この蓄積領域は、高濃度の p 型半導体領域となることから、この蓄積領域が n 型半導体領域 N R b（ベース領域）と接触することにより、蓄積領域と n 型半導体領域 N R b（ベース領域）との間の p n 接合において空乏層の幅が小さくなる。この結果、ベース領域からボディ領域 B D へ正孔が引き抜きやすくなるのである。特に、図 4 7 に示すように、埋め込み絶縁層 B O X の厚さを薄くすることにより、支持基板 H S（バックゲート）に印加する電位を低くしても、ボディ領域 B D と埋め込み絶縁層 B O X との界面に正孔による蓄積領域を容易に形成することができ、この結果、ベース領域（n 型半導体領域 N R b）からコレクタ領域（ボディ領域 B D）への正孔の引き抜き効率を向上させることができる。

[0182] p 型半導体領域 P R d を深く形成し、下面が B O X に接するように形成することも有用である。前記実施の形態 1 で用いた通常の半導体基板 1 S（ウエハ）では、n 型半導体領域 N R b より p 型半導体領域 P R d を深く形成すると、p 型半導体領域 P R d が p 型ウエル P W L と接し、P N 接合がなくなる。そのため、エミッターコレクタ間が短絡することになる。しかし、S O I 基板では、埋め込み絶縁層 B O X と n 型半導体領域 N R b で p 型半導体領域 P R d を囲うことができるため、p 型半導体領域 P R d はボディ領域 B D と短絡しない。このとき、ボディ領域 B D - n 型半導体領域 N R b - p 型半導体領域 P R b は、横方向配置の P N P 型トンネルバイポーラトランジスタとなる。このとき、埋め込み絶縁層 B O X を介して支持基板 H S から電界効果を及ぼすことができるため、支持基板 H S を用いて、ボディ領域 B D - p 型半導体領域 P R b 間のキャリアの流れを制御することができる。

[0183] 特に、本願発明の技術的思想は、電源電位が低電圧となった場合でも、60 m V / 桁以下の S 値を実現する半導体素子を実現するためのものであるから、S O I 基板の埋め込み絶縁層 B O X の厚さを薄くして、支持基板 H S（バックゲート）に印加する電圧を低電位化できる構成は有用である。

[0184] （実施の形態 5）

本願発明における半導体素子は、M O S F E T とトンネルバイポーラトラ

ンジスタを組み合わせることにより、 60 mV/桁 以下の S 値を実現することができ、この結果、低電圧においても優れたスイッチング特性を有するデバイスである。つまり、本願発明における半導体素子は、低電圧での動作で特に有効であるという第1特徴点を有している。一方、本願発明における半導体素子は上述した第1特徴点とは別の有効な第2特徴点も有している。この第2特徴点について説明する。

[0185] 図48は、ゲート電極に電圧を印加した場合のノードA（図1参照）における電位（ ϕ_n ）変化を測定した結果を示すグラフである。図1および図48に示すように、ドレイン端子Dに、例えば、 0.8 V という比較的高い電位のドレイン電位 V_D を印加し、ゲート端子GTに印加するゲート電位 V_G を上げてゆくと、ノードAの電位（ ϕ_n ）はゲート電位 V_G とは逆に、ドレイン電位 V_D から急激に低下することがわかる。つまり、図48に示すように、ゲート電位 V_G を上げていくと、急激な電位変化がノードAに生じるが、図48の領域ARで示す領域では、さらに急峻に電位変化がノードAに生じていることがわかる。すなわち、例えば、 0.8 V という比較的高い電位のドレイン電位 V_D を印加する場合は、例えば、 0.3 V という比較的低い電位のドレイン電位 V_D を印加する場合には存在しないさらに急峻な電位変化（図48の領域AR参照）が生じるのである。これは、トンネル接合に比較的低電位の順バイアス（例えば、 0.3 V ）が印加される場合、トンネル接合にはバンド間トンネリング現象によるトンネル電流が支配的になる（図11参照）。これに対し、トンネル接合に比較的高電位の順バイアス（例えば、 0.8 V ）が印加される場合、伝導帯間での拡散電流が支配的になり、急激に抵抗が小さくなるため、ノードAの電位変化がより加速されて現れてきたものと考えることができる。

[0186] 図49は、例えば、 0.8 V という比較的高い電位のドレイン電位 V_D をドレイン端子Dに印加した場合における半導体素子のドレイン電流－ゲート電圧特性を示すグラフである。図49に示すドレイン電流－ゲート電圧特性によれば、ゲート電位の変化に対して、非常に急峻な傾きをもっていることが

わかる。このことから、本願発明における半導体素子においては、比較的高いドレイン電位 V_D を印加することにより、より大きな電流を得ることができることがわかる。つまり、本願発明における半導体素子の第2特徴点は、比較的高いドレイン電位 V_D を印加することにより、より大きな駆動電流を得ることができる点にある。以上のことから、本願発明の半導体素子は、低電圧においても優れたスイッチング特性を有するという第1特徴点と、高電圧においてはより大きな駆動電流を得ることができるという第2特徴点を兼ね備えていることがわかる。

[0187] そこで、本実施の形態5では、上述した半導体素子の第1特徴点と第2特徴点を有効に活用する技術的思想を提供するものである。例えば、半導体チップとして消費電力の低減を考えると、動作電圧の異なる回路領域を作り集積することで、より有効に本願発明の半導体素子を活用することができる。

[0188] 図50は、本実施の形態5における半導体チップの回路ブロック図である。図50に示すように、本実施の形態5における半導体チップは、電源回路部PCU、I/O回路部IOU、低電圧動作部LVU、および、高電圧動作部HVUを有している。このように構成されている半導体チップにおいては、電源回路部PCUからI/O回路部IOU、低電圧動作部LVU、および、高電圧動作部HVUへ電源電位を供給するようになっている。そして、低電圧動作部LVUには相対的に低い電源電位が供給され、高電圧動作部HVUには相対的に高い電源電位が供給される。

[0189] 低電圧動作部LVUおよび高電圧動作部HVUにはともに本願発明における半導体素子が組み込まれており、低電圧動作部LVUでは、本願発明における半導体素子の第1特徴点を利用して低電圧で優れたスイッチング特性を提供することができる。例えば、SRAMなどのメモリに本願発明の半導体素子を適用することにより、低電圧でSRAMを動作させることができる。一方、高電圧動作部HVUでは、本願発明における半導体素子の第2特徴点を利用して高電圧でより大きな電流駆動力を提供することができる。例えば、演算部などのCPUに本願発明の半導体素子を適用することにより、高電

圧で高速動作させることができる。このように本願発明における半導体素子は低電圧動作で優れたスイッチング特性を有するという第1特徴点と、高電圧でより大きな電流駆動力を提供できるという第2特徴点により、低電圧動作部LVUと高電圧動作部HVUという異なる機能を有する回路に同一構造の半導体素子を適用することができる。そして、低電圧で動作が可能な回路は低電圧動作部LVUに集積し、高電圧で電流駆動力が必要な回路は高電圧動作部HVUに集積することにより、電源回路部PCUから供給される電力を有効に活用することができる。

[0190] (実施の形態6)

本実施の形態6では、本願発明の技術的思想を不揮発性半導体記憶装置に適用する例について説明する。図51は本実施の形態6におけるメモリセルのデバイス構造を示す断面図である。図51に示すように、本実施の形態6におけるメモリセルは、半導体基板1Sに形成された素子分離領域STIで区画されたアクティブ領域に形成されている。具体的に、素子分離領域STIで区画された半導体基板1S内には、例えば、ボロンなどのp型不純物を導入したp型ウェルPWLが形成されており、このp型ウェルPWL内に離間して一对の低濃度n型半導体領域EX1が形成されている。低濃度n型半導体領域EX1は、リンなどのn型不純物を導入した半導体領域であり、一对の低濃度n型半導体領域EX1で挟まれたp型ウェルPWL内の領域がチャネル領域となる。そして、低濃度n型半導体領域EX1の外側にはn型半導体領域NRsとn型半導体領域NRbが形成されている。すなわち、一对の低濃度n型半導体領域EX1のうち左側の低濃度n型半導体領域EX1のさらに左側にn型半導体領域NRsが形成され、一对の低濃度n型半導体領域EX1のうち右側の低濃度n型半導体領域EX1のさらに右側にn型半導体領域NRbが形成されている。このn型半導体領域NRsおよびn型半導体領域NRbは、砒素などのn型不純物が導入された半導体領域である。

[0191] さらに、本実施の形態6におけるメモリセルにおいては、n型半導体領域NRbに内包されるように、p型半導体領域PRdが形成されている。この

p型半導体領域P R dは、ボロンなどのp型不純物が導入された半導体領域である。

[0192] 次に、チャネル領域上には第1電位障壁膜E B 1が形成されており、この第1電位障壁膜E B 1上に電荷蓄積膜E Cが形成されている。そして、電荷蓄積膜E C上に第2電位障壁膜E B 2が形成され、この第2電位障壁膜E B 2上にゲート電極Gが形成されている。

[0193] 第1電位障壁膜E B 1や第2電位障壁膜E B 2は、例えば、酸化シリコン膜から形成される。また、ゲート電極Gは、例えば、リンを導入したポリシリコン膜P F 1（n型ポリシリコン膜）と、ポリシリコン膜P F 1上に形成されたシリサイド膜S Lから形成されている。シリサイド膜S Lは、ゲート電極Gの低抵抗化のために形成された膜であり、シリサイド膜S Lは、例えば、コバルトシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜、プラチナシリサイド膜、あるいは、ニッケルプラチナシリサイド膜などから形成されている。さらに、電荷蓄積膜E Cは、例えば、導体膜であるポリシリコン膜や、トラップ準位を有する絶縁膜である窒化シリコン膜から形成されている。

[0194] ゲート電極Gの両側の側壁にはサイドウォールS W 1が形成されており、このサイドウォールS W 1の外側にサイドウォールS W 2が形成されている。そして、サイドウォールS W 2よりも外側の領域にシリサイド膜S Lが形成されている。具体的に、左側のサイドウォールS W 2の外側に露出しているn型半導体領域N R sの表面にシリサイド膜S Lが形成されているとともに、右側のサイドウォールS W 2の外側に露出しているp型半導体領域P R dの表面にもシリサイド膜S Lが形成されている。

[0195] 本実施の形態6におけるメモリセルは上記のように構成されており、このメモリセルは、メモリトランジスタとトンネルバイポーラトランジスタを備えている。つまり、左側の低濃度n型半導体領域E X 1とn型半導体領域N R sおよびシリサイド膜S Lにより、メモリトランジスタのソース領域が形成されている。そして、ゲート電極Gがメモリトランジスタのゲート電極を

構成している。さらに、右側の低濃度 n 型半導体領域 E X 1 と n 型半導体領域 N R b がメモリトランジスタとトンネルバイポーラトランジスタとの接続領域を形成している。

[0196] 続いて、p 型半導体領域 P R d とシリサイド膜 S L がトンネルバイポーラトランジスタのエミッタ領域となっており、右側の低濃度 n 型半導体領域 E X 1 および n 型半導体領域 N R b がトンネルバイポーラトランジスタのベース領域となっている。そして、p 型ウェル P W L および半導体基板 1 S がトンネルバイポーラトランジスタのコレクタ領域となっている。以上のことから、本実施の形態 6 におけるメモリセルは、メモリトランジスタとトンネルバイポーラトランジスタを備え、メモリトランジスタのドレイン領域がトンネルバイポーラトランジスタのベース領域となるように、メモリトランジスタとトンネルバイポーラトランジスタが電氣的に接続された構成をしていることがわかる。

[0197] このように構成されているメモリセルを覆う半導体基板 1 S 上には、例えば、図 5 1 に示すように、T E O S を原料とした酸化シリコン膜からなるコンタクト層間絶縁膜 C I L が形成されている。そして、このコンタクト層間絶縁膜 C I L を貫通して p 型半導体領域 P R d の表面に形成されたシリサイド膜 S L に達するようにコンタクトホール C N T 1 が形成されている。同様に、コンタクト層間絶縁膜 C I L を貫通して n 型半導体領域 N R s の表面に形成されたシリサイド膜 S L に達するようにコンタクトホール C N T 2 が形成されている。コンタクトホール C N T 1 の内部とコンタクトホール C N T 2 の内部には、バリア導体膜となるチタン／窒化チタン膜と、このバリア導体膜上に形成されたタングステン膜が埋め込まれて、プラグ P L G 1 およびプラグ P L G 2 が形成されている。プラグ P L G 1 およびプラグ P L G 2 を形成したコンタクト層間絶縁膜 C I L 上には、配線 L 1 が形成されている。この配線 L 1 は、例えば、窒化チタン膜と、アルミニウム膜と、窒化チタン膜の積層膜から形成されている。

[0198] 続いて、本実施の形態 6 におけるメモリセルの動作について説明する。ま

ず、書き込み動作について説明する。この書き込み動作とは、図5 1に示す電荷蓄積膜E Cに電子を注入することにより、メモリトランジスタのしきい値電圧を上昇させる動作として定義される。例えば、p型ウェルPWL（半導体基板1 S）とゲート電極Gの間に電位差を生じさせることにより、p型ウェルPWL内のチャネル領域から第1電位障壁膜E B 1をトンネルして電荷蓄積膜E Cへ電子を注入することができる。つまり、FNトンネル現象を使用することにより、電荷蓄積膜E Cに電子を注入して書き込み動作を行うことができる。

[0199] 次に、消去動作について説明する。消去動作とは、図5 1に示す電荷蓄積膜E Cから電子を引き抜いて、メモリトランジスタのしきい値電圧を低下させる動作として定義される。例えば、p型ウェルPWL（半導体基板1 S）とゲート電極Gの間に書き込み動作とは反対の電位差を生じさせることにより、電荷蓄積膜E Cから第1電位障壁膜E B 1をトンネルしてチャネル領域（p型ウェルPWL）へ電子を引き抜くことができる。つまり、FNトンネル現象を使用することにより、電荷蓄積膜E Cから電子を引き抜いて消去動作を行うことができる。

[0200] 最後に、読み出し動作について説明する。はじめに、ソース領域となるn型半導体領域NR sとドレイン領域となるn型半導体領域NR bの間に電位差を生じさせる。そして、ゲート電極Gに所定電位のゲート電位を印加する。このとき、メモリセルが消去状態にある場合、メモリトランジスタのしきい値電圧は低くなっているので、チャネル領域に電流が流れる。一方、メモリセルが書き込み状態にある場合、メモリトランジスタのしきい値電圧は高くなっているので、チャネル領域に電流がほとんど流れない。このように、ソース領域とドレイン領域の間のチャネル領域に流れる電流の有無を検出することにより、メモリセルが書き込み状態「1」にあるのか、消去状態「0」にあるのかを判別することができる。

[0201] ここで、本実施の形態6におけるメモリセルでは、n型半導体領域NR bに内包されるようにp型半導体領域PR dが形成されており、このn型半導

体領域NRbとp型半導体領域PRdの間の境界領域にトンネル接合が形成されている。このトンネル接合において、p型半導体領域PRdの不純物濃度はn型半導体領域NRbの不純物濃度よりも高くなっている。例えば、p型半導体領域PRdの不純物濃度は、 $10^{20}/\text{cm}^3$ のオーダーであり、n型半導体領域NRbの不純物濃度は、 $10^{19}/\text{cm}^3$ のオーダーである。

[0202] これにより、メモリセルの読み出し動作時に、例えば、p型半導体領域PRdに低電圧を印加した場合であっても、p型半導体領域PRdとn型半導体領域NRbの間にはトンネル接合が形成されているので、p型半導体領域PRdよりなるエミッタ領域から、n型半導体領域NRbよりなるベース領域に正孔が注入され、このベース領域に注入された正孔がp型ウェルPWL（半導体基板1S）よりなるコレクタ領域に引き抜かれることにより、トンネルバイポーラトランジスタとして機能させることができる。つまり、本実施の形態6におけるメモリセルでは、メモリトランジスタとトンネルバイポーラトランジスタを接続し、メモリトランジスタをオンしたとき、低電圧であってもトンネルバイポーラトランジスタのエミッタ領域とベース領域の間にバンド間トンネリングによってトンネル電流が流れることを利用している。これにより、低電圧であっても、大きなドレイン電流（読み出し電流）をトンネルバイポーラトランジスタの増幅機能で得ることができる。したがって、本実施の形態6におけるメモリセルによれば、低電圧でも十分な読み出し電流を確保することができるので、読み出し動作の低電圧化を図ることができる。

[0203] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

産業上の利用可能性

[0204] 本発明は、半導体装置を製造する製造業に幅広く利用することができる。

符号の説明

[0205] 1S 半導体基板

A ノード
B D ボディ領域
B O X 埋め込み絶縁層
C I L コンタクト層間絶縁膜
C N T コンタクトホール
C N T 1 コンタクトホール
C N T 2 コンタクトホール
D ドレイン端子
E B 1 第1 電位障壁膜
E B 2 第2 電位障壁膜
E C 電荷蓄積膜
E c 伝導帯
E f フェルミ準位
E v 価電子帯
E X 1 低濃度 n 型半導体領域
E X 2 低濃度 p 型半導体領域
E X 3 低濃度 n 型半導体領域
G ゲート電極
G 1 ゲート電極
G 2 ゲート電極
G N D グランド電位
G O X ゲート絶縁膜
G T ゲート端子
H S 支持基板
H V U 高電圧動作部
I N 入力
I O U I/O回路部
L 1 配線

L V U 低電圧動作部

N R b n型半導体領域

N R b 2 n型半導体領域

N R d n型半導体領域

N R s n型半導体領域

N R s 2 n型半導体領域

N R 1 n型給電領域

N T r nチャネル型半導体素子

N T r 1 nチャネル型半導体素子

N T r 2 単体トランジスタ

N W L n型ウェル

O U T 出力

P C U 電源回路部

P F 1 ポリシリコン膜

P L G プラグ

P L G 1 プラグ

P L G 2 プラグ

P L G 3 プラグ

P R b p型半導体領域

P R c p型半導体領域

P R c 2 p型半導体領域

P R d p型半導体領域

P R s p型半導体領域

P R 1 p型給電領域

P R 2 p型給電領域

P T r pチャネル型半導体素子

P T r 1 pチャネル型半導体素子

P W L p型ウェル

PWL 1 p型ウェル

PWL 2 p型ウェル

S ソース端子

SL シリサイド膜

STI 素子分離領域

Sub 基板端子

SW1 サイドウォール

SW2 サイドウォール

V_D ドレイン電位

V_{DD} 電源電位

V_G ゲート電位

V_s ソース電位

V_{sub} 基板電位

請求の範囲

- [請求項1] 半導体基板に形成された第1電界効果トランジスタとバイポーラトランジスタから構成される半導体素子を備え、
- 前記半導体素子を構成する前記第1電界効果トランジスタは、
- (a) 前記半導体基板内に設けられた第1ソース領域となる第1導電型の第1半導体領域と、
- (b) 前記半導体基板内で前記第1半導体領域と離間して設けられた第1ドレイン領域となる前記第1導電型の第2半導体領域と、
- (c) 前記第1半導体領域と前記第2半導体領域の間の前記半導体基板内に形成された前記第1導電型とは逆導電型である第2導電型の第1チャネル領域と、
- (d) 前記第1チャネル領域上に形成された第1ゲート絶縁膜と、
- (e) 前記第1ゲート絶縁膜上に形成された第1ゲート電極とを有し、
- 前記半導体素子を構成する前記バイポーラトランジスタは、
- (f) 前記第2半導体領域に内包されるように形成されたエミッタ領域となる前記第2導電型の第3半導体領域と、
- (g) ベース領域となる前記第1導電型の前記第2半導体領域と、
- (h) コレクタ領域となる前記第2導電型の前記半導体基板とを有する半導体装置であって、
- 前記第2半導体領域と前記第3半導体領域の境界領域にトンネル接合が形成されていることを特徴とする半導体装置。
- [請求項2] 請求項1記載の半導体装置であって、
- 前記トンネル接合とは、順方向に所定電圧以下の順バイアスを印加した場合にも、電流が流れないのではなく、バンド間トンネリングに起因した電流が流れ、かつ、逆バイアスを印加した時に一定の電流抑制機能を有する接合であることを特徴とする半導体装置。
- [請求項3] 請求項2記載の半導体装置であって、

前記第3半導体領域の不純物濃度は前記第2半導体領域の不純物濃度よりも高いことを特徴とする半導体装置。

[請求項4]

請求項3記載の半導体装置であって、

前記第3半導体領域の不純物濃度は、 $10^{20}/\text{cm}^3$ のオーダーであり、

前記第2半導体領域の不純物濃度は、 $10^{19}/\text{cm}^3$ のオーダーであることを特徴とする半導体装置。

[請求項5]

支持基板と、前記支持基板上に形成された埋め込み絶縁層と、前記埋め込み絶縁層上に形成された活性層よりなるSOI基板に形成された第1電界効果トランジスタとバイポーラトランジスタから構成される半導体素子を備え、

前記半導体素子を構成する前記電界効果トランジスタは、

(a) 前記活性層内に設けられた第1ソース領域となる第1導電型の第1半導体領域と、

(b) 前記活性層内で前記第1半導体領域と離間して設けられた第1ドレイン領域となる前記第1導電型の第2半導体領域と、

(c) 前記第1半導体領域と前記第2半導体領域の間の前記活性層内に形成された第1チャネル領域となる前記第1導電型とは逆導電型である第2導電型の第1ボディ領域と、

(d) 前記第1ボディ領域上に形成された第1ゲート絶縁膜と、

(e) 前記第1ゲート絶縁膜上に形成された第1ゲート電極とを有し、

前記半導体素子を構成する前記バイポーラトランジスタは、

(f) 前記第2半導体領域に内包されるように形成されたエミッタ領域となる前記第2導電型の第3半導体領域と、

(g) ベース領域となる前記第1導電型の前記第2半導体領域と、

(h) コレクタ領域となる前記第2導電型の前記ボディ領域とを有する半導体装置であって、

前記第2半導体領域と前記第3半導体領域の境界領域にトンネル接合が形成されていることを特徴とする半導体装置。

[請求項6]

請求項5記載の半導体装置であって、

前記トンネル接合とは、順方向に所定電圧以下の順バイアスを印加した場合にも、電流が流れないのではなく、バンド間トンネリングに起因した電流が流れ、かつ、逆バイアスを印加した時に一定の電流抑制機能を有する接合であることを特徴とする半導体装置。

[請求項7]

請求項6記載の半導体装置であって、

前記第3半導体領域の不純物濃度は前記第2半導体領域の不純物濃度よりも高いことを特徴とする半導体装置。

[請求項8]

請求項7記載の半導体装置であって、

前記第3半導体領域の不純物濃度は、 $10^{20}/\text{cm}^3$ のオーダーであり、

前記第2半導体領域の不純物濃度は、 $10^{19}/\text{cm}^3$ のオーダーであることを特徴とする半導体装置。

[請求項9]

請求項5記載の半導体装置であって、

前記第1半導体領域は、前記埋め込み絶縁層まで達しておらず、かつ、前記第1半導体領域の前記第2半導体領域側とは反対側に前記埋め込み絶縁層まで達する前記第2導電型の第4半導体領域が形成されており、

前記第4半導体領域と前記第1ボディ領域とは電氣的に接続されていることを特徴とする半導体装置。

[請求項10]

請求項9記載の半導体装置であって、

前記第1半導体領域と前記第4半導体領域の両方に接するように、前記第1半導体領域および前記第4半導体領域上にプラグが形成されており、

前記プラグを介して前記第1半導体領域と前記第1ボディ領域に同じ電位が印加されることを特徴とする半導体装置。

- [請求項11] 請求項5記載の半導体装置であって、
前記第1半導体領域は、前記埋め込み絶縁層まで達しておらず、かつ、前記第1半導体領域と前記埋め込み絶縁層の間に前記第2導電型の第5半導体領域が形成されており、
前記第1半導体領域と前記第5半導体領域とはオーミック接触していることを特徴とする半導体装置。
- [請求項12] 請求項11記載の半導体装置であって、
前記オーミック接触とは、整流作用がなく、かつ、電流・電圧特性が抵抗性を示す接触であることを特徴とする半導体装置。
- [請求項13] 請求項1記載の半導体装置であって、
前記半導体装置は、複数の前記半導体素子を有し、
複数の前記半導体素子は、第1半導体素子と第2半導体素子を含み、
前記第1半導体素子は、前記第1導電型がN型であり、かつ、前記第2導電型がP型である前記半導体素子であり、
前記第2半導体素子は、前記第1導電型がP型であり、かつ、前記第2導電型がN型である前記半導体素子であることを特徴とする半導体装置。
- [請求項14] 請求項13記載の半導体装置であって、
前記第1半導体素子と前記第2半導体素子がインバータを構成していることを特徴とする半導体装置。
- [請求項15] 請求項14記載の半導体装置であって、
前記インバータは、SRAMのメモリセルに使用されることを特徴とする半導体装置。
- [請求項16] 請求項1記載の半導体装置であって、
前記半導体装置は、複数の前記半導体素子を有し、
複数の前記半導体素子の中には、低電圧で動作する低電圧半導体素子と、前記低電圧より高い高電圧で動作する高電圧半導体素子が含ま

れていることを特徴とする半導体装置。

[請求項17]

請求項1記載の半導体装置であって、

前記半導体装置は、前記半導体素子とは別の第2電界効果トランジスタを有し、

前記第2電界効果トランジスタは、

(i) 前記半導体基板内に設けられた第2ソース領域と、

(j) 前記半導体基板内で前記第2ソース領域と離間して設けられた第2ドレイン領域と、

(k) 前記第2ソース領域と前記第2ドレイン領域の間の前記半導体基板内に形成された第2チャネル領域と、

(l) 前記第2チャネル領域上に形成された第2ゲート絶縁膜と、

(m) 前記第2ゲート絶縁膜上に形成された第2ゲート電極とを有することを特徴とする半導体装置。

[請求項18]

半導体基板に形成されたメモリトランジスタとバイポーラトランジスタから構成されるメモリセルを備え、

前記メモリセルを構成する前記メモリトランジスタは、

(a) 前記半導体基板内に設けられたソース領域となる第1導電型の第1半導体領域と、

(b) 前記半導体基板内で前記第1半導体領域と離間して設けられたドレイン領域となる前記第1導電型の第2半導体領域と、

(c) 前記第1半導体領域と前記第2半導体領域の間の前記半導体基板内に形成された前記第1導電型とは逆導電型である第2導電型のチャネル領域と、

(d) 前記チャネル領域上に形成された第1電位障壁膜と、

(e) 前記第1電位障壁膜上に形成された電荷蓄積膜と、

(f) 前記電荷蓄積膜上に形成された第2電位障壁膜と、

(g) 前記第2電位障壁膜上に形成されたゲート電極とを有し、

前記メモリセルを構成する前記バイポーラトランジスタは、

(h) 前記第2半導体領域に内包されるように形成されたエミッタ領域となる前記第2導電型の第3半導体領域と、

(i) ベース領域となる前記第1導電型の前記第2半導体領域と、

(j) コレクタ領域となる前記第2導電型の前記半導体基板とを有する不揮発性半導体記憶装置であって、

前記第2半導体領域と前記第3半導体領域の境界領域にトンネル接合が形成されていることを特徴とする不揮発性半導体記憶装置。

[請求項19] 請求項18記載の不揮発性半導体記憶装置であって、

前記トンネル接合とは、順方向に所定電圧以下の順バイアスを印加した場合にも、電流が流れないのではなく、バンド間トンネリングに起因した電流が流れ、かつ、逆バイアスを印加した時に一定の電流抑制機能を有する接合であることを特徴とする不揮発性半導体記憶装置。

[請求項20] 請求項19記載の不揮発性半導体記憶装置であって、

前記第3半導体領域の不純物濃度は前記第2半導体領域の不純物濃度よりも高いことを特徴とする不揮発性半導体記憶装置。

[請求項21] 請求項20記載の不揮発性半導体記憶装置であって、

前記第3半導体領域の不純物濃度は、 $10^{20}/\text{cm}^3$ のオーダーであり、

前記第2半導体領域の不純物濃度は、 $10^{19}/\text{cm}^3$ のオーダーであることを特徴とする不揮発性半導体記憶装置。

[請求項22] 請求項18記載の不揮発性半導体記憶装置であって、

前記電荷蓄積膜は、導体膜から形成されていることを特徴とする不揮発性半導体記憶装置。

[請求項23] 請求項18記載の不揮発性半導体記憶装置であって、

前記電荷蓄積膜は、トラップ準位を有する絶縁膜から形成されていることを特徴とする不揮発性半導体記憶装置。

[請求項24] (a) 前記半導体基板を用意する工程と、

(b) 前記半導体基板上にゲート絶縁膜を形成する工程と、

(c) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(d) 前記(c)工程後、前記半導体基板内に第1導電型不純物を導入することにより、第1導電型の第1半導体領域および前記第1導電型の第2半導体領域を互いに離間して形成する工程と、

(e) 前記(d)工程後、前記半導体基板内に第2導電型不純物を導入することにより、前記第2半導体領域に内包されるように、第1導電型とは逆導電型の第2導電型の第3半導体領域を形成する工程と、

(f) 前記(e)工程後、前記第1半導体領域および前記第2半導体領域に導入した前記第1導電型不純物と、前記第3半導体領域に導入した前記第2導電型不純物を活性化するための熱処理を実施する工程とを備え、

前記(d)工程で前記第1半導体領域および前記第2半導体領域に導入する前記第1導電型不純物の濃度、前記(e)工程で前記第3半導体領域に導入する前記第2導電型不純物の濃度、および、前記(f)工程で実施する熱処理を調整することにより、前記第2半導体領域と前記第3半導体領域の境界領域にトンネル接合を形成することを特徴とする半導体装置の製造方法。

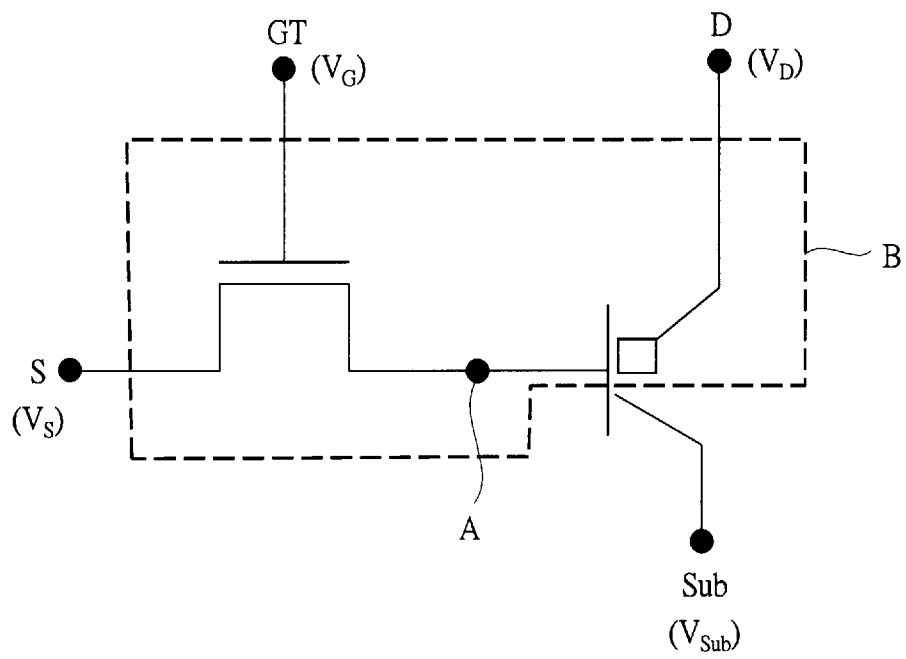
[請求項25]

請求項24記載の半導体装置の製造方法であって、

前記(f)工程で実施する熱処理は、レーザ・スパイク・アニールであることを特徴とする半導体装置の製造方法。

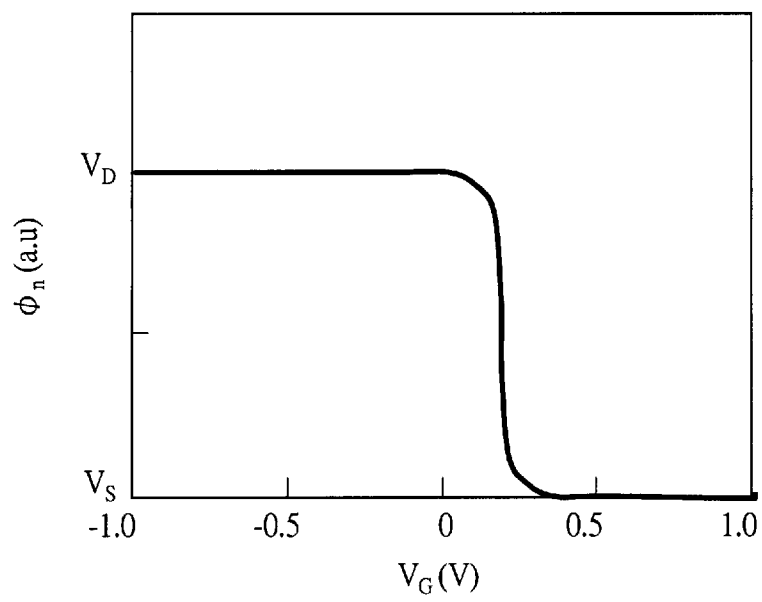
[図1]

図 1



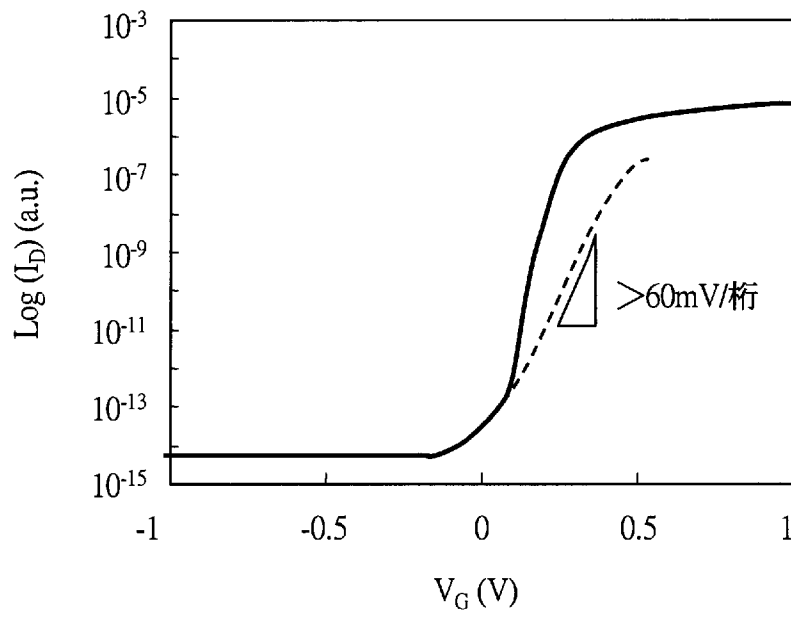
[図2]

図 2



[図3]

図 3



[図4]

図 4

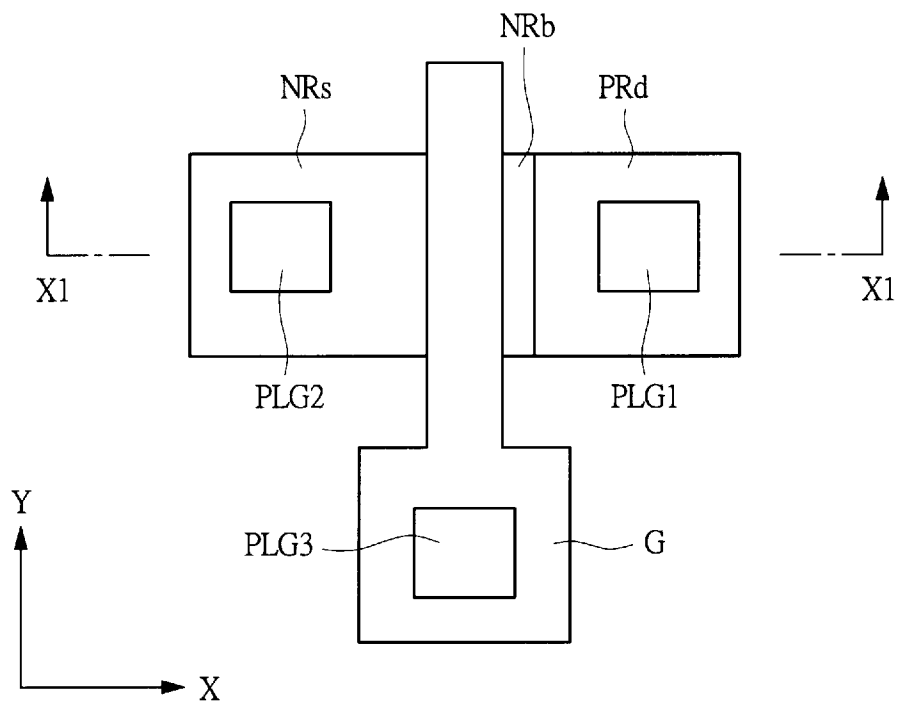
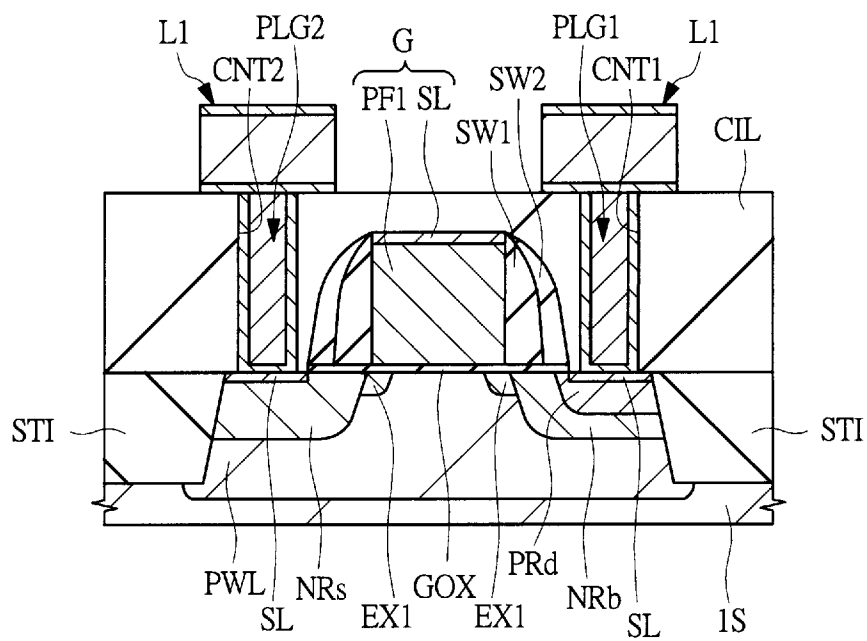
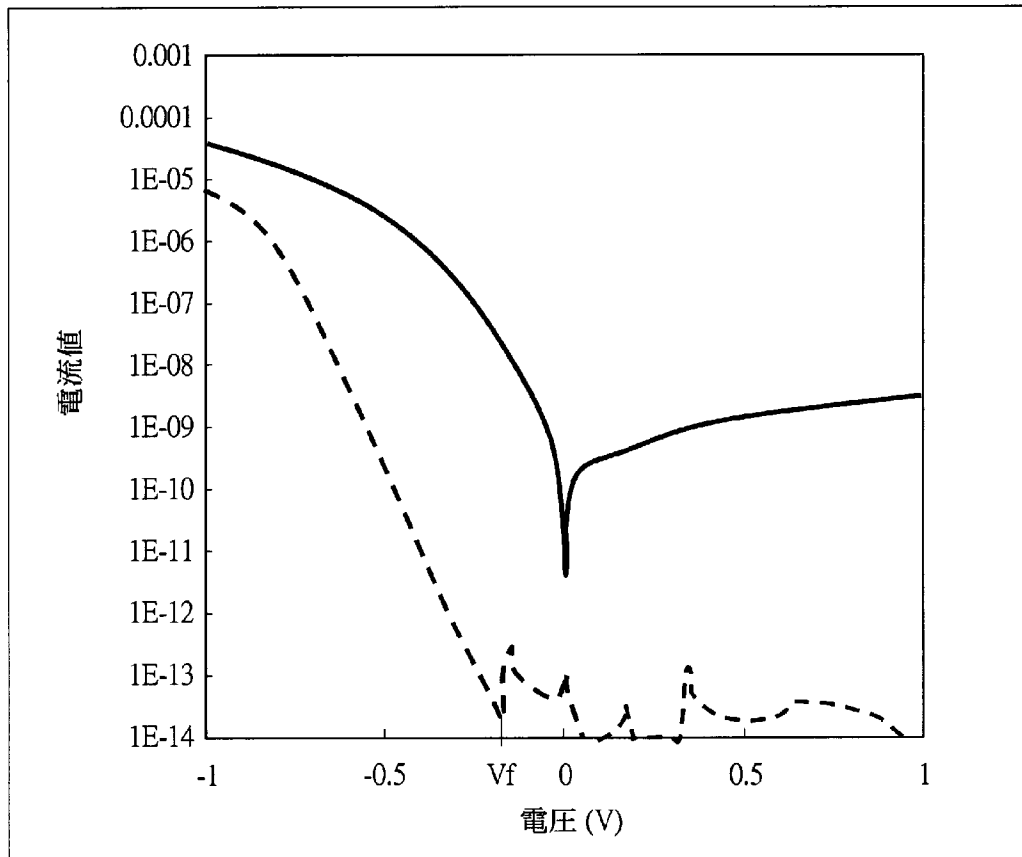


図 5



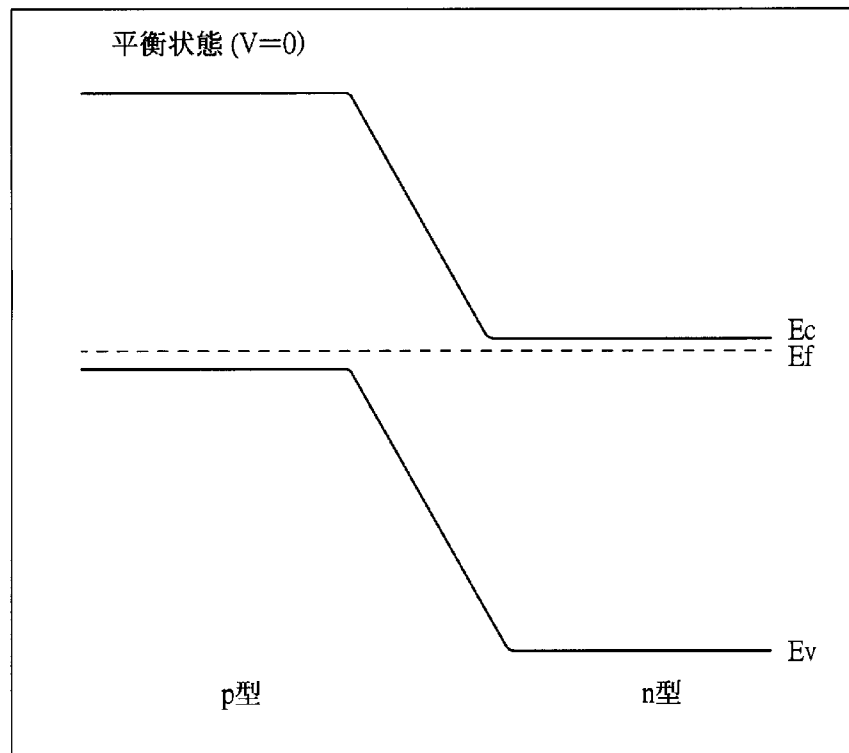
[図6]

図 6



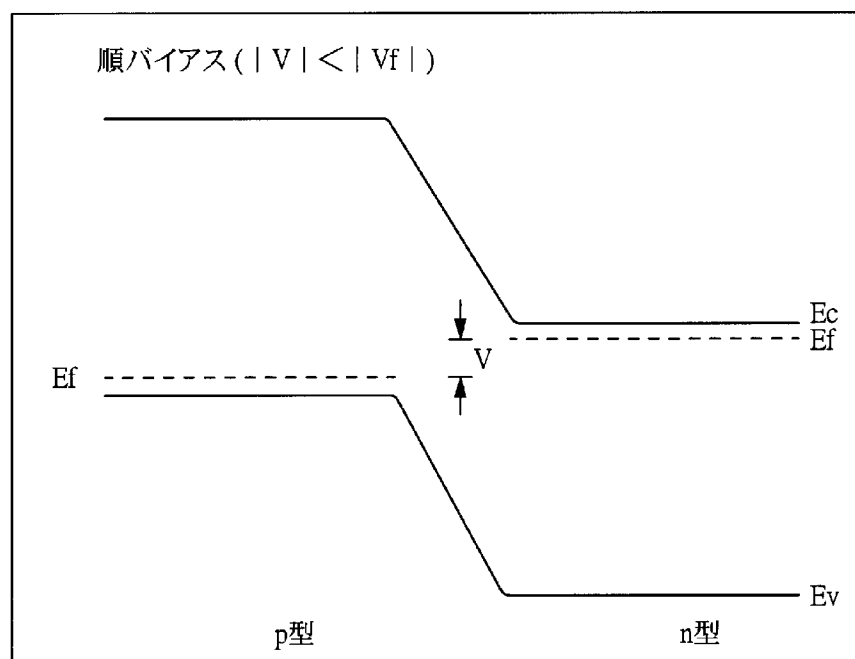
[図7]

図 7



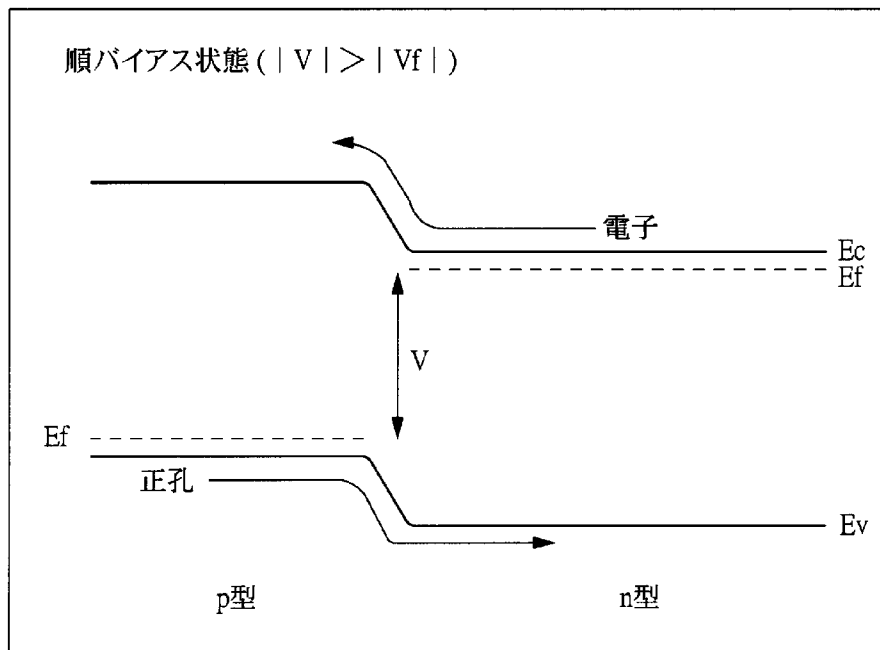
[図8]

図 8



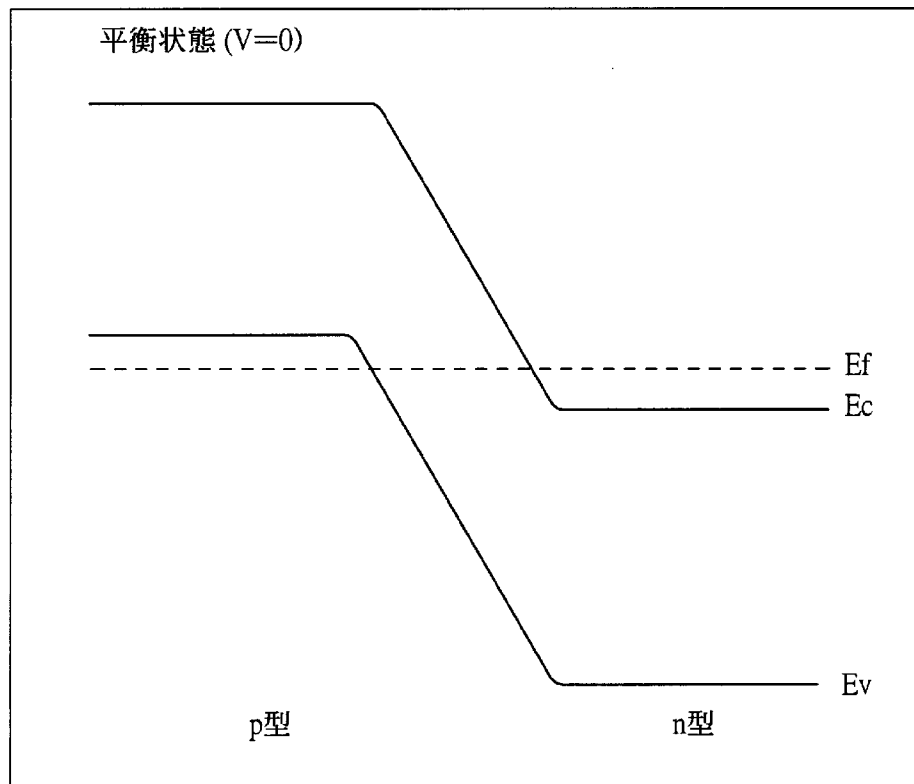
[図9]

図 9



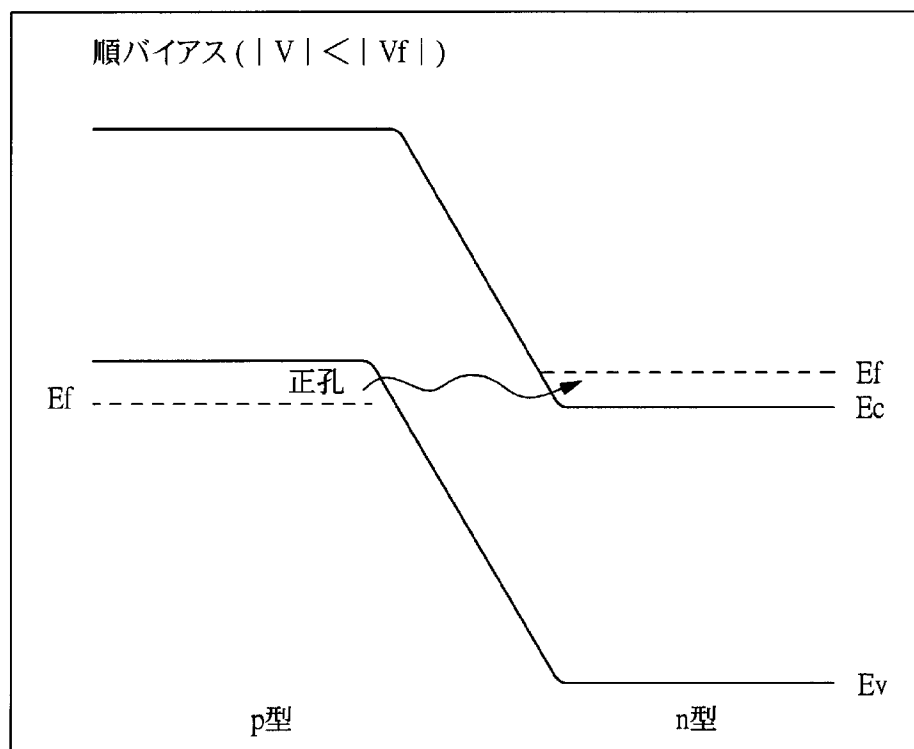
[図10]

図 10



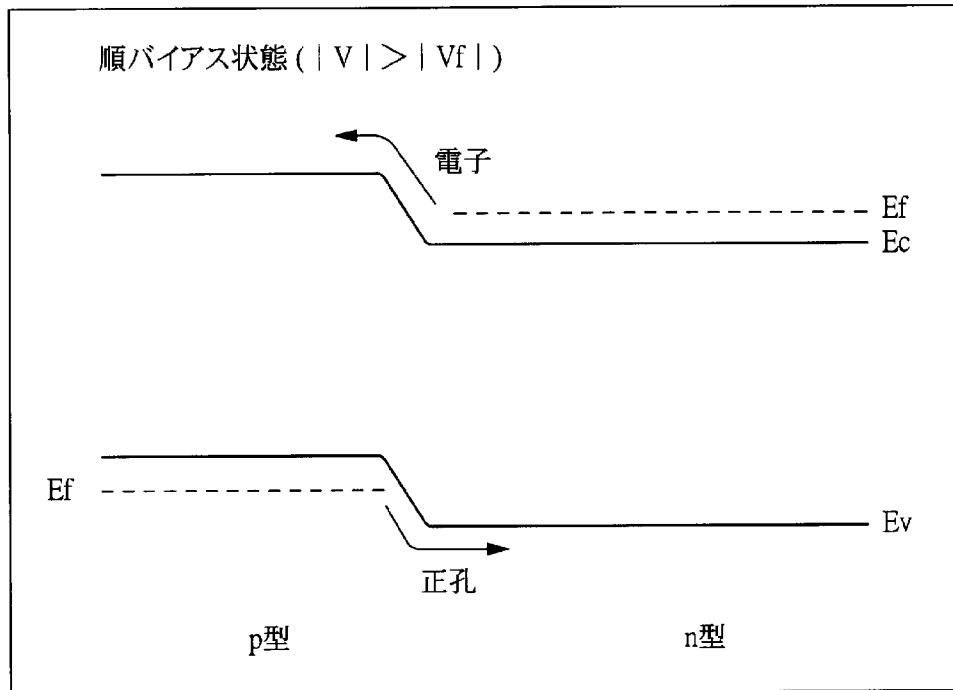
[図11]

図 11



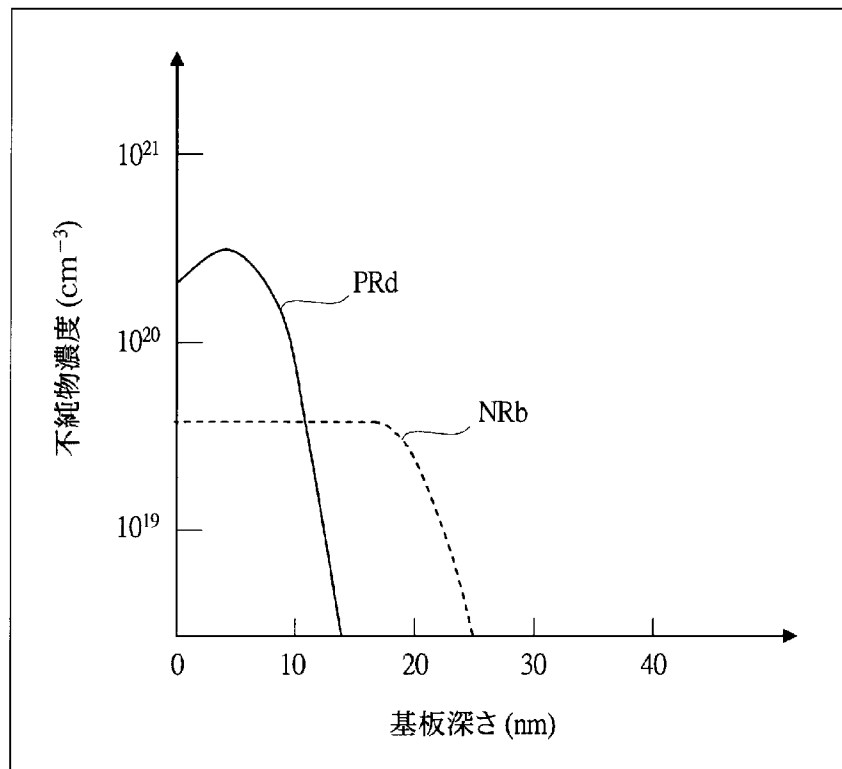
[図12]

図 12



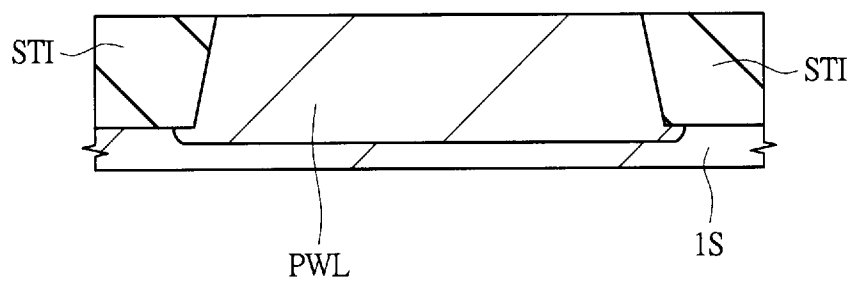
[図13]

図 13



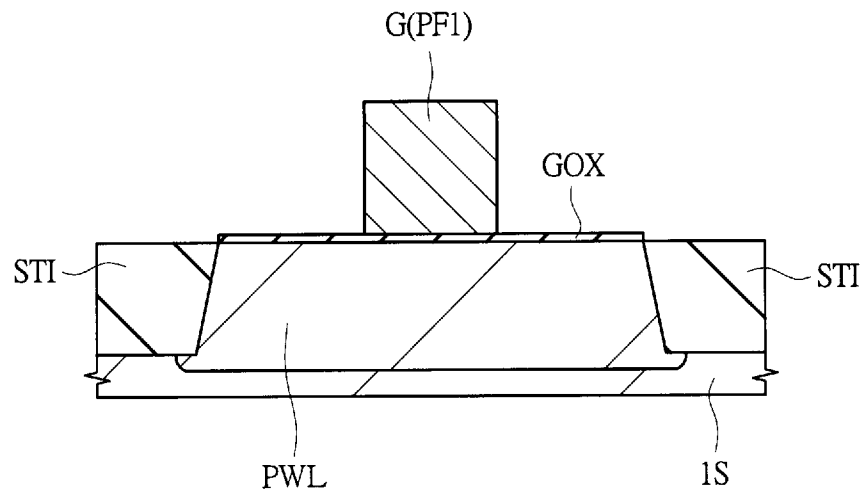
[図14]

図 14



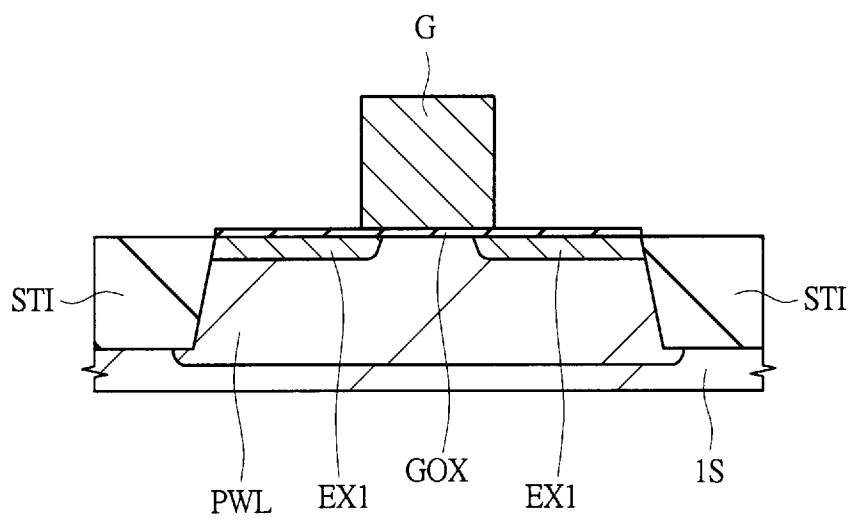
[図15]

図 15



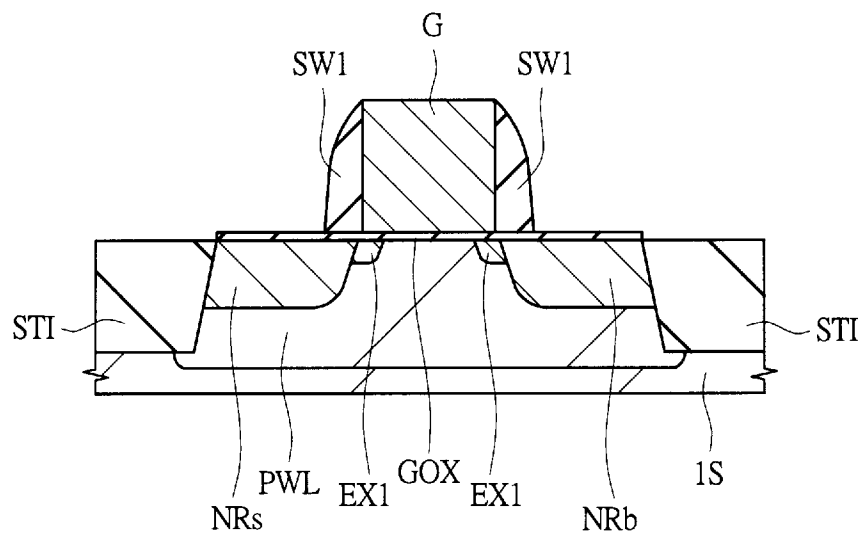
[図16]

図 16



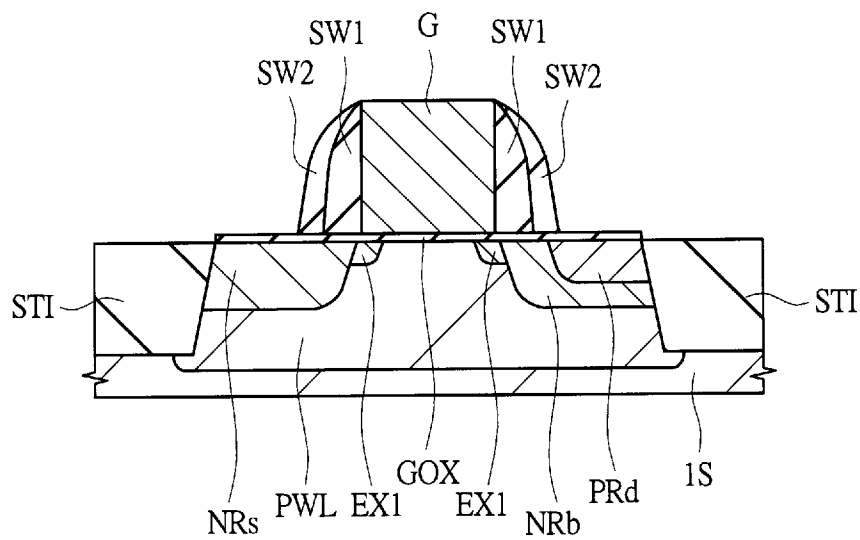
[図17]

図 17



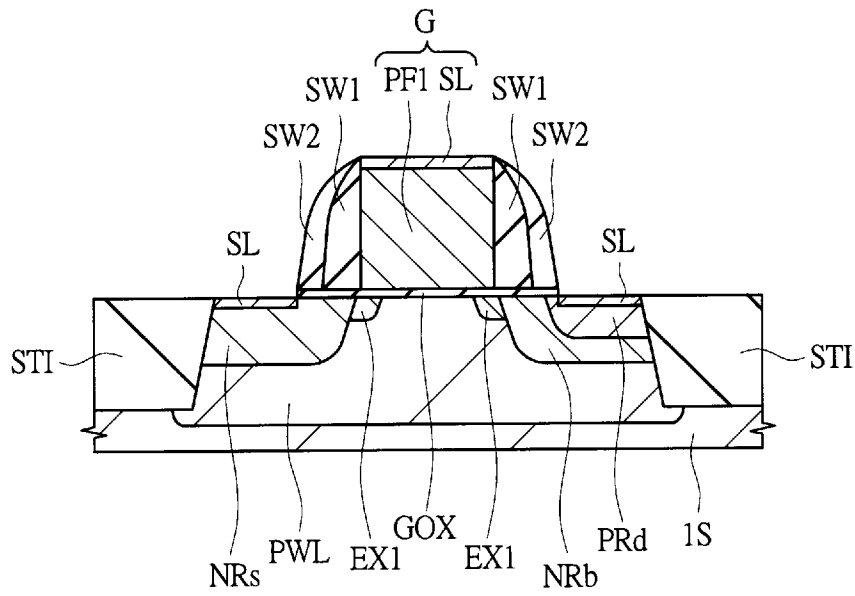
[図18]

図 18



[図19]

図 19



[図20]

図 20

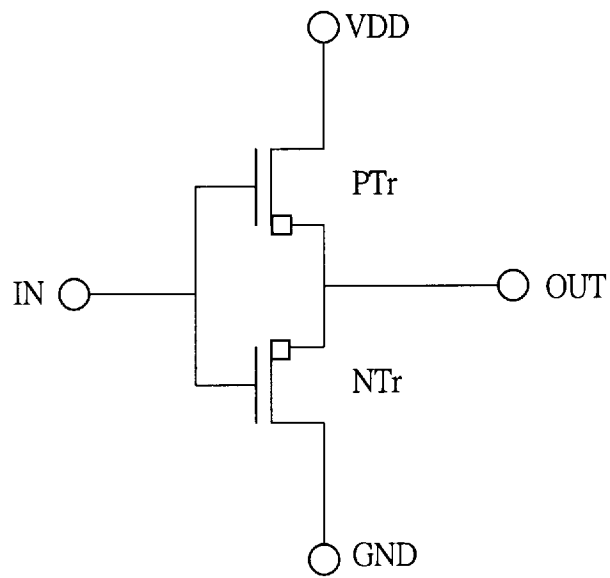
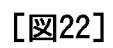
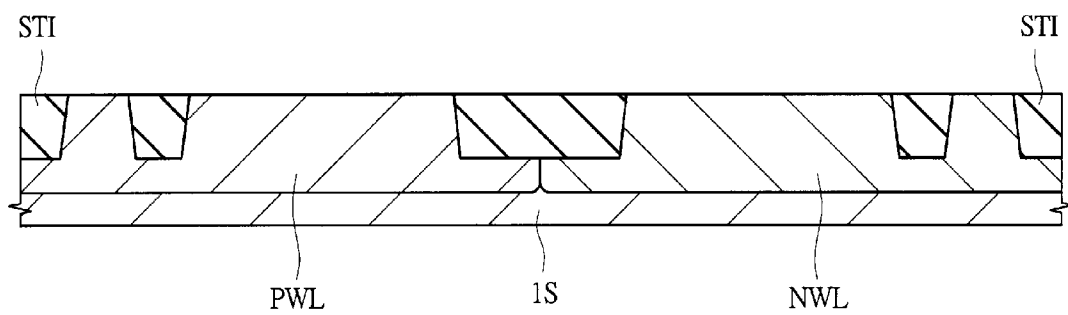


Figure 21 shows a rectangular box with a diagonal line from the top-left corner to the bottom-right corner. The top-left corner is labeled 'A' and the bottom-right corner is labeled 'B'. The diagonal line is labeled 'AB'.

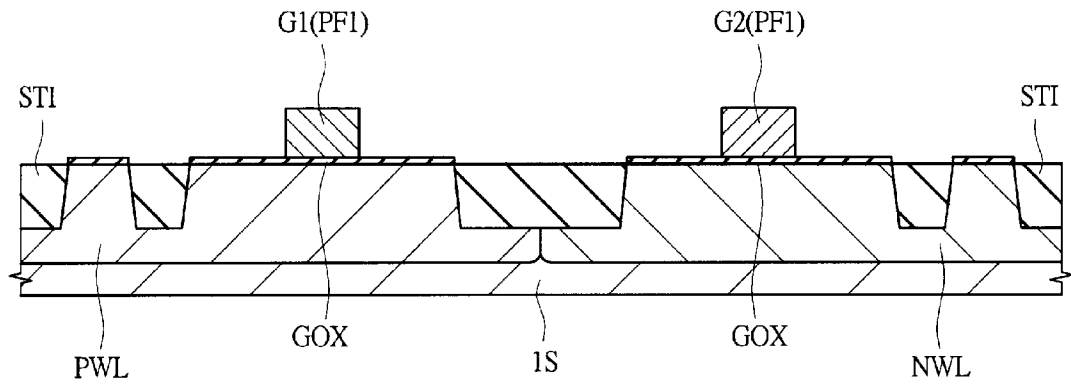


☒ 22



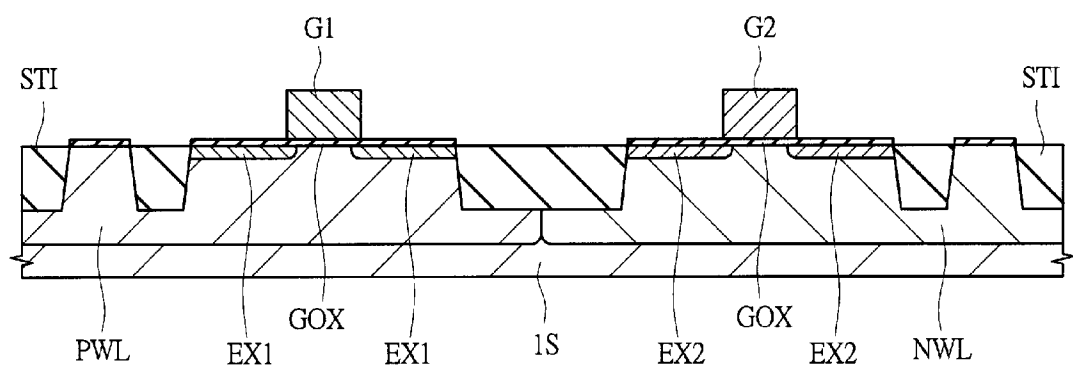
[図23]

図 23



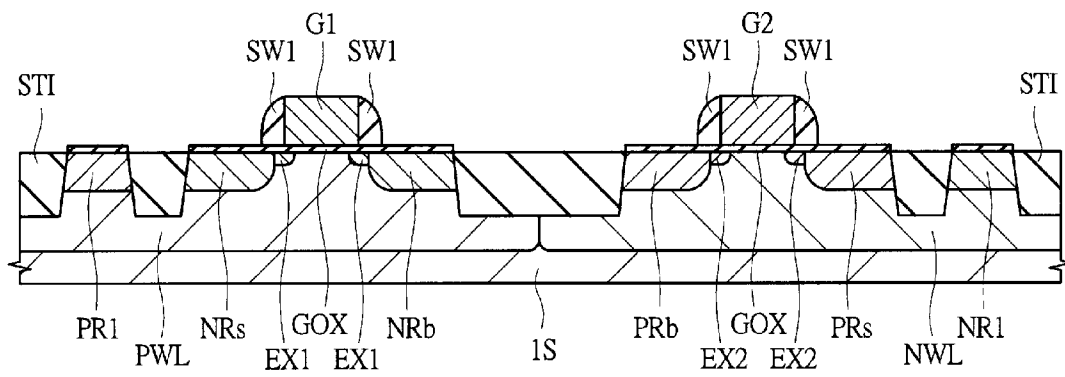
[図24]

図 24



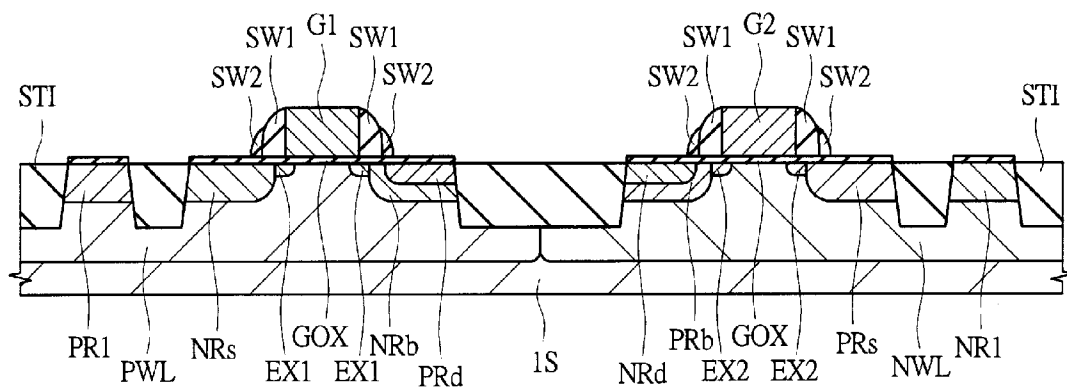
[図25]

図 25



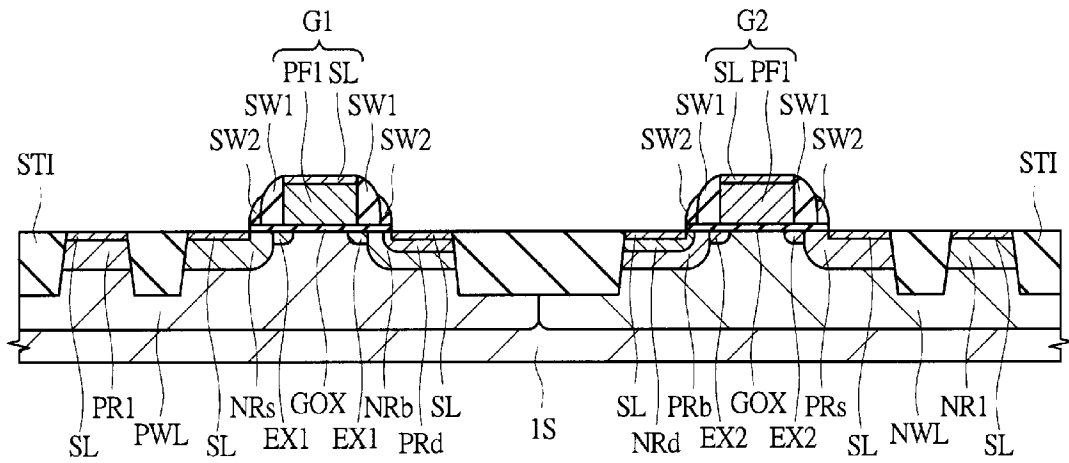
[図26]

図 26



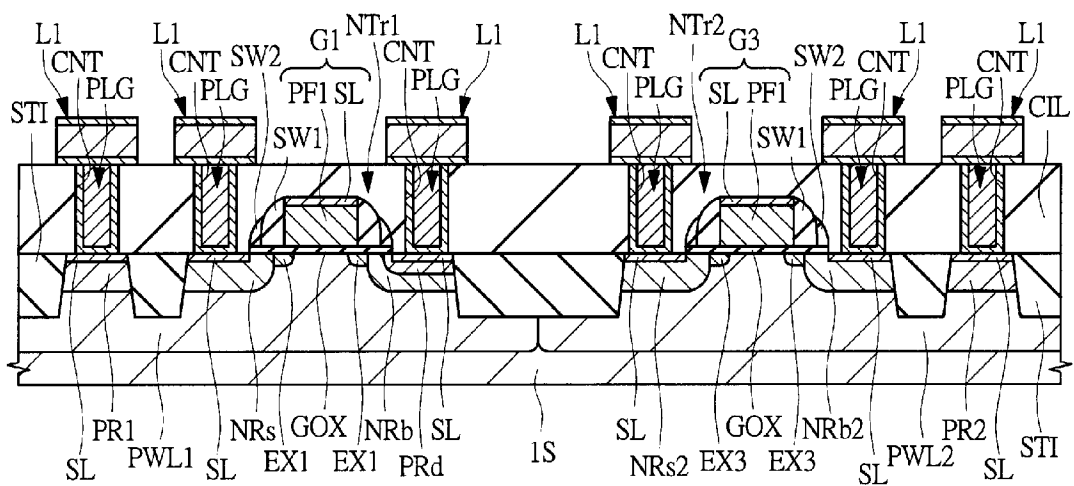
[図27]

図 27



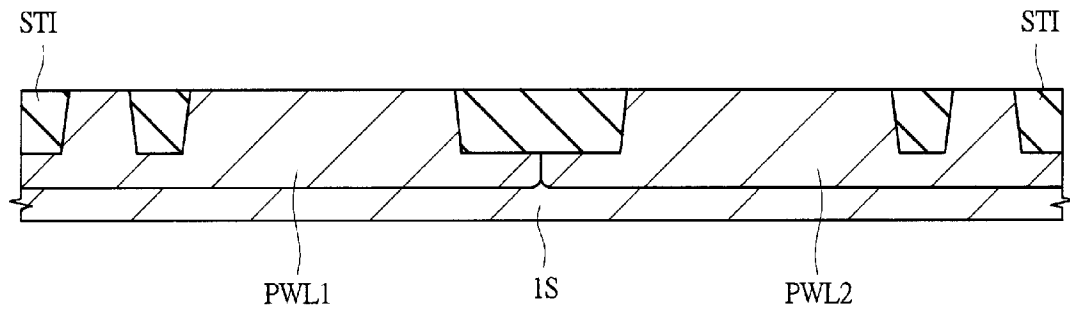
[図28]

図 28



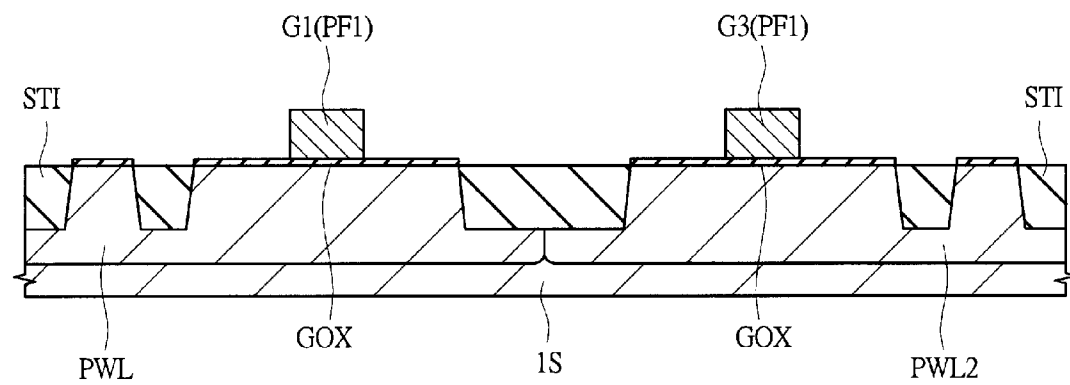
[図29]

図 29



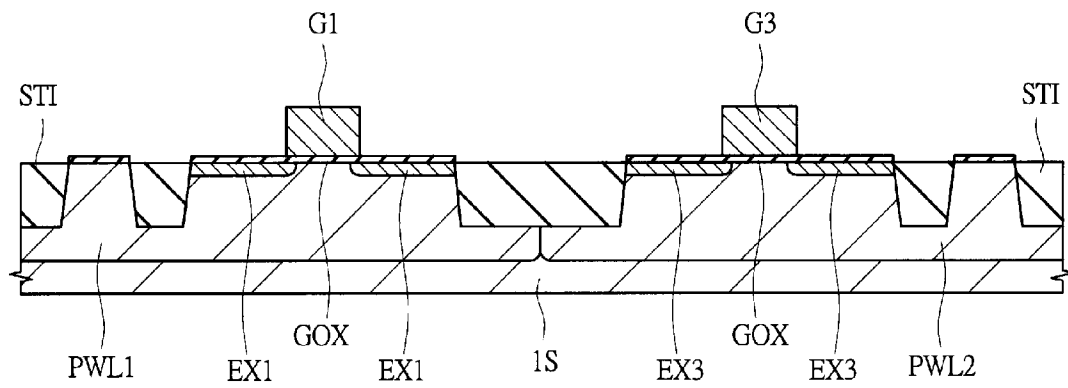
[図30]

図 30



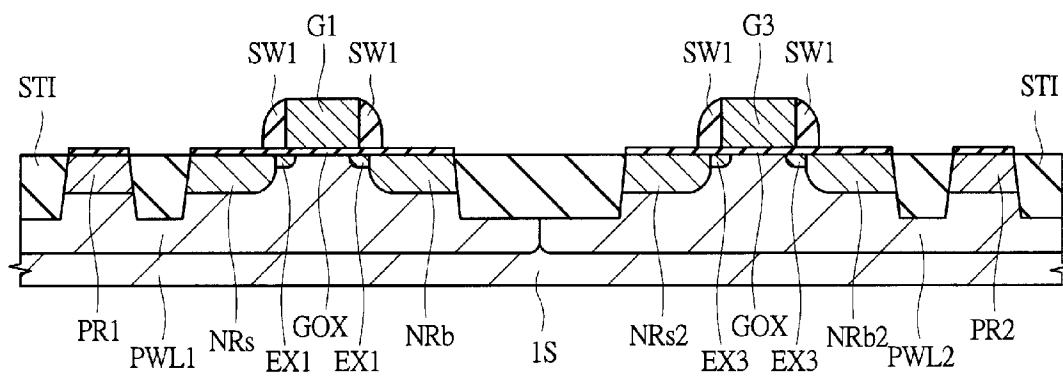
[図31]

図 31



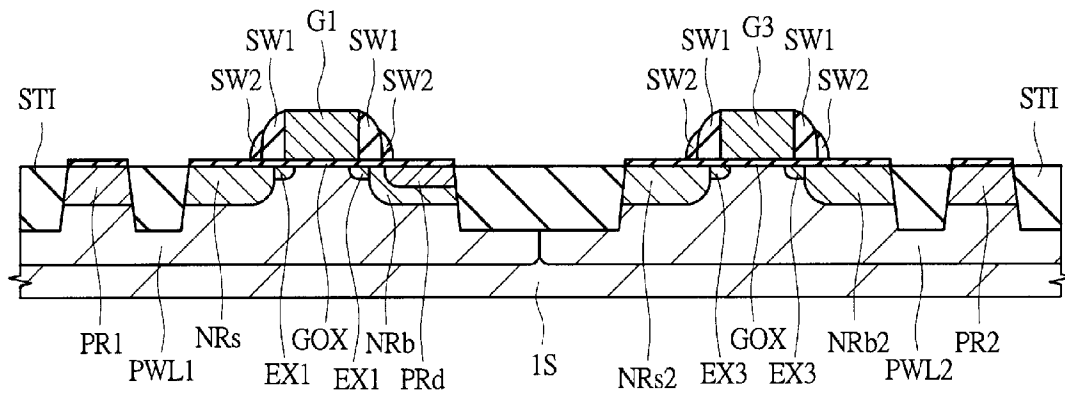
[図32]

図 32



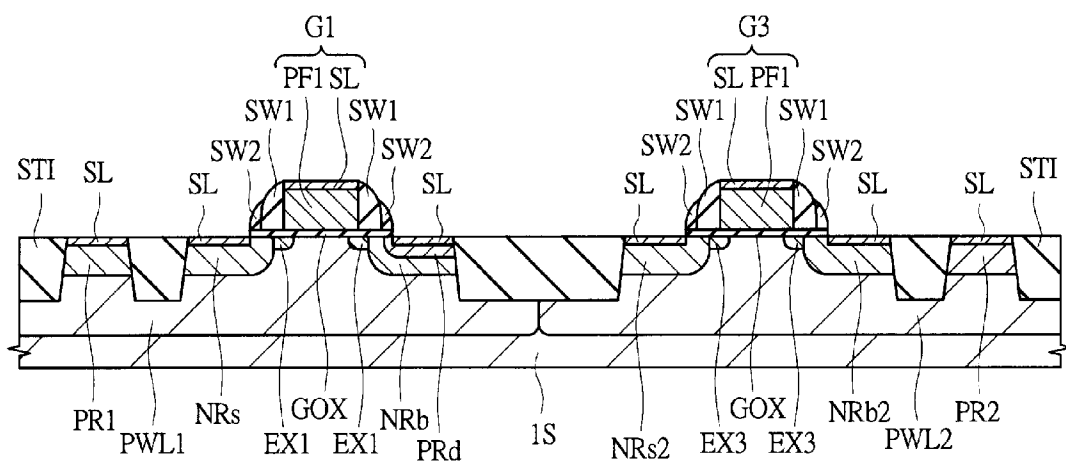
[図33]

図 33



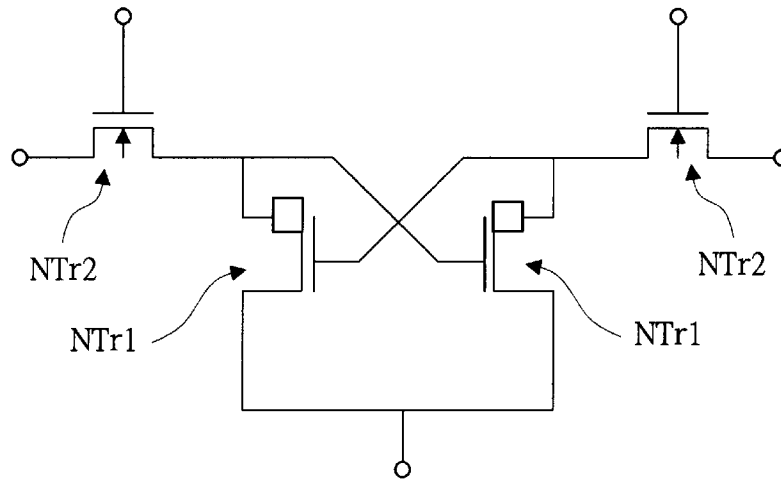
[図34]

図 34



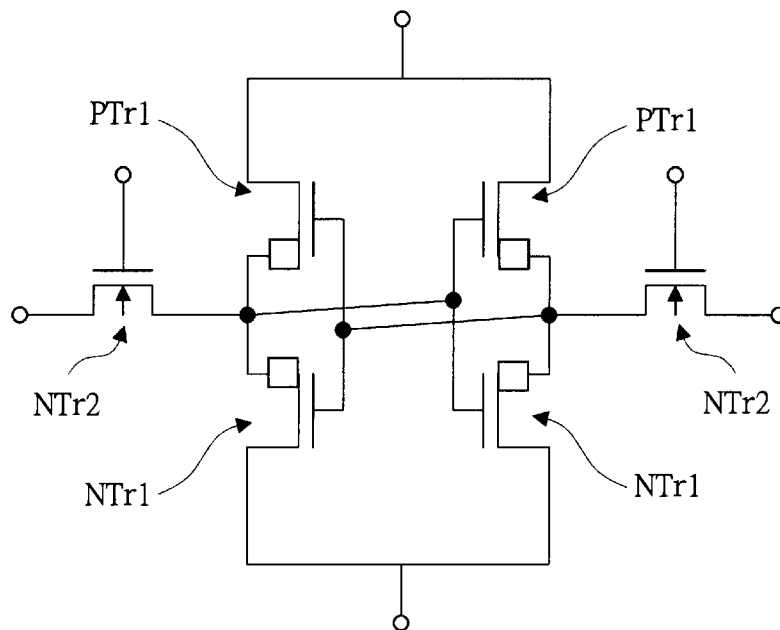
[図35]

図 35



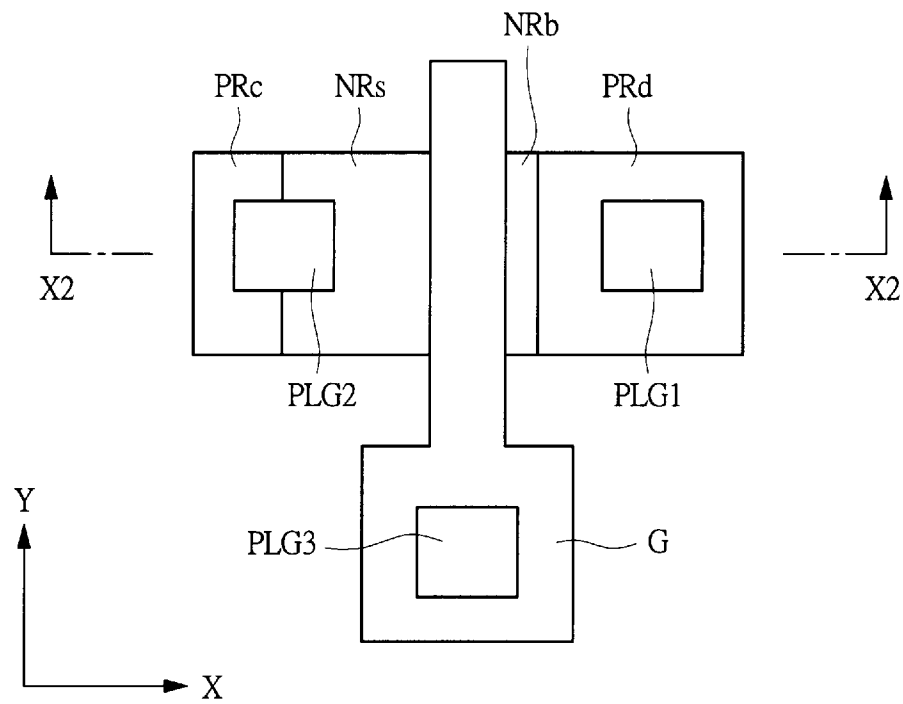
[図36]

図 36

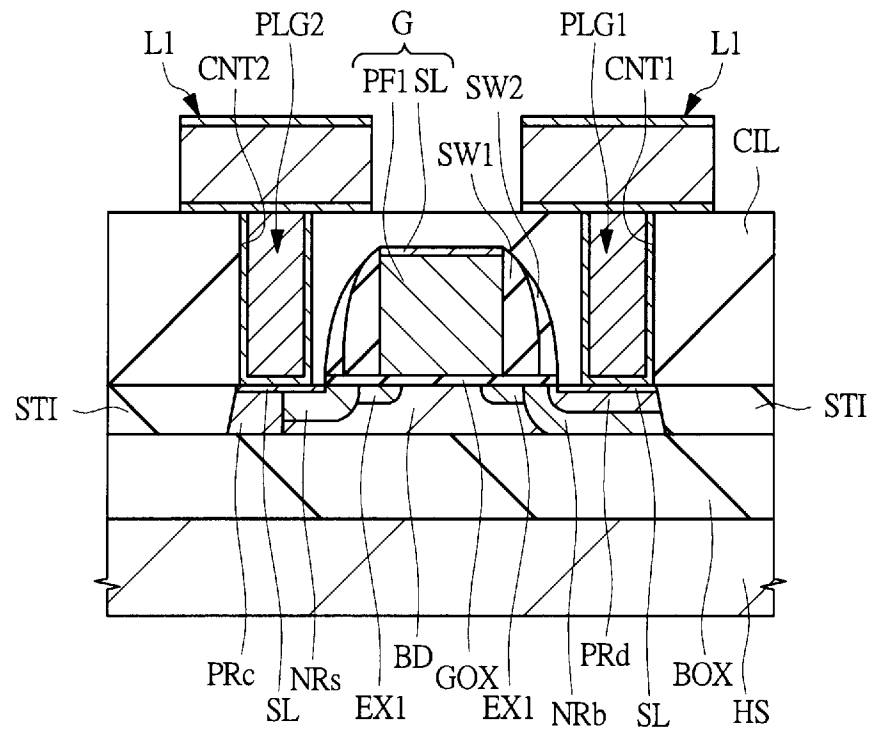


[図37]

図 37

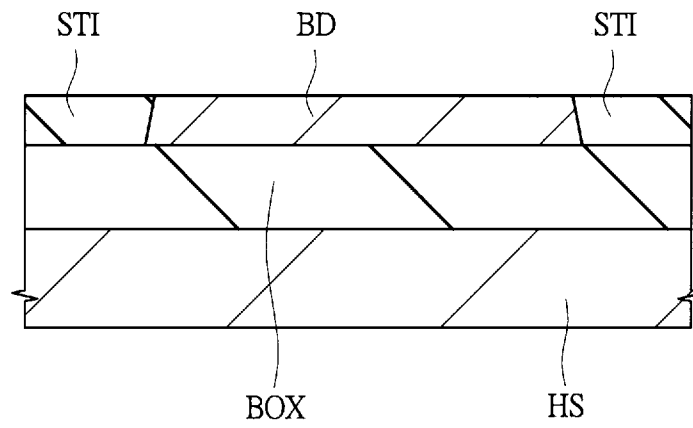


38



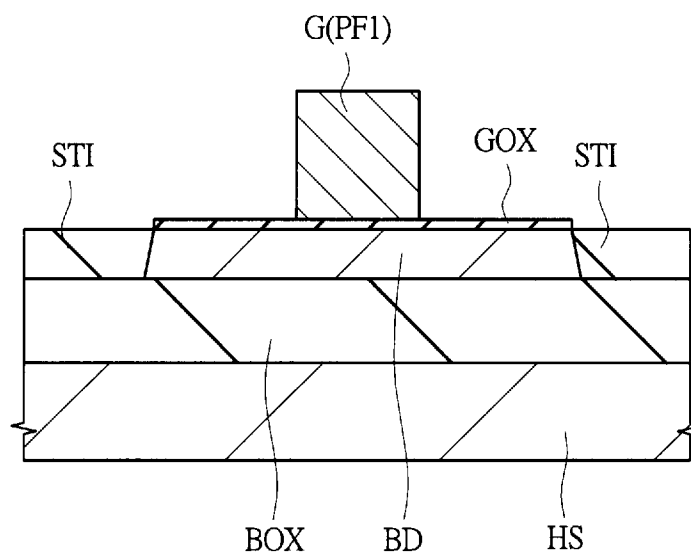
[図39]

図 39

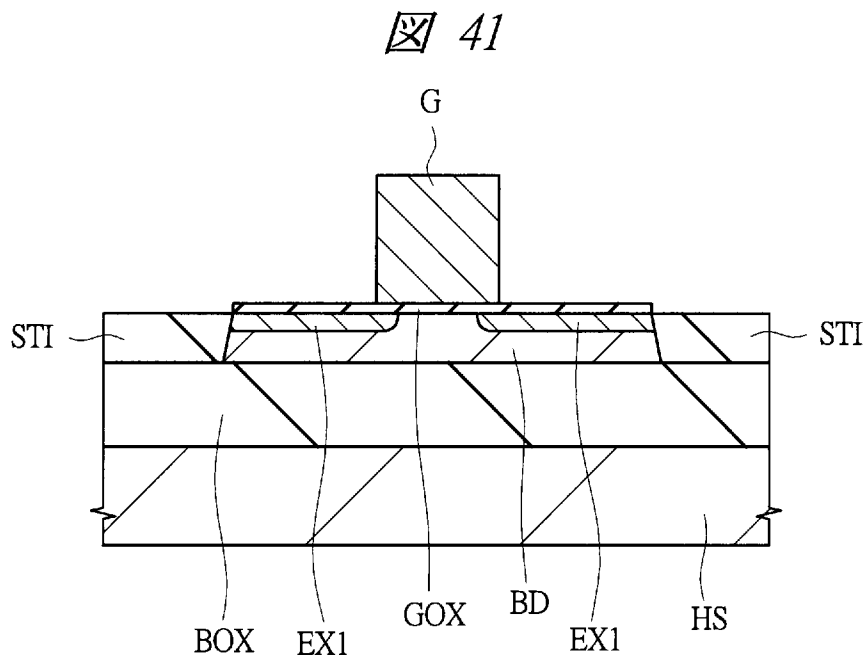


[図40]

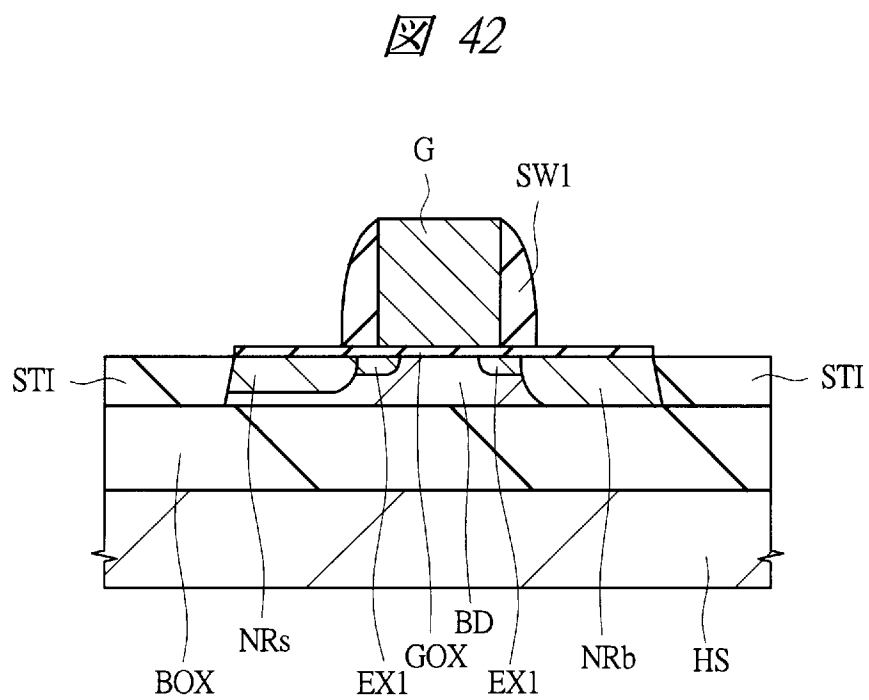
図 40



[図41]

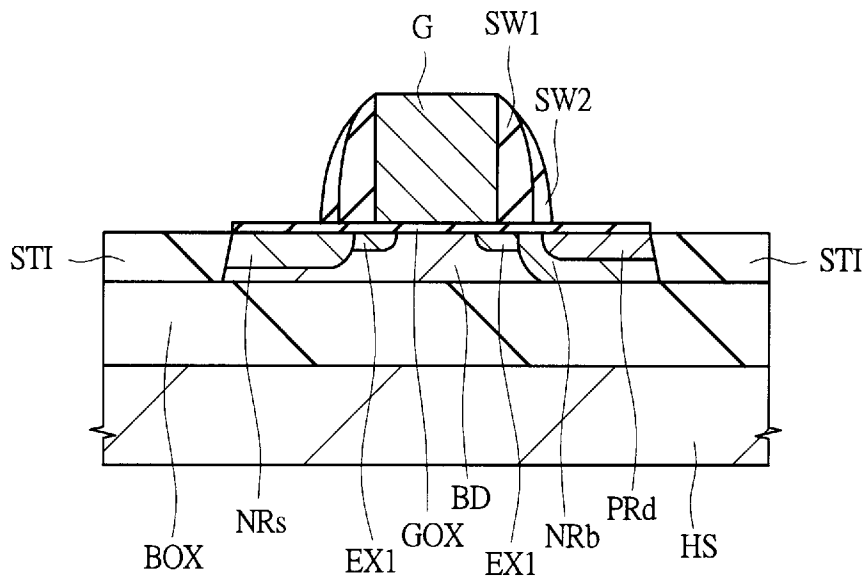


[図42]



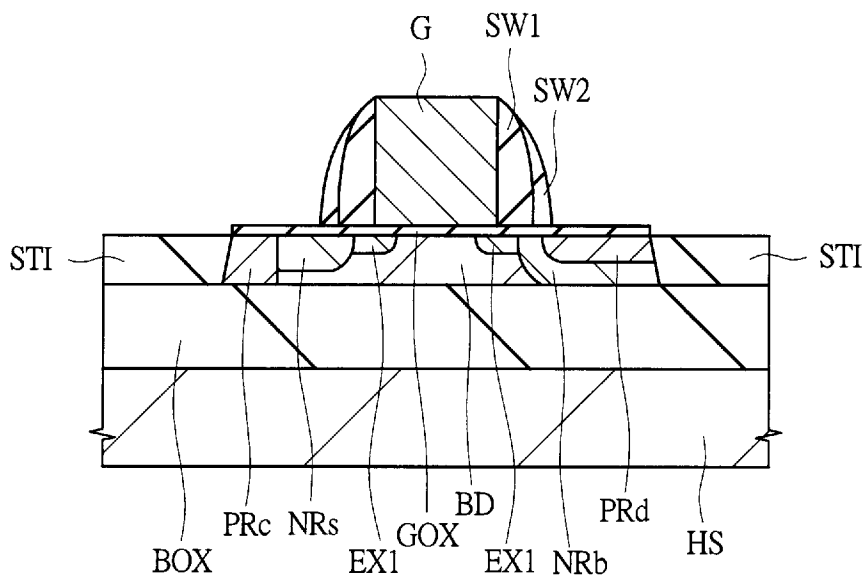
[図43]

図 43



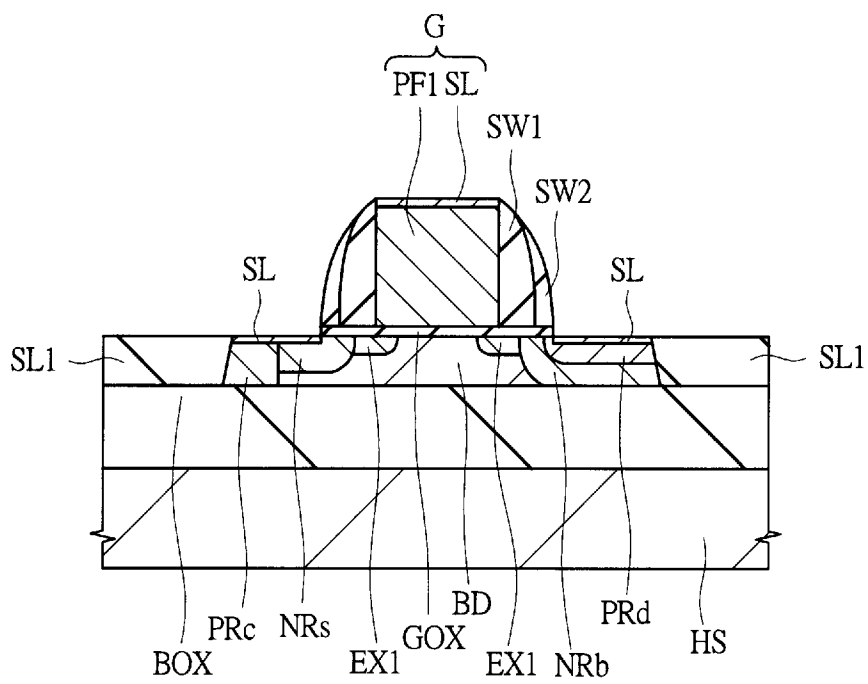
[図44]

図 44



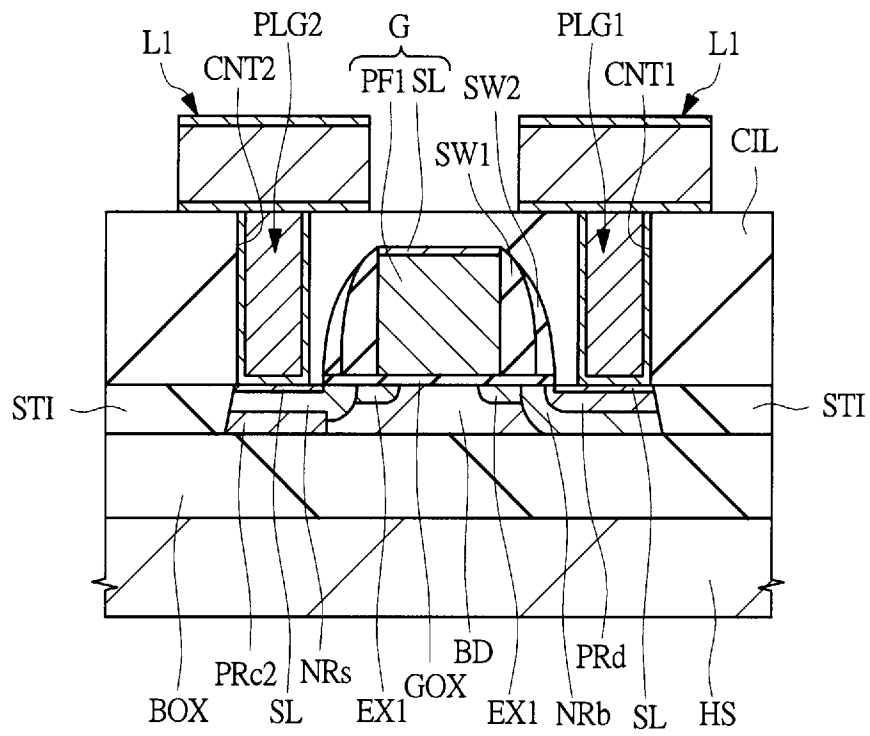
[図45]

図 45



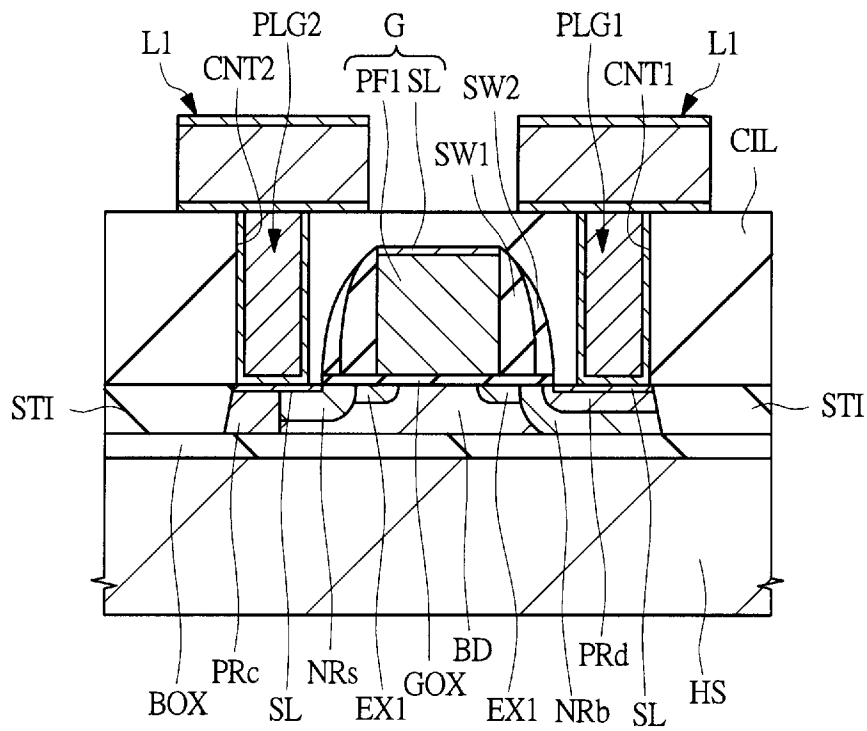
[図46]

図 46



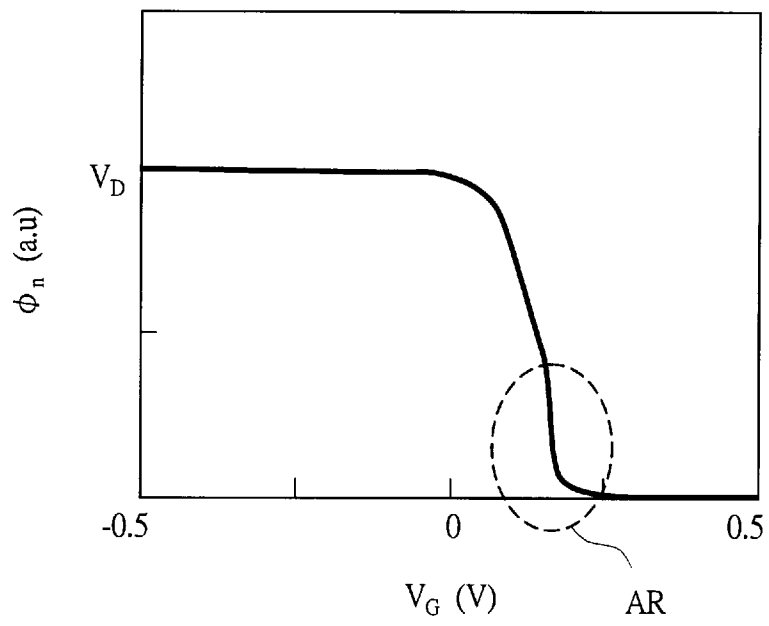
[図47]

図 47



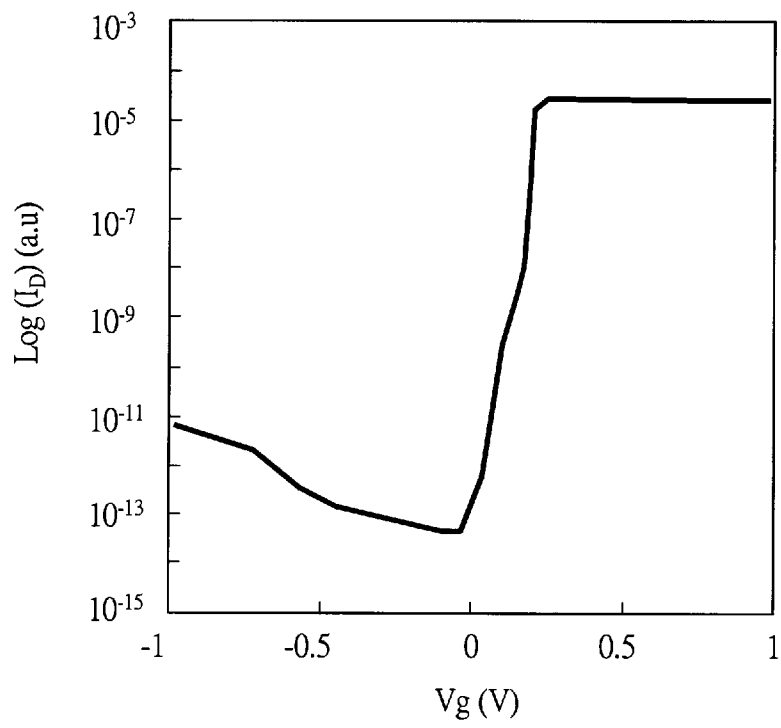
[図48]

図 48



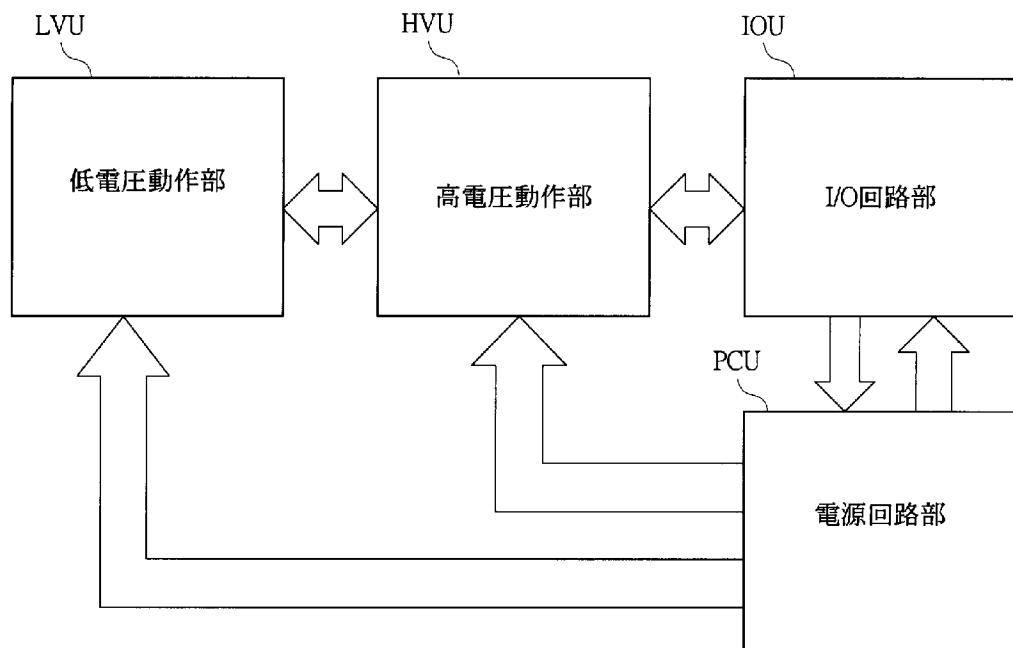
[図49]

図 49



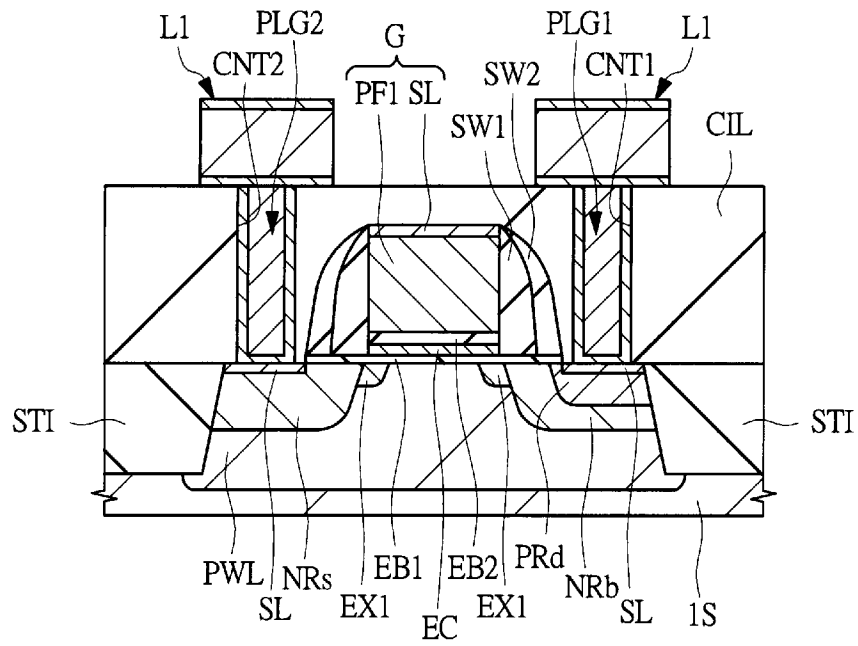
[図50]

図 50



[図51]

図 51



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064060

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8249, H01L21/331, H01L21/8234, H01L21/8238, H01L21/8244,
H01L21/8247, H01L27/06, H01L27/088, H01L27/092, H01L27/11, H01L27/115,
H01L29/66, H01L29/732, H01L29/78, H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 7-297394 A (NEC Corp.), 10 November 1995 (10.11.1995), paragraphs [0012] to [0018]; fig. 1 (Family: none)	1, 5, 9, 10, 13-18, 22-25 11, 12, 24, 25 2-4, 6-8, 19-21
X Y A	JP 62-2650 A (Shoji KAWAHITO), 08 January 1987 (08.01.1987), page 2, lower left column, lines 10 to 16; fig. 3, 5, 6 (Family: none)	1, 5, 9, 10, 13-18, 22, 23 11, 12, 24, 25 2-4, 6-8, 19-21
X Y A	JP 54-58378 A (Director General, Agency of Industrial Science and Technology), 11 May 1979 (11.05.1979), claims; fig. 4, 6 (Family: none)	1, 5, 9, 10, 13-18, 22, 23 11, 12, 24, 25 2-4, 6-8, 19-21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 July, 2011 (07.07.11)

Date of mailing of the international search report
19 July, 2011 (19.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064060

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-290095 A (Hitachi, Ltd.), 10 December 2009 (10.12.2009), paragraphs [0018] to [0019], [0028]; fig. 1A to 1B, 35 (Family: none)	11, 12 1-10, 13-25
P, X	Digh Hisamoto et al., Cx-FET: A Novel Steep Subthreshold Swing CMOS featuring a Tunnel- Injection Bipolar Transistor and MOSFET Device Complex, IEDM'2010, 2010.12, pp.233-236	5-8, 24, 25
A	JP 8-264726 A (Fujitsu Ltd.), 11 October 1996 (11.10.1996), fig. 1, 2 (Family: none)	1-25
A	JP 3-203263 A (NEC Kansai, Ltd.), 04 September 1991 (04.09.1991), fig. 1 to 3 (Family: none)	1-25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064060

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 is described in the documents 1 - 3 (document 1: JP 7-297394 A (NEC Corp.), 10 November 1995 (10.11.1995), [0012] - [0018], fig. 1; document 2: JP 62-2650 A (Shoji KAWAHITO), 8 January 1987 (08.01.1987), page 2, lower left column, lines 10 - 16, fig. 3, fig. 5, fig. 6; document 3: JP 54-58378 A (Director General, Agency of Industrial Science and Technology), 11 May 1979 (11.05.1979), claims, fig. 4, fig. 6). Therefore, the invention in claim 1 cannot be considered to be novel in the light of the inventions described in the documents 1 - 3, and does not have a special technical feature.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064060

Continuation of Box No.III of continuation of first sheet (2)

Meanwhile, main invention is as follows.

(Main invention) the inventions in claims 1 - 4

The invention having a configuration set forth in claims 1 and 2.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064060

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L21/8249(2006.01)i, H01L21/331(2006.01)i, H01L21/8234(2006.01)i,
H01L21/8238(2006.01)i, H01L21/8244(2006.01)i, H01L21/8247(2006.01)i,
H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i,
H01L27/11(2006.01)i, H01L27/115(2006.01)i, H01L29/66(2006.01)i,
H01L29/732(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8249, H01L21/331, H01L21/8234, H01L21/8238, H01L21/8244, H01L21/8247, H01L27/06, H01L27/088, H01L27/092, H01L27/11, H01L27/115, H01L29/66, H01L29/732, H01L29/78, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 7-297394 A（日本電気株式会社）1995. 11. 10, 【0012】 - 【0018】, 図 1（ファミリーなし）	1, 5, 9, 10, 13-18, 22-25 11, 12, 24, 25 2-4, 6-8, 19-21

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 7 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

松嶋 秀忠

4 M

9 8 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 62-2650 A (川人祥二) 1987.01.08, 第2頁左下欄10行~16行、 第3図、第5図、第6図 (ファミリーなし)	1, 5, 9, 10, 13- 18, 22, 23 11, 12, 24, 25 2-4, 6-8, 19- 21
X Y A	JP 54-58378 A (工業技術院長) 1979.05.11, 特許請求の範囲、第4 図、第6図 (ファミリーなし)	1, 5, 9, 10, 13- 18, 22, 23 11, 12, 24, 25 2-4, 6-8, 19- 21
Y A	JP 2009-290095 A (株式会社日立製作所) 2009.12.10, 【0018】 - 【0019】, 【0028】, 図1A-1B, 図35 (ファミリーなし)	11, 12 1-10, 13-25
P, X	Digh Hisamoto et al., Cx-FET: A Novel Steep Subthreshold Swing CMOS featuring a Tunnel-Injection Bipolar Transistor and MOSFET Device Complex, IEDM'2010, 2010.12, pp.233-236	5-8, 24, 25
A	JP 8-264726 A (富士通株式会社) 1996.10.11, 図1, 2 (ファミリー なし)	1-25
A	JP 3-203263 A (関西日本電気株式会社) 1991.09.04, 第1図-第3 図 (ファミリーなし)	1-25

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1-3（文献1:JP 7-297394 A（日本電気株式会社）1995.11.10, 【0012】 - 【0018】, 図1、文献2:JP 62-2650 A（川人祥二）1987.01.08, 第2頁左下欄10行～16行、第3図、第5図、第6図、文献3:JP 54-58378 A（工業技術院長）1979.05.11, 特許請求の範囲、第4図、第6図）には請求項1に係る発明が記載されている。したがって、請求項1に係る発明は、文献1-3に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

なお、主発明は、以下のとおりである。

（主発明）請求項1-4に係る発明
請求項1及び2に記載された構成を有する発明。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

発明の属する分野の分類

H01L21/8249(2006.01)i, H01L21/331(2006.01)i, H01L21/8234(2006.01)i,
H01L21/8238(2006.01)i, H01L21/8244(2006.01)i, H01L21/8247(2006.01)i,
H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i,
H01L27/11(2006.01)i, H01L27/115(2006.01)i, H01L29/66(2006.01)i,
H01L29/732(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i