

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 4 月 6 日 (06.04.2006)

PCT

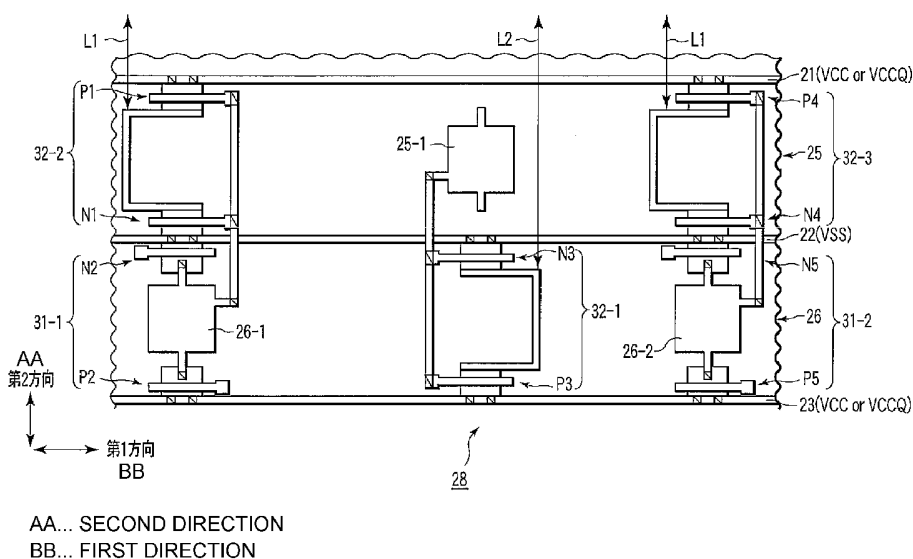
(10) 国際公開番号
WO 2006/035787 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 21/82 (2006.01)
H01L 27/04 (2006.01)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 村越 有 (MURAKOSHI, Tamotsu) [JP/JP].
- (21) 国際出願番号: PCT/JP2005/017779
- (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1000013 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許総合事務所内 Tokyo (JP).
- (22) 国際出願日: 2005 年 9 月 27 日 (27.09.2005)
- (25) 国際出願の言語: 日本語
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-282759 2004 年 9 月 28 日 (28.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device is provided with a first power supply line (21) extending in a first direction along one side of a semiconductor chip (11); a first pad row (25) arranged in the first direction adjacent to the first power supply line; a second power supply line (22) extending in the first direction along the first pad row to sandwich the first pad row with the first power supply line; a first buffer circuit (32-2) arranged between the pads in the first pad row to operate by a voltage between the first and the second power supply lines; a second pad row (26) arranged in the first direction adjacent to the second power supply line; a third power supply line (23) extending along the second pad row to sandwich the second pad row with the second power supply line; and a second buffer circuit (31-1) arranged between the pads in the second pad row to operate by a voltage between the second and the third power supply lines.

(57) 要約: 半導体装置は、半導体チップ (11) の一辺に沿って第 1 方向に延設された第 1 電源線 (21) と、前記第 1 電源線に隣接し前記第 1 方向に配列された第 1 パッド列 (25) と、前記第 1 パッド列に沿って前記第 1 電源線との間に前記第 1 パッド列を挟むように前記第 1 方向に延設された第 2 電源線 (22) と、前記第 1 パッド列におけるパッド

/ 続葉有 /



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

間に配置され前記第1、第2電源線間の電圧で動作する第1バッファ回路(32-2)と、前記第2電源線に隣接して前記第1方向に配列された第2パッド列(26)と、前記第2パッド列に沿って前記第2電源線との間に前記第2パッド列を挟むように延設された第3電源線(23)と、前記第2パッド列におけるパッド間に配置され前記第2、第3電源線間の電圧で動作する第2バッファ回路(31-1)とを具備する。

明 細 書

半導体装置

技術分野

- [0001] この発明は半導体装置に関し、例えば、半導体チップにおけるパッド、電源線およびバッファ回路のレイアウト等に係るものである。

背景技術

- [0002] 通常、半導体チップには、外部と信号の入出力を行うために、パッド(PAD)が設けられている。従来、広く用いられているパッドレイアウトは、半導体チップの対向する二辺(または四辺)に沿ってパッド列を配置するものである。しかし、例えば半導体チップにメモリセルアレイとその周辺回路が形成されている場合には、メモリセルアレイに隣接して配置された側のパッド列と周辺回路とを接続する信号配線の長さが増大する。その結果、配線抵抗や配線容量が増大して信号が遅延するという問題がある。
- [0003] また、上記各パッド列に隣接して入力バッファや出力バッファ等のバッファ回路を設けているが、バッファ回路に電源を与えるための電源線が必要であり、パターン占有面積の増大を招いている。特に、近年の半導体装置の高集積化や高機能化に伴ってパッド数が増加しており、半導体チップの表面に占める外部接続領域(パッド列、電源線およびバッファ回路)の面積が増大する傾向にある。
- [0004] このようなパッド数の増加に対応するために、例えば特許文献1には半導体チップサイズの縮小やパッケージの多ピン化並びに狭ピッチ化等に対応できるパッドレイアウトおよびリードレイアウトの例が開示されている。しかしながら、信号配線長、あるいは電源線やバッファ回路のレイアウトについては配慮がされておらず、信号遅延の低減や外部接続領域のパターン占有面積の削減という観点から見ると必ずしも十分ではない。

特許文献1:特開平9-237800号公報 明細書

発明の開示

- [0005] この発明は、信号配線長を短くして信号遅延を低減でき、且つ外部接続領域のパターン占有面積を削減できる半導体装置を提供する。

[0006] この発明の一態様によれば、半導体チップの一辺に沿って第1方向に延設された第1電源線と、前記第1電源線に隣接し、前記第1方向に配列された第1パッド列と、前記第1パッド列に沿って、前記第1電源線との間に前記第1パッド列を挟むように前記第1方向に延設された第2電源線と、前記第1パッド列におけるパッド間に配置され、前記第1、第2電源線間の電圧で動作する第1バッファ回路と、前記第2電源線に隣接して、前記第1方向に配列された第2パッド列と、前記第2パッド列に沿って、前記第2電源線との間に前記第2パッド列を挟むように延設された第3電源線と、前記第2パッド列におけるパッド間に配置され、前記第2、第3電源線間の電圧で動作する第2バッファ回路とを具備する半導体装置を提供できる。

[0007] また、この発明の一態様によれば、半導体チップの一辺に沿って第1方向に延設された第1電源線と、前記第1電源線に隣接し、前記第1方向に配列された第1パッド列と、前記第1パッド列に沿って、前記第1電源線との間に前記第1パッド列を挟むように前記第1方向に延設された第2電源線と、前記第1パッド列におけるパッドと前記第1電源線間、および前記第1パッド列におけるパッドと前記第2電源線間に配置され、前記第1、第2電源線間の電圧で動作する第1バッファ回路と、前記第2電源線に隣接して、前記第1方向に配列された第2パッド列と、前記第2パッド列に沿って、前記第2電源線との間に前記第2パッド列を挟むように延設された第3電源線と、前記第2パッド列におけるパッドと前記第2電源線間、および前記第2パッド列におけるパッドと前記第3電源線間に配置され、前記第2、第3電源線間の電圧で動作する第2バッファ回路とを具備する半導体装置を提供できる。

図面の簡単な説明

[0008] [図1]図1は、この発明の第1の実施形態に係る半導体装置について説明するためのもので、半導体メモリチップのレイアウトを模式的に示す平面図である。

[図2]図2は、図1中の破線で囲った部分を拡大して示す平面図である。

[図3]図3は、この発明の変形例1に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大した他のレイアウト例を示す平面図である。

[図4]図4は、この発明の変形例2に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大した更に他のレイアウト例を示す平面図。

[図5]図5は、この発明の第2の実施形態に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して示す平面図。

[図6]図6は、この発明の変形例3に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して他のレイアウト例を示す平面図。

[図7]図7は、この発明の第3の実施形態に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して示す平面図。

[図8]図8は、この発明の変形例4に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して他のレイアウト例を示す平面図。

[図9]図9は、この発明の第4の実施形態に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して示す平面図。

[図10]図10は、この発明の第5の実施形態に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して示す平面図。

[図11]図11は、この発明の第6の実施形態に係る半導体装置を説明するためのもので、図1中の破線で囲った部分を拡大して示す平面図。

発明を実施するための最良の形態

[0009] 以下、この発明の実施形態について図面を参照して説明する。尚、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

[0010] [第1の実施形態]

まず、この発明の第1の実施形態に係る半導体装置について、図1および図2を用いて説明する。図1は、半導体メモリチップのレイアウトを模式的に示す平面図である。

[0011] 図示するように、半導体メモリチップ11は、セルアレイ12-1、12-2、周辺回路13、および外部接続領域14を備えている。

[0012] 上記外部接続領域14は、チップ11の一辺に沿って周辺回路13の近傍に配置される。この外部接続領域14には、チップ11の一辺に沿って第1方向に延設された第1乃至第3の電源線23、22、21、第1、第2パッド列26、25、および第1、第2バッファ回路が配置されている。上記電源線23、21には電源電圧VCC(または電源電圧VCCQ)が印加され、電源線22には電源電圧VSSが印加される。上記パッド列26は

上記電源線23、22の間に配列され、上記パッド列25は上記電源線22、21の間に配列されている。上記パッド列26には、複数のパッド26-1～26-7(ここでは、一例として7個)が設けられている。これらのパッド26-1～26-7間の空き領域またはパッド26-1～26-7と電源線23、22間の領域には、バッファ回路が設けられている。このパッド列26は、データの入力、出力または入出力に用いられる。

[0013] 上記パッド列25には、複数のパッド25-1～25-6(ここでは、一例として6個)が設けられている。これらのパッド25-1～25-6間の空き領域またはパッド25-1～25-6と電源線22、21間の領域には、バッファ回路が設けられている。このパッド列25は、制御信号の入力、出力または入出力に用いられる。上記パッド列25中の各パッド25-1～25-6は、上記パッド列26中の各パッド26-1～26-7に対して第1方向に沿って1/2ピッチ程度ずらされて配列され、パッド列26、25中の各パッド26-1～26-7、25-1～25-6は千鳥状に配置されている。

[0014] 図2は、上記外部接続領域14(パッド、電源線およびバッファ回路)のパターンレイアウト例について詳しく説明するためのもので、図1中の破線28で囲った部分を拡大して示す平面図である。

[0015] 図示するように、パッド列26、25における各パッド間の空き領域およびパッドと電源線間の領域にバッファ回路が設けられている。そして、この例では各々のパッドに入力バッファまたは出力バッファを接続している。

[0016] 入力バッファ32-1は、上記パッド26-1、26-2間に配置され、電源線23、22間の電圧で動作する。この入力バッファ32-1は、NMOSTランジスタN3とPMOSTランジスタP3で構成される。これらのランジスタN3、P3のゲートはパッド25-1に接続され、ドレインは周辺回路13に接続される。パッド25-1に入力された信号は、上記入力バッファ32-1を介して周辺回路13に供給される。

[0017] 上記パッド25-1は例えば制御信号の入力用であり、入力された制御信号は上記入力バッファ32-1を介して周辺回路13に供給される。

[0018] 出力バッファ31-1は、パッド26-1と電源線23間に配置されたPMOSTランジスタP2と、パッド26-1と電源線22間に配置されたNMOSTランジスタN2とで構成されている。上記ランジスタP2、N2は、上記パッド25-1を第2方向(第1方向と交差

する方向)に沿って挟むように対向配置されている。上記トランジスタP2、N2のゲートは周辺回路13に接続され、ドレインは上記パッド25-1に共通接続されている。

[0019] 入力バッファ32-2は、上記パッド25-1の左側の空き領域に配置され、電源線21、22間の電圧で動作する。この入力バッファ32-2は、NMOSTランジスタN1とPMOSTランジスタP1とで構成される。これらのトランジスタN1、P1のゲートはパッド26-1に接続され、ドレインは周辺回路13に共通接続される。パッド26-1に入力された信号は、上記入力バッファ32-2を介して周辺回路13に供給される。

[0020] 出力バッファ31-2は、パッド26-1と電源線23間に配置されたPMOSTランジスタP2と、パッド26-1と電源線22間に配置されたNMOSTランジスタN2とで構成されている。上記トランジスタP2、N2は、上記パッド26-1を第2方向に沿って挟むように対向配置されている。上記トランジスタP2、N2のゲートは周辺回路13に接続され、ドレインは上記パッド26-1に共通接続されている。

[0021] 上記パッド26-1は例えばデータの入出力用であり、入力されたデータは上記入力バッファ32-2を介して周辺回路13に供給され、周辺回路13から転送されたデータが上記出力バッファ31-2を介してパッド26-1から出力される。

[0022] 同様に、入力バッファ32-3は、上記パッド25-1の右側の空き領域に配置され、電源線21、22間の電圧で動作する。この入力バッファ32-3は、NMOSTランジスタN4とPMOSTランジスタP4で構成される。これらのトランジスタN4、P4のゲートはパッド26-2に接続され、ドレインは周辺回路13に共通接続される。パッド26-2に入力された信号は、上記入力バッファ32-3を介して周辺回路13に供給される。

[0023] 出力バッファ31-2は、パッド26-2と電源線23間に配置されたPMOSTランジスタP5と、パッド26-2と電源線22間に配置されたNMOSTランジスタN5とで構成されている。上記トランジスタP5、N5は、上記パッド26-2を第2方向に沿って挟むように対向配置されている。上記トランジスタP5、N5のゲートは周辺回路13に接続され、ドレインは上記パッド26-2に共通接続されている。

[0024] 上記パッド26-2は例えばデータの入出力用であり、入力されたデータは上記入力バッファ32-3を介して周辺回路13に供給され、周辺回路13から転送されたデータが上記出力バッファ31-3を介してパッド26-2から出力される。

- [0025] 尚、上記トランジスタN2、N4、N6、P2、P4、P6のゲートは、別々に電圧を印加して独立に制御することも可能である。
- [0026] 上記のように、この実施形態に係る半導体装置では、パッド列26、25を周辺回路13の近傍に設けて、同一方向に2段に設けているため、各パッド列26、25中のパッドと周辺回路部13との配線長L1、L2を短くすることができる。よって、配線抵抗および配線容量を低減して信号遅延を低減でき、高速化に対して有利である。特に、入力初段の回路で使われる信号は、比較的電圧が不安定な信号が多いため、配線長の増大に伴う電位の不安定を緩和でき、信頼性を向上できる。
- [0027] また、チップの一辺に沿って第1方向に配列した2段のパッド列を設け、これらパッド列間に配置した電源線22を入力バッファ32-1～32-3と出力バッファ31-1～31-2により共有している。そのため、パッド列をチップの二辺に設ける場合に比べて第2方向の面積を低減でき、外部接続領域のパターン占有面積を削減できる。
- [0028] さらに、トランジスタN1、N2のソース領域、トランジスタN4、N5のソース領域をそれぞれ2つのトランジスタで共有し、電源線22に共通接続しているので第2方向の面積をより低減でき、微細化に対して有利である。
- [0029] また、出力バッファ31-1、31-2を構成するPMOSTランジスタP2、P5およびNMOSTランジスタN2、N5は、パッド26-1、26-2を挟むように第2方向に沿って対向して配置されている。そのため、トランジスタP2、P5とトランジスタN2、N5との間の距離を稼ぐことができる。よって、寄生のPNPおよびNPNバイポーラトランジスタからなる寄生のサイリスタのスイッチングを防止して、いわゆるラッチアップを防止でき、信頼性を向上できる点で有利である。また、入力バッファ32-1～32-3を構成するPMOSTランジスタP1、P3、P4およびNMOSTランジスタN1、N3、N4は、パッド25-1、26-1、26-2の空き領域に第2方向に沿って対向して配置されている。そのため、上記空き領域において、トランジスタP1、P3、P4とトランジスタN1、N3、N4との間の距離を稼ぐことができる。よって、同様にラッチアップを防止でき、信頼性を向上できる点で有利である。また、空き領域を利用できることから、第1方向の面積を低減できる。
- [0030] 尚、電源電圧VCCQは、電圧VCC、VCCQが共に同じ電圧（例えば、共に3.3V

程度)である場合、例えば、I/Oパッド用の電源電圧等である。この場合、電圧VCCQは、外部からのノイズが乗りやすく電圧が不安定であるため、上記電源電圧VCCとは分けて用いても良い。さらに、電圧VCC、VCCQが異なる電圧(例えば、電圧VCCが3.3V程度、電圧VCCQが1.8V程度)の場合は、その電圧値を区別するために用いても良い。

[0031] [変形例1]

次に、この発明の変形例1に係る半導体装置について、図3を用いて説明する。以下の説明において、上記第1の実施形態と重複する部分の説明は省略する。図3は、この変形例1に係る半導体装置を説明するためのもので、図1中の破線28で囲った部分を模式的に示す平面図である。この変形例は、上記第1の実施形態に係る半導体装置に比べ、入力・出力バッファを構成するトランジスタN1～N5、P1～P5の極性を反対にして設けた一例である。

[0032] 図示するように、電源線21、23には電源電圧VSSが印加され、電源線22には電源電圧VCCまたは電源電圧VCCQが印加されている。さらに、トランジスタN1～N5、P1～P5が、上記第1の実施形態に係る半導体装置に比べ、第2方向に沿って反対の位置に設けられている。

[0033] PMOSTランジスタP1～P5のソースは電源線22(VCCまたはVCCQ)に共通に接続されている。

[0034] 上記のような構成によれば、上記第1の実施形態と同様な効果を有する。

[0035] さらに、必要に応じて入力・出力バッファを構成するトランジスタN1～N5、P1～P5の極性および電源線21、22、23に印加する電源電圧の極性を変えることができる。

[0036] [変形例2]

次に、この発明の変形例2に係る半導体装置について、図4を用いて説明する。以下の説明において、上記第1の実施形態と重複する部分の説明は省略する。図4は、この変形例2に係る半導体装置を説明するためのもので、図1中の破線28で囲った部分を模式的に示す平面図である。

[0037] 図示するように、電源線21には電源電圧VCCが印加され、電源線22には電源電圧VSSが印加され、電源線23には電源電圧VCCQが印加されている。

- [0038] 出力バッファ31-1は、パッド26-1、26-2の間の空き領域に配置されている。出力バッファ31-2は、パッド25-1の左側の間の空き領域に配置されている。出力バッファ31-3は、パッド25-1の右側の間の空き領域に配置されている。
- [0039] この変形例に係る半導体装置には、入力バッファは配置されていない。
- [0040] 上記のような構成によれば、上記第1の実施形態と同様な効果を有する。さらに、電源線21には電源電圧VCCが印加され、電源線22には電源電圧VSSが印加され、電源線23には電源電圧VCCQが印加されている。
- [0041] そのため、電源線21、22、23に印加する電源電圧を区別して印加して、比較的電圧の変動が激しい電源電圧VCCQが周辺に与える影響を最小減に押さえることができ、信頼性を向上できる点で有利である。
- [0042] [第2の実施形態]
- 次に、この発明の第2の実施形態に係る半導体装置について、図5を用いて説明する。以下の説明において、上記第1の実施形態と重複する部分の説明は省略する。図5は、第2の実施形態に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。また、この実施形態に係る半導体装置の説明において、出力バッファ31および入力バッファ32を構成する各トランジスタの詳細な接続関係の図示を省略する。
- [0043] 図示するように、パッド25-1、25-2、26-1、26-2を挟むように出力パッド31-1～31-4および入力パッド32-1～32-4が第2方向に沿って設けられている。
- [0044] 出力バッファ31-1～31-4は、パッド25-1、25-2、26-1、26-2を挟むように第2方向に沿って対向配置されたPMOSTランジスタP1、P3、P5、P7およびNMOSTランジスタN1、N3、N5、N7を備えている。
- [0045] 入力バッファ32-1～32-4は、パッド25-1、25-2、26-1、26-2を挟むように第2方向に沿って対向配置されたPMOSTランジスタP2、P4、P6、P8およびNMOSTランジスタN2、N4、N6、N8を備えている。
- [0046] また、パッド列25、26中のいずれの一つのパッドも第1方向に沿ってピッチをずらされて設けられていない。
- [0047] NMOSTランジスタN1～N6のソースが電源線22に共通に接続されている。その

他の構成等は、上記第1の実施形態と同様である。

[0048] 上記のような構成によれば、上記第1の実施形態と同様な効果を有する。さらに、図示したようなパッドおよび出力・入力バッファの配置を必要に応じて変えることができる。

[0049] また、電源線22にNMOSTランジスタN1～N6のソース共通に接続されている。そのため、第2方向の面積を低減できる。

[0050] [変形例3]

次に、この発明の変形例3に係る半導体装置について、図6を用いて説明する。以下の説明において、上記第2の実施形態と重複する部分の説明は省略する。図5は、この変形例2に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。この変形例は、上記第2の実施形態に係る半導体装置に比べ、入力・出力バッファを構成するランジスタN1～N8、P1～P8の極性を反対にして設けた一例である。

[0051] 図示するように、電源線21、23には電源電圧VSSが印加され、電源線22には電源電圧VCCまたは電源電圧VCCQが印加されている。また、電源線22にPMOSTランジスタP1～P8のソースが共通に接続されている。その他の構成等は第2の実施形態と同様である。

[0052] 上記のような構成によれば、上記第2の実施形態と同様な効果を有する。さらに、電源線21、22、23に印加する電源電圧、およびランジスタP1～P8、N1～N8の極性を必要に応じて変えることができる。

[0053] [第3の実施形態]

次に、この発明の第3の実施形態に係る半導体装置について、図7を用いて説明する。以下の説明において、上記第1の実施形態と重複する部分の説明は省略する。図7は、第3の実施形態に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。

[0054] 図示するように、パッド列25、26中のパッド25-1、25-2、26-1、26-2を挟むように出力バッファ31-1～31-4および入力バッファ32-1～32-4が第1方向に沿って設けられている。

- [0055] 出力バッファ31-1～31-4は、パッド25-1、25-2、26-1、26-2を挟むように第1方向に沿って対向配置されたPMOSTランジスタP1、P3、P5、P7およびNMOSTランジスタN1、N3、N5、N7を備えている。
- [0056] 入力バッファ32-1～32-4は、パッド25-1、25-2、26-1、26-2を挟むように第1方向に沿って対向配置されたPMOSTランジスタP2、P4、P6、P8およびNMOSTランジスタN2、N4、N6、N8を備えている。その他の構成等は上記第1の実施形態と同様である。
- [0057] 上記のような構成によれば、上記第1の実施形態と同様な効果を有する。さらに、パッド25-1、26-1を挟むようにPMOSTランジスタP1～P8およびNMOSTランジスタN1～N8が第1方向に沿って対向配置されている。
- [0058] そのため、ランジスタP1～P8、N1～N8の配置を必要に応じて変えることができる。
- [0059] [変形例4]
- 次に、この発明の変形例4に係る半導体装置について、図8を用いて説明する。以下の説明において、上記第3の実施形態と重複する部分の説明は省略する。図8は、この変形例4に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。この変形例は、上記第3の実施形態に係る半導体装置に比べ、入力・出力バッファを構成するランジスタN1～N8、P1～P8の極性を反対にして設けた一例である。
- [0060] 図示するように、電源線21、23には電源電圧VSSが印加され、電源線22には電源電圧VCCまたは電源電圧VCCQが印加されている。その他の構成等は第3の実施形態と同様である。
- [0061] 上記のような構成によれば、上記第3の実施形態と同様な効果を有する。さらに、電源線21、23には電源電圧VSSが印加され、電源線22には電源電圧VCCまたは電源電圧VCCQが印加されている。
- [0062] そのため、電源線21、22、23に印加する電源電圧、およびランジスタの極性を必要に応じて変えることができる。
- [0063] [第4の実施形態]

次に、この発明の第4の実施形態に係る半導体装置について、図9を用いて説明する。以下の説明において、上記第3の実施形態と重複する部分の説明は省略する。図9は、第4の実施形態に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。

[0064] 図示するように、パッド列26は、パッド列25中の一のパッド25-1～25-3よりも第1方向に沿って1/2ピッチ程度ずらされて設けられている。そのため、パッド列25、26はいわゆる千鳥状に配置されている。また、NMOSTランジスタN1～N8のソースは、電源線22に共通に接続されている。その他の構造等は第3の実施形態と同様である。

[0065] 上記のような構成によれば、上記第1の実施形態と同様な効果を有する。

[0066] 尚、この実施形態に係る半導体装置の入力・出力バッファを構成するランジスタN1～N8、P1～P8の極性および電源線21、22、23に印加する電源電圧の極性を反対にして設けることができるのは、上記変形例等により勿論である。

[0067] [第5の実施形態]

次に、この発明の変形例4に係る半導体装置について、図9を用いて説明する。以下の説明において、上記第4の実施形態と重複する部分の説明は省略する。図9は、この変形例4に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。この変形例は、出力バッファ31および入力バッファ32がパッド列25中には第2方向に沿って設けられ、パッド列26中には第1方向に沿って設けられた一例である。

[0068] 図示するように、パッド列25中の出力バッファ31-1、31-2を構成するPMOSTランジスタP1、P3およびNMOSTランジスタN1、N3は、パッド25-1、25-2を挟むように第2方向に沿って対向配置されている。パッド列25中の入力バッファ32-1、32-2を構成するPMOSTランジスタP2、P4およびNMOSTランジスタN2、N4は、パッド25-1、25-2を挟むように第2方向に沿って対向配置されている。

[0069] パッド列26中の出力バッファ31-3、31-4を構成するPMOSTランジスタP5、P7およびNMOSTランジスタN5、N7は、パッド26-1、26-2を挟むように第1方向に沿って対向配置されている。パッド列26中の入力バッファ32-3、32-4を構成する

PMOSTトランジスタP6、P8およびNMOSTトランジスタN6、N8は、パッド26-1、26-2を挟むように第1方向に沿って対向配置されている。その他の構成等は第4の実施形態と同様である。

[0070] 上記のような構成によれば、上記第4の実施形態と同様な効果を有する。さらに、出力バッファ31および入力バッファ32がパッド列25中には第2方向に沿って設けられ、パッド列26中には第1方向に沿って設けられている。

[0071] 上記のように、出力バッファ31および入力バッファ32を構成するトランジスタP1～P8、N1～N8の配置を必要に応じて変えることができる。

[0072] [第6の実施形態]

次に、この発明の第6の実施形態に係る半導体装置について、図11を用いて説明する。以下の説明において、上記第5の実施形態と重複する部分の説明は省略する。図11は、第5の実施形態に係る半導体装置を説明するためのもので、外部接続領域14の一部を模式的に示す平面図である。

[0073] 図示するように、第1方向に沿って異なる極性であるトランジスタN1とトランジスタP3、およびトランジスタN2とトランジスタP4とが隣接して配置されている。さらに、隣接して配置されたトランジスタN1、N2のソースとトランジスタP1、P2のソースとの間に、第1方向に距離(スペース)W1が設けられている。ここで、上記距離W1は、例えば、100 μ m程度である。

[0074] 第2方向に沿って異なる極性であるトランジスタP2とトランジスタN5、トランジスタN2とトランジスタP5とが隣接して配置されている。さらに、隣接して配置されたトランジスタP2、P5のソースとトランジスタN2、N5のソースの間に、第2方向に距離W2が設けられている。

[0075] 上記のような構成によれば、上記第4の実施形態と同様な効果を有する。さらに、隣接して配置されたトランジスタN1、N2のソースとトランジスタP1、P2のソースとの間に、第1方向に距離W1が設けられている。

[0076] そのため、異なる極性トランジスタのソース間に距離W1を設け、寄生のPNPおよびNPNバイポーラトランジスタからなる寄生のサイリスタのスウィッチングを防止して、いわゆるラッチアップを防止でき、信頼性を向上できる点で有利である。

- [0077] また、隣接して配置されたトランジスタP2、P5のソースとトランジスタN2、N5のソースの間に、第2方向に距離W2が設けられている。
- [0078] そのため、上記と同様の作用により、ラッチアップを防止でき、信頼性を向上できる点で有利である。
- [0079] また、上記のように第1、第2方向に沿って異なる極性であるトランジスタを隣接して配置できることから、PMOSTランジスタまたはNMOSTランジスタをラッチアップを防止しつつ、必要に応じて配置できる。
- [0080] 以上、第1乃至第6の実施形態、および変形例1乃至変形例4を用いてこの発明の説明を行ったが、この発明は上記各実施形態および各変形例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態および上記各変形例には種々の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば、各実施形態および各変形例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

請求の範囲

- [1] 半導体チップの一辺に沿って第1方向に延設された第1電源線と、
前記第1電源線に隣接し、前記第1方向に配列された第1パッド列と、
前記第1パッド列に沿って、前記第1電源線との間に前記第1パッド列を挟むように
前記第1方向に延設された第2電源線と、
前記第1パッド列におけるパッド間に配置され、前記第1、第2電源線間の電圧で動作する第1バッファ回路と、
前記第2電源線に隣接して、前記第1方向に配列された第2パッド列と、
前記第2パッド列に沿って、前記第2電源線との間に前記第2パッド列を挟むように
延設された第3電源線と、
前記第2パッド列におけるパッド間に配置され、前記第2、第3電源線間の電圧で動作する第2バッファ回路と
を具備することを特徴とする半導体装置。
- [2] 前記第2パッド列中のパッドは、前記第1パッド列中のパッドに対して前記第1方向
に沿ってずらされて前記第1、第2パッド列中の各パッドが千鳥状に配置され、
前記第1バッファ回路は、前記第1方向と交差する第2方向に対応する前記第2パ
ッド列中のパッドに接続され、
前記第2バッファ回路は、前記第2方向に対応する前記第1パッド列中のパッドに接
続される
ことを特徴とする請求項1に記載の半導体装置。
- [3] 前記第2パッド列中のパッドは、前記第1パッド列中のパッドに対して前記第1方向
に沿ってずらされて前記第1、第2パッド列中の各パッドが千鳥状に配置され、
前記第1パッド列中の各パッドの両側に配置された前記第1バッファ回路が対応す
るパッドに接続され、
前記第2パッド列中の各パッドの両側に配置された前記第2バッファ回路が対応す
るパッドに接続される
ことを特徴とする請求項1に記載の半導体装置。
- [4] 前記第2パッド列中のパッドは、前記第1パッド列中のパッドに対して前記第2方向

に対応して配置され、

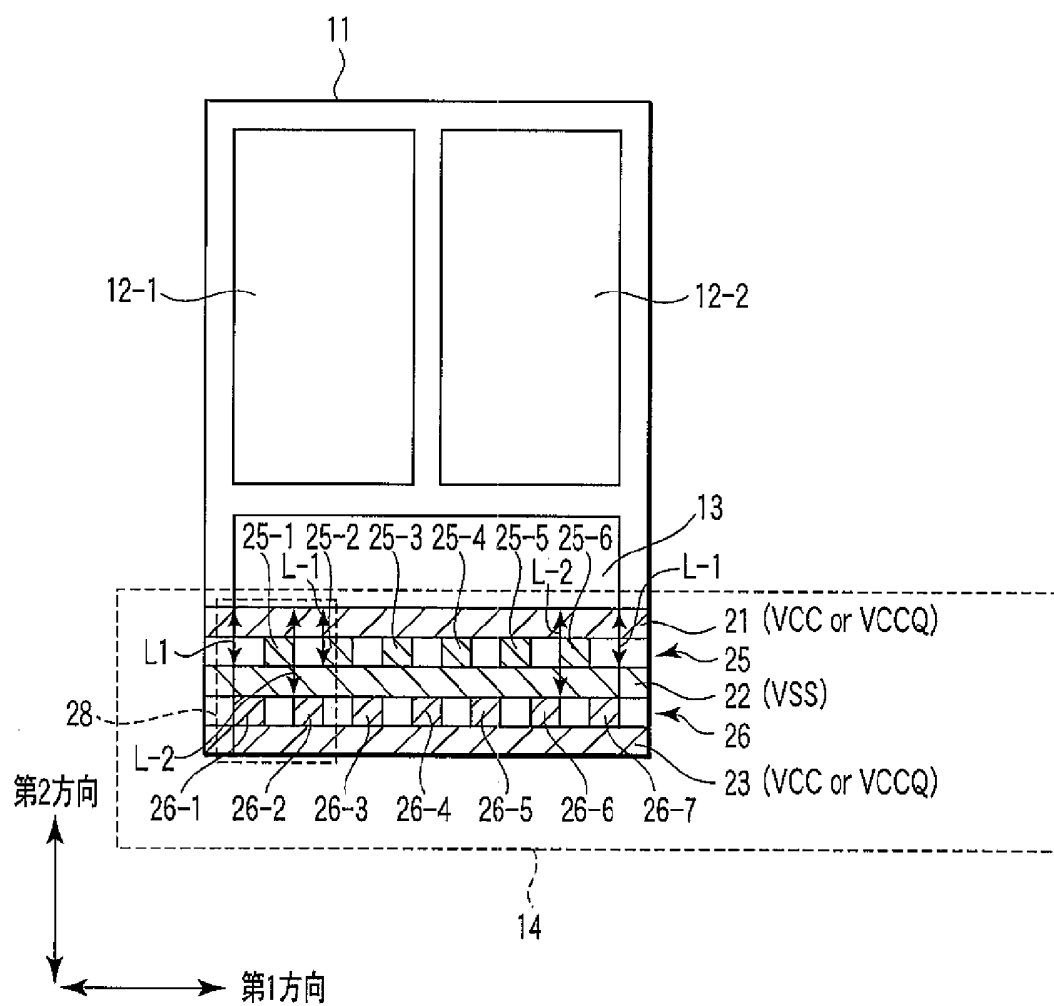
前記第1パッド列中の各パッドの両側に配置された前記第1バッファ回路が対応するパッドに接続され、

前記第2パッド列中の各パッドの両側に配置された前記第2バッファ回路が対応するパッドに接続される

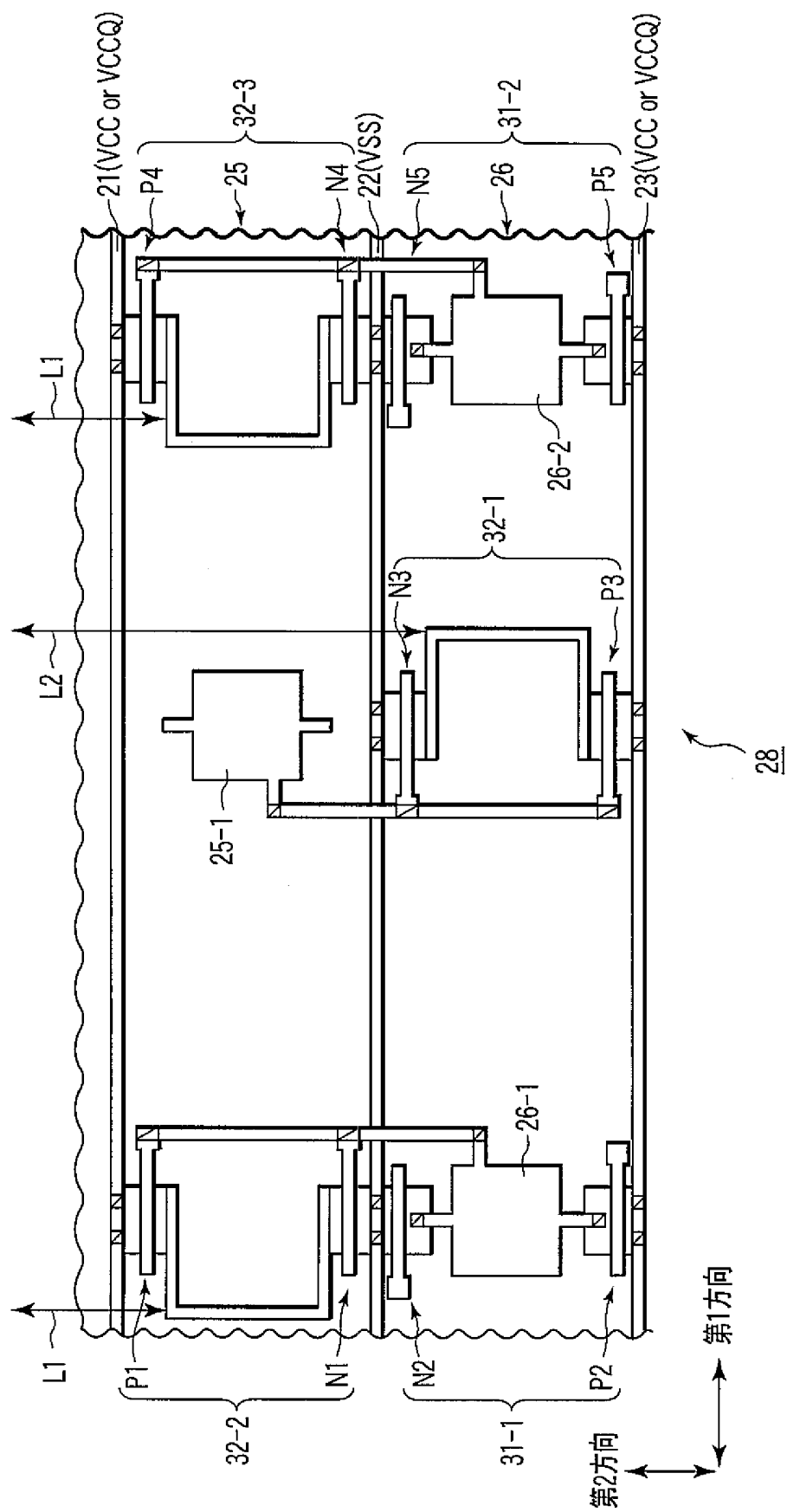
ことを特徴とする請求項1に記載の半導体装置。

- [5] 半導体チップの一辺に沿って第1方向に延設された第1電源線と、
前記第1電源線に隣接し、前記第1方向に配列された第1パッド列と、
前記第1パッド列に沿って、前記第1電源線との間に前記第1パッド列を挟むように前記第1方向に延設された第2電源線と、
前記第1パッド列におけるパッドと前記第1電源線間、および前記第1パッド列におけるパッドと前記第2電源線間に配置され、前記第1、第2電源線間の電圧で動作する第1バッファ回路と、
前記第2電源線に隣接して、前記第1方向に配列された第2パッド列と、
前記第2パッド列に沿って、前記第2電源線との間に前記第2パッド列を挟むように延設された第3電源線と、
前記第2パッド列におけるパッドと前記第2電源線間、および前記第2パッド列におけるパッドと前記第3電源線間に配置され、前記第2、第3電源線間の電圧で動作する第2バッファ回路と
を具備することを特徴とする半導体装置。

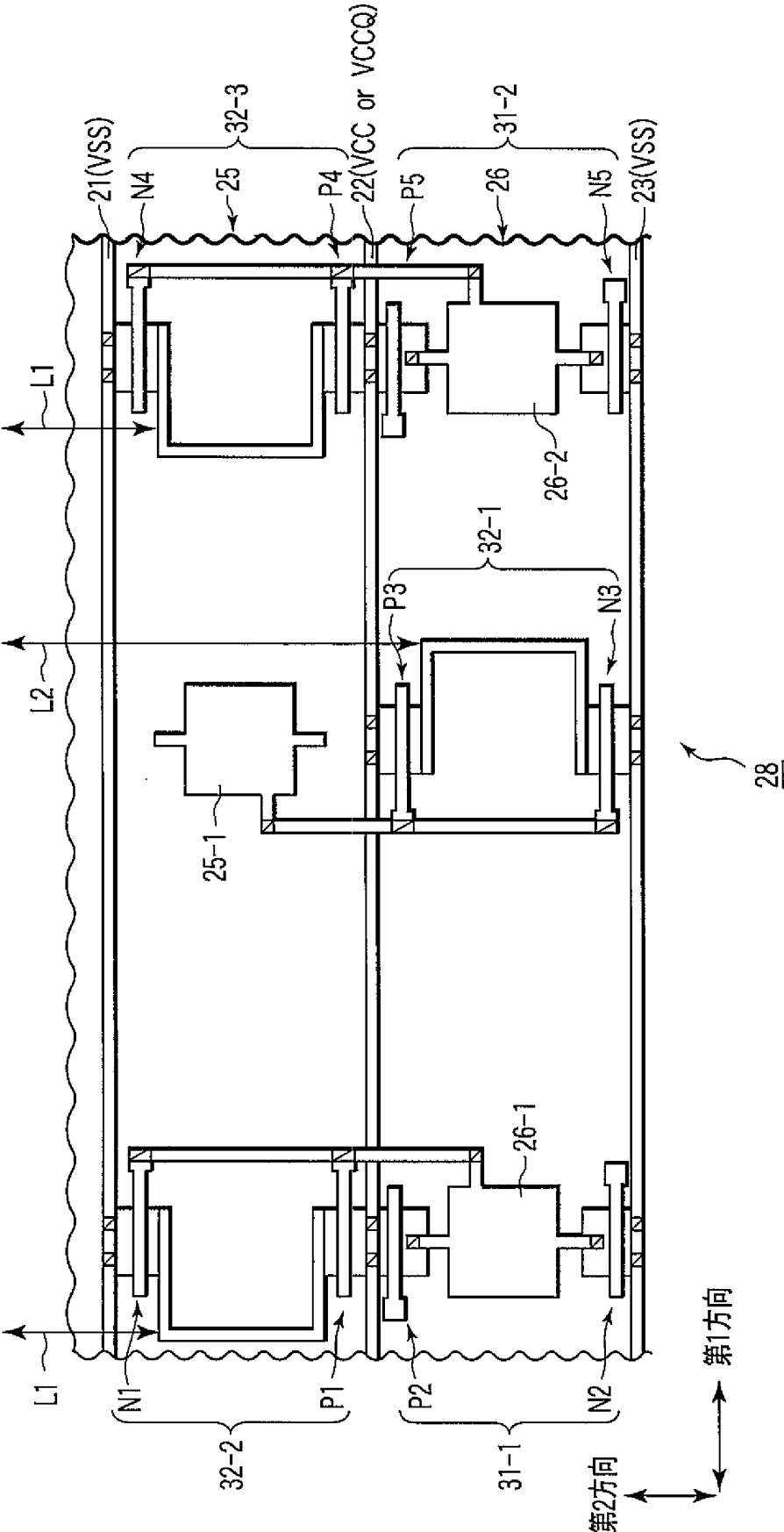
[図1]



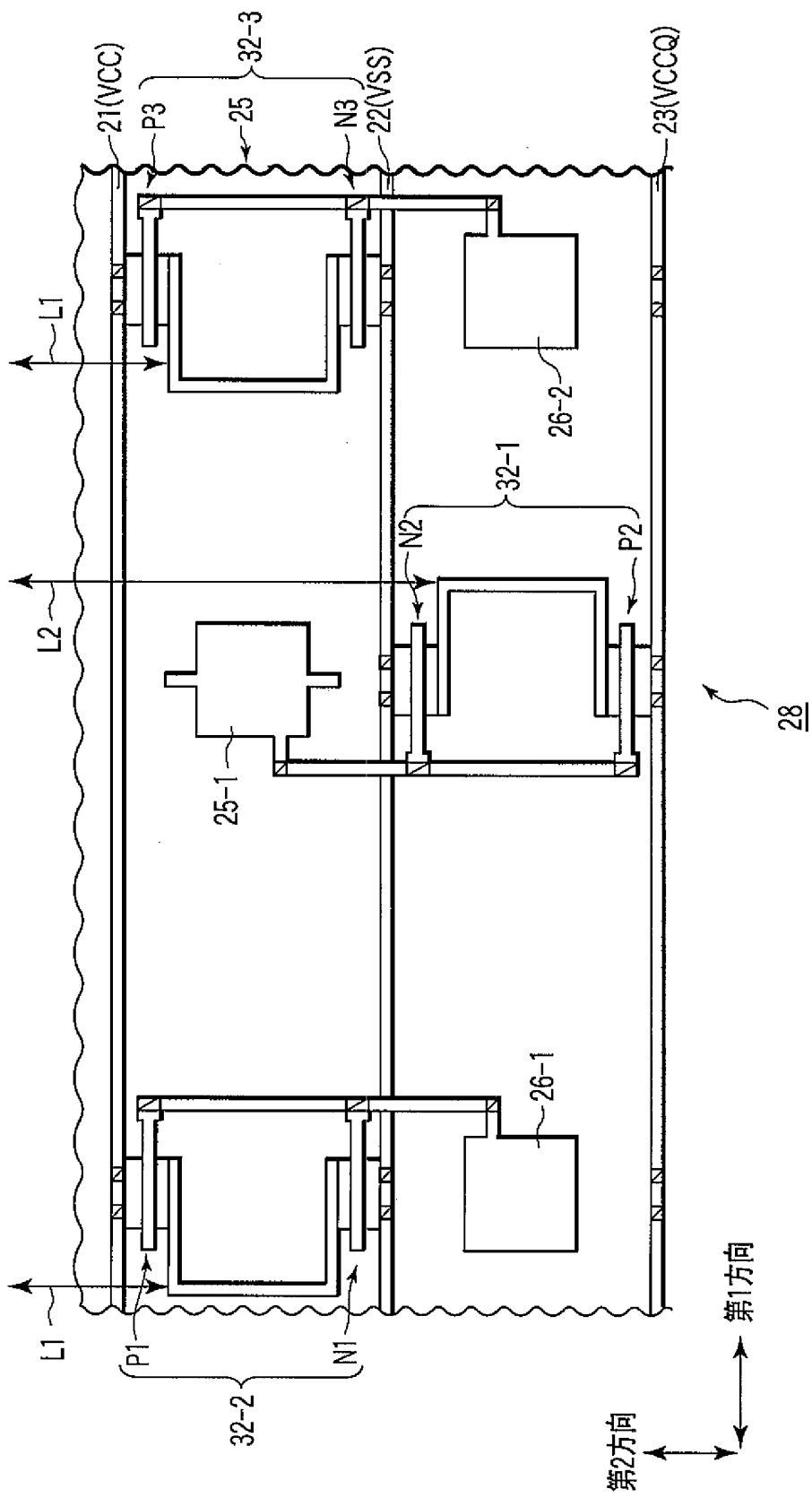
[図2]



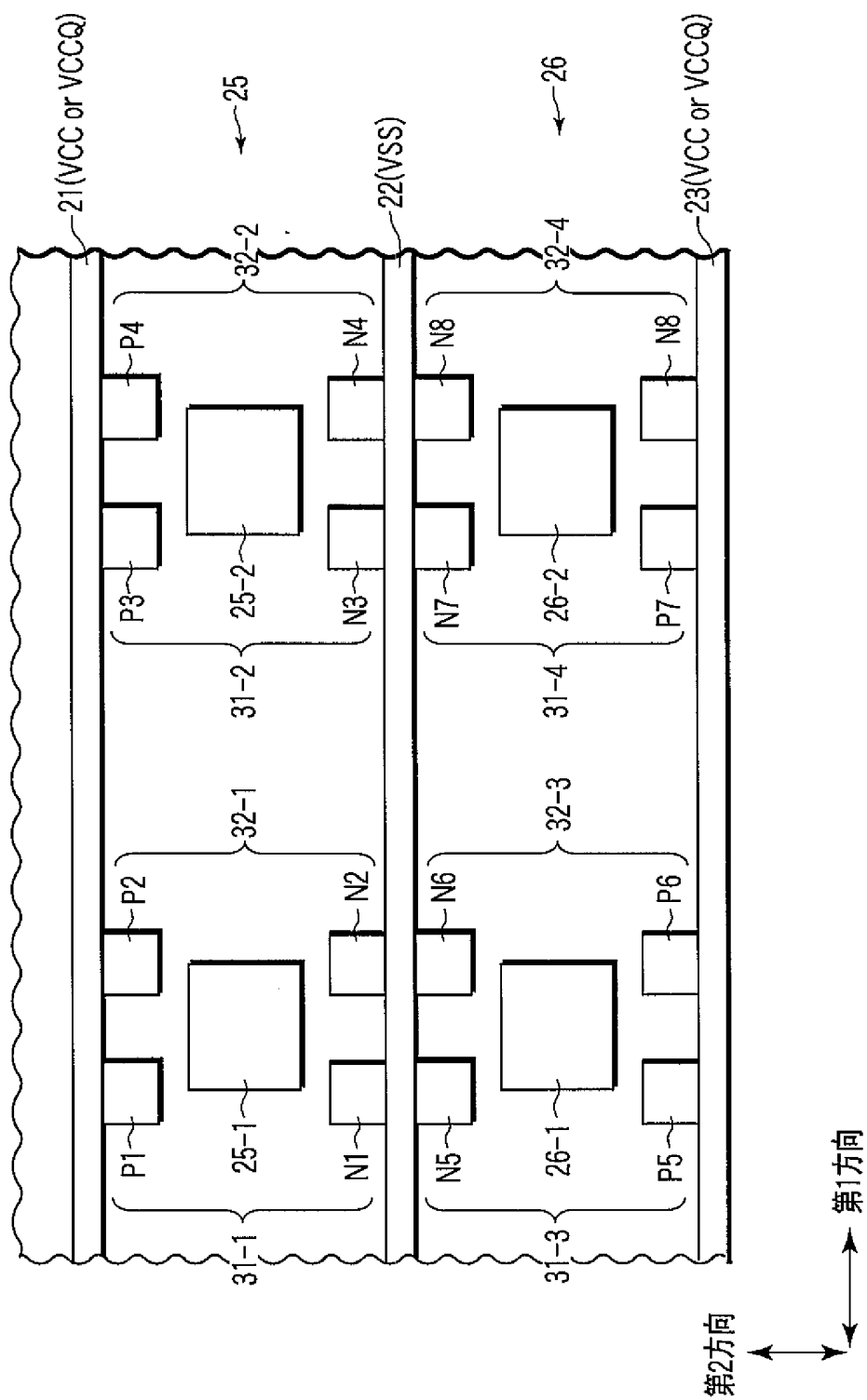
[図3]



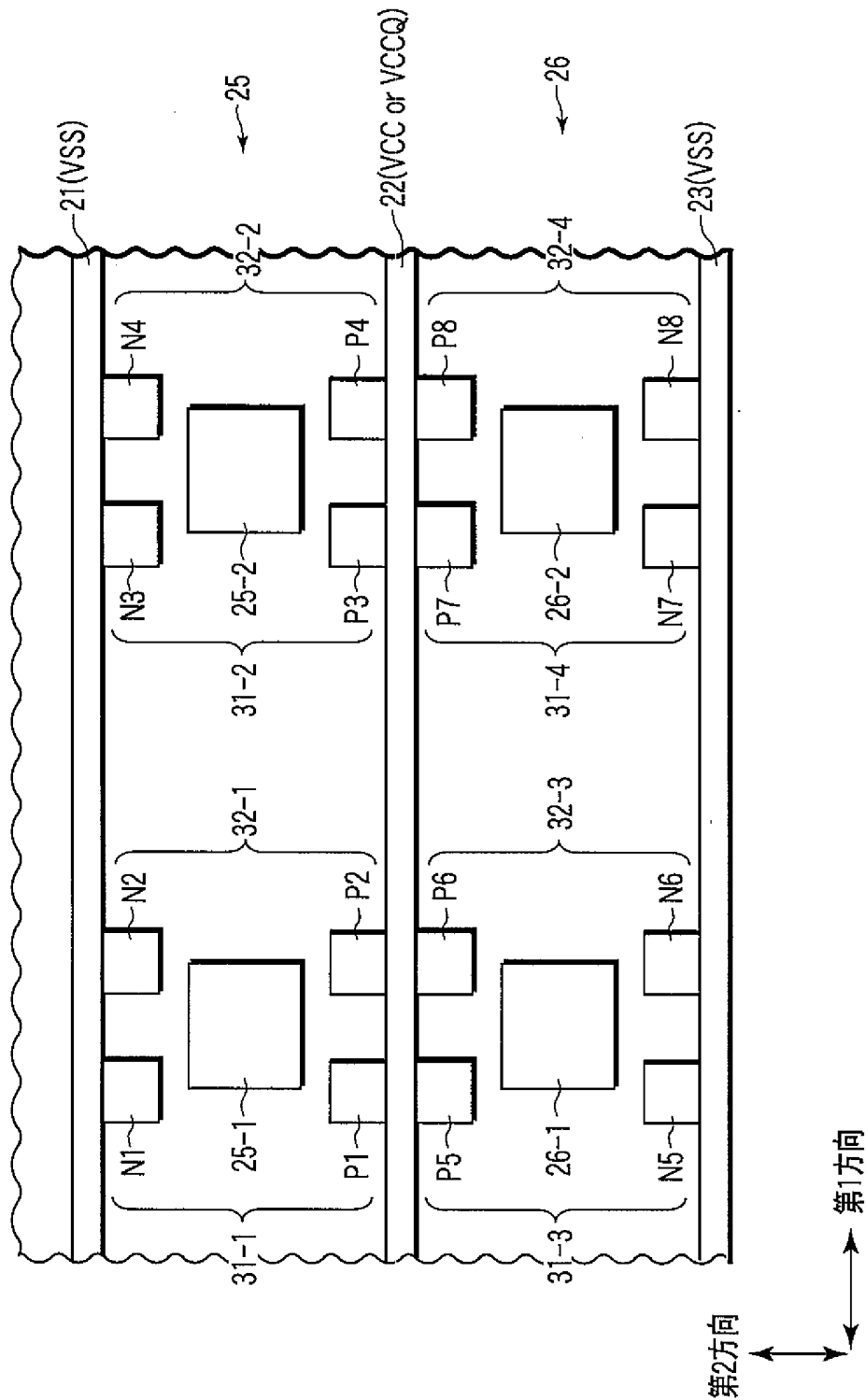
[図4]



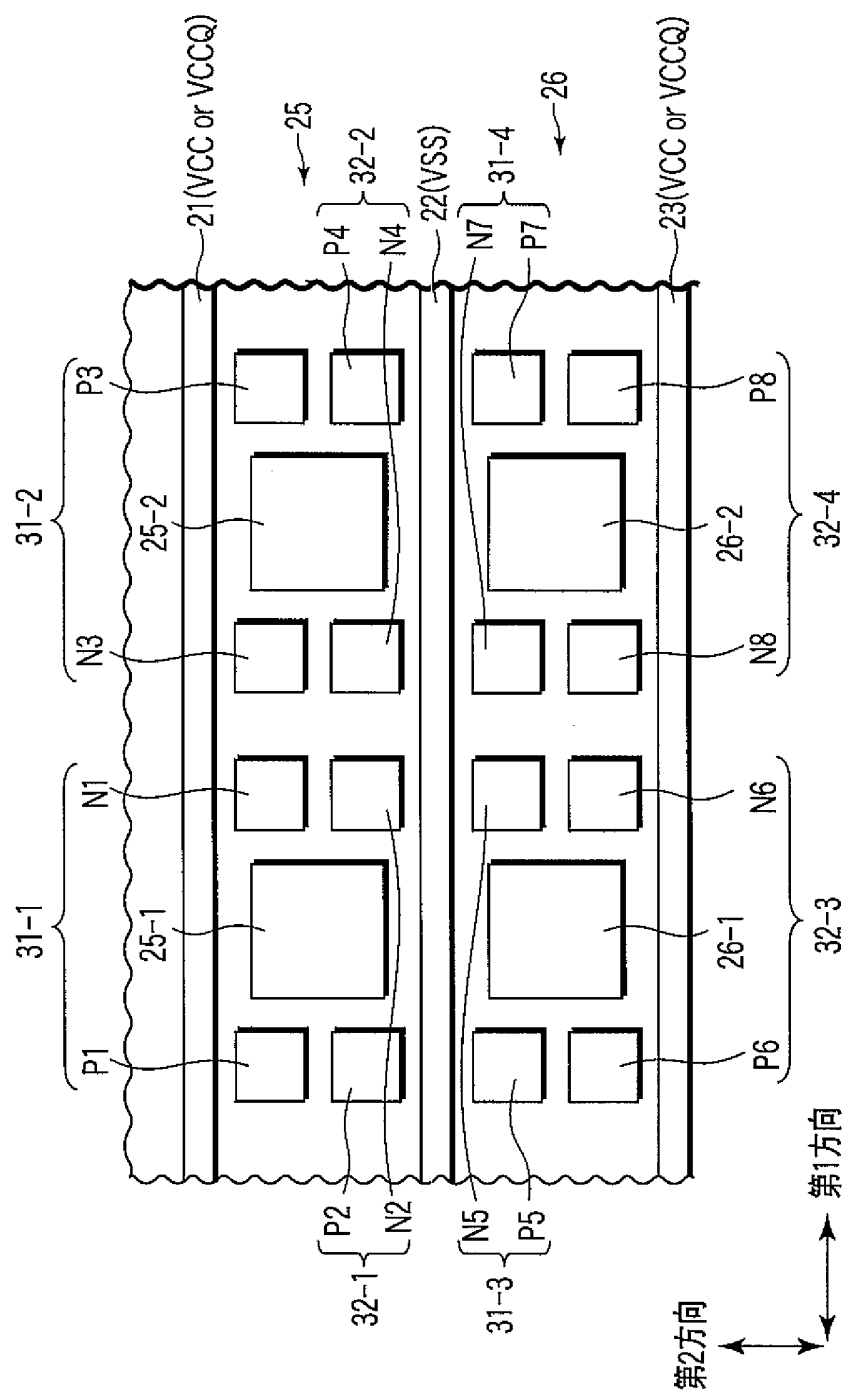
[図5]



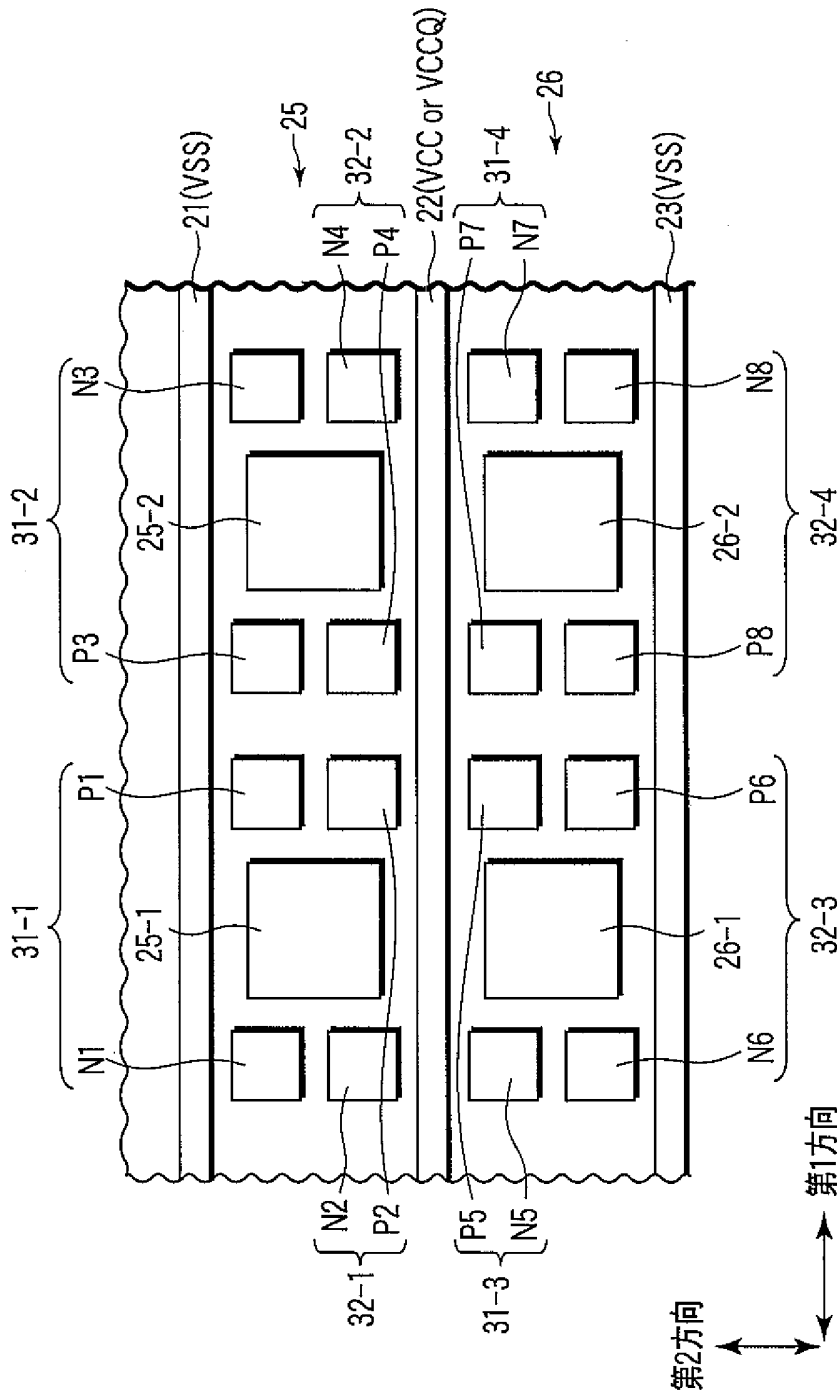
[図6]



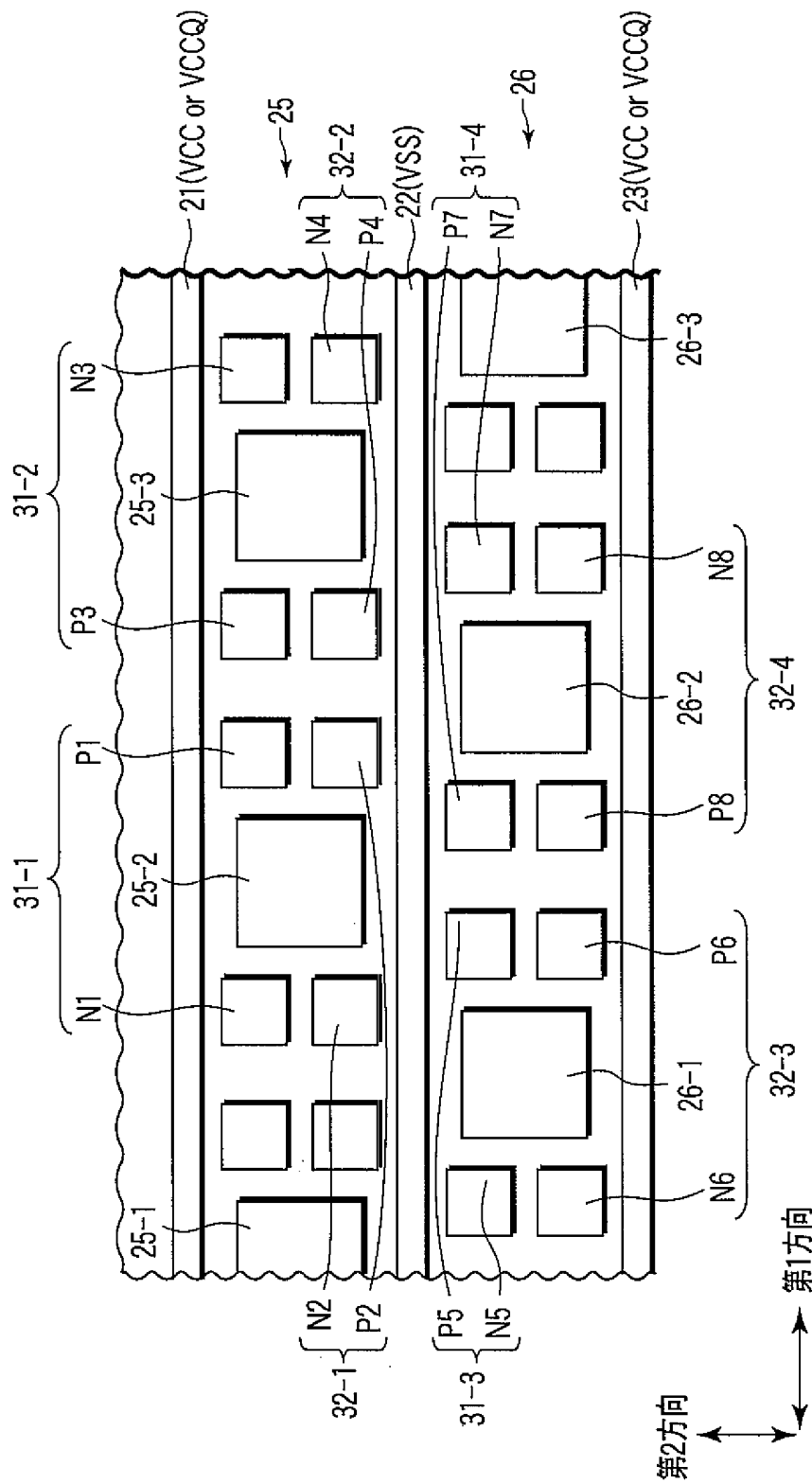
[図7]



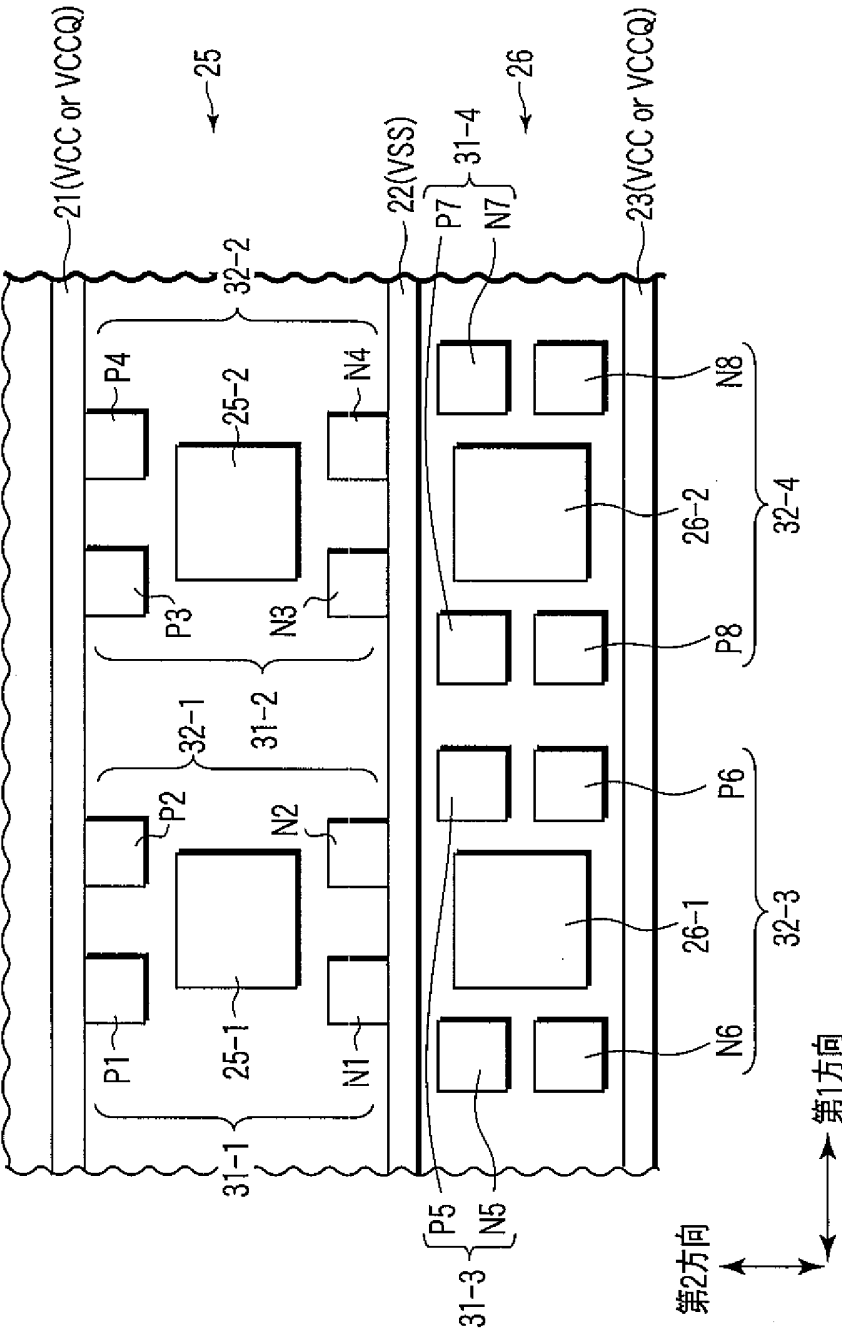
[図8]



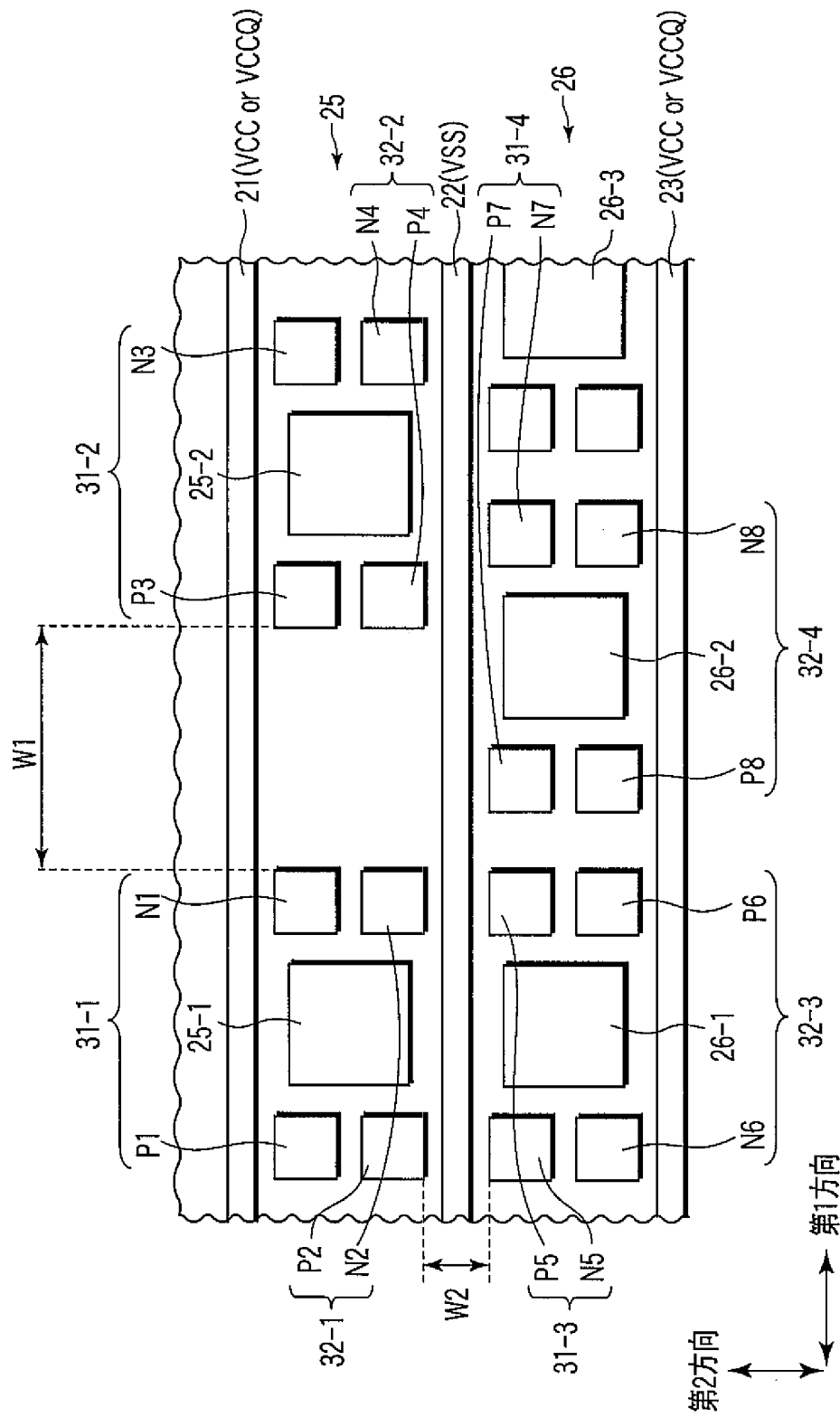
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017779

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822 (2006.01) , **H01L27/04** (2006.01) , **H01L21/82** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822 (2006.01) , **H01L27/04** (2006.01) , **H01L21/82** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 63-310134 A (Fujitsu Ltd.), 19 December, 1988 (19.12.88), Full text; all drawings (Family: none)	1, 3-5 2
Y A	JP 60-070742 A (Toshiba Corp.), 22 April, 1985 (22.04.85), Full text; all drawings (Family: none)	1, 3-5 2
Y	JP 2001-223337 A (Rohm Co., Ltd.), 17 August, 2001 (17.08.01), Par. Nos. [0002] to [0005]; Figs. 5 to 7 (Family: none)	3, 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 December, 2005 (19.12.05)

Date of mailing of the international search report

27 December, 2005 (27.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017779

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-163267 A (Mitsubishi Electric Corp.), 06 June, 2003 (06.06.03), Full text; all drawings (Family: none)	1-5
A	JP 2002-270779 A (Kawasaki Micro Electronics Kabushiki Kaisha), 20 September, 2002 (20.09.02), Full text; all drawings (Family: none)	1-5
A	JP 2004-193601 A (Toshiba Corp.), 08 July, 2004 (08.07.04), Full text; all drawings & US 2004/0159892 A1 Full text; all drawings & KR 2004047726 A & CN 1540755 A	1-5
A	JP 03-125430 A (Mitsubishi Electric Corp.), 28 May, 1991 (28.05.91), Full text; all drawings & US 5319224 A Full text; all drawings & DE 4032154 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822 (2006.01), H01L27/04 (2006.01), H01L21/82 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822 (2006.01), H01L27/04 (2006.01), H01L21/82 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 63-310134 A (富士通株式会社) 1988. 12. 19, 全文, 全図 (ファミリーなし)	1, 3-5 2
Y A	J P 60-070742 A (株式会社東芝) 1985. 04. 22, 全文, 全図 (ファミリーなし)	1, 3-5 2
Y	J P 2001-223337 A (ローム株式会社) 2001. 08. 17, 【0002】 - 【0005】 段落, 第5-7図 (ファミリーなし)	3, 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 12. 2005

国際調査報告の発送日

27. 12. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

4 L

3 1 2 5

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-163267 A (三菱電機株式会社) 2003.06.06, 全文, 全図 (ファミリーなし)	1-5
A	JP 2002-270779 A (川崎マイクロエレクトロニクス株式会社) 2002.09.20, 全文, 全図 (ファミリーなし)	1-5
A	JP 2004-193601 A (株式会社東芝) 2004.07.08, 全文, 全図 & US 2004/0159892 A1, 全文, 全図 & KR 2004047726 A & CN 1540755 A	1-5
A	JP 03-125430 A (三菱電機株式会社) 1991.05.28, 全文, 全図 & US 5319224 A, 全文, 全図 & DE 4032154 A	1-5