

公告本

申請日期	89.1.19
案 號	
類 別	G11C 7%

A4
C4

(以上各欄由本局填註)

501145

發明專利說明書

一、發明 名稱	中 文	記憶體控制電路
	英 文	MEMORY CONTROL CIRCUIT
二、發明 創作人	姓 名	1.神谷知慶 2.長尾文昭
	國 籍	日本國
三、申請人	住、居所	1.日本國岐阜縣大垣市東前 2-35-202 2.日本國岐阜縣揖斐郡池田町池野 633-47
	姓 名 (名稱)	三洋電機股份有限公司
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號
	代 表 人 姓 名	近藤定男

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

1999 年 3 月 30 日 特願平 11-89260 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明所屬之技術領域]

本發明係關於一種對記憶體電路控制一連續之資料寫入及讀出的記憶體控制電路。

[習知之技術]

以往在數位資料之錯誤訂正處理、或編碼/解碼處理等中，係對數位資料以塊單位施予各種的運算處理。此時，被連續輸入的數位資料，係以1塊份記憶在緩衝記憶體內，且備於運算處理中保持預定的期間。

第4圖係顯示使一連續輸入的數位資料記憶在記憶體內用的記憶體控制電路之構成方塊圖。

記憶體電路10，係具有可至少記憶1塊份之施予運算處理的資料容量，且依序記憶自記憶體控制電路所供給的寫入資料DIN，同時讀出被記憶的資料，並當作讀出資料DOUT而依序輸出。此記憶體電路10係同步型之記憶體，且構成隨著定時時脈CK的時間進行資料之寫入及讀出。

記憶體控制電路，係具備有控制信號產生部1、位址產生部2及寫入資料供給部3，並連接於記憶體電路10。控制信號產生部1係響應資料之寫入指示或讀出指示，而產生允許記憶體電路10之寫入動作的寫入致能信號WE及允許讀出動作的讀出致能信號RE。同時，控制信號產生部1係產生決定記憶體電路10之動作時間的定時時脈CK。另外，資料之寫入/讀出之指示係從控制運算處理之動作的微處理器等中來提供。位址產生部2，係響應與資料之寫入/讀出的指示同時供給的位址指示而產生對應記

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

記憶體電路 10 之位址 AD，而供給至記憶體電路 10。寫入資料供給部 3 係依序接收一連續輸入的資料而予以保持，且將寫入資料 DIN 供給至記憶體電路 10。

控制信號產生部 1、位址產生部 2 及寫入資料供給部 3，係分別隨著基準時脈 BCK 的時間而動作，以產生寫入致能信號 WE、讀出致能信號 RE 及定時時脈 CK。然後，在寫入動作中，供給寫入資料 DIN，並當作其寫入位址而同時供給位址 AD 和寫入致能信號 WE。在讀出動作中，係當作讀出位址而同時供給位址信號 AD 和讀出致能信號 RE。

第 5 圖為說明一連續之 2 資料之寫入動作的時間圖。

首先，寫入資料 DIN 係以資料 $D(n)$ 在基準時脈 BCK 之上升的時間輸入於寫入資料供給部 3 內，而在基準時脈 BCK 之 1 週期的期間，繼續供給至記憶體電路 10。與此資料 $D(n)$ 之輸入同時，寫入致能信號 WE 可依寫入指示而上升，進而位址 AD 會指定記憶體電路 10 之 p 位址。然後，當定時時脈 CK 上升時，在其上升的時間裡，資料 $D(n)$ 會寫入記憶體電路 10 之 p 位址內。如此的寫入動作，亦可對接著資料 $D(n)$ 而輸入的資料 $D(n+1)$ 同樣地進行。此時，位址 AD 會變更成寫入資料 DIN 在從資料 $D(n)$ 切換至資料 $D(n+1)$ 的時間指定 q 位址。

第 6 圖為說明記憶於記憶體電路 10 內之資料之讀出動作的時間圖。

當對控制信號產生部 1 提供讀出指示時，讀出致能信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

號 RE 即在基準時脈 BCK 之上升時間上升，而位址 AD 即指定記憶體電路 10 的 p 位址。此狀態下當定時時脈 CK 上升時，就可讀出記憶於記憶體電路 10 之 p 位址內的資料 D(n)，而當作讀出資料 DOUT 輸出。然後，在基準時脈 BCK 之下一個上升時間，定時時脈 CK 即下降失去作用，接著，位址 AD 即從 q 位址變成成 n+1 位址。此狀態下，當時脈 CK 再次上升時，就可讀出記憶於記憶體路 10 之 q 位址內的資料 D(n+1)，而當作讀出資料 DOUT 輸出。

[發明所欲解決之問題]

在記憶體控制電路中，係以隨著基準時脈 BCK 的週期而反覆進行資料之寫入或讀出。此時的週期，雖越短對數位資料之處理的高速化就越有效，但是卻被限定於可追蹤記憶體電路 10 之存取的範圍內。

在數位資料之運算處理中，當運算電路之處理能力變高時，運算處理所需要的時間，也就在運算處理的過程中依記憶數位資料用的記憶體電路 10 之存取速度而決定。因為記憶體電路 10 之存取速度係依記憶體電路 10 內之電路延遲而決定，所以當增大記憶體電路 10 之記憶容量而使電路規模增大時，存取速度之高速化就會有困難。因而，隨著要處理的數位資料量之增大，將發生完成預定處理前所需要的時間會變長的問題。

因此，本發明係以無須使記憶體電路本身的存取速度高速化，而使數位資料之寫入/讀出高速化為其目的。

[解決問題之手段]

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

本發明係為了解決上述之課題而成者，其特徵為對並聯連接之第一及第二記憶體電路，控制一連續之資料寫入或讀出的記憶體控制電路，此記憶體控制電路包含有，控制信號產生部，用以產生允許資料之寫入的寫入致能信號及允許資料之讀出的讀出致能信號；位址產生部，用以產生指定資料之寫入位址的位址信號；寫入資料供給部，用以供給寫入資料；以及移位部，用以使上述寫入致能信號及上述讀出致能信號延遲 1 週期者；其中，將寫入資料交互寫入上述第一及第二記憶體電路，同時將被寫入的資料從上述第一及第二記憶體電路中讀出而輸出。

依據本發明，則由於對 2 個記憶體電路交互進行資料之寫入或讀出，所以在各個記憶體電路中，可在資料之輸出入週期的 2 倍週期內進行寫入及讀出。因而即使記憶體電路之響應速度相同，亦可將資料之輸出入週期設為 $1/2$ 。

[發明之實施形態]

第 1 圖係顯示本發明記憶體控制電路之構成的方塊圖。此圖中，與第 4 圖同樣，係顯示用以記憶一連續輸入之數位資料的構成。

第一(EVEN)之記憶體電路 20 及第二(ODD)之記憶體電路 30，係具有至少分別可記憶 $1/2$ 塊之施予運算處理的資料容量，並交互記憶自記憶體控制電路所供給的寫入資料 DIN，同時交互讀出被記憶的資料，再當作讀出資料 DOUT 依序輸出。這些記憶體電路 20、30，係分別為同步型之記憶體，且與第 4 圖之記憶體電路 10 同樣，構成隨著

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

定時時脈 CK 的時間而進行資料之寫入及讀出。

記憶體控制電路係具備有控制信號產生部 11、位址產生部 12 及寫入資料供給部 13，並連接在第一及第二記憶體電路 20、30。在第一及第二記憶體電路 20、30 上之輸出側上，連接有選擇器 15。

控制信號產生部 11，係響應資料之寫入指示或讀出指示，而產生允許第一記憶體電路 20 之寫入動作的第一寫入致能信號 WE-E 及允許第一讀出動作的讀出致能信號 RE-E。同時，控制信號產生部 11 即產生決定第一記憶體電路 20 之動作時間的第一定時時脈 CK-E。對於此控制信號產生部 11 之資料的寫入/讀出之指示，係從控制運算處理之動作的微處理器等中所提供。

位址產生部 12，係接收與資料之寫入/讀出的指示同時被供給的位址 AD，以產生對第一記憶體電路 20 之第一位址 AD-E 及對第二記憶體電路 30 之第二位址 AD-O，並分別供給至第一記憶體電路 20 及第二記憶體電路 30。寫入資料供給部 13，係依序接收連續輸入的資料而保持，而將寫入資料 DIN 供給至第一及第二記憶體電路 20、30。

控制信號產生部 11、位址產生部 12 及寫入資料供給部 13，係分別隨著基準時脈 BCK 的時間而動作，以產生寫入致能信號 WE-E、讀出致能信號 RE-E 及定時時脈 CK-E。然後，在寫入動作中，供給寫入資料 DIN，並將位址信號 AD 當作寫入位址和寫入致能信號 WE-E 同時供給。在讀出動作中，則將位址信號 AD 當作讀出位址而和

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

讀出致能信號 RE-E 同時供給。

移位部 14 係由例如並聯配置之複數個 D 型正反器所構成，而將寫入致能信號 WE-E、讀出致能信號 RE-E 及定時時脈 CK-E 依基準時脈 BCK 的時間移位基準時脈 BCK 之 1 週期份而輸出。這些輸出係當作第二寫入致能信號 WE-O、第二讀出致能信號 RE-O 及第二定時時脈 CK-O 而供給至第二記憶體電路 30。

選擇器 15，係接受自第一記憶體電路 20 所讀出的第一讀出資料 D-E 及自第二記憶體電路 30 所讀出的第二讀出資料 D-O，並依基準時脈 BCK 之時間而選擇其中之一方，再當作讀出資料 DOUT 輸出。此選擇器 15 之選擇動作，係與第一及第二記憶體電路 20、30 之讀出動作同步，亦即與第一及第二定時時脈 CK-E、CK-O 同步。例如，在第一定時時脈 CK-E 上升期間選擇第一讀出資料 D-E，在第二定時時脈 CK-O 上升期間選擇第二讀出資料 D-O。

在以上之記憶體控制電路中，由於係對第一記憶體電路 20 和第二記憶體電路 30 交互寫入連續的資料 DIN，所以在各個記憶體電路 20、30 中，對寫入動作分配有基準時脈 BCK 之 2 週期份的期間。同樣地，由於合成從第一記憶體電路 20 和第二記憶體電路 30 中交互讀出的第一及第二讀出資料 D-E、D-O 以產生讀出資料 DOUT，所以對讀出動作分配有基準時脈 BCK 之 2 週期份的期間。因而，對於各記憶體電路 20、30 從外部觀看的表觀存取速度(apparent access speed)，係約為 2 倍。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

第 2 圖為說明本發明記憶體電路之寫入動作的時間圖。此圖中，係顯示將一連續的 2 資料 $D(n)$ 、 $D(n+1)$ 寫入於第一記憶體電路 20 和第二記憶體電路 30。

首先，寫入資料 DIN，係以資料 $D(n)$ 在基準時脈 BCK 之上升的時間取入於寫入資料供給部 13 內，而在基準時脈 BCK 之 1 週期的期間，繼續供給至第一記憶體電路 20。與此資料 $D(n)$ 之取入同時，第一寫入致能信號 WE-E 可依寫入指示而上升，進而第一位址 AD-E 即指定第一記憶體電路 20 之 p 位址。此第一寫入致能信號 WE-E 及第一位址 AD-E，可維持基準時脈 BCK 之 2 週期份的狀態。在從第一寫入致能信號 WE-E 之上升時間經過基準時脈 BCK 之 1 週期之後，第一定時時脈 CK-E 即上升，而在其上升時間，資料 $D(n)$ 會寫入第一記憶體電路 20 之 p 位址內。在此，有關資料 $D(n+1)$ ，由於在寫入資料供給電路 13 中賦予延遲，所以在定時時脈 CK 之上升時間，可正確地取入於第一記憶體電路 20 內。

第二定時時脈 CK-O 及第二寫入致能信號 WE-O，係分別以基準時脈 BCK 之 1 週期份使第一定時時脈 CK-E 及第一寫入致能信號 WE-E 移位者。因此，對第二記憶體電路 30 之寫入動作，係對第一記憶體電路 20 之寫入動作以延遲基準時脈 BCK 之 1 週期份的時間反覆同樣動作者。此時，有關第二位址 AD-O，係指定第二記憶體電路 30 之 q 位址。然後，輸入資料 DIN，由於不通過移位部 14 即供給至第二記憶體電路 30，所以在第二定時時脈 CK-O 之上升

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

時間，接著資料 $D(n)$ 而取入的資料 $D(n+1)$ 即寫入於第二記憶體電路 30 之 q 位址。

第 3 圖為說明記憶於第一及第二記憶體電路 20、30 內之資料之讀出動作的時間圖。此圖中，係顯示連續讀出記憶於第一記憶體電路 20 之 p 位址內的資料 $D(n)$ 、和記憶於第二記憶體電路 30 之 q 位址內的資料 $D(n+1)$ 之情況。

當對控制信號產生部 11 提供讀出指示時，第一讀出致能信號 RE-E 即在基準時脈 BCK 之上升時間上升，而第一位址 AD-E 即指定第一記憶體電路 20 的 p 位址。此第一讀出致能信號 RE-E 及第一位址 AD-E，即維持基準時脈 BCK 之 2 週期份的狀態。在從第一讀出致能信號 RE-E 之上升時間經過基準時脈 BCK 之 1 週期之後，第一定時時脈 CK-E 即上升，而在其上升時間，將記憶於第一記憶體電路 20 之 p 位址內的資料 $D(n)$ 當作第一讀出資料 D-E 而輸出。

第二定時時脈 CK-O 及第二讀出致能信號 RE-O，係分別以基準時脈 BCK 之 1 週期份使第一定時時脈 CK-E 及第一讀出致能信號 RE-E 移位者。因此，對第二記憶體電路 30 之讀出動作，係對第一記憶體電路 20 之讀出動作以延遲基準時脈 BCK 之 1 週期份的時間反覆同樣動作者。在此，第二位址 AD-O，係指定第二記憶體電路 30 之 q 位址。然後，在第二記憶體電路 30 之 q 位址，由於記憶有接著資料 $D(n)$ 的資料 $D(n+1)$ ，所以將此資料 $D(n+1)$ 當作第二讀出資料 D-O 而輸出。

然後，當從第一記憶體電路 20 讀出資料 $D(n)$ 時，選

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

擇器 15 即選擇第一讀出資料 D-E，而資料 D(n)即成為讀出資料 DOUT。然後，在基準時脈 BCK 之 1 週期經過之後，當從第二記憶體電路 30 讀出資料 D(n+1)時，選擇器 15 即選擇第二讀出資料 D-O，而資料 D(n+1)即成為讀出資料 DOUT。此讀出資料 DOUT 係與第 6 圖所示之讀出資料 DOUT 一致。

本發明之記憶體控制電路中，第一及第二位址 AD-E、AD-O，係與寫入致能信號 WE-E、WE-O 或讀出致能信號 RE-E、RE-O 同時維持基準時脈 BCK 之 2 週期的期間。因而，分配成寫入動作及讀出動作的時間，與第 5 圖所示之寫入動作或第 6 圖所示之讀出動作相較係成為 2 倍。換言之，在本發明之記憶體控制電路中，即使以 1/2 基準時脈 BCK 的週期動作時，亦可確保第 5 圖所示之寫入動作或第 6 圖所示之讀出動作同等的存取時間。

在以上之實施形態中，雖係例示連續寫入二個資料之情況和連續讀出二個資料之情況，但若是二個資料為一單位連續的情況，則藉由反覆進行相同的動作亦可進行四個以上之資料的寫入及讀出。

[發明之效果]

若依據本發明，則無須使記憶體電路本身的動作高速化，即可使來自外部的資料之寫入及至資料之向外部讀出。

[圖式之簡單說明]

第 1 圖顯示本發明記憶體控制電路之構成的方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (10)

第 2 圖為說明本發明記憶體控制電路之寫入動作的時間圖。

第 3 圖為說明本發明記憶體控制電路之讀出動作的時間圖。

第 4 圖顯示習知記憶體控制電路之構成的方塊圖。

第 5 圖為說明習知記憶體控制電路之寫入動作的時間圖。

第 6 圖為說明習知記憶體控制電路之讀出動作的時間圖。

[元件編號說明]

1、11	控制信號產生部	2、12	位址產生部
3、13	寫入資料供給部	10、20、30	記憶體電路
14	移位部	15	選擇器

四、中文發明摘要 (發明之名稱： 記憶體控制電路)

本發明提供一種可對記憶體高速進行資料之寫入和讀出的記憶體控制電路。

本發明之記憶體控制電路對並聯配置之第一及第二記憶體電路 20、30，分別供給寫入資料 DIN。對第一記憶體電路 20 供給第一定時時脈 CK-E，以及第一寫入致能信號 WE-E 及第一位址 AD-E。將定時時脈 CK-E，寫入致能信號 WE-E 及位址 AD-E 移位基準時脈 BCK 之 1 週期，以生成第二定時時脈 CK-O、第二寫入致能信號 WE-O 及第二位址 AD-O，並供給至第二記憶體電路 30。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

英文發明摘要 (發明之名稱：)

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種記憶體控制電路，係對並聯連接之第一及第二記憶體電路，控制連續之資料寫入或讀出，其特徵為：包含有，

控制信號產生部，用以產生允許資料之寫入的寫入致能信號及允許資料之讀出的讀出致能信號；

位址產生部，用以產生指定資料之寫入位址的位址信號；

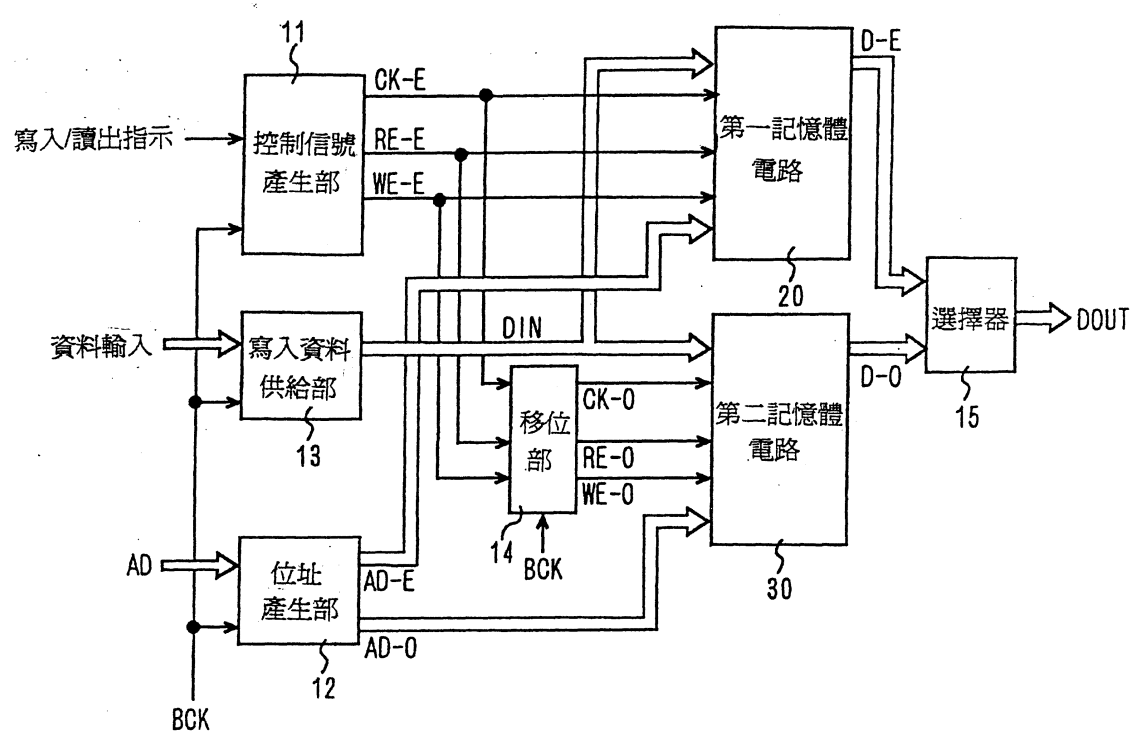
寫入資料供給部，用以供給寫入資料；以及

移位部，用以使上述寫入致能信號及上述讀出致能信號延遲 1 週期者，其中，

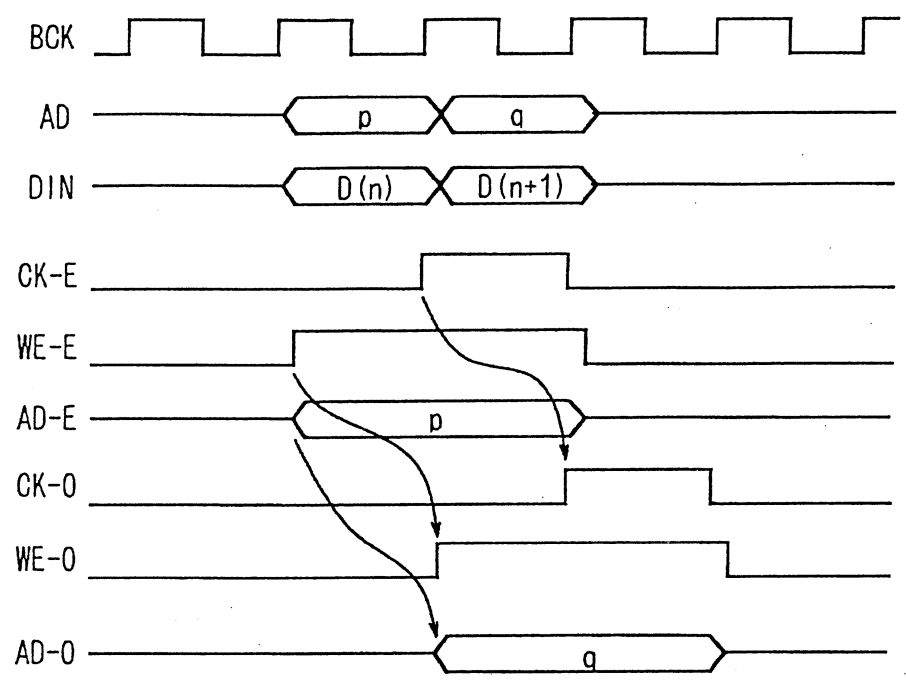
將寫入資料交互寫入上述第一及第二記憶體電路，同時將被寫入的資料從上述第一及第二記憶體電路中讀出並輸出。

2. 如申請專利範圍第 1 項之記憶體控制電路，其中，具備有與上述移位部之移位動作同步，選擇由上述第一及第二記憶體電路中讀出的資料之一方而輸出的選擇器。

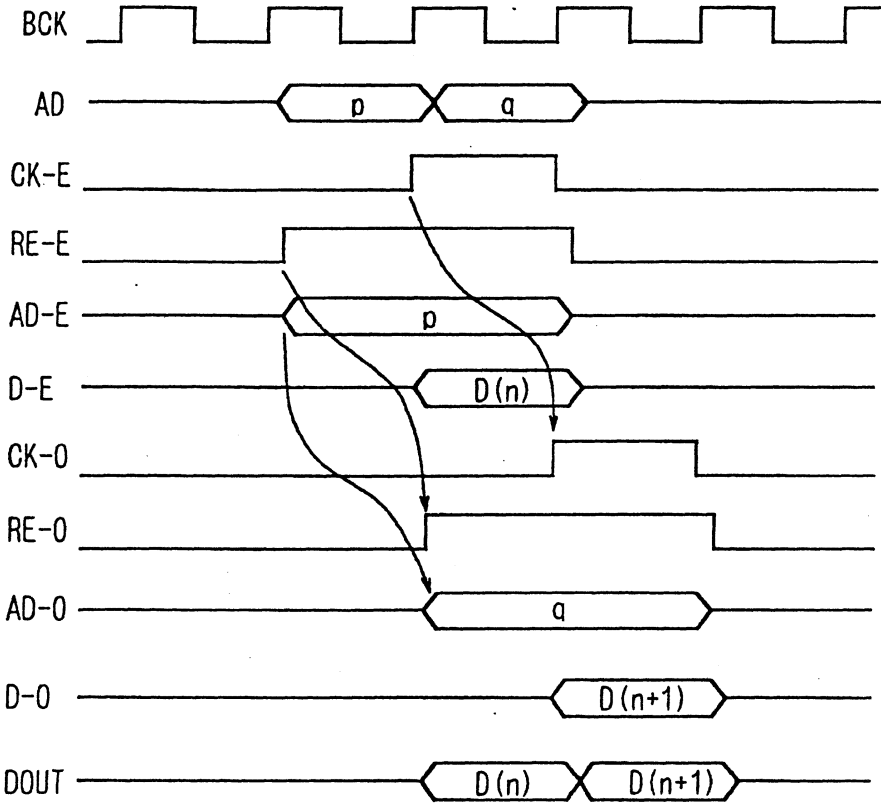
89 100783



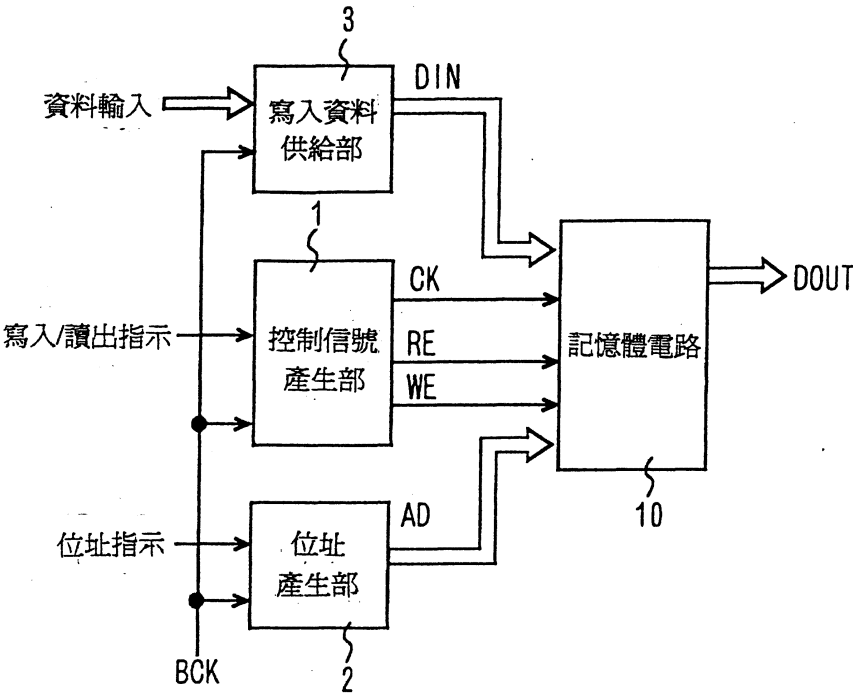
第 1 圖



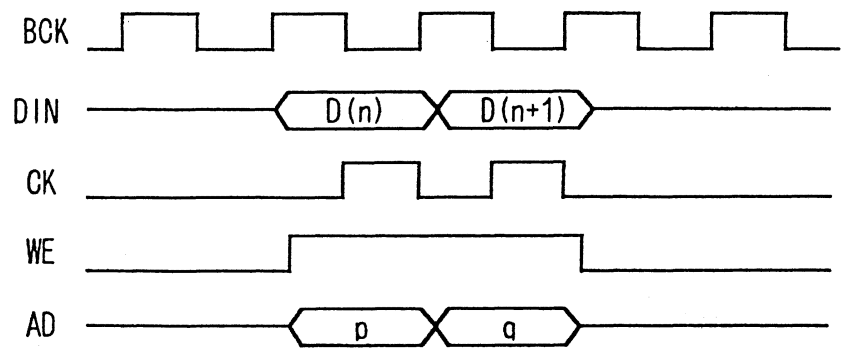
第 2 圖



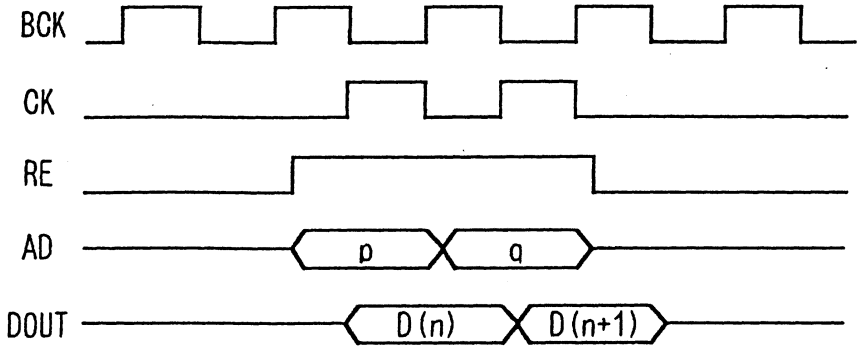
第 3 圖



第 4 圖



第 5 圖



第 6 圖