

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年1月20日(20.01.2022)



(10) 国際公開番号

WO 2022/013676 A1

(51) 国際特許分類:

G06G 7/60 (2006.01) H01L 27/088 (2006.01)  
G09G 3/20 (2006.01) H01L 21/8242 (2006.01)  
G09G 3/36 (2006.01) H01L 27/108 (2006.01)  
H01L 21/8234 (2006.01) H01L 29/786 (2006.01)  
H01L 27/06 (2006.01)

(21) 国際出願番号: PCT/IB2021/055988

(22) 国際出願日: 2021年7月5日(05.07.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2020-122879 2020年7月17日(17.07.2020) JP

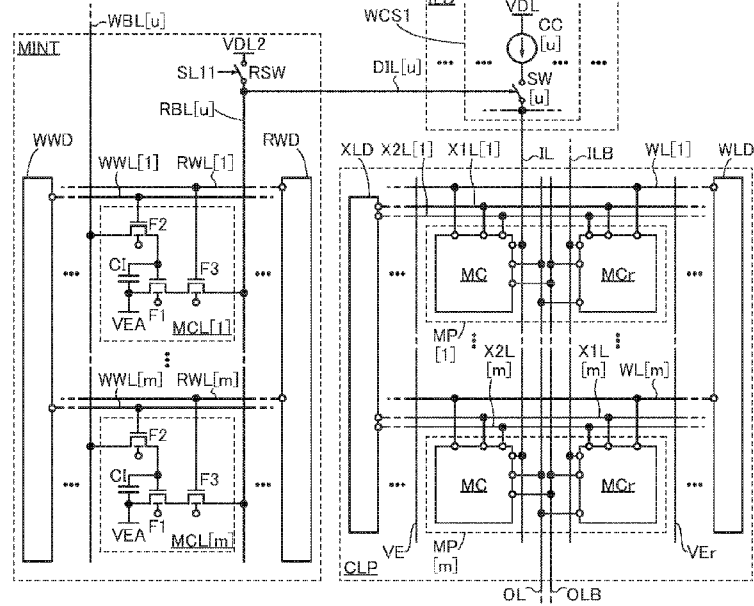
(71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY  
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木  
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);  
〒2430036 神奈川県厚木市長谷398株式会社半  
導体エネルギー研究所内 Kanagawa (JP). 木村  
肇(KIMURA, Hajime); 〒2430036 神奈川県厚木  
市長谷398株式会社半導体エネルギー研究所内  
Kanagawa (JP). 池田隆之(IKEDA, Takayuki);  
〒2430036 神奈川県厚木市長谷398株式会  
社半導体エネルギー研究所内 Kanagawa (JP).  
黒川義元(KUROKAWA, Yoshiyuki); 〒2430036

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 半導体装置、及び電子機器

図3



(57) Abstract: Provided is a semiconductor device that restores corrupted data. This semiconductor device comprises a first circuit, a memory unit, and a calculation unit, wherein the first circuit has a current source and a first switch, the memory unit has a first transistor and a first capacitance, and the calculation unit has a second transistor. A first terminal of the first transistor is electrically connected to a control terminal of the first switch, a first terminal of the first switch is electrically connected to an output terminal of the current source, and a second terminal of the first switch is electrically

神奈川県厚木市長谷398株式会社半導体エ  
ネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

connected to a first terminal of the second transistor. When the data held in the calculation unit is to be restored, the first transistor is turned on to supply the data held in the memory unit to the control terminal of the first switch via the first transistor. The first switch is either turned on or turned off depending on the supplied data, causing a current to flow from the current source to the calculation unit via the second transistor to replenish the holding part of the calculation unit with charge.

(57) 要約: 劣化したデータの復元を行う半導体装置を提供する。第1回路と、記憶部と、演算部と、を有する半導体装置であって、第1回路は、電流源と、第1スイッチと、を有し、記憶部は、第1トランジスタと、第1容量と、を有し、演算部は、第2トランジスタを有する。第1トランジスタの第1端子は、第1スイッチの制御端子に電氣的に接続され、第1スイッチの第1端子は、電流源の出力端子に電氣的に接続され、第1スイッチの第2端子は、第2トランジスタの第1端子に電氣的に接続されている。演算部に保持されているデータを復元するとき、第1トランジスタをオン状態にして、記憶部に保持されているデータを、第1トランジスタを介して、第1スイッチの制御端子に与える。第1スイッチは、当該データに応じて、オン状態又はオフ状態の一方になり、電流源から第2トランジスタを介して演算部に電流を流して、演算部の保持部に電荷を補充する。

## 明細書

発明の名称

半導体装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、駆動方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフイック」、「ブレインモーフイック」、「ブレインインスパイア」などと呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

[0004]

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。例えば、非特許文献1、及び非特許文献2には、SRAM（Static Random Access Memory）を用いて、人工ニューラルネットワークを構成した演算装置について開示されている。

[先行技術文献]

[非特許文献]

[0005]

[非特許文献1] M. Kang et al., "IEEE Journal Of Solid-State Circuits", 2018, Volume 53, No. 2, p. 642-655.

[非特許文献2] J. Zhang et al., "IEEE Journal Of Solid-State Circuits", 2017, Volume 52, No. 4, p. 915-924.

発明の概要

発明が解決しようとする課題

[0006]

人工ニューラルネットワークでは、2つのニューロン同士を結合するシナプスの結合強度（重み

係数という場合がある。)と、2つのニューロン間で伝達する信号と、を乗じる計算が行われる。特に、階層型の人工ニューラルネットワークでは、第1層の複数の第1ニューロンと第2層の第2ニューロンの一との間のそれぞれのシナプスの結合強度と、第1層の複数の第1ニューロンから第2層の第2ニューロンの一に入力されるそれぞれの信号と、を乗じて足し合わせる、つまり、結合強度と信号との積和演算を行う必要がある。積和演算に用いる、当該結合強度の数、当該信号を示すパラメータの数は、人工ニューラルネットワークの規模に応じて、決まる。また、第2ニューロンは、シナプスの結合強度と第1ニューロンが出力した信号との積和演算の結果を用いて、活性化関数による演算を行って、当該演算結果を信号として、第3層目の第3ニューロンに対して出力する。つまり、人工ニューラルネットワークは、階層の数、ニューロン数などが多くなる程、「ニューロン」及び「シナプス」のそれぞれに相当する回路の数が多くなり、演算量も膨大になることがある。これにより、回路の消費電力が大きくなり、回路からの発熱量も大きくなることもある。

[0007]

また、チップを構成する回路の数が増えると消費電力が高くなり、装置の駆動時に発生する発熱量も大きくなる。特に、発熱量が高くなるほど、チップに含まれている回路素子の特性に影響が出るため、チップを構成する回路は温度による影響を受けにくい回路素子を有することが好ましい。また、チップに含まれているトランジスタ、電流源などの特性がばらつくと、演算結果もばらついてしまう。

[0008]

また、上記の積和演算を行う際、乗算を行う回路（本明細書では乗算セルと呼称する。）には、乗数（被乗数の場合がある。）として重み係数を保持し続ける必要がある。そのため、乗算セルには、重み係数を保持する容量などの記憶素子が設けられるが、時間経過によって記憶素子に保持されているデータが劣化して、重み係数の値が変化する場合がある。データの劣化は、記憶素子に保持されている電荷が減少することによって起こる。電荷が減少する原因としては、例えば、記憶素子から流れるリーク電流が挙げられ、リーク電流の種類としては、例えば、トランジスタなどのスイッチング素子においてオフ状態時に流れるリーク電流、容量素子において一對の電極間に有する誘電体を介して流れるリーク電流などがある。トランジスタなどのスイッチング素子においてオフ状態時に流れるリーク電流の場合、容量素子の容量値を大きくすることでリーク電流の影響を小さくすることができる。一方、容量素子において一對の電極間に有する誘電体を介して流れるリーク電流の場合、容量素子の容量値を大きくしても一對の電極の単位面積当たりのリーク電流の量は変わらないため、全体としてリーク電流の影響を小さくすることは難しい。

[0009]

したがって、乗算セルを含む演算回路は、乗算セルに保持されるデータの劣化を防ぐためには、容量素子の容量値を大きくする以外の対策が必要となる。当該対策の一例としては、乗算セルの記憶素子への重み係数の再書き込みを定期的に行うことが挙げられる。又は、乗算セルを含む演算回路にダミーセルなどを設けて、当該ダミーセルに保持されているデータを監視して、当該データが劣化したときに、乗算セルへの重み係数の再書き込みを行うことも好適である。なお、本明細書等において、データの再書き込みとは、セルに元々保持されていたデータと、同じデータを当該セルに再び書き込む動作のことをいうものとする。また、データの再書き込みは、保持していた電荷量の絶対値が小さくなってしまったセルに対して、データを復元するために元々保持されていた同じ量の電荷を補充する動作のことも指すものとする。

[0010]

本発明の一態様は、積和演算、及び／又は関数演算を行う半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、乗算セルに保持するデータの再書き込みを行う半導体装置を提供することを課題の一とする。又は、本発明の一態様は、デジタル値を保持し、当該デジタル値に対してデジタルアナログ変換を行って、アナログ値による演算を行う半導体装置を提供することを課題の一とする。又は、本発明の一態様は、CNN (Convolutional Neural Network) などの畳み込み処理を行う半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、AI (Artificial Intelligence) 向けの半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、DNN (Deep Neural Network) 向けの半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、環境の温度の影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、トランジスタの特性ばらつきの影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、電流源の特性ばらつきの影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。

[0011]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0012]

(1)

本発明の一態様は、第1回路と、第2回路と、第3回路と、を有する半導体装置である。第1回路は、電流源と、第1スイッチと、を有し、第2回路は、第1トランジスタと、第3トランジスタと、第4トランジスタと、第1容量と、を有し、第3回路は、第2トランジスタを有する。第1トランジスタの第1端子は、第1スイッチの制御端子に電氣的に接続され、第1トランジスタの第2端子は、第4トランジスタの第1端子に電氣的に接続され、第4トランジスタの第2端子は、第1容量の第1端子に電氣的に接続され、第4トランジスタのゲートは、第1容量の第2端子と、第3トランジスタの第1端子に電氣的に接続され、第1スイッチの第1端子は、電流源の出力端子に電氣的に接続され、第1スイッチの第2端子は、第2トランジスタの第1端子に電氣的に接続されている。

[0013]

(2)

又は、本発明の一態様は、上記(1)において、ラッチ回路を含む第4回路を有する構成としてもよい。また、第1トランジスタの第1端子と第1スイッチの制御端子との電氣的な接続は、第4回路の第1端子が第1トランジスタの第1端子に電氣的に接続され、第4回路の第2端子が第1ス

スイッチの制御端子に電氣的に接続されていることでなされるものとする。

[0014]

(3)

又は、本発明の一態様は、第1回路と、第2回路と、第3回路と、センスアンプと、を有する半導体装置である。第1回路は、電流源と、第1スイッチと、を有し、第2回路は、第1トランジスタと、第1容量と、を有し、第3回路は、第2トランジスタを有する。第1トランジスタの第1端子は、センスアンプを介して、第1スイッチの制御端子に電氣的に接続され、第1トランジスタの第2端子は、第1容量の第1端子に電氣的に接続され、第1スイッチの第1端子は、電流源の出力端子に電氣的に接続され、第1スイッチの第2端子は、第2トランジスタの第1端子に電氣的に接続されている。

[0015]

(4)

又は、本発明の一態様は、上記(1)乃至(3)のいずれか一において、第1トランジスタのゲートが第2トランジスタのゲートに電氣的に接続されている構成としてもよい。

[0016]

(5)

又は、本発明の一態様は、第1回路と、第2回路と、第3回路と、を有する半導体装置である。第1回路は、電流源と、第1スイッチと、を有し、第2回路は、第1トランジスタと、第3トランジスタと、第1容量と、を有し、第3回路は、第2トランジスタを有する。第1トランジスタの第1端子は、第1スイッチの制御端子に電氣的に接続され、第3トランジスタの第1端子は、第1容量の第1端子と、第1トランジスタのゲートと、に電氣的に接続され、第1スイッチの第1端子は、電流源の出力端子に電氣的に接続され、第1スイッチの第2端子は、第2トランジスタの第1端子に電氣的に接続されている。

[0017]

(6)

又は、本発明の一態様は、ラッチ回路を含む第4回路を有する構成としてもよい。また、第1トランジスタの第1端子と第1スイッチの制御端子との電氣的な接続は、第4回路の第1端子が第1トランジスタの第1端子に電氣的に接続され、第4回路の第2端子が第1スイッチの制御端子に電氣的に接続されていることでなされるものとする。

[0018]

(7)

又は、本発明の一態様は、上記(5)、又は(6)において、第1容量の第2端子が第2トランジスタのゲートに電氣的に接続されている構成としてもよい。

[0019]

(8)

又は、本発明の一態様は、上記(1)乃至(7)のいずれか一において、第2回路に含まれているトランジスタは、チャネル形成領域に金属酸化物を有する構成としてもよい。

[0020]

(9)

又は、本発明の一態様は、第1回路と、第5回路と、を有する半導体装置である。第1回路は、

第1電流源と、第2電流源と、第1スイッチと、第5トランジスタと、第6トランジスタと、を有し、第5回路は、第7トランジスタと、第8トランジスタと、第2容量と、第2スイッチと、第3スイッチと、電流比較回路と、を有する。第1電流源の出力端子は、第1スイッチの第1端子に電氣的に接続され、第2電流源の出力端子は、第5トランジスタのゲートと、第6トランジスタのゲートと、第6トランジスタの第1端子と、に電氣的に接続されていることが好ましい。また、第7トランジスタの第1端子は、第8トランジスタの第1端子と、第2スイッチの第1端子と、第3スイッチの第1端子と、に電氣的に接続され、第7トランジスタのゲートは、第8トランジスタの第2端子と、第2容量の第1端子と、に電氣的に接続されていることが好ましい。また、第1スイッチの第2端子は、第2スイッチの第2端子に電氣的に接続され、電流比較回路の第1端子は、第3スイッチの第2端子に電氣的に接続され、電流比較回路の第2端子は、第5トランジスタの第1端子に電氣的に接続されていることが好ましい。

[0021]

(10)

又は、本発明の一態様は、第1回路と、第5回路と、を有し、上記(9)とは異なる、半導体装置である。第1回路は、第1電流源と、第3電流源と、第1スイッチと、第4スイッチと、を有し、第5回路は、第7トランジスタと、第8トランジスタと、第2容量と、第2スイッチと、第3スイッチと、第5スイッチと、電流比較回路と、を有する。第1電流源の出力端子は、第1スイッチの第1端子に電氣的に接続され、第3電流源の入力端子は、第4スイッチの第1端子に電氣的に接続されていることが好ましい。また、第7トランジスタの第1端子は、第8トランジスタの第1端子と、第2スイッチの第1端子と、第3スイッチの第1端子と、に電氣的に接続され、第7トランジスタのゲートは、第8トランジスタの第2端子と、第2容量の第1端子と、に電氣的に接続されていることが好ましい。第1スイッチの第2端子は、第2スイッチの第2端子に電氣的に接続され、第4スイッチの第2端子は、第5スイッチの第1端子に電氣的に接続されていることが好ましい。電流比較回路の第1端子は、第3スイッチの第2端子に電氣的に接続され、電流比較回路の第2端子は、第5スイッチの第2端子に電氣的に接続されていることが好ましい。

[0022]

(11)

又は、本発明の一態様は、上記(9)、又は(10)において、第7トランジスタは、チャネル形成領域にシリコンを有し、第8トランジスタは、チャネル形成領域に金属酸化物を有する構成としてもよい。

[0023]

(12)

又は、本発明の一態様は、上記(10)において、第5回路は、第9トランジスタと、第10トランジスタと、第3容量と、第6スイッチと、を有する構成としてもよい。第9トランジスタの第1端子は、第10トランジスタの第1端子と、第2スイッチの第1端子と、第6スイッチの第1端子と、に電氣的に接続され、第9トランジスタのゲートは、第10トランジスタの第2端子と、第3容量の第1端子と、に電氣的に接続されていることが好ましい。また、第6スイッチの第2端子は、第5スイッチの第1端子と、第4スイッチの第2端子と、に電氣的に接続されていることが好ましい。なお、第8トランジスタのゲートと、第10トランジスタのゲートと、は、直接接続されていないことが好ましい。

[0024]

(13)

又は、本発明の一態様は、上記(12)において、第7トランジスタ及び第9トランジスタのそれぞれは、チャネル形成領域にシリコンを有し、第8トランジスタ及び第10トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する構成としてもよい。

[0025]

(14)

又は、本発明の一態様は、上記(1)乃至(13)のいずれか一の半導体装置と、筐体と、を有する、電子機器である。

[0026]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品などは半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置である場合があり、半導体装置を有している場合がある。

[0027]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章の開示されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

[0028]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、又は、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。

[0029]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフト回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

## [0030]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

## [0031]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

## [0032]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

## [0033]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、 $0\ \Omega$ よりも高い配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\ \Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\ \Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\ \Omega$ 以下とすることができる。また、例えば、 $1\ \Omega$ 以上 $1 \times 10^9\ \Omega$ 以下としてもよい。

## [0034]

また、本明細書等において、「容量素子」とは、例えば、 $0\text{ F}$ よりも高い静電容量の値を有する回路素子、 $0\text{ F}$ よりも高い静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容

量などとすることができる。そのため、本明細書等において、「容量素子」は、一対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子などを含むものとする。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる場合がある。また、「容量」の「一対の電極」という用語は、「一対の導電体」、「一対の導電領域」、「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 $0.05\text{ fF}$ 以上 $10\text{ pF}$ 以下とすることができる。また、例えば、 $1\text{ pF}$ 以上 $10\text{ }\mu\text{F}$ 以下としてもよい。

#### [0035]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース、及びドレインの用語は、互いに言い換えることができる場合がある。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

#### [0036]

例えば、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路又はカレントミラー回路などを実現することができる。

#### [0037]

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個の容量が記載されている場合は、2個以上の容量が並列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタが直列に電氣的に接続され、かつそれぞれのトランジスタのゲート同士が電氣的に接続されている

場合を含むものとする。また、同様に、例えば、回路図上に1個のスイッチが記載されている場合は、当該スイッチが2個以上のトランジスタを有し、2個以上のトランジスタが直列、又は並列に電氣的に接続され、それぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。

[0038]

また、本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0039]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0040]

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0041]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

[0042]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要

素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0043]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0044]

また、「上」、又は「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0045]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0046]

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」、「配線」などの用語は、複数の「電極」、「配線」などが一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」、「電極」などの一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0047]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線

に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0048]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、結晶性が低下すること、などが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第15族元素など（但し、酸素、水素は含まない）がある。

[0049]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。そのため、スイッチは、制御端子とは別に、電流を流す端子を2つ、又は3つ以上有する場合がある。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0050]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、例えば、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態、ソース電極とドレイン電極との間に電流を流すことができる状態、などをいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0051]

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システムズ）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0052]

本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。したがって、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。したが

って、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が $60^{\circ}$ 以上 $120^{\circ}$ 以下の角度で配置されている状態をいう。

発明の効果

[0053]

本発明の一態様によって、積和演算、及び／又は関数演算を行う半導体装置などを提供することができる。又は、本発明の一態様によって、乗算セルに保持するデータの再書き込みを行う半導体装置を提供することができる。又は、本発明の一態様は、デジタル値を保持し、当該デジタル値に対してデジタルアナログ変換を行って、アナログ値による演算を行う半導体装置を提供することができる。又は、本発明の一態様によって、CNNなどの畳み込み処理を行う半導体装置などを提供することができる。又は、本発明の一態様によって、AI向けの半導体装置などを提供することができる。又は、本発明の一態様によって、DNN向けの半導体装置などを提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置などを提供することができる。又は、本発明の一態様によって、環境の温度の影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、トランジスタの特性ばらつきの影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、電流源の特性ばらつきの影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、新規な半導体装置などを提供することができる。

[0054]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0055]

図1A及び図1Bは、半導体装置の構成例を示すブロック図であり、図1Cは、半導体装置の構成例を示す斜視図である。

図2A乃至図2Cは、半導体装置に含まれている回路の構成例を示す回路図である。

図3は、半導体装置に含まれている回路の構成例を示す回路図である。

図4は、半導体装置に含まれている回路の構成例を示す回路図である。

図5は、半導体装置に含まれている回路の構成例を示す回路図である。

図6は、半導体装置に含まれている回路の構成例を示す回路図である。

図7A乃至図7Eは、半導体装置に含まれている回路の構成例を示す回路図である。

図8は、半導体装置に含まれている回路の構成例を示す回路図である。

図9は、半導体装置に含まれている回路の構成例を示す回路図である。

図10Aは半導体装置に含まれている回路の構成例を示す回路図であり、図10B乃至図10Eは半導体装置に含まれているメモリセルの構成例を示す回路図である。

図11は、半導体装置に含まれている回路の構成例を示す回路図である。

図12は、半導体装置に含まれている回路の構成例を示す回路図である。

図 1 3 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 1 4 A は半導体装置に含まれている回路の構成例を示す回路図であり、図 1 4 B は当該回路に含まれる一部の回路の構成例を示す回路図である。

図 1 5 は、半導体装置の構成例を示すブロック図である。

図 1 6 は、半導体装置の構成例を示すブロック図である。

図 1 7 A は半導体装置の構成例を示すブロック図であり、図 1 7 B は半導体装置に含まれている回路の構成例を示す回路図である。

図 1 8 A 乃至図 1 8 D は、半導体装置の構成例を示す回路図である。

図 1 9 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 2 0 A は半導体装置の構成例を示す回路図であり、図 2 0 B は半導体装置に含まれている回路の構成例を示す回路図である。

図 2 1 A は半導体装置の構成例を示す回路図であり、図 2 1 B は半導体装置に含まれている回路の構成例を示す回路図である。

図 2 2 A、及び図 2 2 B は、半導体装置の構成例を示す回路図である。

図 2 3 は半導体装置の構成例を示すブロック図である。

図 2 4 A、及び図 2 4 B は、階層型のニューラルネットワークを説明する図である。

図 2 5 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 2 6 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 2 7 A 乃至図 2 7 C は、半導体装置に含まれている回路の構成例を示す回路図である。

図 2 8 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 2 9 A 乃至図 2 9 F は、半導体装置に含まれている回路の構成例を示す回路図である。

図 3 0 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 3 1 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 3 2 は、半導体装置に含まれている回路の構成例を示す回路図である。

図 3 3 A 乃至図 3 3 E は、半導体装置に含まれている回路の構成例を示す回路図である。

図 3 4 A 乃至図 3 4 C は、半導体装置に含まれている回路の構成例を示す回路図である。

図 3 5 は、半導体装置の構成例を示す断面模式図である。

図 3 6 A 乃至図 3 6 C は、トランジスタの構成例を示す断面模式図である。

図 3 7 は、半導体装置の構成例を示す断面模式図である。

図 3 8 A、及び図 3 8 B は、トランジスタの構成例を示す断面模式図である。

図 3 9 は、トランジスタの構成例を示す断面模式図である。

図 4 0 A は I G Z O の結晶構造の分類を説明する図であり、図 4 0 B は結晶性 I G Z O の X R D スペクトルを説明する図であり、図 4 0 C は結晶性 I G Z O の極微電子線回折パターンを説明する図である。

図 4 1 A は半導体ウェハの一例を示す斜視図であり、図 4 1 B はチップの一例を示す斜視図であり、図 4 1 C 及び図 4 1 D は電子部品の一例を示す斜視図である。

図 4 2 は、電子機器の一例を示す概略図である。

図 4 3 A 乃至図 4 3 C は、電子機器の一例を示す概略図である。

発明を実施するための形態

[ 0 0 5 6 ]

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0057]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0058]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

[0059]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼称することができる。また、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0060]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0061]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0062]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0063]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0064]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0065]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0066]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“\_\_1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“\_\_1”、“[n]”、“[m, n]”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0067]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0068]

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置の構成について説明する。

[0069]

&lt;半導体装置の構成例1&gt;

図1Aは、本発明の一態様である半導体装置SDV1の構成例を示すブロック図である。半導体装置SDV1は、一例として、記憶装置MINTと、回路ILDと、演算部CLPと、を有する。また、図1Aには、半導体装置SDV1との電気的な接続の構成を示すため、記憶装置MEXTも図示している。

[0070]

記憶装置MEXTは、一例として、半導体装置SDV1の外部に設けられている。本実施の形態において、記憶装置MEXTは、演算部CLPで演算を行うためのデータを保持している。また、記憶装置MEXTは、当該データをデジタル電圧信号などとして記憶装置MINTに送信する。また、記憶装置MEXTは、記憶装置MINTだけでなく、後述する回路ILDに当該データを送信してもよい。つまり、半導体装置SDV1は、記憶装置MEXTの送信先として、記憶装置MIN

Tと回路ILDを切り替えられるように構成してもよい。

[0071]

また、半導体装置SDV1を、記憶装置MEXTから出力される信号の送信先として、記憶装置MINTと回路ILDを切り替えられるように構成したとき、記憶装置MEXTから記憶装置MINTにデータを送信する場合、記憶装置MINTのメモリ容量削減のため、当該データのビット数を少なくしてもよい。また、記憶装置MEXTから回路ILDにデータを送信する場合、当該データのビット数を多くしてもよい。または、記憶装置MEXTから記憶装置MINTにデータを送信する場合、記憶装置MINTのメモリ容量削減のため、当該データの高ビットの値を送信して、低ビットの値が必要になった場合は、記憶装置MEXTから回路ILDに低ビットの値を入力してもよい。つまり、記憶装置MINTと記憶装置MEXTとから、同時に、回路ILDに入力してもよい。

[0072]

なお、記憶装置MEXTは、一例として、HDD（ハードディスクドライブ）、SSD（ソリッドステートドライブ）などのストレージなどとしてすることができる。

[0073]

半導体装置SDV1は、例えば、1枚の基板BSEに回路素子などを形成することで、作製することができる。

[0074]

基板BSEとしては、例えば、様々な基板を用いることができる。様々な基板としては、例えば、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

[0075]

また、基板BSEとして、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板、可撓性の基板、などにも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成、基板上に

ポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

[0076]

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、更に別の基板（例えば、基板BSE）の上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

[0077]

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

[0078]

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

[0079]

例えば、基板BSEをシリコンが含まれる半導体基板とすることで、演算部CLPに含まれているトランジスタ、及び回路ILDに含まれているトランジスタのそれぞれをSiトランジスタとして基板BSE上に形成することができる。また、記憶装置MINTに含まれているトランジスタをOSTランジスタとすることで、演算部CLP、及び／又は回路ILDの上方に記憶装置MINTを設けることができる。つまり、半導体装置SDV1は、一例として、図1Cに示すとおり、基板BSEの上方に演算部CLPと回路ILDとが設けられ、演算部CLPと回路ILDとの上方に記

憶装置MINTが設けられた構成とすることができる。

[0080]

半導体装置SDV1に備えられる記憶装置MINTは、一例として、半導体装置SDV1の外部に設けられている記憶装置MEXTによって読み出された情報を取得して、当該情報を保持する機能を有する。また、記憶装置MINTは、記憶装置MINTに保持された情報を読み出して、回路ILDに当該情報を送信する機能を有する。なお、記憶装置MEXTから記憶装置MINTに送られる情報は、後述する演算部CLPによって演算を行うためのデータとして扱われる。

[0081]

なお、本明細書等では、記憶装置MINTは、デジタル値を保存する構成として説明する。記憶装置MINTをデジタル値として保存する記憶装置とすることで、記憶素子に保持された電荷量の絶対値が減少しても、データを読み出すことができる電位の範囲が大きいと、書き込み時と変わらないデータを読み出すことができる。また、デジタル値として保存する記憶装置の場合、記憶素子に保存されるデータのリフレッシュが容易であるため、記憶素子に保持される電位（電荷）を長く維持することができる。そのため、記憶装置MINTは、定期的に保持しているデータをリフレッシュする機能を有することが好ましい。また、後述する演算部CLP（回路ILD）にデータを送信した後にリフレッシュ動作を行ってもよい。なお、本明細書等において、データのリフレッシュとは、その記憶素子のデータに応じた電圧を読み出して、センスアンプなどの増幅回路などによって、当該電圧を適切なレベルにまで昇圧、又は降圧させて、当該記憶素子に書き戻す動作をいうものとする。なお、記憶装置MINTのメモリセルのデータを適正に書き直すとき、記憶装置MEXTからデータを読み出して、当該メモリセルに書き込んでもよい。また、本発明の半導体装置に係る記憶装置MINTは、デジタル値に限らず、多値、アナログ値などを保存する構成としてもよい。また、例えば、記憶装置MINTのメモリセルにおいて、多値（多ビット）を保持できる構成とした場合、演算部CLPの乗算セルに保持されるビット数よりも当該メモリセルのビット数を小さくすることによって、記憶装置MINTの複数のメモリセルを演算部CLPの1つの乗算セルに対応させることができる。例えば、記憶装置MINTのメモリセル1つにつき4ビットの値を保持でき、演算部CLPの乗算セル1つにつき8ビットの値を保持できる場合、記憶装置MINTのメモリセルに2つ4ビットの値を書き込むことで、演算部CLPの乗算セルに8ビットの値を書き込むことができる。

[0082]

ところで、記憶装置MINTに含まれているトランジスタとしては、例えば、OSトランジスタを適用することが好ましい。特に、OSトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等とすることが好ましい。また、当該トランジスタとしては、チャネル形成領域にシリコンを有するトランジスタ（以後、Siトランジスタと呼称する。）を適用してもよい。また、シリコンとしては、例えば、単結晶シリコン、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、例えば、Geなどがチャネル形成領域に含まれているトランジスタ

タ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

[0083]

回路ILDは、一例として、演算部CLPに電流を供給するための電流源回路として機能する。具体的には、回路ILDは、記憶装置MINTから読み出された情報に応じた電流を、演算部CLPに含まれている回路に供給する。なお、回路ILDは、演算部CLPに電流を供給するための電流源回路としてではなく、例えば、記憶装置MINTから読み出された情報に応じた電圧を演算部CLPに入力するための電圧源回路（電圧生成回路）としてもよい。

[0084]

演算部CLPは、乗算セルとして機能する回路を複数有する。また、当該乗算セルは、一例として、演算に用いるデータをアナログ値として保持する機能を有する。また、演算部CLPにおいて、当該回路は、マトリクス状に配置されているものとする。また、当該回路は、回路ILDから送られてきた情報（例えば、電流、電圧など）を保持した後に、演算部CLPに対して乗数に応じた電圧を入力することによって、当該情報に応じた値と当該乗数との積を計算することができる。また、当該回路によって算出された積を電流として出力する場合、複数の当該回路から出力されたそれぞれの電流を足し合わせることによって、その電流和は、複数の当該回路に保持されたそれぞれの情報（例えば、電流、電圧など）と、複数の乗数と、の積和の値に応じた量とすることができる。また、演算部CLPは、乗算セルを動作するための駆動回路も含まれているものとする。演算部CLPの回路構成、及び演算部CLPにおける積和演算の原理については、実施の形態2で詳述する。

[0085]

ところで、記憶装置MINTにデジタル値を保持する機能を有し、演算部CLPの乗算セルにアナログ値を保持する機能を有する場合、記憶装置MINTから演算部に演算に使用するデータを送信するときにはデジタルアナログ変換を行う必要がある。このとき、回路ILDは、電流源回路だけでなく、デジタルアナログ変換回路の機能を有することが好ましい。また、演算部CLPに書き込むアナログデータが大きいほど、記憶装置MINTに必要なメモリ容量が大きくなる。具体的には、例えば、演算部CLPにおいて、1つの乗算セルに8ビットの数値に相当するデータを保持する場合、記憶装置MINTでは、2値のメモリセルが8つ必要となる。この場合、記憶装置MINTの回路面積を大きくする必要があるため、半導体装置SDV1は、上述した図1Cのとおり、演算部CLP（演算部CLPを駆動する回路を含む）、回路ILDの上方に記憶装置MINTを設けた構成とすること、などが好ましい。また、記憶装置MINTのメモリセルに備えることができる容量としてトレンチ型を適用することでも、1つあたりのメモリセルの面積を縮小することができる。

[0086]

また、演算部CLPの乗算セルにアナログ値を保持する機能を有する場合、乗算セルからのリーク電流によって、乗算セルに保持されているアナログデータが劣化する場合がある。このため、半導体装置SDV1は定期的に、記憶装置MINTから、記憶装置MINTに保持されているデジタルデータ（乗算セルに保持されているデータと同じ値）を、回路ILDによってアナログデータに変換して、当該アナログデータを演算部CLPに送信して、演算部CLPの乗算セルの記憶素子に再び書き込む（電流、電圧などを入力する、又は電荷を補充する）構成とすることが好ましい。こ

のとき、記憶装置MINTは、演算部CLPの乗算セルの記憶素子に保持するアナログデータを補償するために、アナログデータに相当するデジタルデータを保持する回路として機能する。また、このような構成により、記憶装置MINTは、演算部CLPに対するメインメモリと呼称する場合がある。また、この場合、演算部CLPの乗算セルに備えられる記憶素子は、一時的なメモリとして考えることができる。また、例えば、記憶装置MINTのメモリセルMCLをデジタルデータ（2ビット）の保持が可能な回路とし、演算部CLPの乗算セルを8ビットに相当するアナログデータの保持が可能な回路とした場合、記憶装置MINTのメモリセルMCLは、演算部CLPの乗算セルよりもデータの保持を長くすることができるため（リーク電流による電荷量の絶対値の減少によってデータの値が変わりにくいため）、記憶装置MINTはメインメモリとして扱うことが好ましい。また、アナログデータを扱う演算はデジタルデータを扱う演算よりも計算効率が高いため、半導体装置SDV1としては、記憶装置MINTから読み出したデジタルデータをアナログデータに変換して、演算部CLPでアナログデータを扱う演算を行う構成とすることが好ましい。

[0087]

また、半導体装置SDV1は、演算部CLPを複数有していてもよい。例えば、図1Bに示すとおり、図1Aの演算部CLPの代わりに、演算部CLPaと演算部CLPbとを有してもよい。このように、半導体装置SDV1に演算部を複数設けることによって、半導体装置SDV1は、例えば、演算部CLPa又は演算部CLPbの一方に、記憶装置MINTから送信されたデータを書き込み、その間に演算部CLPa又は演算部CLPbの他方で演算を行うことができる。

[0088]

また、図1Bの構成において、演算部CLPa又は演算部CLPbの一方をアナログによる演算を行う回路とし、演算部CLPa又は演算部CLPbの他方をデジタルによる演算を行う回路としてもよい。また、演算部CLPa、及び演算部CLPbの両方をデジタルによる演算を行う回路としてもよい。

[0089]

<<回路ILD>>

ここで、回路ILDの具体的な回路構成例について説明する。なお、ここでは、記憶装置MINTから読み出されたデジタル値によってアナログ電流を出力するVI変換回路（デジタルアナログ変換回路と呼ばれる場合がある。）を回路ILDとして説明する。図2Aに示す回路ILDは、図1Aの回路ILDに適用できる電流源回路の一例である。図2Aの回路ILDは、回路WCS1を有し、回路WCS1は、定電流源CC[1]乃至定電流源CC[K]（Kは1以上の整数とする）と、スイッチSW[1]乃至スイッチSW[K]と、を有する。

[0090]

定電流源CC[u]（uは1以上K以下の整数とする。）の入力端子は、配線VDLに電氣的に接続され、定電流源CC[u]の出力端子は、スイッチSW[u]の第1端子に電氣的に接続され、スイッチSW[u]の第2端子は、配線ILに電氣的に接続されている。また、スイッチSW[u]の制御端子は、配線DIL[u]に電氣的に接続されている。

[0091]

図2Aに示す配線DIL[1]乃至配線DIL[K]は、図1Aの半導体装置SDV1に含まれている記憶装置MINTに電氣的に接続されている。つまり、配線DIL[1]乃至配線DIL[K]は、記憶装置MINTから読み出された情報を送信するための配線として機能する。

[0092]

配線VDLは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位とすることが好ましい。

[0093]

配線ILは、演算部CLPに電氣的に接続するための配線として機能する。つまり、配線ILは、回路ILDで生成される、記憶装置MINTに保持された情報に応じた電流を演算部CLPに流すための配線として機能する。なお、配線ILは、例えば、演算部CLPに延設されている1列の書き込みデータ線として機能する。そのため、演算部CLPが複数列の乗算セルを有している場合、回路ILDは、複数の回路WCS1を有することが好ましい。また、演算部CLPの構成によっては、1列に配置されている複数の乗算セルにおいて書き込みデータ線が2本設けられている場合がある。そのため、図2Aでは、一方の配線を配線ILとして図示し、他方の配線を配線ILBとして括弧で図示している。

[0094]

図2Aの回路WCS1は、一例として、Kビット ( $2^K$ 値) (Kは1以上の整数) の情報を電流として出力する機能を有する。具体的には、例えば、1ビット目の値に相当する情報は配線DIL[1]に入力され、uビット目の値に相当する情報は配線DIL[u]に入力され、Kビット目の値に相当する情報は配線DIL[K]に入力されることで、回路WCS1が、配線ILに流す電流量を決めることができる。このとき、定電流源CC[1]が流す定電流を $I_{ut}$ としたとき、定電流源CC[u]が流す定電流は $2^{u-1} \times I_{ut}$ とし、定電流源CC[K]が流す定電流は $2^{K-1} \times I_{ut}$ とすることが好ましい。

[0095]

また、記憶装置MINTと回路ILDとの間には、2進数から10進数に変換するためのデコーダDECを設けてもよい。この場合の回路ILDの回路構成を図2Bに示す。なお、図2Bでは、回路ILDに含まれている回路WCS2は、定電流源CC[1]乃至定電流源CC[ $2^K-1$ ]と、スイッチSW[1]乃至スイッチSW[ $2^K-1$ ]と、を有する。

[0096]

デコーダDECは、配線DIL[1]乃至配線DIL[K]に電氣的に接続され、また、配線DEL[1]乃至配線DEL[ $2^K-1$ ]に電氣的に接続されている。また、定電流源CC[t] (tは1以上 $2^K-1$ 以下の整数とする。)の入力端子は、配線VDLに電氣的に接続され、定電流源CC[t]の出力端子は、スイッチSW[t]の第1端子に電氣的に接続され、スイッチSW[t]の第2端子は、配線ILに電氣的に接続されている。また、スイッチSW[t]の制御端子は、配線DEL[t]に電氣的に接続されている。

[0097]

デコーダDECは、配線DIL[1]乃至配線DIL[K]に送られるKビット (2進数) の情報を、10進数の情報に変換して配線DEL[1]乃至配線DEL[ $2^K-1$ ]に送信する機能を有する。

[0098]

図2Bの回路WCS2は、一例として、図2Aの回路WCS1と同様に、Kビット ( $2^K$ 値) (Kは1以上の整数) の情報を電流として出力する機能を有する。但し、回路WCS2には、デコーダDECによって10進数に変換された情報が送られるため、定電流源CC[1]乃至定電流源

CC [2<sup>K</sup>−1] のそれぞれが流す定電流量は、 $I_{ut}$ とすることが好ましい。

[0099]

図2Aの回路WCS1、及び図2Bの回路WCS2に含まれている定電流源CCは、例えば、トランジスタを有する構成としてもよい。また、図2Aの回路WCS1、及び図2Bの回路WCS2に含まれているスイッチSWとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチを適用することができる。また、スイッチSWとしては、例えば、機械的なスイッチを適用してもよい。

[0100]

なお、本明細書等において、スイッチSWは、制御端子に高レベル電位が与えられているときオフ状態になり、制御端子に低レベル電位が与えられているときオン状態になるものとする。

[0101]

上記の具体例を図2Cに示す。図2Cの回路ILDは、図2Aの回路ILDにおいて、例えば、定電流源CC[1]がトランジスタCTr[1]を有し、定電流源CC[u]がトランジスタCTr[u]を有し、例えば、定電流源CC[K]がトランジスタCTr[K]を有し、スイッチSW[1]がトランジスタSTr[1]を有し、スイッチSW[u]がトランジスタSTr[u]を有し、スイッチSW[K]がトランジスタSTr[K]を有する回路構成となっている。

[0102]

図2Cに示す、トランジスタCTr[1]乃至トランジスタCTr[K]、及びトランジスタSTr[1]乃至トランジスタSTr[K]のそれぞれとしては、Siトランジスタを適用することが好ましい。また、Siトランジスタ以外のトランジスタとしては、例えば、Geなどがチャネル形成領域に含まれているトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

[0103]

また、図2Cに示す、トランジスタCTr[1]乃至トランジスタCTr[K]、及びトランジスタSTr[1]乃至トランジスタSTr[K]のそれぞれとしては、一例として、pチャネル型トランジスタとしている。なお、場合によって、又は、状況に応じて、トランジスタCTr[1]乃至トランジスタCTr[K]、及びトランジスタSTr[1]乃至トランジスタSTr[K]のそれぞれは、nチャネル型トランジスタとしてもよい。また、トランジスタCTr[1]乃至トランジスタCTr[K]、及びトランジスタSTr[1]乃至トランジスタSTr[K]のそれぞれをnチャネル型トランジスタとしたとき、トランジスタCTr[1]乃至トランジスタCTr[K]、及びトランジスタSTr[1]乃至トランジスタSTr[K]のそれぞれは、OSトランジスタを適用してもよい。

[0104]

例えば、トランジスタCTr[1]の第1端子は、配線VDLに電氣的に接続され、トランジスタCTr[1]の第2端子は、トランジスタSTr[1]の第1端子に電氣的に接続され、トランジスタSTr[1]の第2端子は、配線ILに電氣的に接続されている。また、トランジスタCTr[1]のゲートは、配線BIALに電氣的に接続され、トランジスタSTr[1]のゲートは、配線DIL[1]に電氣的に接続されている。また、例えば、トランジスタCTr[u]の第1端

子は、配線VDLに電氣的に接続され、トランジスタCTr [u] の第2端子は、トランジスタSTr [u] の第1端子に電氣的に接続され、トランジスタSTr [u] の第2端子は、配線ILに電氣的に接続されている。また、トランジスタCTr [u] のゲートは、配線BIALに電氣的に接続され、トランジスタSTr [u] のゲートは、配線DIL [u] に電氣的に接続されている。また、例えば、トランジスタCTr [K] の第1端子は、配線VDLに電氣的に接続され、トランジスタCTr [K] の第2端子は、トランジスタSTr [K] の第1端子に電氣的に接続され、トランジスタSTr [K] の第2端子は、配線ILに電氣的に接続されている。また、トランジスタCTr [K] のゲートは、配線BIALに電氣的に接続され、トランジスタSTr [K] のゲートは、配線DIL [K] に電氣的に接続されている。

[0105]

配線BIALは、一例として、定電圧を与える配線として機能する。配線BIALは、トランジスタCTr [1] 乃至トランジスタCTr [K] のそれぞれのゲートに電氣的に接続されているため、当該定電圧は、トランジスタCTr [1] 乃至トランジスタCTr [K] のそれぞれに電流を流すためのバイアス電圧として機能する。バイアス電圧としては、例えば、低レベル電位、接地電位などとすることが好ましい。

[0106]

なお、図2Cの回路ILDの場合、トランジスタCTr [1] のチャンネル幅（以下、W長と呼称する）とチャンネル長（以下、L長と呼称する）の比を $W/L$ としたとき、トランジスタCTr [u] のW長とL長の比は、 $2^{u-1} \times W/L$ 、又はその近傍の値とすることが好ましく、また、トランジスタCTr [K] のW長とL長の比は、 $2^{K-1} \times W/L$ 、又はその近傍の値とすることが好ましい。これにより、トランジスタCTr [1] とトランジスタCTr [u] とトランジスタCTr [K] のそれぞれに流れる電流の比は、概ね $1 : 2^{u-1} : 2^{K-1}$ となる。なお、 $2^{u-1} \times W/L$ の近傍の値とは、一例として、 $2^{u-1} \times W/L$ の0.9倍以上1.1倍以下の値とすることができる。また、同様に、 $2^{K-1} \times W/L$ の近傍の値とは、一例として、 $2^{K-1} \times W/L$ の0.9倍以上1.1倍以下の値とすることができる。

[0107]

又は、図2Cの回路ILDにおいて、トランジスタCTr [u] は、 $2^{u-1}$ 個の同じ構造のトランジスタが並列に電氣的に接続され、かつそれぞれのトランジスタのゲートが配線DIL [u] に電氣的に接続されている構成に置き換えてもよい。同様に、トランジスタCTr [K] は、 $2^{K-1}$ 個の同じ構造のトランジスタが並列に電氣的に接続され、かつそれぞれのトランジスタのゲートが配線DIL [K] に電氣的に接続されている構成に置き換えてもよい。これにより、トランジスタCTr [1] とトランジスタCTr [u] とトランジスタCTr [K] のそれぞれに流れる電流の比は、概ね $1 : 2^{u-1} : 2^{K-1}$ となる。

[0108]

ところで、トランジスタCTrは、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、トランジスタCTrのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタCTrは、線形領域で動作してもよい。また、トランジスタCTrに流れる電流量を小さくするため、トランジスタCTrは、サブスレッショルド領域で動作してもよい。ま

たは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。ところで、本明細書などにおいて、飽和領域とサブスレッショルド領域の境界付近としては、例えば、トランジスタのしきい値電圧を $V_{th}$ としたとき、ゲートソース間電圧が $V_{th}-1.0\text{ V}$ 以上、 $V_{th}-0.5\text{ V}$ 以上、又は $V_{th}-0.1\text{ V}$ 以上であり、かつ $V_{th}+0.1\text{ V}$ 以下、 $V_{th}+0.5\text{ V}$ 以下、又は $V_{th}+1.0\text{ V}$ 以下である場合を含むものとする。なお、上述した下限値、上限値は互いに組み合わせることができるものとする。又は、例えば、トランジスタ $CTr$ は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、線形領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0109]

また、本明細書などにおいて、トランジスタ $STr$ は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわちトランジスタ $STr$ のゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタ $STr$ は、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。又は、トランジスタ $STr$ は、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタ $STr$ は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0110]

なお、回路 $ILD$ としては、図2A乃至図2Cの構成ではなく、例えば、オペアンプを用いたデジタルアナログ変換回路としてもよい。なお、消費電力を低くする場合、図2A乃至図2Cの構成である $VI$ 変換回路を用いることが好ましい。

[0111]

<<記憶装置 $MINT$ と回路 $ILD$ の構成例1>>

次に、記憶装置 $MINT$ 、及び記憶装置 $MINT$ と回路 $ILD$ と演算部 $CLP$ との電気的な接続構成について説明する。

[0112]

図3は、記憶装置 $MINT$ と、上述した図2Aの回路 $ILD$ の一部と、演算部 $CLP$ の一部と、を示した回路構成例である。

[0113]

なお、図3に示す演算部 $CLP$ の構成は、一例として、実施の形態2で説明する演算回路110の一部としている。そのため、図3に示す演算部 $CLP$ の詳細については、実施の形態2の説明を参酌する。

[0114]

また、図3に示す演算部は、1列に配置されている複数の乗算セルにおいて書き込みデータ線が2本設けられている構成となっている。一方の書き込みデータ線である配線 $IL$ は、回路 $ILD$ に含まれる回路 $WCS1$ に電気的に接続されている。他方の書き込みデータ線である配線 $ILB$ と回

路 I L D との電氣的接続については図示していないが、配線 I L B は、配線 I L とは異なる回路 W C S 1 に電氣的に接続されているものとする。

[0115]

記憶装置 M I N T は、N O S R A M ( N o n v o l a t i l e O x i d e S e m i c o n d u c t o r R a n d o m A c c e s s M e m o r y ) (登録商標) と呼ばれる記憶回路を有する構成を有している。具体的には、図 3 において、記憶装置 M I N T は、メモリセル M C L [ 1 ] 乃至メモリセル M C L [ m ] ( m は 1 以上の整数とする) と、スイッチ R S W と、回路 W W D と、回路 R W D と、を有しており、メモリセル M C L [ 1 ] 乃至メモリセル M C L [ m ] のそれぞれは、トランジスタ F 1 乃至トランジスタ F 3 と、容量 C I と、を有する。

[0116]

トランジスタ F 1 乃至トランジスタ F 3 のそれぞれとしては、上述したとおり、O S トランジスタを適用することができる。または、トランジスタ F 1 乃至トランジスタ F 3 のそれぞれとしては、S i トランジスタとしてもよい。また、O S トランジスタ、S i トランジスタ以外のトランジスタとしては、例えば、G e などがチャネル形成領域に含まれているトランジスタ、Z n S e 、C d S 、G a A s 、I n P 、G a N 、S i G e などの化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

[0117]

また、記憶装置 M I N T に含まれているトランジスタとして O S トランジスタを適用し、演算部 C L P に含まれているトランジスタとして O S トランジスタを適用することで、それぞれの O S トランジスタは同一の工程で同時に作製することができる場合がある。記憶装置 M I N T と、演算部 C L P と、に含まれている O S トランジスタを同時に作製することによって、半導体装置 S D V 1 の作製時間を短縮することができる。

[0118]

トランジスタ F 1 は、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、トランジスタ F 1 のゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタ F 1 は、線形領域で動作してもよい。また、トランジスタ F 1 に流れる電流量を小さくするために、トランジスタ F 1 は、サブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、例えば、トランジスタ F 1 は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0119]

また、本明細書などにおいて、トランジスタ F 2 、及びトランジスタ F 3 は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範

囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタF 2、及びトランジスタF 3は、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。又は、トランジスタF 2、及びトランジスタF 3は、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタF 2、及びトランジスタF 3は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0120]

スイッチR SWとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチを適用することができる。また、スイッチSWとしては、例えば、機械的なスイッチを適用してもよい。

[0121]

なお、本明細書等において、スイッチR SWは、制御端子に高レベル電位が与えられているときオン状態になり、制御端子に低レベル電位が与えられているときオフ状態になるものとする。

[0122]

記憶装置MINTは、一例として、メモリセルMCLがマトリクス状に配置された構成とすることができる。例えば、記憶装置MINTは、メモリセルMCL [1] 乃至メモリセルMCL [m] を1列として、それがを複数列配置された構成とすることができる。なお、図3の記憶装置MINTでは、メモリセルMCL [1] 乃至メモリセルMCL [m] がK列配置されており、ここでは、そのu列目のメモリセルMCL [1] 乃至メモリセルMCL [m] のみ図示している。

[0123]

記憶装置MINTのu列目のメモリセルMCL [1] 乃至メモリセルMCL [m] は、配線DIL [u] に電氣的に接続されている。つまり、u列目のメモリセルMCL [1] 乃至メモリセルMCL [m] は、回路ILDに含まれている回路WCS1のスイッチSW [u] に電氣的に接続されている。

[0124]

メモリセルMCL [1] において、トランジスタF 1の第1端子は、配線VEAに電氣的に接続され、トランジスタF 1の第2端子は、トランジスタF 3の第1端子に電氣的に接続され、トランジスタF 1のゲートは、トランジスタF 2の第1端子と、容量CIの第1端子と、に電氣的に接続されている。また、トランジスタF 2の第2端子は、配線WBL [u] に電氣的に接続され、トランジスタF 2のゲートは、配線WWL [1] に電氣的に接続されている。また、トランジスタF 3の第2端子は、配線RBL [u] に電氣的に接続され、トランジスタF 3のゲートは、配線RWL [1] に電氣的に接続されている。また、容量CIの第2端子は、配線VEAに電氣的に接続されている。

[0125]

また、メモリセルMCL [m] において、トランジスタF 1の第1端子は、配線VEAに電氣的に接続され、トランジスタF 1の第2端子は、トランジスタF 3の第1端子に電氣的に接続され、トランジスタF 1のゲートは、トランジスタF 2の第1端子と、容量CIの第1端子と、に電氣的

に接続されている。また、トランジスタF 2の第2端子は、配線WBL [u] に電氣的に接続され、トランジスタF 2のゲートは、配線WWL [m] に電氣的に接続されている。また、トランジスタF 3の第2端子は、配線RBL [u] に電氣的に接続され、トランジスタF 3のゲートは、配線RWL [m] に電氣的に接続されている。また、容量C 1の第2端子は、配線VEAに電氣的に接続されている。

[0126]

配線WWL [1] 乃至配線WWL [m] は、回路WWDに電氣的に接続されている。また、配線RWL [1] 乃至配線RWL [m] は、回路RWDに電氣的に接続されている。

[0127]

また、配線RBL [u] は、スイッチRSWの第1端子と、配線DIL [u] に電氣的に接続されている。また、スイッチRSWの第2端子は、配線VDL 2に電氣的に接続されている。また、スイッチRSWの制御端子は、配線SL 11に電氣的に接続されている。

[0128]

配線WWL [1] 乃至配線WWL [m] のそれぞれは、メモリセルMCL [1] 乃至メモリセルMCL [m] における書き込みワード線としての機能を有する。また、回路WWDは、書き込みが行われるメモリセルを選択する駆動回路であって、配線WWL [1] 乃至配線WWL [m] のいずれかーに書き込み用の選択信号を送信する機能を有する。

[0129]

配線RWL [1] 乃至配線RWL [m] のそれぞれは、メモリセルMCL [1] 乃至メモリセルMCL [m] における読み出しワード線としての機能を有する。また、回路RWDは、読み出しが行われるメモリセルを選択する駆動回路であって、配線RWL [1] 乃至配線RWL [m] のいずれかーに読み出し用の選択信号を送信する機能を有する。

[0130]

配線WBL [u] は、メモリセルMCL [1] 乃至メモリセルMCL [m] における、書き込みデータ線（書き込みビット線と呼ばれる場合がある。）として機能する。なお、記憶装置MINTは、図1における記憶装置MEXTから送られる情報を保持するため、配線WBL [u] は、記憶装置MEXTに電氣的に接続されている。つまり、配線WBL [u] は、記憶装置MEXTから読み出された情報を記憶装置MINTに送信するための配線として機能する。

[0131]

配線RBL [u] は、メモリセルMCL [1] 乃至メモリセルMCL [m] における、読み出しデータ線（読み出しビット線と呼ばれる場合がある。）として機能する。

[0132]

配線VDL 2は、記憶装置MINTのメモリセルMCL [1] 乃至メモリセルMCL [m] のいずれかーから保持されたデータを読み出す前に、配線RBL [u] に所定の電位をプリチャージするための配線として機能する。そのため、配線VDL 2は、定電圧を与える配線とすることが好ましい。また、当該定電圧（配線RBL [u] にプリチャージする電圧）としては、例えば、高レベル電位とすることができる。

[0133]

配線VEAは、一例として、トランジスタF 1の第1端子にソース電位を与える配線として機能する。そのため、配線VEAは、定電圧を与える配線とすることが好ましい。また、当該定電圧

(配線RBL [u] にプリチャージする電圧) としては、例えば、低レベル電位とすることができる。

[0134]

また、配線VEAは、定電圧を与える配線として機能することで、容量CIの第2端子の電位を固定することができる。これにより、容量CIの第1端子をフローティング状態にすることで、容量CIの第1端子ー第2端子間の電圧、例えば、トランジスタF1のゲートーソース間電圧を保持することができる。なお、容量CIの第2端子は、配線VEAでなく、別の定電圧を与える配線に電氣的に接続されていてもよい。

[0135]

配線SL11は、スイッチRSWのオン状態、オフ状態の切り替えを行う制御信号（デジタル値）を送信するための配線として機能する。

[0136]

[記憶装置MINTへの書き込み動作]

メモリセルMCL [1] に記憶装置MEXTから読み出された情報を書き込む場合、初めに、配線RWL [1] 乃至配線RWL [m] のそれぞれに低レベル電位を入力して、メモリセルMCL [1] 乃至メモリセルMCL [m] のそれぞれのトランジスタF3をオフ状態にする。次に、配線WWL [1] に高レベル電位を入力し、配線WWL [2] 乃至配線WWL [m] に低レベル電位を入力する。これにより、メモリセルMCL [1] のトランジスタF2がオン状態となり、メモリセルMCL [2] 乃至メモリセルMCL [m] のそれぞれのトランジスタF2がオフ状態となる。ここで、配線WBL [u] に、記憶装置MEXTから読み出された情報に応じた電位 $V_{DATA}$ が入力されることによって、メモリセルMCL [1] の容量CIの第1端子の電位は、 $V_{DATA}$ となる。その後、配線WWL [1] に低レベル電位を入力して、メモリセルMCL [1] のトランジスタF2をオフ状態にすることによって、メモリセルMCL [1] に記憶装置MEXTから読み出された情報として $V_{DATA}$ を保持することができる。

[0137]

[記憶装置MINTからの読み出し動作]

メモリセルMCL [1] から $V_{DATA}$ を読み出して回路ILDに入力する場合、初めに、配線SL11に高レベル電位を与えて、スイッチRSWをオン状態にする。これにより、配線RBL [u] の電位は、配線VDL2が与えられる高レベル電位となる。ここで、配線VDL2が与える高レベル電位を $V_{PR}$ とする。また、配線RBL [u] の電位が $V_{PR}$ に達した後に、配線SL11に低レベル電位を与えてスイッチRSWをオフ状態にすることで、配線RBL [u] へのプリチャージが完了する。なお、このとき、配線DIL [u] の電位も高レベル電位である $V_{PR}$ となるため、回路ILDにおいて、スイッチSW [u] はオフ状態となり、電流源CC [u] で生成された電流は配線ILに流れない。

[0138]

次に、配線RWL [1] に高レベル電位を入力し、配線RWL [2] 乃至配線RWL [m] に低レベル電位を入力する。これにより、メモリセルMCL [1] のトランジスタF2がオン状態となり、メモリセルMCL [2] 乃至メモリセルMCL [m] のそれぞれのトランジスタF2がオフ状態となる。このとき、メモリセルMCL [1] において、トランジスタF1の第2端子と配線RBL [u] との間が導通状態となるため、トランジスタF1の第2端子に電位 $V_{PR}$ が与えられる。ま

た、このとき、トランジスタF 1のゲートソース間の電圧は $V_{DATA}-V_S$ であって、 $V_{DATA}-V_S$ がトランジスタF 1のしきい値電圧 $V_{th}$ よりも高いとき、トランジスタF 1のソースドレイン間に電流が流れる。トランジスタF 1のソースドレイン間に電流が流れることで、プリチャージされた配線RBL [u]の電位は低下していき、トランジスタF 1の第2端子の電位が所定の電位まで下がったとき、トランジスタF 1はオフ状態となる。または、 $V_{DATA}-V_S$ がトランジスタF 1のしきい値電圧 $V_{th}$ よりも低いとき、トランジスタF 1はオフ状態となるため、トランジスタF 1のソースドレイン間に電流は流れない。このため、プリチャージされた配線RBL [u]の電位は変化しない。

[0139]

上記のとおり、容量C Iの第1端子に保持されている電圧に応じて、プリチャージされている配線RBL [u]の電位が変動するか否かが決まる。そのため、配線RWL [1]に高レベル電位を入力してトランジスタF 3をオン状態にした後に、配線RBL [u]の電位を測定することによって、容量C Iの第1端子に保持されている電圧を読み出すことができる。

[0140]

また、配線RBL [u]は、配線DIL [u]と導通状態であるため、配線RBL [u]の電位が変化することで、配線DIL [u]の電位も変化する。このため、メモリセルMCL [1]から読み出された情報に応じた電位が、回路WCS 1のスイッチSW [u]の制御端子に与えられるため、スイッチSW [u]のオンオフの状態が定まる。具体的には、 $V_{DATA}-V_S$ がトランジスタF 1のしきい値電圧 $V_{th}$ よりも高いとき、配線DIL [u]の電位は $V_{PR}$ よりも低くなるため、スイッチSW [u]はオン状態となる。一方、 $V_{DATA}-V_S$ がトランジスタF 1のしきい値電圧 $V_{th}$ よりも低いとき、配線DIL [u]の電位は $V_{PR}$ のまま変化しないため、スイッチSW [u]はオフ状態のままとなる。

[0141]

記憶装置MINTの構成、及び記憶装置MINTと回路ILDとの接続構成を、図3のとおりにすることによって、記憶装置MINTのu列目のメモリセルMCL [1]乃至メモリセルMCL [m]のそれぞれに保持されている情報と、回路WCS 1のスイッチSW [u]のオンオフの状態を対応させることができる。また、図3の回路構成では、記憶装置からデータを読み出すための読み出し回路を不要にできるため、回路面積の低減、消費電力の削減などを図ることができる。

[0142]

半導体装置SDV 1として、図3に図示された構成を適用することによって、記憶装置MINTからデータを読み出して、当該データを演算部CLPの乗算セルに書き込むことができる。また、この動作を一定時間毎に行うことで、定期的に演算部CLPの乗算セルにおいて、リーク電流によって劣化したデータ（減少した電荷量の絶対値）を、元のデータ（元の電荷量の絶対値）に書き直すことができる。つまり、半導体装置SDV 1として、図3に図示された構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータに対する再書き込みの動作を容易に行うことができる。

[0143]

<<記憶装置MINTと回路ILDの構成例2>>

また、本発明の一態様に係る、記憶装置MINTと回路ILDとの構成は、図3に示した回路構成に限定されない。記憶装置MINTと回路ILDとの構成は、場合によって、又は、状況に応じ

て、含まれている回路素子、接続構成などを変更してもよい。

[0144]

例えば、図3に示した記憶装置MINTと回路ILDとの構成は、図4に示す回路構成に変更してもよい。図4は、図3において、配線RBL[u]と、配線DIL[u]との電気的な経路の間に、回路BFを設けた構成となっている。

[0145]

回路BFは、例えば、バッファ回路、インバータ回路、ラッチ回路などの増幅回路が含まれている構成とすることができる。具体的には、回路BFは、配線RBL[u]の電位を参照して、配線DIL[u]に、当該電位を増幅した電位を出力する機能を有することができる。

[0146]

図4に示すとおり、回路BFを設けることによって、スイッチSW[u]の制御端子に入力される電位を安定させることができる。

[0147]

半導体装置SDV1として、図4に図示された構成を適用することでも、演算部CLPの乗算セルの記憶素子に保持されたデータに対する書き込みの動作を容易に行うことができる。

[0148]

<<記憶装置MINTと回路ILDの構成例3>>

図5は、図2Bに示すとおり、回路ILDにデコーダDECが電気的に接続されている場合における、記憶装置MINTと、上述した回路ILDの一部と、演算部CLPと、を示した回路構成例である。図5に示すとおり、記憶装置MINTは、配線DIL[1]乃至配線DIL[K]を介して、デコーダDECに電気的に接続され、回路ILDは、配線DEL[1]乃至配線DEL[L]を介して、デコーダDECに電気的に接続されている。

[0149]

また、演算部CLPについては、図3に図示した演算部CLPの説明を参酌する。

[0150]

なお、図5では、一例として、図3と同様に、NOSRAM（登録商標）と呼ばれる記憶回路を有する構成を有している。なお、図5の記憶装置MINTでは、図3に示すメモリセルMCL[1]乃至メモリセルMCL[m]と同様のメモリセルが、m行K列のマトリクス状に配置されている構成となっている。また、図5では、当該マトリクス状に配置されているメモリセルをメモリセルMCL[1, 1]乃至メモリセルMCL[m, K]と記載している。また、図5の記憶装置MINTは、図3に図示されたスイッチRSWに相当する、スイッチRSW[1]乃至スイッチRSW[K]と、回路WWDと、回路RWDと、を有する。

[0151]

なお、回路WWD、及び回路RWDについては、図3に図示した回路WWD、及び回路RWDの説明を参酌する。

[0152]

1列目に位置するメモリセルMCL[1, 1]乃至メモリセルMCL[m, 1]は、配線WBL[1]と、配線RBL[1]と、に電気的に接続されている。また、K列目に位置するメモリセルMCL[1, K]乃至メモリセルMCL[m, K]は、配線WBL[K]と、配線RBL[K]と、に電気的に接続されている。また、1行目に位置するメモリセルMCL[1, 1]乃至メモリセル

MCL [1, K] は、配線WWL [1] と、配線RWL [1] と、に電氣的に接続されている。また、m行目に位置するメモリセルMCL [m, 1] 乃至メモリセルMCL [m, K] は、配線WWL [m] と、配線RWL [m] と、に電氣的に接続されている。

[0153]

また、配線RBL [1] は、スイッチRSW [1] の第1端子と、配線DIL [1] と、に電氣的に接続されている。また、スイッチRSW [1] の第2端子は、配線VDL 2に電氣的に接続されている。また、配線RBL [K] は、スイッチRSW [m] の第1端子と、配線DIL [K] と、に電氣的に接続されている。また、スイッチRSW [K] の第2端子は、配線VDL 2に電氣的に接続されている。また、スイッチRSW [1] 乃至スイッチRSW [K] のそれぞれの制御端子は、配線SL 1 1に電氣的に接続されている。

[0154]

図5の記憶装置MINTにおいて、図3に示した記憶装置MINTと同様にデータの読み出し動作を行うことで、1行目乃至m行目のいずれか一行の複数のメモリセルMCLから読み出された情報をデコーダDECに入力することができる。

[0155]

例えば、図5の記憶装置MINTの読み出し動作で1行目に位置するメモリセルMCL [1, 1] 乃至メモリセルMCL [1, K] が選択された場合、メモリセルMCL [1, 1] 乃至メモリセルMCL [1, K] から読み出されたそれぞれの情報は、配線DIL [1] 乃至配線DIL [K] を介して、デコーダDECに入力される。このとき、デコーダDECには、配線DIL [1] 乃至配線DIL [K] からKビットのデータが送信されたことになる。デコーダDECは、配線DIL [1] 乃至配線DIL [K] から送信された2進数のデータから10進数のデータに変換して、配線DEL [1] 乃至配線DEL [2<sup>K</sup>-1] に出力する。これにより、回路ILDに含まれる回路WCS 2のスイッチSW [1] 乃至スイッチSW [2<sup>K</sup>-1] のそれぞれの制御端子に、デコーダDECからの10進数のデータが入力されて、当該データに応じて、スイッチSW [1] 乃至スイッチSW [2<sup>K</sup>-1] のうちオン状態になるスイッチの数が定まる。つまり、記憶装置MINTのある一行に位置する複数のメモリセルMCLに書き込まれている情報によって、スイッチSW [1] 乃至スイッチSW [2<sup>K</sup>-1] のうちオン状態になるスイッチの数が決まり、オン状態となったスイッチの数に応じた電流が、回路WCS 2から配線ILに流れる。

[0156]

半導体装置SDV 1として、図5に図示された構成を適用することによって、図3と同様に、記憶装置MINTからデータを読み出して、当該データを演算部CLPの乗算セルに書き込むことができる。また、この動作を一定時間毎に行うことで、定期的に演算部CLPの乗算セルにおいて、リーク電流によって劣化したデータ（減少した電荷量の絶対値）を、元のデータ（元の電荷量の絶対値）に書き直すことができる。つまり、半導体装置SDV 1として、図5に図示された構成を適用することでも、演算部CLPの乗算セルの記憶素子に保持されたデータに対する再書き込みの動作を容易に行うことができる。

[0157]

また、図3乃至図5に示した記憶装置MINTに含まれるメモリセルMCLは、3個のトランジスタと、1個の容量素子と、を有する構成としたが、本発明の一態様は、これに限定されない。本発明の一態様は、例えば、記憶装置MINTに含まれるメモリセルMCLが、2個のトランジスタ

と、1個の容量素子と、を有する構成としてもよい。そのような構成例を図6に示す。図6に示す記憶装置MINTのメモリセルMCLは、トランジスタF3を含まない点と、容量C1の第2端子が配線RWLに電氣的に接続されている点と、で図3乃至図5に示した記憶装置MINTのメモリセルMCLと異なっている。

[0158]

図6に示すメモリセルMCL[1]乃至メモリセルMCL[m]において、トランジスタF1の第2端子は、配線RBL[u]に電氣的に接続されている。また、図6のメモリセルMCL[1]の容量C1の第2端子は、配線RWL[1]に電氣的に接続され、図6のメモリセルMCL[m]の容量C1の第2端子は、配線RWL[m]に電氣的に接続されている。

[0159]

メモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれの容量C1の第1端子に、記憶装置MEXTから読み出された情報を書き込むとき、配線RWL[1]乃至配線RWL[m]には高レベル電位が入力されていることが好ましい。また、メモリセルMCL[1]乃至メモリセルMCL[m]の容量C1の第1端子に情報を保持している間は、配線RWL[1]乃至配線RWL[m]には低レベル電位が入力されていることが好ましい。特にこの場合、配線RWL[1]乃至配線RWL[m]に低レベル電位が与えられることで、トランジスタF1がオフ状態になることが好ましい。また、メモリセルMCL[1]乃至メモリセルMCL[m]のいずれか一から容量C1の第1端子に書き込まれた情報を読み出すとき、配線RWL[1]乃至配線RWL[m]には高レベル電位が入力されていることが好ましい。特にこの場合、配線RWL[1]乃至配線RWL[m]には高レベル電位が入力されることで、トランジスタF1がオン状態となることが好ましい。

[0160]

また、本発明の一態様は、例えば、図3乃至図6の記憶装置MINTにおいて、配線WBL[u]と、配線RBL[u]と、が共通の配線として、1本の配線にまとめられた構成としてもよい。図7は、図3の記憶装置MINTにおいて、配線WBL[u]と配線RBL[u]とを、配線RBL[u]として1本の配線にまとめた構成を示している。また、図7の記憶装置MINTの配線RBL[u]は、読み出しデータ線だけでなく、書き込みデータ線としても機能するため、記憶装置MINTは、スイッチRSWに加えて、書き込み動作と読み出し動作のそれぞれを切り替えるためのスイッチWSWと、スイッチRSW2と、を有する。

[0161]

図7の記憶装置MINTにおいて、スイッチWSWは、配線WBL[u]と配線RBL[u]との間の電氣的な経路に設けられ、スイッチRSW2は、配線RBL[u]と配線DIL[u]との間の電氣的な経路に設けられている。

[0162]

また、スイッチWSW、及びスイッチRSW2としては、例えば、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。

[0163]

図7の記憶装置MINTのメモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれの容量C1の第1端子に、記憶装置MEXTから読み出された情報を書き込むとき、スイッチWSWをオン状態にし、スイッチRSW及びスイッチRSW2のそれぞれをオフ状態にする。その後のメモリセルMCL[1]乃至メモリセルMCL[m]の動作については、図3の記憶装置MINTの書

き込み動作の説明を参酌する。また、図7の記憶装置MINTのメモリセルMCL [1] 乃至メモリセルMCL [m] のいずれか一から容量CIの第1端子に書き込まれた情報を読み出すとき、初めにスイッチWSWをオフ状態にする。その後のメモリセルMCL [1] 乃至メモリセルMCL [m] の動作については、図3の記憶装置MINTの読み出し動作の説明を参酌する。

[0164]

<<記憶装置MINTと回路ILDの構成例4>>

図3乃至図7に示した記憶装置MINTは、NOSRAM（登録商標）を有する回路構成としたが、本発明の一態様の半導体装置に係る記憶装置MINTは、これに限定されない。記憶装置MINTは、例えば、DRAM（Dynamic Random Access Memory）を有する回路構成としてもよい。

[0165]

図8は、記憶装置MINTと、上述した回路ILDの一部を示した回路構成例であって、記憶装置MINTは、メモリセルMCL [1] 乃至メモリセルMCL [m] と、回路SAと、回路WRDと、を有する。また、記憶装置MINTに含まれているメモリセルMCL [1] 乃至メモリセルMCL [m] のそれぞれは、トランジスタF4と、容量CI2と、を有するDRAMの構成となっている。

[0166]

トランジスタF4としては、例えば、図3乃至図7に示したトランジスタF2に適用できるトランジスタを用いることができる。そのため、トランジスタF4の構成などについては、本明細書等のトランジスタF2の説明を参酌する。

[0167]

特に、トランジスタF4として、OSトランジスタを適用した場合、図8の記憶装置MINTは、DOSRAM（Dynamic Oxide Semiconductor Random Access Memory）（登録商標）と呼ばれることがある。

[0168]

記憶装置MINTは、一例として、メモリセルMCLがマトリクス状に配置された構成とすることができる。例えば、記憶装置MINTは、メモリセルMCL [1] 乃至メモリセルMCL [m] を1列として、それが複数列配置された構成とすることができる。なお、図8の記憶装置MINTでは、メモリセルMCL [1] 乃至メモリセルMCL [m] がK列配置されており、ここでは、そのu列目のメモリセルMCL [1] 乃至メモリセルMCL [m] のみ図示している。

[0169]

記憶装置MINTのu列目のメモリセルMCL [1] 乃至メモリセルMCL [m] は、配線RBL [u] に電氣的に接続されている。また、回路SAは、配線WBL [u] と、配線RBL [u] と、配線DIL [u] と、に電氣的に接続されている。

[0170]

メモリセルMCL [1] 乃至メモリセルMCL [m] のそれぞれにおいて、トランジスタF4の第1端子は、容量CI2の第1端子に電氣的に接続され、容量CI2の第2端子は、配線VEAに電氣的に接続されている。トランジスタF4の第2端子は、配線RBL [u] に電氣的に接続されている。

[0171]

メモリセルMCL [1] において、トランジスタF4のゲートは、配線WRL [1] に電氣的に接続されている。また、メモリセルMCL [m] において、トランジスタF4のゲートは、配線WRL [m] に電氣的に接続されている。

[0172]

また、配線WRL [1] 乃至配線WRL [m] は、回路WRDに電氣的に接続されている。

[0173]

配線WRL [1] 乃至配線WRL [m] のそれぞれは、メモリセルMCL [1] 乃至メモリセルMCL [m] における書き込み動作及び読み出し動作を行うためのワード線としての機能を有する。また、回路WRDは、書き込み又は読み出しが行われるメモリセルを選択する駆動回路であって、配線WRL [1] 乃至配線WRL [m] のいずれかーに書き込み用、又は読み出し用の選択信号を送信する機能を有する。

[0174]

配線RBL [u] は、メモリセルMCL [1] 乃至メモリセルMCL [m] における書き込み動作及び読み出し動作を行うためのデータ線として機能する。

[0175]

配線VEAは、図3乃至図7に示す配線VEAと同様に、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位、などとすることができる。

[0176]

回路SAは、例えば、配線WBL [u] に送信されている、記憶装置MEXTから読み出された情報（電圧、電流など）を増幅して、配線RBL [u] に供給する機能を有する。また、回路SAは、例えば、配線RBL [u] に送信されている、メモリセルMCL [1] 乃至メモリセルMCL [m] のいずれかーから読み出された情報を増幅して、配線DIL [u] に送信する機能を有する。このため、図8の記憶装置MINTに含まれる回路SAは、書き込み動作と読み出し動作とを切り替える回路、増幅回路（例えば、センスアンプなど）などを有する構成とすることができる。また、回路SAは、このため読み出し回路と呼ばれることがある。また、回路SAは、データの読み出し破壊が起きたメモリセルMCL [1] 乃至メモリセルMCL [m] のいずれかーに対して、データを書き戻す機能を有してもよい。

[0177]

なお、図8のとおり、記憶装置MINTにDRAM（又はDOSRAM（登録商標））の記憶回路を設けた構成において、メモリセルMCLに備える容量C1の容量値を大きくすることで、読み出し時におけるメモリセルMCLから配線RBL [u] への読み出し信号（電圧）を大きくすることができる。容量C1の容量値を大きくする手段としては、例えば、容量C1にトレンチ型の容量を適用すればよい。

[0178]

なお、本発明の一態様は、図8に示した回路構成に限定されない。本発明の一態様は、場合によって、又は、状況に応じて、図8の回路構成を変更したものとしてもよい。例えば、図8に示した記憶装置MINTには、図3乃至図7に示したNOSRAM（登録商標）の記憶回路を有する記憶装置MINTの構成を組み合わせることができる。

[0179]

例えば、本発明の一態様は、図5と同様に、図8の回路構成にデコーダDECが加わった構成と

してもよい。具体例として、図9には、記憶装置MINTが、配線DIL[1]乃至配線DIL[K]を介して、デコーダDECに電氣的に接続され、回路ILDが、配線DEL[1]乃至配線DEL[L]を介して、デコーダDECに電氣的に接続されている構成を示している。

[0180]

図9の記憶装置MINTでは、図8に示すメモリセルMCL[1]乃至メモリセルMCL[m]と同様のメモリセルが、m行K列のマトリクス状に配置されている構成となっている。また、図9では、当該マトリクス状に配置されているメモリセルをメモリセルMCL[1, 1]乃至メモリセルMCL[m, K]と記載している。また、図9の記憶装置MINTは、図8に図示された回路SAに相当する、回路SA[1]乃至回路SA[K]を有する。

[0181]

1列目に位置するメモリセルMCL[1, 1]乃至メモリセルMCL[m, 1]は、配線RBL[1]に電氣的に接続されている。また、K列目に位置するメモリセルMCL[1, K]乃至メモリセルMCL[m, K]は、配線RBL[K]に電氣的に接続されている。また、1行目に位置するメモリセルMCL[1, 1]乃至メモリセルMCL[1, K]は、配線WRL[1]に電氣的に接続されている。また、m行目に位置するメモリセルMCL[m, 1]乃至メモリセルMCL[m, K]は、配線WRL[m]に電氣的に接続されている。

[0182]

また、回路SA[1]は、配線WBL[1]と、配線RBL[1]と、配線DIL[1]と、に電氣的に接続されている。また、回路SA[K]は、配線WBL[K]と、配線RBL[K]と、配線DIL[K]と、に電氣的に接続されている。

[0183]

なお、デコーダDECと、回路ILDと、の電氣的な接続については、図2Bの説明を参酌する。

[0184]

図9の記憶装置MINTにおいて、図8に示した記憶装置MINTと同様にデータの読み出し動作を行うことで、1行目乃至m行目のいずれか一行の複数のメモリセルMCLから読み出された情報をデコーダDECに入力することができる。

[0185]

半導体装置SDV1として、図9に図示された構成を適用することによって、図3と同様に、記憶装置MINTからデータを読み出して、当該データを演算部CLPの乗算セルに書き込むことができる。また、この動作を一定時間毎に行うことで、定期的に演算部CLPの乗算セルにおいて、リーク電流によって劣化したデータ（減少した電荷量の絶対値）を、元のデータ（元の電荷量の絶対値）に書き直すことができる。つまり、半導体装置SDV1として、図9に図示された構成を適用することでも、演算部CLPの乗算セルの記憶素子に保持されたデータに対する再書き込みの動作を容易に行うことができる。

[0186]

<<記憶装置MINTと回路ILDの構成例5>>

図3乃至図7に示した記憶装置MINTは、NOSRAM（登録商標）を有する回路構成とし、図8及び図9に示した記憶装置MINTは、DRAM（又はDOSRAM（登録商標））を有する回路構成としたが、本発明の一態様の半導体装置に係る記憶装置MINTは、これに限定されない。記憶装置MINTは、例えば、負荷回路LCを有する回路構成としてもよい。

[0187]

図10Aは、記憶装置MINTと、上述した回路ILDの一部を示した回路構成例であって、記憶装置MINTは、メモリセルMCL[1]乃至メモリセルMCL[m]と、回路IVCと、スイッチWSWと、スイッチRSW2と、回路WRDと、を有する。また、記憶装置MINTに含まれているメモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれは、トランジスタF4と、負荷回路LCと、を有する。

[0188]

トランジスタF4としては、例えば、図3乃至図7に示したトランジスタF2に適用できるトランジスタを用いることができる。そのため、トランジスタF4の構成などについては、本明細書等のトランジスタF2の説明を参酌する。

[0189]

また、スイッチWSW、及びスイッチRSW2としては、図7に図示したスイッチWSW、及びスイッチRSW2の説明を参酌する。

[0190]

また、回路WRDについては、図8に図示した回路WRDの説明を参酌する。

[0191]

負荷回路LCは、一例としては、第1端子と第2端子との間の抵抗値を変化させることができる回路である。負荷回路LCの第1端子と第2端子との間の抵抗値を変化させることにより、負荷回路LCの第1端子と第2端子との間に流れる電流量を変化させることができる。

[0192]

図10Aにおける、記憶装置MINTに含まれているメモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれの構成としては、図8及び図9に示したメモリセルMCLにおいて、容量C12を負荷回路に置き換えた構成としている。具体的には、負荷回路LCの第1端子は、トランジスタF4の第1端子に電氣的に接続され、負荷回路LCの第2端子は、配線VEAに電氣的に接続されている。

[0193]

記憶装置MINTは、一例として、メモリセルMCLがマトリクス状に配置された構成とすることができる。例えば、記憶装置MINTは、メモリセルMCL[1]乃至メモリセルMCL[m]を1列として、それが複数列配置された構成とすることができる。なお、図10Aの記憶装置MINTでは、メモリセルMCL[1]乃至メモリセルMCL[m]がK列配置されており、ここでは、そのu列目のメモリセルMCL[1]乃至メモリセルMCL[m]のみ図示している。

[0194]

図10Aの記憶装置MINTにおいて、スイッチWSWは、配線WBL[u]と配線RBL[u]との間の電氣的な経路に設けられ、スイッチRSW2は、配線RBL[u]と回路IVCの入力端子との間の電氣的な経路に設けられている。また、回路IVCの出力端子は、配線DIL[u]に電氣的に接続されている。

[0195]

記憶装置MINTのu列目のメモリセルMCL[1]乃至メモリセルMCL[m]は、配線RBL[u]に電氣的に接続されている。また、回路IVCは、スイッチRSW2を介して、配線RBL[u]に電氣的に接続されている。また、回路IVCは、配線DIL[u]に電氣的に接続され

ている。

[0196]

配線VEAは、図3乃至図7に示す配線VEAと同様に、定電圧を与える配線として機能する。当該定電圧の大きさは、例えば、負荷回路LCの構成に応じて、適宜決めればよい。

[0197]

回路IVCは、例えば、配線RBL[u]などに流れる、メモリセルMCL[1]乃至メモリセルMCL[m]のいずれか一から読み出された情報に応じた電流を電圧に変換して、当該電圧を配線DIL[u]に供給する機能を有する。また、回路IVCは、メモリセルMCL[1]乃至メモリセルMCL[m]のいずれか一から情報を読み出すために、配線RBL[u]に所定の電圧を与える機能を有していてもよい。上記より、図10Aの記憶装置MINTに含まれる回路IVCは、読み出し回路としての機能を有する。

[0198]

図10Aの記憶装置MINTに含まれているメモリセルMCL[1]乃至メモリセルMCL[m]に、記憶装置MEXTから読み出された情報を書き込むとき、書き込むメモリセルMCLのトランジスタF4とスイッチWSWとをオン状態にし、スイッチRSWをオフ状態にする。その後に、記憶装置MEXTから読み出された情報を、配線WBL[u]とスイッチWSWと配線RBL[u]とを介して、書き込むメモリセルMCLの負荷回路LCに入力すればよい。また、図10Aの記憶装置MINTのメモリセルMCL[1]乃至メモリセルMCL[m]のいずれか一から負荷回路LCに書き込まれた情報を読み出すとき、初めにスイッチWSWをオフ状態にし、スイッチRSW2をオン状態にする。次に、必要があれば、回路IVCによって配線RBL[u]に所望の電位を与える。その後、読み出しを行うメモリセルMCLのトランジスタF4をオン状態にすることで、負荷回路LCから回路IVCに当該情報に応じた量の電流が流れる（負荷回路LCに保持されている情報によっては、電流が流れない場合もある。）。そして、回路IVCは、当該電流の量に応じた電圧を配線DIL[u]に出力して、回路ILDの回路WCS1に含まれているスイッチSW[u]をオン状態、又はオフ状態にすることができる。

[0199]

負荷回路LCとしては、例えば、図10Bに図示するように、ReRAM (Resistive Random Access Memory) などに含まれる抵抗変化素子VRを用いることができる。また、負荷回路LCとしては、例えば、図10Cに図示するように、MRAM (Magnetoresistive Random Access Memory) などに含まれるMTJ (Magnetic Tunnel Junction) 素子MRを含む負荷回路LCとすることができる。また、負荷回路LCとしては、例えば、図10Dに図示するように、相変化メモリ (PCM) などに用いられる、相変化材料が含まれる抵抗素子（本明細書等では、便宜上、相変化メモリPCMと呼称する。）を用いることができる。

[0200]

また、負荷回路LCとしては、例えば、図10Eに図示するように、FeRAM (Ferroelectric Random Access Memory) などに用いられる一対の電極によって挟まれた強誘電体キャパシタFECを用いることができる。図10Eでは、強誘電体キャパシタFECの第1端子は、トランジスタF4の第1端子に電氣的に接続され、強誘電体キャパシタFECの第2端子は、配線VEAに電氣的に接続されている。

[0201]

なお、この場合、配線VEAは、定電圧を供給する配線ではなく、強誘電体キャパシタの強誘電体膜を分極させる、又は強誘電体膜の分極を反転させるためのプレート線として機能する。

[0202]

例えば、強誘電体キャパシタFECへの記憶装置MEXTからの情報を書き込み動作は、トランジスタF4をオン状態にして、配線RBLに当該情報に応じた電圧、及び配線VEAに所定の電圧を与えて、強誘電体キャパシタFECに含まれる強誘電体膜を分極させることによって行われる。また、強誘電体キャパシタFECから書き込んだ情報の読み出し動作は、トランジスタF4をオン状態にした後に、配線VEAへパルス電圧を与えることによって行われる。なお、配線VEAに与えるパルス電圧の高さは、書き込み時に与える配線VEAへの電圧と同じであってもよい。強誘電体キャパシタFECは、配線VEAからのパルス電圧によって分極反転が起きたかどうかで、保持されている情報が“0”か“1”かを判定する。強誘電体キャパシタFECは、強誘電体膜で分極反転が起きた時、トランジスタF4を介して配線RBLに電流が流れる。配線RBLに流れる電流の量は、例えば、積分回路（または、電流電荷（IQ）変換回路）、電流電圧変換回路の構成を有する回路IVCを用いることによって取得することができる。また、当該電流の量によって、回路ILDの回路WCS1に含まれているスイッチSW[u]のオン状態、又はオフ状態が決まる。その結果、回路WCS1に含まれているスイッチSW[1]乃至スイッチSW[K]のそれぞれのオンオフの状態によって、配線ILに流れる電流量が決まる。

[0203]

なお、図10に示した記憶装置MINTは、メモリセルMCLに負荷回路LCが含まれている構成としたが、本発明の一態様は、これに限定されない。本発明の一態様は、例えば、記憶装置MINTに含まれるメモリセルMCLは、SRAM（Static Random Access Memory）が含まれる構成としてもよい。

[0204]

この場合の記憶装置MINTとしては、例えば、図11に図示されている構成となる。なお、図11の記憶装置MINTは、一例として、メモリセルMCLがマトリクス状に配置された構成とすることができる。例えば、記憶装置MINTは、メモリセルMCL[1]乃至メモリセルMCL[m]を1列として、それが複数列配置された構成とすることができる。なお、図11の記憶装置MINTでは、メモリセルMCL[1]乃至メモリセルMCL[m]がK列配置されており、ここでは、そのu列目のメモリセルMCL[1]乃至メモリセルMCL[m]のみ図示している。

[0205]

図11の記憶装置MINTにおいて、メモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれは、トランジスタF4と、インバータ回路INV1と、インバータ回路INV2と、を有する。また、トランジスタF4の第1端子は、インバータ回路INV1の出力端子と、インバータ回路INV2の入力端子と、に電氣的に接続され、インバータ回路INV1の入力端子は、インバータ回路INV2の出力端子に電氣的に接続されている。つまり、メモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれにおいて、インバータ回路INV1とインバータ回路INV2のそれぞれによってインバータループ回路が構成されている。

[0206]

また、メモリセルMCL[1]のトランジスタF4のゲートは、配線WRL[1]に電氣的に接

続され、メモリセルMCL [m] のトランジスタF 4のゲートは、配線WRL [m] に電氣的に接続されている。また、メモリセルMCL [1] 乃至メモリセルMCL [m] のトランジスタF 4の第2端子は、配線RBL [u] に電氣的に接続されている。

[0207]

また、図11の記憶装置MINTに含まれている回路WRD、及び配線WRL [1] 乃至配線WRL [m] については、図10の記憶装置MINTの記載を参酌する。

[0208]

また、図11の記憶装置MINTは、スイッチWSWと、スイッチRSWと、スイッチRSW2と、を有する。なお、図11に示すスイッチWSWと、スイッチRSWと、スイッチRSW2と、配線WBL [u] と、配線VDL2と、配線RBL [u] と、配線DIL [u] と、のそれぞれの機能と接続構成は、図7の記憶装置MINTの記載を参酌する。

[0209]

図11の記憶装置MINTに含まれているメモリセルMCL [1] 乃至メモリセルMCL [m] に、記憶装置MEXTから読み出された情報を書き込むとき、書き込むメモリセルMCLのトランジスタF 4とスイッチWSWとをオン状態にし、スイッチRSWとスイッチRSW2とオフ状態にする。その後に、記憶装置MEXTから読み出された情報を、配線WBL [u] とスイッチWSWと配線RBL [u] とを介して、書き込むメモリセルMCLのインバータループ回路に入力すればよい。また、図11の記憶装置MINTのメモリセルMCL [1] 乃至メモリセルMCL [m] のいずれかからインバータループ回路に書き込まれた情報を読み出すとき、初めにスイッチWSW及びスイッチRSW2をオフ状態にし、スイッチRSWをオン状態にして、配線RBL [u] に配線VDL2の電位（例えば、高レベル電位）を与えて初期化する。その後、読み出しを行うメモリセルMCL [1] 乃至メモリセルMCL [m] のいずれかのトランジスタF 4をオン状態にし、スイッチRSW2をオン状態にする。これにより、読み出しを行うメモリセルMCLから配線RBL [u] とスイッチRSW2と、配線DILとを介して、回路ILDに、読み出した情報を入力することができる。当該情報に応じて配線DILの電位が定まるため、回路ILDの回路WCS1に含まれているスイッチSW [u] のオン状態、又はオフ状態が決まる。その結果、回路WCS1に含まれているスイッチSW [1] 乃至スイッチSW [K] のそれぞれのオンオフの状態によって、配線ILに流れる電流量が決まる。

[0210]

また、上記以外に、記憶装置MINTに適用できる記憶装置としては、例えば、フラッシュメモリなどが挙げられる。

[0211]

半導体装置SDV1として、図10、図11などに図示された構成を適用することによって、図3と同様に、記憶装置MINTからデータを読み出して、当該データを演算部CLPの乗算セルに書き込むことができる。また、この動作を一定時間毎に行うことで、定期的に演算部CLPの乗算セルにおいて、リーク電流によって劣化したデータ（減少した電荷量の絶対値）を、元のデータ（元の電荷量の絶対値）に書き直すことができる。つまり、半導体装置SDV1として、図10、図11などに図示された構成を適用することでも、演算部CLPの乗算セルの記憶素子に保持されたデータに対する再書き込みの動作を容易に行うことができる。

[0212]

## &lt;&lt;記憶装置MINTと回路ILDの構成例6&gt;&gt;

ここでは、図3乃至図10に記載の記憶装置MINTと、回路ILDと、演算部CLPと、の電氣的な接続構成とは異なる、半導体装置SDV1に適用可能な記憶装置MINTと、回路ILDと、演算部CLPと、の電氣的な接続構成について説明する。

## [0213]

図12は、図3の記憶装置MINT、及び記憶装置MINTと回路ILDと演算部CLPとの電氣的な接続構成の変更例を示している。図12に示す接続構成は、記憶装置MINTが回路RWDを有していない点で、図3の接続構成と異なっている。また、記憶装置MINTのメモリセルMCL[1]乃至メモリセルMCL[m]のそれぞれに電氣的に接続されている配線RWL[1]乃至配線RWL[m]は、演算部CLPの配線WL[1]乃至配線WL[m]のそれぞれと電氣的に接続されている。

## [0214]

詳しくは、配線WL[1]乃至配線WL[m]は、演算部CLPにおける乗算セル（図12では回路MP[1]乃至回路MP[m]と記載している。）に情報を書き込むための書き込みデータ線として機能する。なお、配線WL[1]乃至配線WL[m]については、実施の形態2で説明する。また、配線WL[1]乃至配線WL[m]のそれぞれは、回路WLDに電氣的に接続されている。回路WLDは、演算部CLPにおける、情報を書き込むため乗算セル（回路MP）を選択するための選択信号を送信する駆動回路としての機能を有する。

## [0215]

つまり、図12の接続構成は、記憶装置MINTの読み出しワード線として機能する配線RWL[1]乃至配線RWL[m]と、演算部CLPの書き込みデータ線として機能する配線WL[1]乃至配線WL[m]と、が互いに共有された構成となっている。演算部CLPの回路WLDによって選択信号を配線RWL[1]（配線WL[1]）乃至配線RWL[m]（配線WL[m]）のいずれかに送信することで、記憶装置MINTにおける所定のメモリセルMCLから情報を読み出すことができる。

## [0216]

また、記憶装置MINTの読み出しワード線（配線RWL）と演算部CLPの書き込みデータ線（配線WL）が1本の配線としてまとめられているため、記憶装置MINTにおける所定のメモリセルMCLから情報を読み出すとき、そのメモリセルMCLと同じ行に位置する、演算部CLPの乗算セル（回路MP）にも選択信号が入力される。つまり、記憶装置MINTにおける所定のメモリセルMCLから情報を読み出されたときには、乗算セル（回路MP）に含まれている書き込みトランジスタもオン状態となる。

## [0217]

例えば、記憶装置MINTの1行目に位置するK個のメモリセルMCL[1]から情報を読み出すとき、回路WLDから配線RWL[1]（配線WL[1]）に選択信号が送られる。このとき、1行目に位置するK個のメモリセルMCL[1]のそれぞれに保持された情報に応じた電位が読み出されて、それぞれの電位が回路ILDの回路WCS1に入力される。回路WCS1では、それぞれの電位に応じてスイッチSW[1]乃至スイッチSW[K]のそれぞれのオンオフの状態が決まる。つまり、回路WCS1から配線ILに流れる電流量は、スイッチSW[1]乃至スイッチSW[K]のオンオフの状態の組み合わせによって決まる。さらに、演算部CLPにおいて、配線WL

[1] (配線RWL [1]) に選択信号が送信されているため、1行目に位置する乗算セル(回路MP)に含まれている書き込みトランジがオン状態となる。このため、回路ILDが出力する当該電流量の電流は、配線ILを介して、1行目に位置する乗算セル(回路MP)に流れることになる。これにより、記憶装置MINTのメモリセルMCLに保持された情報を、演算部CLPの乗算セル(回路MP)に書き込むことができる。

[0218]

また、半導体装置SDV1に、図12の構成を適用することによって、記憶装置MINTに、読み出し時の駆動回路である回路RWDを含まない構成とすることができるため、記憶装置MINTの面積を低減することができる。

[0219]

また、本発明の一態様に係る、記憶装置MINTと回路ILDと演算部CLPとの接続構成は、図12に示した回路構成に限定されない。記憶装置MINTと回路ILDと演算部CLPとの接続構成は、場合によって、又は、状況に応じて、含まれている回路素子、接続構成などを変更してもよい。

[0220]

例えば、記憶装置MINTと回路ILDと演算部CLPとの接続構成は、図13に示すとおり、図12の記憶装置MINTと回路ILDとの間に、図4で説明した回路BFを設けてもよい。

[0221]

図13の記憶装置MINTと回路ILDと演算部CLPとの接続構成では、配線RBL [u] と、配線DIL [u] との電氣的な経路の間に、回路BFが設けられている。また、回路BFとしては、例えば、図4の説明と同様に、バッファ回路、インバータ回路、ラッチ回路などの増幅回路が含まれている構成とすることができる。

[0222]

特に、回路BFを、配線RBL [u] の電位を一時的に保持するラッチ回路の構成を有することで、演算部CLPの乗算セル(回路MP)への情報の書き込み速度を速くすることができる場合がある。この場合、例えば、図14Aの記憶装置MINTと回路ILDと演算部CLPとの接続構成のとおり、演算部CLPに配線WL [0] を設けて、配線WL [0] と配線RWL [1] とを電氣的に接続し、配線WL [1] と配線RWL [2] とを電氣的に接続すればよい。つまり、記憶装置MINTの配線RWL [i] (ここでのiを1以上m以下とする)と演算部CLPの配線WL [i-1] とを電氣的に接続すればよい。なお、演算部CLPにおいて配線WL [0] には、乗算セル(回路MP)を設けなくてもよい。

[0223]

また、回路BFとしては、一例として、図14Bに示した構成とすることができる。回路BFは、ラッチ回路LAT1と、ラッチ回路LAT2と、インバータ回路INVと、を有する。ラッチ回路LAT1の入力端子は、配線RBL [u] に電氣的に接続され、ラッチ回路LAT1の出力端子は、ラッチ回路LAT2の入力端子に電氣的に接続され、ラッチ回路LAT2の出力端子は、配線DIL [u] に電氣的に接続されている。また、ラッチ回路LAT1のイネーブル信号入力端子(クロック信号入力端子と呼ばれる場合がある。)には、配線CLKが電氣的に接続され、インバータ回路INVの入力端子には、配線CLKが電氣的に接続され、インバータ回路INVの出力端子には、ラッチ回路LAT2のイネーブル信号入力端子が電氣的に接続されている。

[0224]

図14Aの記憶装置MINTと回路ILDと演算部CLPとの接続構成における動作例について説明する。初めに、回路WLDから配線WL[0]に選択信号を送信して、記憶装置MINTの1行目に位置するメモリセルMCL[1]に保持された情報を読み出す。読み出された情報は電位として、配線RBL[u]を介して回路BFの入力端子に入力される。このとき、回路BFにおいて、配線CLKに第1電位（例えば、高レベル電位又は低レベル電位の一方）が入力されることで、ラッチ回路LAT1は、配線RBL[u]から入力された電位を保持して、ラッチ回路LAT1の出力端子に出力する。更に、ここで、配線CLKに第2電位（例えば、高レベル電位又は低レベル電位の他方）が入力されることで、ラッチ回路LAT2は、ラッチ回路LAT1の出力端子からの電位を保持して、ラッチ回路LAT2の出力端子に出力する。また、配線CLKに第2電位（例えば、高レベル電位又は低レベル電位の他方）が入力されるタイミングで、回路WLDから配線WL[1]に選択信号を送信して、記憶装置MINTの1行目に位置するメモリセルMCL[1]に保持された情報を読み出す。これにより、読み出された情報は電位として、配線RBL[u]を介して回路BFの入力端子に入力される。一方、演算部CLPにおいて、配線WL[1]に選択信号が送信されているため、1行目の乗算セル（回路MP）の書き込みトランジスタがオン状態となる。このとき、回路BFのラッチ回路LAT2の出力端子は、記憶装置MINTのメモリセルMCL[1]から読み出された情報に応じた電位が出力されるため、回路ILDは、配線ILに対して、当該電位に応じた電流を流す。そして、配線ILから乗算セル（回路MP）に当該電流が流れて、乗算セル（回路MP）に当該情報が書き込まれる。

[0225]

半導体装置SDV1において、図14Aの記憶装置MINTと回路ILDと演算部CLPとの接続構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータに対する再書き込みの動作において、記憶装置MINTに保持された情報を演算部CLPの乗算セルへ書き込む速度を速くすることができる。

[0226]

なお、上述の動作例では、回路BFをラッチ回路LAT1及びラッチ回路LAT2を直列に接続した構成を有するものとして説明したが、回路BFは2つのラッチ回路を直列でなく並列に接続した構成を有するものとしてもよい（図示しない。）。例えば、一方のラッチ回路では、記憶装置MINTから送られる情報（電圧）を取得し、他方のラッチ回路では、回路ILDに事前に取得した情報（電圧）を送信する構成とすればよい。

[0227]

なお、半導体装置SDV1の構成としては、上述した、図3乃至図9、図10A、図11乃至図13、図14Aなどの構成から選択して、それらを組み合わせた構成としてもよい。

[0228]

<半導体装置の構成例2>

次に、図1の半導体装置SDV1とは異なる、演算回路に保持されるデータの補充が可能な半導体装置について説明する。

[0229]

図15は、本発明の一態様である半導体装置SDV2の構成例を示すブロック図である。半導体装置SDV2は、一例として、回路ILDと、演算部CLPと、回路LMNTと、を有する。また、

図15には、半導体装置SDV2との電氣的な接続の構成を示すため、記憶装置MEXTも図示している。

[0230]

半導体装置SDV2は、例えば、半導体装置SDV1と同様に、1枚の基板BSEに回路素子などを形成することで、作製することができる。

[0231]

例えば、基板BSEをシリコンが含まれる半導体基板とすることで、演算部CLPに含まれているトランジスタ、回路ILDに含まれているトランジスタ、及び回路LMNTに含まれているトランジスタのそれぞれをSiトランジスタとして基板BSE上に形成することができる。

[0232]

半導体装置SDV2に備えられる回路ILDは、一例として、半導体装置SDV2の外部に設けられている記憶装置MEXTによって読み出された情報を取得して、当該情報に応じた電流、電圧などを後述する演算部CLPに与える。当該情報は、演算部CLPによって演算を行うためのデータとして扱われる。

[0233]

半導体装置SDV2は、記憶装置MINTを有していない構成となっているため、半導体装置SDV2は、半導体装置SDV1と異なり、記憶装置MEXTによって読み出された情報を回路ILDに直接入力する構成となっている。そのため、回路ILDが電流源回路として機能する場合、回路ILDは、記憶装置MEXTから読み出された情報に応じた電流を、演算部CLPに含まれている回路に直接供給する。なお、回路ILDは、演算部CLPに電流を供給するための電流源回路として設けるのではなく、例えば、記憶装置MEXTから読み出された情報に応じた電圧を演算部CLPに入力するための電圧源回路（電圧生成回路）として設けてもよい。

[0234]

なお、回路ILDが電流源回路として機能する場合、回路ILDの具体的な構成については、図2A乃至図2Cの回路ILDの説明を参酌する。

[0235]

演算部CLPは、乗算セルとして機能する回路を複数有する。なお、演算部CLPに関しては、図1Aの半導体装置SDV1に含まれている演算部CLPの説明を参酌する。また、演算部CLPの回路構成、及び演算部CLPにおける積和演算の原理については、実施の形態2で詳述する。

[0236]

回路LMNTは、演算部CLPに含まれている乗算セル（又は回路LMNTに含まれている記憶素子）に保持されている情報（例えば、電流、電圧など）を監視する機能を有する。具体的には、例えば、当該乗算セルに保持されている情報（例えば、電流、電圧など）が、電荷のリークなどによって変動したときに、回路LMNTは、記憶装置MEXTなどに命令信号を送信する。記憶装置MEXTは、当該命令信号を受けることで、記憶装置MEXTから当該情報を読み出して、当該情報を回路ILDに送信し、回路ILDから当該乗算セルに当該情報の再書き込み（記憶素子への電荷の補充）を行う。また、このとき、回路LMNTに含まれている記憶素子についても、同様に元の情報への書き直しも行われる。これにより、演算部CLPの乗算セルに保持されるデータの劣化を防ぐことができる。

[0237]

## &lt;&lt;回路LMNTと回路ILDの構成例1&gt;&gt;

次に、図15の半導体装置SDV2に含まれている回路LMNTの構成例について説明する。

[0238]

図16に示す回路LMNTは、回路LMC[i]（iは1以上で配線ILの本数と同じ値以下の整数とする。）を有する。また、回路LMC[i]は、メモリセルDCと、スイッチDSW1と、を有する。また、メモリセルDCは、トランジスタM1dと、トランジスタM2dと、容量C1dと、を有する。なお、図16には、回路LMNTの他に、回路ILD、及び演算部CLPを含む半導体装置SDV2、更に、記憶装置MEXTと回路EXMNTも図示している。

[0239]

回路LMNTにおいて、回路LMC[i]は複数設けられる場合がある。具体的には、回路LMNTは、回路ILDに電氣的に接続されている配線ILの本数と同じ数の回路LMC[i]が1行に配置された構成とすることができる。例えば、配線ILの本数が2m本であった場合、回路LMNTは、1行に回路LMC[1]乃至回路LMC[2m]が配置された構成とすることができる。

[0240]

スイッチDSW1としては、例えば、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。

[0241]

記憶装置MEXTは、回路ILDに電氣的に接続されている。また、回路ILDは、配線ILに電氣的に接続されている。また、回路EXMNTは、記憶装置MEXTに電氣的に接続されている。

[0242]

配線ILは、スイッチDSW1の第1端子に電氣的に接続され、スイッチDSW1の第2端子は配線DLdに電氣的に接続されている。また、配線DLdは、回路EXMNTと、メモリセルDCと、に電氣的に図示されている。

[0243]

メモリセルDCにおいて、トランジスタM1dの第1端子は、配線VEdに電氣的に接続され、トランジスタM1dの第2端子は、配線DLdに電氣的に接続され、トランジスタM1dのゲートは、容量C1dの第1端子と、トランジスタM2dの第1端子と、に電氣的に接続されている。トランジスタM2dの第2端子は、配線DLdに電氣的に接続され、トランジスタM2dのゲートは配線WLdに電氣的に接続されている。また、容量C1dの第2端子は、配線VEdに電氣的に接続されている。また、図16では、トランジスタM1dのゲートと、容量C1dの第1端子と、トランジスタM2dの第1端子と、の電氣的な接続点をノードn1dとしている。

[0244]

配線DLdは、一例として、メモリセルDCの容量C1dの第1端子に書き込むためのデータを送信するための配線として機能する。また、配線DLdは、一例として、メモリセルDCの容量C1dの第1端子の電位に応じた電流を流す配線としても機能する。

[0245]

配線WLdは、一例として、メモリセルDCにおける書き込みワード線として機能する。

[0246]

配線VEdは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位などとすることができる。

[0247]

トランジスタM1 dは、例えば、演算部CLPの乗算セル（回路MC）に含まれている、実施の形態2で説明するトランジスタM1と同様の構造とすることが好ましい。また、トランジスタM2 dは、例えば、演算部CLPの乗算セル（回路MC）に含まれている、実施の形態2で説明するトランジスタM2と同様の構造とすることが好ましい。例えば、トランジスタM1がSiトランジスタであって、トランジスタM2がOSトランジスタである場合、トランジスタM1 dはSiトランジスタとすることが好ましく、かつトランジスタM2 dはOSトランジスタとすることが好ましい。また、容量C1 dは、演算部CLPの乗算セル（回路MC）に含まれている、実施の形態2で説明する容量C1と同様の構造とすることが好ましい。

[0248]

また、トランジスタM1 dとしては、例えば、トランジスタF1に適用できるトランジスタを用いることができる。また、トランジスタM2 dとしては、例えば、トランジスタF2に適用できるトランジスタを用いることができる。

[0249]

回路EXMNTは、一例として、半導体装置SDV2の外部に設けられている。また、回路EXMNTは、一例として、回路LMC[i]に含まれているメモリセルDCの容量C1 dの第1端子に保持されている電位（又は、電荷量）を監視する機能を有する。具体的には、例えば、回路EXMNTは、配線DL dから入力された電流量を取得して、当該電流量と所望の電流量を比較する。当該電流量が所望の電流量以下になったとき、又は所望の電流量未満になったとき、回路EXMNTは、メモリセルDC及び演算部CLPに含まれる乗算セルに保持されている電圧が低くなっている（又は、電荷量の絶対値が小さくなっている）と判断して、メモリセルDC及び演算部CLPに含まれている乗算セルに元々保持されていたデータと、同じデータを再度書き込む命令信号を外部の記憶装置MEXT、回路ILDなどに送信する。

[0250]

次に、図16の回路LMNTの動作例について説明する。

[0251]

初めに、回路LMC[i]において、スイッチDSW1をオン状態にし、トランジスタM2 dをオン状態にする。トランジスタM2 dがオン状態になることで、ノードn1 dとトランジスタM1 dの第2端子との間が導通状態となり、ノードn1 dと、トランジスタM1 dの第2端子と、のそれぞれの電位は概ね等しくなる。

[0252]

このとき、例えば、回路ILDが電流源回路であるとき、回路ILDから、配線ILを介して配線DL dに電流量を $I_0$ とする初期化用の電流を流す。なお、初期化用の電流は、例えば、図2A乃至図2Cに図示されている回路ILDに含まれる回路WCS1、又は回路WCS2から出力される電流とすることが出来る。この場合、例えば、初期化用の電流量 $I_0$ は、回路WCS1、又は回路WCS2が生成できる電流量の最小値である $I_{ut}$ としてもよいし、最大値である $(2^K - 1) \times I_{ut}$ としてもよい。

[0253]

トランジスタM2 dがオン状態となるため、容量C1 dの第1端子には、配線DL dから流れる電荷が充電される。最終的には、トランジスタM1 dの第1端子ー第2端子間（配線DL dと配線

VE d との間) に電流量  $I_0$  の電流が流れ、かつ、ノード n 1 d の電位は電流量  $I_0$  に応じた高さとなる。このときの、ノード n 1 d の電位を  $V_{nd}$  とする。

[0254]

また、例えば、回路 I L D が電圧源回路であるとき、回路 I L D から、配線 I L とトランジスタ M 2 d を介して、容量 C 1 d の第 1 端子に電圧が書き込まれるものとする。このとき、回路 I L D から容量 C 1 d の第 1 端子に書き込む電圧を  $V_{nd}$  とする。そして、このとき、トランジスタ M 1 d の第 1 端子—第 2 端子間 (配線 D L d と配線 V E d との間) には、電流量  $I_0$  の電流が流れるものとする。なお、ここでは、配線 V E D が低レベル電位、又は接地電位として、配線 D L d から配線 V E d に正の電流が流れるものとする。

[0255]

回路 I L D が電流源回路、又は電圧源回路のどちらかの場合でも、容量 C 1 d の第 1 端子の電位が  $V_{nd}$  になったときに、トランジスタ M 2 d をオフ状態にすることによって、メモリセル D C の容量 C 1 d の第 1 端子に電位  $V_{nd}$  を保持することができる。このとき、メモリセル D C の容量 C 1 d の第 1 端子に電位  $V_{nd}$  を保持することによって、トランジスタ M 1 d は、電流量  $I_0$  を流す電流源として機能するようになる。なお、トランジスタ M 2 d をオフ状態にした後は、スイッチ D S W 1 をオフ状態にしてもよい。

[0256]

トランジスタ M 1 d の第 1 端子—第 2 端子に流れる電流の監視を始めるとき、スイッチ D S W 1 をオフ状態にする。これにより、メモリセル D C から、配線 D L d を介して、回路 E X M N T に電流量  $I_0$  の電流が流れる。具体的には、回路 E X M N T から、配線 D L d を介してメモリセル D C に正の電流が流れる。

[0257]

ここで、容量 C 1 d の第 1 端子に保持されている電位  $V_{nd}$  が、電荷のリークなどによって低下したとき、トランジスタ M 1 d の第 1 端子—第 2 端子間に流れる電流の量は  $I_0$  から減少する。メモリセル D C から配線 D L d を介して回路 E X M N T に流れる電流量が、所望の電流量以下になったとき、又は所望の電流量未満になったとき、回路 E X M N T は、メモリセル D C に保持されているデータが劣化していると判定して、記憶装置 M E X T に、演算部 C L P の乗算セルに再度書き込むためのデータの読み出しと、当該データの回路 I L D への送信とを行わせる命令信号 (例えば、パルス信号) を送信する。

[0258]

なお、ここでの所望の電流量とは、回路 I L D から、配線 I L を介して配線 D L d に流した電流量  $I_0$  よりも小さい電流量とする。ここでの電流量  $I_0$  よりも小さい電流量としては、例えば、電流量  $I_0$  の 0.95 倍、0.90 倍、0.80 倍などとすることができる。

[0259]

記憶装置 M E X T に当該命令信号が入力されることで、記憶装置 M E X T は、記憶装置 M E X T に保持されている情報を読み出して、半導体装置 S D V 2 に送信する。そして、半導体装置 S D V 2 は、回路 I L D によって当該情報を演算部 C L P に含まれている乗算セルへ書き込み、また、メモリセル D C に元の電圧 (又は電流) を書き込む。これにより、演算部 C L P の乗算セル、及びメモリセル D C が保持している劣化したデータに対して、データの再書き込み (電荷の補充) を行うことができる。

[0260]

半導体装置SDV2として、図16に図示された構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータの劣化（リーク電流による電荷量の絶対値の減少）を容易に検知することができる。また、検知することによって、演算部CLPの乗算セル、及びメモリセルDCに対するデータの再書き込み（電荷の補充）を行うことができる。

[0261]

<<回路LMNTと回路ILDの構成例2>>

次に、図16の回路LMNTの構成とは異なる、図15の半導体装置SDV2に適用できる回路LMNTの構成例について説明する。

[0262]

図17Aに示す回路LMNTは、回路LMC[i]（iは1以上で配線ILの本数と同じ値以下の整数とする。）を有する。また、回路LMC[i]は、メモリセルDCと、回路DTCと、スイッチDSW1と、スイッチDSW2と、を有する。また、メモリセルDCは、トランジスタM1dと、トランジスタM2dと、容量C1dと、を有する。なお、図17Aには、回路LMNTの他に、回路ILD、及び演算部CLPを含む半導体装置SDV2、更に、記憶装置MEXTも図示している。

[0263]

また、図17Aに示すメモリセルDCは、図16に示すメモリセルDCと同様の構成となっている。そのため、図17AのメモリセルDC含まれているトランジスタM1d、トランジスタM2d、及び容量C1dと、図17Aに図示されている配線VEd、配線WLd、及び配線DLdと、については、図16の回路LMNTの説明を参酌する。

[0264]

図17Aの回路LMNTは、図16の回路LMNTと同様に、回路LMC[i]を複数有することができる。具体的には、例えば、回路LMNTは、回路ILDに電氣的に接続されている配線ILの本数と同じ数の回路LMC[i]を1行に配置された構成とすることができる。

[0265]

スイッチDSW1、及びスイッチDSW2としては、図16のスイッチDSW1と同様に、例えば、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。

[0266]

記憶装置MEXTは、回路ILDに電氣的に接続されている。また、回路ILDは、配線ILに電氣的に接続されている。

[0267]

配線ILは、スイッチDSW1の第1端子に電氣的に接続され、スイッチDSW1の第2端子は配線DLdに電氣的に接続されている。また、配線DLdは、スイッチDSW2の第1端子に電氣的に接続され、スイッチDSW2の第2端子は、回路DTCの第1入力端子に電氣的に接続され、回路DTCの第2入力端子は配線IRFEに電氣的に接続され、回路DTCの出力端子は、記憶装置MEXTに電氣的に接続されている。また、配線IRFEは、一例として、回路ILDに電氣的に接続されている。

[0268]

回路DTCは、回路DTCの第1入力端子に入力された電流を監視する機能を有する。具体的に

は、例えば、回路DTCは、回路DTCの第1入力端子に入力された電流量と、回路DTCの第2入力端に入力された電流量（以下、参照電流の量と呼称する。）を比較して、回路DTCの第1入力端子に入力された電流が参照電流の量以下、又は参照電流の量未満になったときに、回路DTCの出力端子から、例えば、記憶装置MEXTに対する命令信号（例えば、パルス電圧など）を出力する機能を有する。つまり、回路DTCは、電流比較器などを有する構成とすることができる。回路DTCが、電流比較器を有する構成とする場合、回路DTCとしては、例えば、実施の形態2で後述する回路ACTF[j]の構成を適用することができる。そのため、回路DTCは、実施の形態2で説明する回路ACTF[j]と共用することができる。

[0269]

なお、厳密には、図17Aにおける回路LMNTでは、回路DTCの第1端子からスイッチDSW2、及び配線DLdを介してメモリセルDCに正の電流が流れる。このため、回路DTCの第2端子に入力される電流は、回路DTCの第2端子から配線IRFEに流れる正の電流とすることが好ましい。

[0270]

このため、配線IRFEは、一例として、参照電流として定電流を与える配線として機能する。また、詳しくは後述するが、回路DTCの第1入力端子には、トランジスタM1dの第1端子ー第2端子間に流れる電流の量 $I_0$ が入力される。そして、参照電流とする定電流は、例えば、電流量 $I_0$ よりも小さい電流量とすることができる。具体的には、電流量 $I_0$ よりも小さい電流量とは、例えば、電流量 $I_0$ の0.95倍、0.90倍、0.80倍などとすることができる。

[0271]

また、参照電流は、回路ILDで生成してもよい。例えば、図17Aでは、回路ILDは、配線IRFEに電氣的に接続されているため、回路ILDは、回路ILDで生成した参照電流を配線IRFEに供給することができる。

[0272]

また、記憶装置MEXTは、回路DTCから命令信号を受け取ることで、記憶装置MEXTから再書き込み用のデータ（元々乗算セルに書き込まれていたデータ）を読み出す。また、読み出されたデータは、回路ILDを介して、演算部CLPに入力される。

[0273]

この場合の回路ILDの構成例を図17Bに示す。図17Bに示す回路ILDは、一例として、回路WCS1と、回路WCSAと、を有する。

[0274]

図17Bの回路WCS1は、図2Aの回路WCS1の一部であって、メモリセルDCへの書き込みに関係する回路素子を抜粋して記載している。具体的には、図17Bの回路WCS1では、例えば、電流源CC[u]とスイッチSW[u]とを抜粋して、図示している。このとき、スイッチSW[u]以外のスイッチSW[1]乃至スイッチSW[K]はオフ状態とするものとし、電流源CC[u]以外の電流源CC[1]乃至電流源CC[K]で生成される電流は、配線ILに流れないものとする。

[0275]

また、図17Bの回路WCSAは、電流源CCAと、トランジスタF6Aと、トランジスタF6Bと、を有する。電流源CCAの入力端子は、配線VDLに電氣的に接続され、電流源CCAの出

力端子は、トランジスタF 6 Bの第1端子と、トランジスタF 6 Bのゲートと、トランジスタF 6 Aのゲートと、に電氣的に接続され、トランジスタF 6 Bの第2端子は、配線V S Eに電氣的に接続されている。トランジスタF 6 Aの第1端子は、配線I R F Eに電氣的に接続され、トランジスタF 6 Aの第2端子は、配線V S Eに電氣的に接続されている。

[0276]

配線V S Eは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位などすることができる。

[0277]

トランジスタF 6 A、及びトランジスタF 6 Bとしては、例えば、S i トランジスタとすることが好ましい。また、S i トランジスタ以外としては、O S トランジスタ、G e などがチャネル形成領域に含まれるトランジスタ、化合物半導体がチャネル形成領域に含まれるトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を用いることができる。

[0278]

また、電流源C C [u] と電流源C C Aのそれぞれで生成される電流量は互いに等しいものとする。

[0279]

回路W C S AのトランジスタF 6 A、及びトランジスタF 6 Bの構成は、カレントミラー回路の構成となっている。そのため、トランジスタF 6 A、及びトランジスタF 6 Bのそれぞれのサイズ（例えば、チャネル長、チャネル幅、構造など）が等しい場合、理想的には、トランジスタF 6 Bの第1端子ー第2端子間に流れる電流量と、トランジスタF 6 Aの第1端子ー第2端子間に流れる電流量と、が等しくなる。つまり、電流源C C Aで生成された電流の量と、トランジスタF 6 Aの第1端子ー第2端子間に流れる電流量と、が等しくなる。

[0280]

なお、図17Aの回路L M N Tでは、回路D T Cの第2端子から配線I R F Eに正の電流が流れる構成となっているため、図17Bに示す回路I L Dの回路W C S Aは、配線I R F EからトランジスタF 6 Aの第1端子の向きに正の電流が流れる構成となっている。

[0281]

ここで、トランジスタF 6 AのW長とL長との比 $W/L$ を、トランジスタF 6 BのW長とL長との比 $W/L$ よりも小さくすることで、トランジスタF 6 Aの第1端子ー第2端子間に流れる電流量は、トランジスタF 6 Bの第1端子ー第2端子間に流れる電流量（つまり、電流源C C Aで生成される電流の量）よりも小さくすることができる。

[0282]

回路I L Dの構成を図17Bに示す構成にすることによって、上記のとおり、配線I R F Eに流れる電流量を、配線I Lに流れる電流量よりも小さくすることができる。なお、トランジスタF 6 AのW長とL長との比 $W/L$ と、トランジスタF 6 BのW長とL長との比 $W/L$ と、を同じにして、電流源C C [u] で生成する電流量を増やして、電流量 $I_0$ と参照電流とに差をつけてもよい。

[0283]

次に、図17Aの回路L M N Tの動作例について説明する。

[0284]

初めに、回路LMC [i]において、スイッチDSW1をオン状態にし、スイッチDSW2をオフ状態にし、トランジスタM2dをオン状態にする。次に、図16の回路LMNTと同様に、メモリセルDCの容量C1dの第1端子に電圧 $V_{nd}$ を書き込み、トランジスタM2dをオフ状態にして、ノードn1dの電圧を保持する。

[0285]

このとき、トランジスタM1dの第1端子ー第2端子間（配線DLdと配線VEdとの間）には、電流量 $I_0$ とする初期化用の電流が流れるものとする。その後、スイッチDSW1をオフ状態にして、トランジスタM1dの第1端子ー第2端子間に流れる電流を停止させる。

[0286]

トランジスタM1dの第1端子ー第2端子に流れる電流の監視を始めるとき、スイッチDSW1をオフ状態、スイッチDSW2をオン状態にする。これにより、回路DTCの第1入力端子から、スイッチDSW2と配線DLdとを介して、配線VEdに、トランジスタM1dの第1端子ー第2端子に流れる電流量 $I_0$ の電流が流れる。

[0287]

ここで、容量C1dの第1端子に保持されている電位 $V_{nd}$ が、電荷のリークなどによって低下したとき、トランジスタM1dの第1端子ー第2端子に流れる電流の量は $I_0$ から減少する。回路DTCの第1入力端子から配線VEdに流れる電流量が、配線IRFEから流れる参照電流の量以下になったとき、又は参照電流の量未満になったとき、回路DTCは、メモリセルDCに保持されているデータが劣化していると判定して、回路DTCの出力端子から、記憶装置MEXTに対して、記憶装置MEXTから再書き込み用のデータ（元々乗算セルに書き込まれていたデータ）を読み出すための命令信号を送信する。これによって、記憶装置MEXTから読み出された当該データは、回路ILDを介して、演算部CLPに入力され、劣化したデータに対して当該データの上書きが行われる。また、このとき、メモリセルDCに保持されている電位に対しても、劣化前のデータ（電位 $V_{nd}$ ）に直すことが好ましい。

[0288]

半導体装置SDV2として、図17Aに図示された構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータの劣化（リーク電流による電荷量の絶対値の減少）を容易に検知することができる。また、検知することによって、演算部CLPの乗算セル、及びメモリセルDCに対するデータの再書き込み（電荷の補充）を行うことができる。

[0289]

<<回路LMNTと回路ILDの構成例3>>

ここでは、図16、及び図17Aの回路LMNTとは異なる、半導体装置SDV2に適用できる回路LMNTの構成例について説明する。

[0290]

図18Aに示す回路LMNTは、図16の回路LMNTと同様に、回路LMC [i]（iは1以上で配線ILの本数と同じ値以下の整数とする。）を有する。但し、図18Aの回路LMC [i]は、メモリセルDCと、回路CMPDと、スイッチDSW1と、を有する点で、図16の回路LMC [i]と異なる。なお、図18Aには、回路ILDも図示している。

[0291]

また、図18Aに示すメモリセルDCは、図16に示すメモリセルDCと同様の構成となってい

る。そのため、図18AのメモリセルDC含まれているトランジスタM1d、トランジスタM2d、及び容量C1dと、図18Aに図示されている配線VE d、配線WL d、及び配線DL dと、については、図16の回路LMNTの説明を参酌する。

[0292]

図18Aの回路LMNTは、図16の回路LMNTと同様に、回路LMC[i]を複数有することができる。具体的には、例えば、回路LMNTは、回路ILDに電氣的に接続されている配線ILの本数と同じ数の回路LMC[i]を1行に配置された構成とすることができる。

[0293]

スイッチDSW1としては、図16のスイッチDSW1と同様に、例えば、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。

[0294]

配線ILは、スイッチDSW1の第1端子に電氣的に接続され、スイッチDSW1の第2端子は配線DL dに電氣的に接続されている。また、回路CMPDの第1入力端子は、トランジスタM1dのゲートと、トランジスタM2dの第2端子と、容量C1の第1端子と、に電氣的に接続されている。回路CMPDの第2入力端子は、配線VRFEに電氣的に接続されている。回路CMPDの出力端子は、配線RSULに電氣的に接続されている。また、配線VRFEは、回路ILDに電氣的に接続されている。なお、図示していないが、配線RSULは、記憶装置MEXTに電氣的に接続されている。

[0295]

配線VRFEは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、回路ILD（電流源回路、又は電圧源回路）によってノードn1dに書き込まれる電圧V<sub>nd</sub>よりも低い電圧とすることができる。具体的には、電圧V<sub>nd</sub>よりも低い電圧とは、例えば、電圧V<sub>nd</sub>の0.95倍、0.90倍、0.80倍などとすることができる。以後、配線VRFEが与える定電圧を、参照電位と呼称する。

[0296]

また、参照電位は、回路ILDで生成してもよい。例えば、図18Aでは、回路ILDは、配線IRFEに電氣的に接続されているため、回路ILDは、回路ILDで生成した参照電流を配線IRFEに供給することができる。

[0297]

この場合の回路ILDの構成例を図19に示す。図19に示す回路ILDは、一例として、回路WCS1と、回路WCSAと、を有する。

[0298]

図19に示す回路WCS1は、図2Aの回路WCS1の一部であって、メモリセルDCへの書き込みに関係する回路素子を抜粋して記載している。具体的には、図19の回路WCS1では、例えば、電流源CC[u]とスイッチSW[u]とを抜粋して、図示している。このとき、スイッチSW[u]以外のスイッチSW[1]乃至スイッチSW[K]はオフ状態とするものとし、電流源CC[u]以外の電流源CC[1]乃至電流源CC[K]で生成される電流は、配線ILに流れないものとする。

[0299]

また、図19の回路WCSAは、電流源CCBと、トランジスタF7を有する。電流源CCBの

入力端子は、トランジスタF 7の第1端子と、トランジスタF 7のゲートと、配線VRFEに電氣的に接続され、トランジスタF 7の第2端子は、配線VSEに電氣的に接続されている。

[0300]

トランジスタF 7としては、例えば、図17Bで図示したトランジスタF 6A、トランジスタF 6B、又は図17Aで図示したトランジスタM1dに適用できるトランジスタを用いることができる。

[0301]

また、電流源CC[u]と電流源CCBのそれぞれで生成される電流量は互いに等しいものとする。

[0302]

回路WCSBのトランジスタF 7は、ダイオード接続の構成となっている。また、トランジスタF 7と電流源CCBの接続構成は、図18AのメモリセルDCに着目すると、トランジスタM2dがオン状態のときのトランジスタM1dと電流源CC[u]の接続構成と概ね一致する。このとき、トランジスタF 7とトランジスタM1dとのサイズ（例えば、チャンネル長、チャンネル幅、構造など）が等しい場合、理想的には、トランジスタF 7の第1端子（ゲート）の電位と、ノードn1dの電位と、が等しくなる。

[0303]

ここで、トランジスタF 7のW長とL長との比 $W/L$ を、トランジスタM1dのW長とL長との比 $W/L$ よりも大きくすることで、トランジスタF 7の第1端子（ゲート）の電位を、ノードn1dの電位 $V_{nd}$ よりも小さくすることができる。なお、トランジスタF 7AのW長とL長との比 $W/L$ と、トランジスタM1dのW長とL長との比 $W/L$ と、を同じにして、電流源CC[u]で生成する電流量を増やすことで、ノードn1dに保持される $V_{nd}$ と参照電位とに差をつけてもよい。

[0304]

回路ILDの構成を図19に示す構成にすることによって、上記のとおり、配線VRFEに与えられる電位を、ノードn1dの電位 $V_{nd}$ よりも小さくすることができる。

[0305]

回路CMPDは、回路CMPDの第1入力端子に入力された電圧と、回路CMPDの第2入力端子に入力された電圧と、を比較して、その比較結果を回路CMPDの出力端子に出力する機能を有する。そのため、回路CMPDとしては、例えば、電圧比較器などを有する構成とすることができる。

[0306]

次に、図18Aの回路LMNTの動作例について説明する。

[0307]

初めに、回路LMC[i]において、スイッチDSW1をオン状態にし、トランジスタM2dをオン状態にする。次に、図16の回路LMNTと同様に、メモリセルDCの容量C1dの第1端子に電圧 $V_{nd}$ を書き込み、トランジスタM2dをオフ状態にして、ノードn1dの電圧を保持する。

[0308]

このとき、回路CMPDの第1入力端子は、ノードn1dの電圧 $V_{nd}$ が入力される。また、回路CMPDの第2入力端子には、 $V_{nd}$ よりも低い参照電位が入力される。

[0309]

次に、例えば、時間経過などによって、ノード  $n1d$  の電圧  $V_{nd}$  がリークなどによって参照電位よりも低くなった時、回路 CMPD の出力端子から出力される信号（電圧）が変化する。例えば、回路 CMPD は、ノード  $n1d$  の電位が参照電位よりも高いとき、出力端子から低レベル電位を出力し、ノード  $n1d$  の電位が参照電位よりも低いとき、出力端子から高レベル電位を出力するものとする、ノード  $n1d$  の電圧が参照電位よりも低くなったとき、回路 CMPD の出力端子から出力される電位は、低レベル電位から高レベル電位に変化する。つまり、回路 CMPD は、メモリセル DC に保持されているデータが劣化していると判定して、回路 CMPD の出力端子から出力される信号（電圧）を変化させる。このため、当該信号（電圧）を、演算部 CLP の乗算セルに保持されているデータ、及びメモリセル DC に保持されている電位に対する、再書き込み動作のトリガー信号とすることができる。

[0310]

記憶装置 MEXT に回路 CMPD からの信号（電圧）の変化が入力されることで、記憶装置 MEXT は、記憶装置 MEXT に保持されているデータ（元々乗算セルに書き込まれていたデータ）を読み出して、半導体装置 SDV2 に送信する。これによって、記憶装置 MEXT から読み出された当該データは、回路 ILD を介して、演算部 CLP に入力され、劣化したデータに対して当該データの上書きが行われる。また、このとき、メモリセル DC に保持されている電位に対しても、劣化前のデータ（電位  $V_{nd}$ ）に直すことが好ましい。

[0311]

図 18A では、メモリセル DC のノード  $n1d$  の電位を監視して、当該電位が参照電位よりも低くなった時に、当該電位の検知を行う回路 LMNT の構成を説明したが、本発明の一態様の半導体装置に備わる回路は、これに限定されない。本発明の一態様の半導体装置に備わる回路としては、例えば、図 18A の回路 LMNT の構成を、場合によって、又は状況に応じて変更したものとしてもよい。

[0312]

例えば、図 18A の回路 LMNT ではノード  $n1d$  の電位を監視しているため、メモリセル DC がトランジスタ  $M1d$  を有さない構成としてもよい。具体的には、回路 LMNT は、図 18B に示すとおり、メモリセル DC にはトランジスタ  $M1d$  が設けられていない構成とすることができる。

[0313]

また、例えば、図 18C に示す回路 LMNT のとおり、回路 CMPD の代わりに、バッファ回路として機能する回路 BF2 を設けてもよい。具体的には、図 18C の回路 LMNT は、回路 BF2 の入力端子に、容量  $C1d$  の第 1 端子と、トランジスタ  $M1d$  のゲートと、トランジスタ  $M2d$  の第 1 端子と、が電氣的に接続され、回路 BF2 の出力端子に配線  $RSUL$  が電氣的に接続されている構成となっている。回路 BF2 としては、例えば、ソースフォロワ回路、オペアンプを用いたボルテージフォロワ回路などを含む構成とすることができる。

[0314]

また、例えば、図 18D に示す回路 LMNT のとおり、回路 CMPD と回路 BF2 とを有する構成としてもよい。具体的には、図 18D の回路 LMNT は、回路 BF2 の入力端子に、容量  $C1d$  の第 1 端子と、トランジスタ  $M1d$  のゲートと、トランジスタ  $M2d$  の第 1 端子と、が電氣的に接続され、回路 BF2 の出力端子に回路 CMPD の第 1 入力端子が電氣的に接続され、回路 CMPD の第 2 入力端子に配線  $VRFE$  に電氣的に接続され、回路 CMPD の出力端子に配線  $RSUL$  に電

氣的に接続されている構成となっている。

[0315]

<<回路LMNTと回路ILDの構成例4>>

次に、図16、図17A、及び図18A乃至図18Dとは異なる、半導体装置SDV2に適用できる回路LMNTの構成例について説明する。

[0316]

図20Aに示す回路LMNTは、図16の回路LMNTと同様に、回路LMC[i]（iは1以上で配線ILの本数と同じ値以下の整数とする。）を有する。但し、図20Aの回路LMC[i]は、メモリセルDCと、回路DTCと、スイッチDSW2と、スイッチDSW3と、スイッチDSW4と、を有する点で、図16の回路LMC[i]と異なる。なお、図20には、回路ILDも図示している。

[0317]

また、図20Aに示すメモリセルDCは、図16に示すメモリセルDCと同様の構成となっている。そのため、図16のメモリセルDC含まれているトランジスタM1d、トランジスタM2d、及び容量C1dと、図20Aに図示されている配線VE d、配線WL d、及び配線DL dと、については、図16の回路LMNTの説明を参酌する。

[0318]

図20Aの回路LMNTは、図16の回路LMNTと同様に、回路LMC[i]を複数有することができる。具体的には、例えば、回路LMNTは、回路ILDに電氣的に接続されている配線ILの本数と同じ数の回路LMC[i]を1行に配置された構成とすることができる。

[0319]

スイッチDSW2乃至スイッチDSW4としては、図16のスイッチDSW1と同様に、例えば、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。

[0320]

配線ILは、スイッチDSW4の第1端子に電氣的に接続され、スイッチDSW4の第2端子は配線DL dに電氣的に接続されている。また、スイッチDSW2の第1端子は、配線DL dに電氣的に接続され、回路DTCの第1入力端子は、スイッチDSW2の第2端子に電氣的に接続されている。また、スイッチDSW3の第1端子は、配線ILに電氣的に接続され、回路DTCの第2入力端子は、スイッチDSW3の第2入力端子に電氣的に接続されている。回路DTCの出力端子は、配線RSULに電氣的に接続されている。なお、図示していないが、配線RSULは、記憶装置MEXTに電氣的に接続されている。

[0321]

回路DTCについては、図16に図示した回路LMNTに含まれている回路DTCの説明を参酌する。

[0322]

次に、図20Aの回路LMNTを適用した場合の回路ILDの構成例について説明する。

[0323]

図20Bは、図20Aの回路LMNTを適用した場合の回路ILDの構成例であって、回路WCS1と、回路WCSDと、を有する。

[0324]

図20Bに示す回路WCS1は、図2Aの回路WCS1の一部であって、メモリセルDCへの書き込みに関係する回路素子を抜粋して記載している。具体的には、図20Bの回路WCS1では、例えば、電流源CC[u]とスイッチSW[u]とを抜粋して、図示している。このとき、スイッチSW[u]以外のスイッチSW[1]乃至スイッチSW[K]はオフ状態とするものとし、電流源CC[u]以外の電流源CC[1]乃至電流源CC[K]で生成される電流は、配線ILに流れないものとする。

[0325]

また、図20Bの回路WCSDは、電流源CCDと、スイッチSWNと、を有する。スイッチSWNの第1端子は、スイッチSW[u]の第2端子と、配線ILと、に電氣的に接続され、スイッチSWNの第2端子は、電流源CCDの入力端子に電氣的に接続され、電流源CCDの出力端子は、配線VSEに電氣的に接続されている。

[0326]

スイッチSWNとしては、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。また、スイッチSWNに電氣的なスイッチとしてトランジスタを用いる場合は、nチャネル型トランジスタとすることが好ましい。

[0327]

また、電流源CCDは、一例として、ゲートにバイアス電圧、ソースに低レベル電位、又は接地電位（配線VSEが与える電位）が与えられるnチャネル型トランジスタを有する構成とすることが好ましい。

[0328]

また、電流源CCDが生成する電流量は、電流源CC[u]が生成する電流量よりも小さいものとする。具体的には、例えば、電流源CC[u]が生成する電流量を $I_0$ としたとき、電流源CCDが生成する電流量は、電流量 $I_0$ の0.95倍、0.90倍、0.80倍などとすることができる。以後、電流源CCDが生成する電流を参照電流と呼称する。

[0329]

次に、図20Aの回路LMNTの動作例について説明する。

[0330]

初めに、回路LMC[i]において、スイッチDSW4をオン状態にし、スイッチDSW2及びスイッチDSW3をオフ状態にし、トランジスタM2dをオン状態にする。また、このとき、図20Bにおいて、スイッチSW[u]をオン状態にし、スイッチSWNをオフ状態にする。これにより、回路ILDから配線ILを介してメモリセルDCに電流量 $I_0$ の電流が流れる。次に、図16の回路LMNTと同様に、メモリセルDCの容量C1dの第1端子に電圧 $V_{nd}$ を書き込み、トランジスタM2dをオフ状態にして、ノードn1dの電圧を保持する。

[0331]

このとき、トランジスタM1dの第1端子ー第2端子間（配線DLdと配線VEdとの間）には、電流量 $I_0$ とする初期化用の電流が流れるものとする。その後、スイッチDSW1をオフ状態にして、トランジスタM1dの第1端子ー第2端子間に流れる電流を停止させる。

[0332]

トランジスタM1dの第1端子ー第2端子に流れる電流の監視を始めるとき、スイッチDSW4をオフ状態、スイッチDSW2をオン状態にする。これにより、回路DTCの第1入力端子から、

スイッチDSW2と配線DLdとを介して、配線VEdに、トランジスタM1dの第1端子ー第2端子に流れる電流量 $I_0$ の電流が流れる。

[0333]

また、スイッチDSW2がオン状態となるタイミングで、スイッチDSW3をオン状態にする。また、図20Bにおいて、スイッチSW[u]をオフ状態にし、スイッチSWNをオン状態にする。これにより、回路DTCの第2入力端子から、スイッチDSW3と配線ILとスイッチSWNとを介して、配線VSEに参照電流が流れる。

[0334]

ここで、容量C1dの第1端子に保持されている電位 $V_{nd}$ が、電荷のリークなどによって低下したとき、トランジスタM1dの第1端子ー第2端子に流れる電流の量は $I_0$ から減少する。回路DTCの第1入力端子から配線VEdに流れる電流量が、配線ILから流れる参照電流の量以下になったとき、又は参照電流の量未満になったとき、回路DTCは、メモリセルDCに保持されているデータが劣化していると判定して、記憶装置MEXTに、演算部CLPの乗算セルに再度書き込むためのデータの読み出しと、当該データの回路ILDへの送信とを行わせる命令信号（例えば、パルス信号）を送信する。

[0335]

以降は、図16の回路LMNTと同様に、記憶装置MEXTが当該命令信号を受け取って、記憶装置MEXTが記憶装置MEXTに保持されている情報を読み出して、半導体装置SDV2に送信する動作が行われる。そして、半導体装置SDV2は、回路ILDによって当該情報を演算部CLPに含まれている乗算セルへ書き込み、また、メモリセルDCに元の電圧（又は電流）を書き込む。これにより、演算部CLPの乗算セル、及びメモリセルDCが保持している劣化したデータに対して、データの再書き込み（電荷の補充）を行うことができる。

[0336]

半導体装置SDV2として、図20Aに図示された構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータの劣化（リーク電流による電荷量の絶対値の減少）を容易に検知することができる。また、検知することによって、演算部CLPの乗算セル、及びメモリセルDCに対するデータの再書き込み（電荷の補充）を行うことができる。

[0337]

<<回路LMNTと回路ILDの構成例5>>

次に、回路15、図17A、図18A乃至図18D、及び図20Aに示した回路LMNTの構成とは異なる、図15の半導体装置SDV2に適用できる回路LMNTの構成例について説明する。

[0338]

図21Aに示す回路LMNTは、回路LMC[i]（iは1以上で配線ILの本数と同じ値以下の整数とする。）、及び回路LMC<sub>r</sub>[i]を有する。また、回路LMC[i]は、メモリセルDCと、メモリセルDC<sub>r</sub>と、回路DTCと、スイッチDSW1と、スイッチDSW2と、スイッチDSW3と、スイッチDSW4と、スイッチDSW4<sub>r</sub>と、を有する。なお、図21Aには、回路ILDも図示している。

[0339]

メモリセルDCは、トランジスタM1dと、トランジスタM2dと、容量C1dと、を有する。また、メモリセルDC<sub>r</sub>は、メモリセルDCと同様の構成、又はメモリセルDCと異なる構成とす

ることができる。なお、図21Aでは、メモリセルDC<sub>r</sub>は、メモリセルDCと同様の構成としている。そのため、メモリセルDC<sub>r</sub>は、メモリセルDCと区別をするため、符号に「r」を付している。また、回路MC<sub>r</sub>に含まれている、後述する回路素子の符号にも「r」を付している。例えば、図21Aに図示している、メモリセルDC<sub>r</sub>に含まれるトランジスタM1<sub>d r</sub>、トランジスタM2<sub>d r</sub>、及び容量C1<sub>d r</sub>のそれぞれは、メモリセルDCに含まれるトランジスタM1<sub>d</sub>、トランジスタM2<sub>d</sub>、及び容量C1<sub>d</sub>に相当する。また、例えば、図21Aに図示している、メモリセルDC<sub>r</sub>に電氣的に接続されている配線VE<sub>d r</sub>、及び配線DL<sub>d r</sub>は、メモリセルDCに電氣的に接続されている配線VE<sub>d</sub>、及び配線DL<sub>d</sub>に相当する。

[0340]

また、図21Aに示すメモリセルDCは、図16に示すメモリセルDCと同様の構成となっている。そのため、図21AのメモリセルDCに含まれているトランジスタM1<sub>d</sub>、トランジスタM2<sub>d</sub>、及び容量C1<sub>d</sub>と、図21Aに図示されている配線VE<sub>d</sub>、配線WL<sub>d</sub>、及び配線DL<sub>d</sub>と、については、図16の回路LMNTの説明を参酌する。

[0341]

図21Aの回路LMNTは、図16の回路LMNTと同様に、回路LMC[i]を複数有することができる。具体的には、例えば、回路LMNTは、回路ILDに電氣的に接続されている配線ILの本数と同じ数の回路LMC[i]を1行に配置された構成とすることができる。

[0342]

スイッチDSW2、スイッチDSW3、スイッチDSW4、及びスイッチDSW4としては、図16のスイッチDSW1と同様に、例えば、上記に述べたスイッチRSWに適用できるスイッチを用いることができる。

[0343]

回路ILDは、配線ILと、配線ILBと、に電氣的に接続されている。

[0344]

配線ILは、スイッチDSW4の第1端子に電氣的に接続され、スイッチDSW4の第2端子は配線DL<sub>d</sub>に電氣的に接続されている。また、配線DL<sub>d</sub>は、スイッチDSW2の第1端子に電氣的に接続され、スイッチDSW2の第2端子は、回路DTCの第1入力端子に電氣的に接続され、回路DTCの出力端子は、配線RSULに電氣的に接続されている。また、配線ILBは、スイッチDSW3の第1端子と、スイッチDSW4<sub>r</sub>の第1端子と、に電氣的に接続され、スイッチDSW4<sub>r</sub>の第2端子は、配線DL<sub>d r</sub>に電氣的に接続されている。回路DTCの第2入力端子はスイッチDSW3の第2端子に電氣的に接続されている。回路DTCの出力端子は、配線RSULに電氣的に接続されている。なお、図示していないが、配線RSULは、記憶装置MEXTに電氣的に接続されている。

[0345]

回路DTCについては、図17Aに図示された回路DTCの説明を参酌する。

[0346]

次に、図21Aの回路LMNTを適用した場合の回路ILDの構成例について説明する。

[0347]

図21Bは、図21Aの回路LMNTを適用した場合の回路ILDの構成例であって、回路WCS1と、回路WCS1<sub>r</sub>と、回路WCSDと、回路WCSD<sub>r</sub>と、を有する。

[0348]

図21Bに示す回路WCS1、及び回路WCSDのそれぞれは、図20Bに示した回路WCS1、及び回路WCSDと同様の構成となっている。そのため、図21Bの回路WCS1、及び回路WCSDについては、図20Bの回路WCS1、及び回路WCSDの説明を参酌する。

[0349]

また、図21Bに示す回路WCS1r、及び回路WCSDrのそれぞれは、図21Bの回路WCS1、及び回路WCSDと同様の構成となっている。そのため、回路WCS1r、及び回路WCSDrのそれぞれは、回路WCS1、及び回路WCSDと区別をするため、符号に「r」を付している。例えば、図21Bに図示している、回路WCS1rに含まれる電流源CCr[u]、及びスイッチSWr[u]のそれぞれは、回路WCS1に含まれる電流源CC[u]、及びスイッチSW[u]に相当する。また、例えば、図21Bに図示している、回路WCSDrに含まれる電流源CCDr[u]、及びスイッチSWNr[u]のそれぞれは、回路WCSDに含まれる電流源CCD[u]、及びスイッチSWN[u]に相当する。

[0350]

また、配線ILは、スイッチSW[u]の第2端子と、スイッチSWNの第1端子と、に電氣的に接続されている。また、配線ILBは、スイッチSWr[u]の第2端子と、スイッチSWNrの第1端子と、に電氣的に接続されている。

[0351]

次に、図21Aの回路LMNTの動作例について説明する。

[0352]

初めに、回路LMC[i]において、スイッチDSW4をオン状態にし、スイッチDSW2及びスイッチDSW3をオフ状態にし、トランジスタM2dをオン状態にする。また、このとき、図21Bにおいて、スイッチSW[u]をオン状態にし、スイッチSWNをオフ状態にする。これにより、回路ILDから配線ILを介してメモリセルDCに電流量I<sub>0</sub>の電流が流れる。次に、図16の回路LMNTと同様に、メモリセルDCの容量C1dの第1端子に電圧V<sub>nd</sub>を書き込み、トランジスタM2dをオフ状態にして、ノードn1dの電圧を保持する。

[0353]

このとき、トランジスタM1dの第1端子ー第2端子間（配線DLdと配線VEdとの間）には、電流量I<sub>0</sub>とする初期化用の電流が流れるものとする。その後、スイッチDSW1をオフ状態にして、トランジスタM1dの第1端子ー第2端子間に流れる電流を停止させる。

[0354]

トランジスタM1dの第1端子ー第2端子に流れる電流の監視を始めるとき、スイッチDSW4をオフ状態、スイッチDSW2をオン状態にする。これにより、回路DTCの第1入力端子から、スイッチDSW2と配線DLdとトランジスタM1dを介して、配線VEdに電流量I<sub>0</sub>の電流が流れる。

[0355]

また、スイッチDSW2がオン状態となるタイミングで、スイッチDSW3をオン状態にし、スイッチDSW4rをオフ状態にする。また、図21Bにおいて、スイッチSWr[u]をオフ状態にし、スイッチSWNrをオン状態にする。これにより、回路DTCの第2入力端子から、スイッチDSW3と配線ILBとスイッチSWNrとを介して、配線VSEに参照電流が流れる。

[0356]

ここで、容量C1dの第1端子に保持されている電位 $V_{nd}$ が、電荷のリークなどによって低下したとき、トランジスタM1dの第1端子ー第2端子に流れる電流の量は $I_0$ から減少する。回路DTCの第1入力端子から配線VEdに流れる電流量が、配線ILから流れる参照電流の量以下になったとき、又は参照電流の量未満になったとき、回路DTCは、メモリセルDCに保持されているデータが劣化していると判定して、記憶装置MEXTに、演算部CLPの乗算セルに再度書き込むためのデータの読み出しと、当該データの回路ILDへの送信とを行わせる命令信号（例えば、パルス信号）を送信する。

[0357]

以降は、図16の回路LMNTと同様に、記憶装置MEXTが当該命令信号を受け取って、記憶装置MEXTが記憶装置MEXTに保持されている情報を読み出して、半導体装置SDV2に送信する動作が行われる。そして、半導体装置SDV2は、回路ILDによって当該情報を演算部CLPに含まれている乗算セルへ書き込み、また、メモリセルDCに元の電圧（又は電流）を書き込む。これにより、演算部CLPの乗算セル、及びメモリセルDCが保持している劣化したデータに対して、データの再書き込み（電荷の補充）を行うことができる。

[0358]

半導体装置SDV2として、図21Aに図示された構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータの劣化（リーク電流による電荷量の絶対値の減少）を容易に検知することができる。また、検知することによって、演算部CLPの乗算セル、及びメモリセルDCに対するデータの再書き込み（電荷の補充）を行うことができる。

[0359]

<<回路LMNTと回路ILDの構成例6>>

次に、図21Aに示した回路LMNTの変更例として、図15の半導体装置SDV2に適用できる回路LMNTの構成例について説明する。

[0360]

図22Aに示す回路LMNTは、図21Aに示した回路LMNTの変更例であって、メモリセルDCに含まれているトランジスタM2dのゲートが配線WLdに電氣的に接続され、メモリセルDCrに含まれているトランジスタM2drのゲートが配線WLdrに電氣的に接続されている構成となっている。つまり、図22Aの回路LMNTは、トランジスタM2dのゲートと、トランジスタM2drのゲートが、直接接続されていない構成となっている。そのため、図22Aに示す回路LMNTにおいて、図21Aの回路LMNTと共通する箇所については、図21Aの回路LMNTの説明を参照する。

[0361]

また、図22Aの回路LMNTにおける、回路ILDとしては、例えば、図21Bに示す回路ILDを適用することができる。以後、図22Aの回路ILDとしては、図21Bの回路ILDが適用されたものとして、説明する。

[0362]

次に、図22Aの回路LMNTの動作例について説明する。

[0363]

初めに、回路LMC[i]において、スイッチDSW4をオン状態にし、スイッチDSW2をオ

フ状態にする。次に、配線WL dに高レベル電位を与えて、トランジスタM2 dをオン状態にする。また、このとき、図21Bにおいて、スイッチSW[u]をオン状態にし、スイッチSWNをオフ状態にする。これにより、回路ILDから配線ILを介してメモリセルDCに電流量 $I_0$ の電流が流れる。次に、図16の回路LMNTと同様に、メモリセルDCの容量C1 dの第1端子に電圧 $V_{nd}$ を書き込み、配線WL dに低レベル電位を与えてトランジスタM2 dをオフ状態にして、ノードn1 dの電圧を保持する。

[0364]

このとき、トランジスタM1 dの第1端子ー第2端子間（配線DL dと配線VE dとの間）には、電流量 $I_0$ とする初期化用の電流が流れるものとする。その後、スイッチDSW1をオフ状態にして、トランジスタM1 dの第1端子ー第2端子間に流れる電流を停止させる。

[0365]

トランジスタM1 dの第1端子ー第2端子に流れる電流の監視を始めるとき、スイッチDSW4 rをオン状態にし、スイッチDSW3をオフ状態にする。次に、配線WL d rに高レベル電位を与えて、トランジスタM2 d rをオン状態にする。このとき、図21Bにおいて、スイッチSW r[u]をオフ状態にし、スイッチSWN rをオン状態にする。これにより、回路ILDから配線ILBを介してメモリセルDC rのトランジスタM1 d rに参照電流が流れる。また、このときのノードn1 d rの電位を $V_{REF}$ とする。そして、配線WL d rに低レベル電位を与えてトランジスタM2 d rをオフ状態にすることで、ノードn1 d rに電圧 $V_{REF}$ が保持される。

[0366]

その後、スイッチDSW4をオフ状態、スイッチDSW2をオン状態にする。これにより、回路DTCの第1入力端子から、スイッチDSW2と配線DL dとトランジスタM1 dを介して、配線VE dに電流量 $I_0$ の電流が流れる。また、回路DTCの第2入力端子から、スイッチDSW3とスイッチDSW4 rと配線DL d rとトランジスタM1 d rとを介して、配線VE d rに参照電流が流れる。

[0367]

ここで、容量C1 dの第1端子に保持されている電位 $V_{nd}$ が、電荷のリークなどによって低下したとき、トランジスタM1 dの第1端子ー第2端子に流れる電流の量は $I_0$ から減少する。回路DTCの第1入力端子から配線VE dに流れる電流量が、回路DTCの第2入力端から配線VE d rに流れる参照電流の量以下になったとき、又は参照電流の量未満になったとき、回路DTCは、メモリセルDCに保持されているデータが劣化していると判定して、記憶装置MEXTに、演算部CLPの乗算セルに再度書き込むためのデータの読み出しと、当該データの回路ILDへの送信とを行わせる命令信号（例えば、パルス信号）を送信する。

[0368]

以降は、図16の回路LMNTと同様に、記憶装置MEXTが当該命令信号を受け取って、記憶装置MEXTが記憶装置MEXTに保持されている情報を読み出して、半導体装置SDV2に送信する動作が行われる。そして、半導体装置SDV2は、回路ILDによって当該情報を演算部CLPに含まれている乗算セルへ書き込み、また、メモリセルDCに元の電圧（又は電流）を書き込む。これにより、演算部CLPの乗算セル、及びメモリセルDCが保持している劣化したデータに対して、データの再書き込み（電荷の補充）を行うことができる。

[0369]

半導体装置SDV2として、図22Aに図示された構成を適用することによって、演算部CLPの乗算セルの記憶素子に保持されたデータの劣化（リーク電流による電荷量の絶対値の減少）を容易に検知することができる。また、検知することによって、演算部CLPの乗算セル、及びメモリセルDCに対するデータの再書き込み（電荷の補充）を行うことができる。

[0370]

なお、上記の動作例では、メモリセルDCrに電圧 $V_{REF}$ を保持するため、メモリセルDCrにおけるデータの劣化（電圧 $V_{REF}$ の劣化、電荷量の絶対値の減少）が起こる場合がある。その場合、メモリセルDCrに電位 $V_{REF}$ を保持したあとに、すぐに、トランジスタM1dの第1端子ー第2端子に流れる電流の監視を始めることで、当該データの劣化の影響を小さくすることができる。

[0371]

また、本発明の一態様に係る、回路LMNTの構成は、図22Aに示した回路構成に限定されない。回路LMNTの構成は、場合によって、又は、状況に応じて、含まれている回路素子、接続構成などを変更してもよい。

[0372]

例えば、回路LMNTの構成は、図22Bに示すとおり、メモリセルDCと、メモリセルDCrと、が1行ではなく、1列に配置されたものとしてもよい。また、図22Bでは、配線VEdrの代わりに配線VEdがメモリセルDCrに電氣的に接続されている。このため、図22Aに図示していた配線VEdと配線VEdrは、図22Bの構成に変更することによって、1本の配線にまとめることができる。

[0373]

なお、上記で説明したメモリセルDCは、回路LMNTではなく、例えば、演算部CLPに含まれていてもよい。なお、この場合、メモリセルDCは、乗算セル（実施の形態2で説明する回路MC、回路MCrなど）とともに作製されることが好ましい。又は、演算部CLPの乗算セル（実施の形態2で説明する回路MC、回路MCrなど）をメモリセルDCとして用いてもよい。

[0374]

なお、半導体装置SDV2の構成としては、上述した、図16、図17A、図18A乃至図18D、図20A、図21A、図22A、図22Bなどの構成から選択して、それらを組み合わせた構成としてもよい。

[0375]

本実施の形態では、図1A乃至図1Cに示した半導体装置SDV1の構成例、及び図15に示した半導体装置の構成例を説明したが、本発明の一態様の半導体装置は、これに限定されない。本発明の一態様は、例えば、図23に示すとおり、半導体装置SDV3として、半導体装置SDV1に、半導体装置SDV2が有する回路LMNTが含まれる構成としてもよい。つまり、本実施の形態で説明した、半導体装置SDV1の構成例は、半導体装置SDV2の構成例と適宜組み合わせることができる。

[0376]

ところで、演算部CLPに含まれている回路に保持されている情報（例えば、電流、電圧など）がリークなどによって変化する場合、当該回路については定期的にリフレッシュ動作、又は再書き込み動作が行われることが好ましい。具体的には、例えば、演算部CLPに含まれている回路に保持されている情報（例えば、電流、電圧など）が変化したとき、再度、記憶装置MINTから読み

出された情報を回路 I L D に送信して、回路 I L D が当該回路に当該情報に応じた電流（電圧の場合もある）を供給すればよい。

[0377]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0378]

（実施の形態 2）

本実施の形態では、上記実施の形態で説明した演算部 C L P の一例について説明する。

[0379]

<階層型のニューラルネットワーク>

演算回路の説明を行う前に、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の実出力層と、を有し、合計 3 以上の層によって構成されている。図 24A に示す階層型のニューラルネットワーク 100 はその一例を示しており、ニューラルネットワーク 100 は、第 1 層乃至第 R 層（ここでの R は 4 以上の整数とすることができる。）を有している。特に、第 1 層は入力層に相当し、第 R 層は出力層に相当し、それら以外の層は中間層に相当する。なお、図 24A には、中間層として第  $(k-1)$  層、第  $k$  層（ここでの  $k$  は 3 以上  $R-1$  以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

[0380]

ニューラルネットワーク 100 の各層は、一又は複数のニューロンを有する。図 24A において、第 1 層はニューロン  $N_1^{(1)}$  乃至ニューロン  $N_p^{(1)}$ （ここでの  $p$  は 1 以上の整数である。）を有し、第  $(k-1)$  層はニューロン  $N_1^{(k-1)}$  乃至ニューロン  $N_m^{(k-1)}$ （ここでの  $m$  は 1 以上の整数である。）を有し、第  $k$  層はニューロン  $N_1^{(k)}$  乃至ニューロン  $N_n^{(k)}$ （ここでの  $n$  は 1 以上の整数である。）を有し、第 R 層はニューロン  $N_1^{(R)}$  乃至ニューロン  $N_q^{(R)}$ （ここでの  $q$  は 1 以上の整数である。）を有する。

[0381]

なお、図 24A には、ニューロン  $N_1^{(1)}$ 、ニューロン  $N_p^{(1)}$ 、ニューロン  $N_1^{(k-1)}$ 、ニューロン  $N_m^{(k-1)}$ 、ニューロン  $N_1^{(k)}$ 、ニューロン  $N_n^{(k)}$ 、ニューロン  $N_1^{(R)}$ 、ニューロン  $N_q^{(R)}$  に加えて、第  $(k-1)$  層のニューロン  $N_i^{(k-1)}$ （ここでの  $i$  は 1 以上  $m$  以下の整数である。）、第  $k$  層のニューロン  $N_j^{(k)}$ （ここでの  $j$  は 1 以上  $n$  以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

[0382]

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第  $k$  層のニューロン  $N_j^{(k)}$  に着目する。

[0383]

図 24B は、第  $k$  層のニューロン  $N_j^{(k)}$  と、ニューロン  $N_j^{(k)}$  に入力される信号と、ニューロン  $N_j^{(k)}$  から出力される信号と、を示している。

[0384]

具体的には、第  $(k-1)$  層のニューロン  $N_1^{(k-1)}$  乃至ニューロン  $N_m^{(k-1)}$  のそれぞれの出力信号である  $z_1^{(k-1)}$  乃至  $z_m^{(k-1)}$  が、ニューロン  $N_j^{(k)}$  に向けて出力されている。そして、ニ

ニューロン  $N_j^{(k)}$  は、 $z_1^{(k-1)}$  乃至  $z_m^{(k-1)}$  に応じて  $z_j^{(k)}$  を生成して、 $z_j^{(k)}$  を出力信号として第  $(k+1)$  層（図示しない。）の各ニューロンに向けて出力する。

[0385]

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク 100 では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。  $i$  を 1 以上  $m$  以下の整数として、第  $(k-1)$  層のニューロン  $N_i^{(k-1)}$  と第  $k$  層のニューロン  $N_j^{(k)}$  との間のシナプスの重み係数を  $w_i^{(k-1)} j^{(k)}$  としたとき、第  $k$  層のニューロン  $N_j^{(k)}$  に入力される信号は、式 (2. 1) で表すことができる。

[0386]

[数 1]

$$w_i^{(k-1)} j^{(k)} \cdot z_i^{(k-1)} \quad \dots(2.1)$$

[0387]

つまり、第  $(k-1)$  層のニューロン  $N_1^{(k-1)}$  乃至ニューロン  $N_m^{(k-1)}$  のそれぞれから第  $k$  層のニューロン  $N_j^{(k)}$  に信号が伝達するとき、当該信号である  $z_1^{(k-1)}$  乃至  $z_m^{(k-1)}$  には、それぞれの信号に対応する重み係数  $w_1^{(k-1)} j^{(k)}$  乃至  $w_m^{(k-1)} j^{(k)}$  が乗じられる。そして、第  $k$  層のニューロン  $N_j^{(k)}$  には、 $w_1^{(k-1)} j^{(k)} \cdot z_1^{(k-1)}$  乃至  $w_m^{(k-1)} j^{(k)} \cdot z_m^{(k-1)}$  が入力される。このとき、第  $k$  層のニューロン  $N_j^{(k)}$  に入力される信号の総和  $u_j^{(k)}$  は、式 (2. 2) となる。

[0388]

[数 2]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} j^{(k)} \cdot z_i^{(k-1)} \quad \dots(2.2)$$

[0389]

また、重み係数  $w_1^{(k-1)} j^{(k)}$  乃至  $w_m^{(k-1)} j^{(k)}$  と、ニューロンの信号  $z_1^{(k-1)}$  乃至  $z_m^{(k-1)}$  と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを  $b$  としたとき、式 (2. 2) は、次の式に書き直すことができる。

[0390]

[数 3]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} j^{(k)} \cdot z_i^{(k-1)} + b \quad \dots(2.3)$$

[0391]

ニューロン  $N_j^{(k)}$  は、 $u_j^{(k)}$  に応じて、出力信号  $z_j^{(k)}$  を生成する。ここで、ニューロン  $N_j^{(k)}$  からの出力信号  $z_j^{(k)}$  を次の式で定義する。

[0392]

[数4]

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(2.4)$$

[0393]

関数  $f(u_j^{(k)})$  は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、ランプ関数（ReLU関数）、シグモイド関数、tanh関数、ソフトマックス関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なっているてもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なっているてもよい。

[0394]

ところで、各層のニューロンが出力する信号、重み係数  $w$ 、または、バイアス  $b$  は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2値としてもよいし、3値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線型ランプ関数、シグモイド関数などを用いればよい。デジタル値の2値の場合、例えば、出力を−1若しくは1、又は、0若しくは1、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3値以上としてもよく、例えば、3値を出力する活性化関数としては、例えば3値以上、例えば出力は−1、0、若しくは1とするステップ関数、又は、0、1、若しくは2とするステップ関数などを用いればよい。また、例えば、5値を出力する活性化関数として、−2、−1、0、1、若しくは2とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数  $w$ 、または、バイアス  $b$  について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、などができる。また、各層のニューロンが出力する信号、重み係数  $w$ 、または、バイアス  $b$  について、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることができる。

[0395]

ニューラルネットワーク100は、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（2.1）、式（2.2）（又は式（2.3））、式（2.4）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク100によって計算された結果に相当する。

[0396]

<演算回路の構成例1>

ここでは、上述のニューラルネットワーク100において、式（2.2）（又は式（2.3））、及び式（2.4）の演算を行うことができる演算回路の例について説明する。なお、当該演算回路において、一例として、ニューラルネットワーク100のシナプス回路の重み係数を、2値（“−1”、“+1”の組み合わせ、又は“0”、“+1”の組み合わせ等）、3値（“−1”、“0”、“1”の組み合わせ等）、又は4値以上の多値（5値の場合、“−2”、“−1”、“0”、“1”、“2”の組み合わせ等）とし、ニューロンの活性化関数が2値（“−1”、“+1”）とする。

1”の組み合わせ、又は“0”、“+1”の組み合わせ等。）、3値（“-1”、“0”、“1”の組み合わせ等。）、4値以上の多値（4値の場合、“0”、“1”、“2”、“3”の組み合わせ等）を出力する関数とする。また、本明細書等において、重み係数と、前層のニューロンから次層のニューロンに入力される信号の値（演算値と呼称する場合がある）とについて、そのいずれか一方を第1データと呼称し、他方を第2データと呼称する場合がある。なお、ニューラルネットワーク100のシナプス回路の重み係数、演算値は、デジタル値に限定されず、少なくとも一方について、アナログ値を用いることも可能である。

[0397]

図25に示す演算回路110は、一例として、回路ILDと、演算部CLPと、有する半導体装置である。また、演算部CLPは、アレイ部ALPと、回路WLDと、回路XLDと、回路AFPと、を有する。なお、図25には、配線IL及び配線ILBに電氣的に接続される回路LMNT、及び配線IL及び配線ILBと回路LMNTとを電氣的に接続する配線を図示していない。演算回路110は、図24A、及び図24Bにおける第k層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ に入力される信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を処理して、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれから出力される信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を生成する回路である。

[0398]

なお、演算回路110の全体、または、その一部について、ニューラルネットワーク（畳み込み処理を行うCNN、RNN（再帰型ニューラルネットワーク）などを含む）、AI以外の用途で使用してよい。例えば、グラフィック向けの計算や、科学計算などにおいて、積和演算処理、行列演算処理などを行う場合に、演算回路110の全体、または、その一部を用いて、処理を行ってもよい。つまり、AI向けの計算だけでなく、一般的な計算のために、演算回路110の全体、または、その一部を用いてもよい。

[0399]

回路ILDは、一例として、配線IL[1]乃至配線IL[n]と、配線ILB[1]乃至配線ILB[n]と、に電氣的に接続されている。回路WLDは、一例として、配線WLS[1]乃至配線WLS[m]に電氣的に接続されている。回路XLDは、一例として、配線XLS[1]乃至配線XLS[m]に電氣的に接続されている。回路AFPは、一例として、配線OL[1]乃至配線OL[n]と、配線OLB[1]乃至配線OLB[n]と、に電氣的に接続されている。

[0400]

<<アレイ部ALP>>

アレイ部ALPは、一例として、 $m \times n$ 個の回路MPを有している。回路MPは、一例として、アレイ部ALP内において、m行n列のマトリクス状に配置されている。なお、図25では、i行j列（ここでのiは1以上m以下の整数であって、jは1以上n以下の整数である。）に位置する回路MPを、回路MP[i, j]と表記している。但し、図25では、回路MP[1, 1]、回路MP[m, 1]、回路MP[i, j]、回路MP[1, n]、回路MP[m, n]を抜粋して図示している。

[0401]

回路MP[i, j]は、一例として、配線IL[j]と、配線ILB[j]と、配線WLS[i]と、配線XLS[i]と、配線OL[j]と、配線OLB[j]と、に電氣的に接続されている。

[0402]

回路MP [i, j] は、一例として、ニューロン $N_i^{(k-1)}$  とニューロン $N_j^{(k)}$  との間の重み係数（第1データ又は第2データ的一方と呼称する場合がある。ここでは第1データと呼称する）を保持する機能を有する。具体的には、回路MP [i, j] は、配線IL [j] 及び配線ILB [j] から入力される、第1データ（重み係数）に応じた情報（例えば、電位、抵抗値、電流値など）の保持を行う。また、回路MP [i, j] は、ニューロン $N_i^{(k-1)}$  から出力される信号 $z_i^{(k-1)}$ （第1データ又は第2データの他方と呼称する場合がある。ここでは第2データと呼称する）と第1データとの積を出力する機能を有する。具体的な例としては、回路MP [i, j] は、配線XLS [i] から第2データ $z_i^{(k-1)}$  が入力されることで、第1データと第2データとの積に応じた情報（例えば、電流、電圧など）、又は第1データと第2データとの積に関連した情報（例えば、電流、電圧など）を配線OL [j] 及び配線OLB [j] に出力する。なお、図25には、配線IL [j] 及び配線ILB [j] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。本発明の一態様は、図25の演算回路110において、配線IL [j] 及び配線ILB [j] のいずれか一方のみが配置されている構成としてもよい。

[0403]

なお、回路MPの具体的な構成例については、後述する。

[0404]

<<回路ILD>>

回路ILDは、一例として、配線IL [1] 乃至配線IL [n] と、配線ILB [1] 乃至配線ILB [n] と、を介して、回路MP [1, 1] 乃至回路MP [m, n] のそれぞれに対して、第1データ $w_1^{(k-1)}_1^{(k)}$  乃至 $w_m^{(k-1)}_n^{(k)}$  に対応する情報（例えば、電位、抵抗値、電流値など）を入力する機能を有する。具体的な例としては、回路ILDは、回路MP [i, j] に対して、第1データ $w_i^{(k-1)}_j^{(k)}$  に対応する情報（例えば、電位、抵抗値、または、電流値など）を、配線IL [j]、配線ILB [j] によって供給する。具体的には、実施の形態1で説明した、記憶装置MINT、又は記憶装置MEXTには、第1データ $w_1^{(k-1)}_1^{(k)}$  乃至 $w_m^{(k-1)}_n^{(k)}$  が保持されており、記憶装置MINT、又は記憶装置MEXTから、回路ILDに第1データが送信されることで、回路ILDは、第1データ $w_i^{(k-1)}_j^{(k)}$  に対応する情報（例えば、電位、抵抗値、または、電流値など）を、配線IL [j]、配線ILB [j] によって供給する。なお、回路ILDの具体的な回路構成については、実施の形態1などに記載している。

[0405]

<<回路XLD>>

回路XLDは、一例として、配線XLS [1] 乃至配線XLS [m] を介して、回路MP [1, 1] 乃至回路MP [m, n] のそれぞれに対して、第2データ $z_1^{(k-1)}$  乃至 $z_m^{(k-1)}$  を供給する機能を有する。具体的には、回路XLDは、回路MP [i, 1] 乃至回路MP [i, n] に対して、第2データ $z_i^{(k-1)}$  に対応する情報（例えば、電位、電流値など）を、配線XLS [i] によって供給する。なお、配線XLS [i] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。本発明の一態様は、例えば、図25の演算回路110において、配線XLS [i] を複数本の配線として、第2データ $z_i^{(k-1)}$  に対応する情報（例えば、電位、電流値など）を複数本の配線によって供給する構成としてもよい。

[0406]

## &lt;&lt;回路WLD&gt;&gt;

回路WLDは、一例として、回路ILDから入力される第1データに応じた情報（例えば、電位、抵抗値、電流値など）の書き込む先となる回路MPを選択する機能を有する。例えば、アレイ部ALPの*i*行目に位置する回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に情報（例えば、電位、抵抗値、電流値など）の書き込みを行う場合、回路WLDは、例えば、回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を配線WLS [*i*] に供給し、*i* 行目以外の回路MPに含まれる書き込み用スイッチング素子をオフ状態にする電位を配線WLS に供給すればよい。なお、配線WLS [*i*] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線WLS [*i*] の他に、例えば、配線WLS [*i*] に入力される信号の反転信号を送信する配線を別途配置されていてもよい。

[0407]

なお、図25の演算回路110には、配線WLS [*i*] が配置されている構成例を示したが、本発明の一態様は、これに限定されない。例えば、配線WLS [*i*] を複数の配線として置き換えてもよい。また、例えば、配線XLS [*i*] を複数の配線として、配線XLS [*i*] の一部の配線を、回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に情報を書き込むための選択信号線として兼用してもよい。具体的には、図26に示す演算回路130のように、演算回路110の配線XLS [*i*] を、配線WX1L [*i*] と配線X2L [*i*] とし、配線WX1L [*i*] は、回路WLDと、回路XLDと、に電氣的に接続されていてもよい。なお、配線WX1L [*i*] に、回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を回路WLDから供給する場合、回路XLDは、回路XLDと配線WX1L との間を非導通状態にする機能を有するのが好ましい。また、配線WX1L [*i*] を介して、第2データ  $z_1^{(k-1)}$  乃至  $z_m^{(k-1)}$  の信号を回路WLDから回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に供給する場合、回路WLDは、回路WLDと配線WX1L との間を非導通状態にする機能を有するのが好ましい。

[0408]

## &lt;&lt;回路AFP&gt;&gt;

回路AFPは、一例としては、回路ACTF [1] 乃至回路ACTF [*n*] を有する。回路ACTF [*j*] は、一例としては、配線OL [*j*] と、配線OLB [*j*] と、のそれぞれに電氣的に接続されている。回路ACTF [*j*] は、一例としては、配線OL [*j*] と配線OLB [*j*] から入力されるそれぞれの情報（例えば、電位、電流値など）に応じた信号を生成する。一例としては、配線OL [*j*] と配線OLB [*j*] から入力されるそれぞれの情報（例えば、電位、電流値など）を比較し、その比較結果に応じた信号を生成する。つまり、回路ACTF [1] 乃至回路ACTF [*n*] は、一例としては、上述したニューラルネットワークの活性化関数の演算を行う回路として機能する。ただし、本発明の一態様は、これに限定されない。例えば、回路ACTF [1] 乃至回路ACTF [*n*] は、アナログ信号をデジタル信号に変換する機能を有していてもよい。又は、例えば、回路ACTF [1] 乃至回路ACTF [*n*] は、アナログ信号を増幅して出力する機能、つまり、出力インピーダンスを変換する機能を有していてもよい。または、例えば、回路ACTF [1] 乃至回路ACTF [*n*] は、電流、又は電荷を電圧に変換する機能を有していてもよい。または例えば、回路ACTF [1] 乃至回路ACTF [*n*] は、配線OL [*j*]、及び配線OLB [*j*] の電位を初期化する機能を有していてもよい。

[0409]

なお、図25に示す演算回路110では、回路ACTFが配置されている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、回路AFPには、回路ACTFが配置されていなくてもよい。

[0410]

また、回路ACTFの構成例については、後述する。

[0411]

<<回路MP>>

図27Aは、演算回路110に適用できる回路MP  $[i, j]$  の構成例を示している。回路MP  $[i, j]$  は、一例として、回路MCと、回路MC<sub>r</sub>と、を有する。回路MC及び回路MC<sub>r</sub>は、回路MPにおいて、重み係数と、ニューロンの入力信号（演算値）と、の積を計算する回路である。回路MCは、回路MC<sub>r</sub>と同様の構成、又は回路MC<sub>r</sub>と異なる構成とすることができる。そのため、回路MC<sub>r</sub>は、回路MCと区別をするため、符号に「r」を付している。また、回路MC<sub>r</sub>に含まれている、後述する回路素子の符号にも「r」を付している。

[0412]

回路MCは、一例としては、回路HCを有し、回路MC<sub>r</sub>は、回路HC<sub>r</sub>を有する。回路HC、及び回路HC<sub>r</sub>は、それぞれ情報（例えば、電位、抵抗値、電流値など）を保持する機能を有する。なお、回路MP  $[i, j]$  に設定される第1データ  $w_i^{(k-1)} j^{(k)}$  は、回路HC、及び回路HC<sub>r</sub>のそれぞれに保持される情報（例えば、電位、抵抗値、電流値など）に応じて定められる。そのため、回路HC及び回路HC<sub>r</sub>のそれぞれは、第1データ  $w_i^{(k-1)} j^{(k)}$  に応じた各情報（例えば、電位、抵抗値、電流値など）を供給する配線IL[j]及び配線ILB[j]に電氣的に接続されている。

[0413]

図27Aにおいて、回路MP  $[i, j]$  は、配線VE[j]と、配線VE<sub>r</sub>[j]と、に電氣的に接続されている。また、回路MCと、回路MC<sub>r</sub>と、のそれぞれは、配線OL[j]及び配線OLB[j]に電氣的に接続されている。配線VE[j]、配線VE<sub>r</sub>[j]は、定電圧を供給する配線として機能する。また、配線VE[j]は、回路MCを介して配線OLからの電流を排出する配線としても機能する。また、配線VE<sub>r</sub>[j]は、回路MC<sub>r</sub>を介して配線OLBからの電流を排出する配線としても機能する。つまり、配線VE[j]及び配線VE<sub>r</sub>[j]のそれぞれは、定電圧を与える配線として機能する。なお、当該定電圧としては、例えば、接地電位、低レベル電位などとすることができる。

[0414]

図27Aに示した配線WL[i]は、図25における配線WLS[i]に相当する。配線WL[i]は、回路HC及び回路HC<sub>r</sub>のそれぞれに電氣的に接続されている。回路MP  $[i, j]$  に含まれる回路HC、及び回路HC<sub>r</sub>に第1データ  $w_i^{(k-1)} j^{(k)}$  に応じた情報（例えば、電位、抵抗値、電流値など）を書き込むとき、配線WL[i]に所定の電位を供給することによって、配線IL[j]と回路HCとの間を導通状態にし、かつ配線ILB[j]と回路HC<sub>r</sub>との間を導通状態にする。そして、配線IL[j]、配線ILB[j]のそれぞれに第1データ  $w_i^{(k-1)} j^{(k)}$  に応じた電位などを供給することによって、回路HC、及び回路HC<sub>r</sub>のそれぞれに当該電位などを入力することができる。その後、配線WL[i]に所定の電位を供給して、配線IL[j]と回路HCとの間を非導通状態にし、かつ配線ILB[j]と回路HC<sub>r</sub>との間を非導通状態にする。そ

して、回路HC、及び回路HC rのそれぞれに第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた各電流などが保持される。

[0415]

例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”である場合、一例として、配線OL[j]又は配線OLB[j]から回路MCを介して配線VE[j]に“1”に応じた電流が流れるように、回路HCには所定の電位が保持され、かつ配線OL[j]及び配線OLB[j]から回路MC rを介して配線VER[j]に電流が流れないように、回路HC rには電位 $V_0$ が保持される。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”である場合、一例として、配線OL[j]及び配線OLB[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCには電位 $V_0$ が保持され、かつ配線OL[j]又は配線OLB[j]から回路MC rを介して配線VER[j]に“−1”に応じた電流が流れるように、回路HC rには所定の電位が保持される。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCに電位 $V_0$ が保持され、かつ配線OLB[j]から回路MCを介して配線VER[j]に電流が流れないように、回路HC rに電位 $V_0$ が保持される。なお、電位 $V_0$ は、一例として、配線VE、及び又は配線VERが与える電位と等しい電位とすることができる。また、回路ILDは、電位 $V_0$ を配線IL、配線ILBに供給する機能を有することが好ましい。

[0416]

このため、回路ILDは、例えば、図2Aの構成を図28に示す構成に変更して適用してもよい。図28の回路ILDは、図2Aの回路ILDにおいて、回路LGCが設けられ、かつ回路WCS1がスイッチSW[0]を有する構成となっている。スイッチSW[0]の第1端子は、配線IL（配線ILB）に電氣的に接続され、スイッチSW[0]の第2端子は、配線VEGに電氣的に接続されている構成となっている。また、回路LGCの各入力端子のそれぞれには、配線DIL[1]乃至配線DIL[K]が電氣的に接続され、回路LGCの出力端子は、配線DALを介して、スイッチSW[0]の制御端子に電氣的に接続されている。配線VEGは、例えば、配線VE、及び又は配線VERが与える電位と等しい電位（例えば、低レベル電位、接地電位など）を与える配線として機能する。

[0417]

なお、スイッチSW[0]としては、例えば、スイッチSW[1]乃至スイッチSW[K]に適用できるトランジスタを用いることが好ましい。

[0418]

回路LGCは、例えば、配線DIL[1]乃至配線DIL[K]のそれぞれがスイッチSW[1]乃至スイッチSW[K]のそれぞれをオフ状態にする信号を送信したときに、回路LGCの出力端子から、スイッチSW[0]をオン状態にする信号を送信する機能を有する。換言すると、回路LGCは、配線DIL[1]乃至配線DIL[K]のそれぞれがスイッチSW[1]乃至スイッチSW[K]のいずれか一をオン状態にする信号を送信したときに、回路LGCの出力端子から、スイッチSW[0]をオフ状態にする信号を送信する機能を有する。そのため、回路LGCとしては、例えば、スイッチSW[0]乃至スイッチSW[K]がpチャネル型トランジスタであるとき、NANDゲートを有する論理回路とすることができ、又は、スイッチSW[0]乃至スイッチSW[K]がnチャネル型トランジスタであるとき、NORゲートを有する論理回路とすることができ

る。

[0419]

また、第1データ  $w_{i^{(k-1)}j^{(k)}}$  が“−1”、“0”、“1”などの多値ではなく、アナログ値、具体的には、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合を考える。第1データ  $w_{i^{(k-1)}j^{(k)}}$  が“正のアナログ値”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に“正のアナログ値”に応じたアナログ電流が流れるように、回路HCには所定の電位が保持され、かつ配線OLB[j]から回路MCrを介して配線VER[j]に電流が流れないように、回路HCrには電位  $V_0$  が保持される。また、第1データ  $w_{i^{(k-1)}j^{(k)}}$  が“負のアナログ値”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCには電位  $V_0$  が保持され、かつ配線OLB[j]から回路MCrを介して配線VER[j]に“負のアナログ値”に応じたアナログ電流が流れるように、回路HCrには所定の電位が保持される。そして、第1データ  $w_{i^{(k-1)}j^{(k)}}$  が“0”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCに電位  $V_0$  が保持され、かつ配線OLB[j]から回路MCを介して配線VER[j]に電流が流れないように、回路HCrに電位  $V_0$  が保持される。なお、電位  $V_0$  は、先の例と同様に、回路ILDから配線IL、配線ILBを介して供給されることが好ましい。

[0420]

また、一例として、回路MCは、回路HCに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流などを、配線OL[j]又は配線OLB[j]の一方に出力する機能を有し、回路MCrは、回路HCrに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流などを、配線OL[j]又は配線OLB[j]の他方に出力する機能を有する。例えば、回路HCに第1電位が保持されている場合、回路MCは配線OL[j]又は配線OLB[j]から配線VEに第1電流値を持つ電流を流すものとし、回路HCに第2電位が保持されている場合、回路MCは配線OL[j]又は配線OLB[j]から配線VEに第2電流値を持つ電流を流すものとする。同様に、回路HCrに第1電位が保持されている場合、回路MCrは配線OL[j]又は配線OLB[j]から配線VERに第1電流値を持つ電流を流すものとし、回路HCrに第2電位が保持されている場合、回路MCrは配線OL[j]又は配線OLB[j]から配線VERに第2電流値を持つ電流を流すものとする。なお、第1電流値、第2電流値のそれぞれの大きさは、第1データ  $w_{i^{(k-1)}j^{(k)}}$  の値によって定められる。一例としては、第1電流値は第2電流値よりも大きい場合もあり、又は小さい場合もある。更に、一例としては、第1電流値又は第2電流値の一方はゼロ電流、つまり電流値が0の場合もある。または、第1電流値を持つ電流と第2電流値を持つ電流とで、電流が流れる向きが異なる場合もある。

[0421]

特に、例えば、第1データ  $w_{i^{(k-1)}j^{(k)}}$  が“−1”、“0”、“1”の3値のいずれかをとる場合、第1電流値又は第2電流値の一方がゼロとなるように、回路MC、及び回路MCrを構成するのが好ましい。なお、第1データ  $w_{i^{(k-1)}j^{(k)}}$  がアナログ値、例えば、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合には、第1電流値又は第2電流値についても、一例としては、アナログ値をとることができる。

[0422]

ところで、配線OL[j]又は配線OLB[j]から、回路MCを介して配線VEに流す電流と、

配線OL[j]又は配線OLB[j]から、回路MC<sub>r</sub>を介して配線VE<sub>r</sub>に流す電流と、を等しくする場合、トランジスタの作製工程などを起因として当該トランジスタの特性がバラつくことがあるため、回路MCに保持する電位と、回路MC<sub>r</sub>に保持する電位と、は等しくなることがあ  
る。本実施の形態で説明する演算回路は、トランジスタの特性にバラつきがあっても、配線OL[j]又は配線OLB[j]から、回路MCを介して配線VEに流す電流の量を、配線OL[j]又は配線OLB[j]から、回路MC<sub>r</sub>を介して配線VE<sub>r</sub>に流す電流の量に、ほぼ等しくすることができる。

[0423]

なお、本明細書などにおいて、回路HC、及び回路HC<sub>r</sub>に保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などは、正の電流または電圧などとしてもよいし、負の電流または電圧などとしてもよいし、ゼロ電流またはゼロ電圧などとしてもよいし、正と負と0とが混在していてもよい。つまり、例えば、上述の「回路HCに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などを、配線OL[j]又は配線OLB[j]の一方に出力する機能を有し、回路MC<sub>r</sub>は、回路HC<sub>r</sub>に保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などを、配線OL[j]又は配線OLB[j]の他方に出力する機能を有する」という記載は、「回路HCに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の一方から排出する機能を有し、回路MC<sub>r</sub>は、回路HC<sub>r</sub>に保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の他方から排出する機能を有する」という記載に換言することができる。

[0424]

図27Aに示した配線X1L[i]、及び配線X2L[i]は、図25における配線XLS[i]に相当する。なお、回路MP[i, j]に  $z_i^{(k-1)}$ は、一例としては、配線X1L[i]、及び配線X2L[i]のそれぞれの電位または電流などによって定められる。そのため、回路MC、及び回路MC<sub>r</sub>には、例えば、配線X1L[i]及び配線X2L[i]を介して、第2データ  $z_i^{(k-1)}$ に応じた各電位がされる。

[0425]

回路MCは、配線OL[j]と、配線OLB[j]と、に電氣的に接続され、回路MC<sub>r</sub>は、配線OL[j]と、配線OLB[j]と、に電氣的に接続されている。回路MC、及び回路MC<sub>r</sub>は、一例としては、配線X1L[i]及び配線X2L[i]にされた電位または電流などに応じて、配線OL[j]及び配線OLB[j]に、第1データ  $w_i^{(k-1)} j^{(k)}$ と第2データ  $z_i^{(k-1)}$ との積に応じた電流または電位などを出力する。具体的な例としては、回路MC、及び回路MC<sub>r</sub>からの電流の出力先は、配線X1L[i]及び配線X2L[i]の電位によって定められる。例えば、回路MC、及び回路MC<sub>r</sub>は、回路MCから出力される電流が配線OL[j]又は配線OLB[j]の一方に流れ、回路MC<sub>r</sub>から出力される電流が配線OL[j]又は配線OLB[j]の他方に流れるような回路構成となっている。つまり、回路MC、及び回路MC<sub>r</sub>から出力されたそれぞれの電流は、同一の配線でなく、互いに異なる配線に流れる。なお、一例としては、回路MC、及び回路MC<sub>r</sub>から、配線OL[j]又は配線OLB[j]のいずれにも電流が流れない場合もある。

[0426]

例えば、第2データ  $z_i^{(k-1)}$ が“−1”、“0”、“1”の3値のいずれかをとり場合を考え

る。例えば、第2データ  $z_i^{(k-1)}$  が“1”である場合、回路MPは、回路MCと配線OL[j]との間を導通状態とし、回路MC rと配線OLB[j]との間を導通状態とする。例えば、第2データ  $z_i^{(k-1)}$  が“-1”である場合、回路MPは、回路MCと配線OLB[j]との間を導通状態とし、回路MC rと配線OL[j]との間を導通状態とする。例えば、第2データ  $z_i^{(k-1)}$  が“0”である場合、回路MC、及び回路MC rのそれぞれが出力した電流を、配線OL[j]、及び配線OLB[j]のいずれにも流さないようにするため、回路MPは、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間を非導通状態にし、回路MC rと配線OL[j]との間、及び、回路MCと配線OLB[j]との間を非導通状態にする。

[0427]

以上の動作をまとめた場合の例を示す。第1データ  $w_i^{(k-1)} j^{(k)}$  が“1”の場合には、回路MCを介して配線OL[j]または配線OLB[j]から配線VE[j]に電流が流れる場合があり、回路MC rを介して配線OL[j]または配線OLB[j]から配線VER[j]に電流が流れない。第1データ  $w_i^{(k-1)} j^{(k)}$  が“-1”の場合には、回路MCを介して配線OL[j]または配線OLB[j]から配線VE[j]に電流が流れず、回路MC rを介して配線OL[j]または配線OLB[j]から配線VER[j]に電流が流れる場合がある。そして、第2データ  $z_i^{(k-1)}$  が“1”の場合には、回路MCと配線OL[j]との間、および、回路MC rと配線OLB[j]との間が導通状態になる。第2データ  $z_i^{(k-1)}$  が“-1”の場合には、回路MCと配線OLB[j]との間、および、回路MC rと配線OL[j]との間が導通状態になる。以上のことより、第1データ  $w_i^{(k-1)} j^{(k)}$  と第2データ  $z_i^{(k-1)}$  の積が正の値の場合には、回路MC rを介して配線OL[j]から配線VE[j]に電流が流れる、又は、回路MC rを介して配線OL[j]から配線VER[j]に電流が流れる、の一方となる。第1データ  $w_i^{(k-1)} j^{(k)}$  と第2データ  $z_i^{(k-1)}$  の積が負の値の場合には、回路MC rを介して配線OL[j]から配線VER[j]に電流が流れる、又は、回路MCを介して配線OLB[j]から配線VE[j]に電流が流れる、の一方となる。第1データ  $w_i^{(k-1)} j^{(k)}$  と第2データ  $z_i^{(k-1)}$  の積がゼロの値の場合には、配線OL[j]または配線OLB[j]から配線VE[j]に電流が流れず、配線OL[j]または配線OLB[j]から配線VER[j]に電流が流れない。

[0428]

上述した例を具体的な例として記すと、第1データ  $w_i^{(k-1)} j^{(k)}$  が“1”であって、第2データ  $z_i^{(k-1)}$  が“1”である場合、例えば、回路MCから配線OL[j]に第1電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ  $w_i^{(k-1)} j^{(k)}$  が“-1”であって、第2データ  $z_i^{(k-1)}$  が“1”である場合、例えば、回路MCから配線OL[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第1電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ  $w_i^{(k-1)} j^{(k)}$  が“0”であって、第2データ  $z_i^{(k-1)}$  が“1”である場合、回路MCから配線OL[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。

[0429]

また、第1データ  $w_i^{(k-1)} j^{(k)}$  が“1”であって、第2データ  $z_i^{(k-1)}$  が“-1”である場

合、回路MCから配線OLB [j] に第1電流値を持つ電流I1 [i, j] が流れ、回路MC r から配線OL [j] に第2電流値を持つ電流I2 [i, j] が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”であって、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MCから配線OLB [j] に第2電流値を持つ電流I1 [i, j] が流れ、回路MC r から配線OL [j] に第1電流値を持つ電流I2 [i, j] が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であって、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MCから配線OLB [j] に第2電流値を持つ電流I1 [i, j] が流れ、回路MC r から配線OL [j] に第2電流値を持つ電流I2 [i, j] が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。

[0430]

また、第2データ $z_i^{(k-1)}$ が“0”である場合、一例としては、回路MCと配線OL [j] との間、及び、回路MCと配線OLB [j] との間が非導通状態となる。同様に、回路MC r と配線OL [j] との間、及び、回路MC r と配線OLB [j] との間が非導通状態となる。そのため、第1データ $w_i^{(k-1)} j^{(k)}$ がどんな値であっても、回路MC及び回路MC r から配線OL [j] 及び配線OLB [j] に電流は出力されない。

[0431]

このように、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積の値が正の値を取る場合には、回路MCまたは回路MC r のいずれかから、配線OL [j] に電流が流れる。このとき、第1データ $w_i^{(k-1)} j^{(k)}$ が正の値の場合には、回路MCから配線OL [j] に電流が流れ、第1データ $w_i^{(k-1)} j^{(k)}$ が負の値の場合には、回路MC r から配線OL [j] に電流が流れる。一方、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積の値が、負の値を取る場合には、回路MCまたは回路MC r のいずれかから、配線OLB [j] に電流が流れる。このとき、第1データ $w_i^{(k-1)} j^{(k)}$ が正の値の場合には、回路MCから配線OLB [j] に電流が流れ、第1データ $w_i^{(k-1)} j^{(k)}$ が負の値の場合には、回路MC r から配線OLB [j] に電流が流れる。そのため、配線OL [j] に接続された複数の回路MCまたは回路MC r から出力された電流の総和が、配線OL [j] に流れることになる。つまり、配線OL [j] では、正の値の和をとった値となる電流が流れることになる。一方、配線OLB [j] に接続された複数の回路MCまたは回路MC r から出力された電流の総和が、配線OLB [j] に流れることになる。つまり、配線OLB [j] では、負の値の和をとった値となる電流が流れることになる。以上のような動作の結果、配線OL [j] に流れる総電流値、つまり、正の値の総和と、配線OLB [j] に流れる総電流値、つまり、負の値の総和とを利用することにより、積和演算処理を行うことができる。例えば、配線OL [j] に流れる総電流値の方が、配線OLB [j] に流れる総電流値よりも大きい場合には、積和演算の結果としては、正の値をとると判断することができる。配線OL [j] に流れる総電流値の方が、配線OLB [j] に流れる総電流値よりも小さい場合には、積和演算の結果としては、負の値をとると判断することができる。配線OL [j] に流れる総電流値と、配線OLB [j] に流れる総電流値とが概ね同じ値である場合には、積和演算の結果としては、ゼロの値をとると判断することができる。

[0432]

なお、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”のうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させること

ができる。同様に、第1データ  $w_i^{(k-1)} j^{(k)}$  が “-1”、“0”、“1” のうちの、いずれか2値、例えば、“-1”、“1” の2値の場合、または、“0”、“1” の2値の場合も、同様に動作させることができる。

[0433]

なお、第1データ  $w_i^{(k-1)} j^{(k)}$  は、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、第1データ  $w_i^{(k-1)} j^{(k)}$  は、“-2”、“-1”、“0”、“1”、“2” の5値をとってもよい。第1データ  $w_i^{(k-1)} j^{(k)}$  を “+2” とする場合、回路MCから流れる電流の大きさを第1データ  $w_i^{(k-1)} j^{(k)}$  が “+1” であるときの2倍の電流量とし、かつ回路MC rから流れる電流量をゼロとするように、回路MPの回路HC、回路HC rのそれぞれに電圧を保持すればよい。また、第1データ  $w_i^{(k-1)} j^{(k)}$  を “-2” とする場合、回路MC rから流れる電流の大きさを第1データ  $w_i^{(k-1)} j^{(k)}$  が “-1” であるときの2倍の電流量とし、かつ回路MCから流れる電流量をゼロとするように、回路MPの回路HC、回路HC rのそれぞれに電圧を保持すればよい。

[0434]

また、第1データ  $w_i^{(k-1)} j^{(k)}$  は、アナログ値を取ってもよい。具体的な例としては、“-1” の代わりに“負のアナログ値”、および、“1” の代わりに“正のアナログ値”をとっても良い。この場合、回路MCまたは回路MC rから流れる電流の大きさも、一例としては、第1データ  $w_i^{(k-1)} j^{(k)}$  の値の絶対値に応じたアナログ値となる。

[0435]

また、第2データ  $z_i^{(k-1)}$  を4値以上、又はアナログ値として扱う場合は、例えば、回路ACTF [j] に電流として流れた電荷を電圧に変換する積分回路などを備えて、第2データ  $z_i^{(k-1)}$  の値に応じた入力時間を定めて、当該入力時間中に配線X1L [i]、及び配線X2L [i] に電圧を入力すればよい。具体的には、例えば、第2データ  $z_i^{(k-1)}$  が正の値のとき、第2データ  $z_i^{(k-1)}$  に応じた時間だけ、配線X1L [i] に高レベル電位を与え、配線X2L [i] に低レベル電位を与えればよい。また、例えば、第2データ  $z_i^{(k-1)}$  が負の値のとき、第2データ  $z_i^{(k-1)}$  に応じた時間だけ、配線X1L [i] に低レベル電位を与え、配線X2L [i] に高レベル電位を与えればよい。このとき、メモリセルMCと配線OL [j] 又は配線OLB [j] の間に流れる電荷量は、第1データ  $w_i^{(k-1)} j^{(k)}$  に応じた電流量と配線X1L [i]、及び配線X2L [i] に入力される電圧の時間との積によって決まる。当該積分回路によって、配線OL [j] 又は配線OLB [j] に流れる電荷量を電圧に変換することによって、第1データ  $w_i^{(k-1)} j^{(k)}$  と第2データ  $z_i^{(k-1)}$  との積に応じた電圧を取得することができる。つまり、上記の構成を適用することによって、第1データ  $w_i^{(k-1)} j^{(k)}$  を多値、又はアナログ値とし、第2データ  $z_i^{(k-1)}$  を多値、又はアナログ値とした積の演算を行うことができる。

[0436]

また、回路MCに備えられる回路HC、及び回路MCに備えられる回路HC rのそれぞれは、1つだけでなく2つ以上有していてもよい。回路MC（回路MC r）に2つ以上回路HC（回路HC r）を有することによって、回路MPに2つ以上の第1データを保持することができる。また、演算部CLPなどに、2つ以上の回路HC（回路HC r）から一を選択する駆動回路などを設けることで、演算部CLPで計算する第1データを選択することができる。そのため、このような回路MPを構成することにより、回路MPは、回路MC（回路MC r）に備えられる2つ以上の回路HC

(回路HC<sub>r</sub>)を切り替えることで、2つ以上の第1データから選ばれた一と入力される第2データとの積を行うことができる。また、このような回路MPをアレイ部ALP全体に適用することによって、複数の第1データと複数の第2データとの積和演算を行うとき、複数の第1データのそれぞれを別の複数の第1データに切り替えて実行することができる。

[0437]

次に、図27Aの具体的な回路構成の例について説明する。図27Bに示す回路構成は、図27Aの回路MPの回路構成の一例であって、図27Bの回路MPに含まれている回路MCは、一例としては、nチャネル型トランジスタであるトランジスタM1乃至トランジスタM5と、容量C1と、を有する。なお、例えば、トランジスタM2と、容量C1とによって、回路HCが構成されている。

[0438]

図27Bの回路MPにおいて、回路MC<sub>r</sub>は、回路MCとほぼ同様の回路構成となっている。そのため、回路MC<sub>r</sub>の有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、このため、トランジスタM1<sub>r</sub>乃至トランジスタM5<sub>r</sub>、容量C1<sub>r</sub>、及びノードn1<sub>r</sub>については、下記にトランジスタM1乃至トランジスタM5、容量C1、及びノードn1の説明を参酌する。

[0439]

また、本明細書などにおいて、トランジスタM1は、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1は、線形領域で動作してもよい。また、トランジスタM1に流れる電流量を小さくするため、トランジスタM1は、サブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1は、又は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、線形領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0440]

また、本明細書などにおいて、トランジスタM2乃至トランジスタM5は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM2乃至トランジスタM5は、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM2乃至トランジスタM5は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、線形領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、線形領域で動作

する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0441]

また、図27Bに示したトランジスタM3、及びトランジスタM4のサイズ、例えば、チャンネル長及びチャンネル幅はそれぞれ等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。また、トランジスタM3、及びトランジスタM4に流れる電流を揃えることができる可能性がある。また、同様に、図27Bに示したトランジスタM1、及びトランジスタM1rのサイズはそれぞれ等しいことが好ましい。また、同様に、図27Bに示したトランジスタM2、及びトランジスタM2rのサイズはそれぞれ等しいことが好ましい。また、同様に、図27Bに示したトランジスタM5、及びトランジスタM5rのサイズはそれぞれ等しいことが好ましい。また、同様に、図27Bに示したトランジスタM3及びトランジスタM3rのそれぞれのサイズ、トランジスタM4及びトランジスタM4rのそれぞれのサイズは等しいことが好ましい。

[0442]

また、図27Bにおいて、トランジスタM1乃至トランジスタM5のそれぞれは、nチャネル型トランジスタとして図示しているが、トランジスタM1乃至トランジスタM5のそれぞれは、pチャネル型トランジスタに置き換えてもよい。この場合、それぞれのトランジスタとしては、SOI (Silicon On Insulator) 構造のpチャネル型トランジスタを適用することができる。また、配線VE、及び配線VERが与える定電圧としては、高レベル電位とすることが好ましい。ところで、トランジスタM2（例えば、OSトランジスタとする。）にゲートに与える電圧の振幅を小さくする場合、トランジスタM1（例えば、Siトランジスタとする。）としては、nチャネル型トランジスタとすることが好ましい。

[0443]

また、図27Bにおいて、トランジスタM2乃至トランジスタM5のそれぞれをアナログスイッチや機械的なスイッチなどに置き換えてもよい。アナログスイッチとしては、例えば、nチャネル型トランジスタとpチャネル型トランジスタとを用いたCMOS構成とすることができる。

[0444]

図27Bに図示しているトランジスタM1乃至トランジスタM5は、一例としては、チャンネルの上下にゲートを有するマルチゲート構造のnチャネル型トランジスタとしており、トランジスタM1乃至トランジスタM5のそれぞれは第1ゲートと第2ゲートとを有する。但し、本明細書等において、便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある。）、第2ゲートをバックゲートとして区別するように記載しているが、第1ゲートと第2ゲートは互いに入れ替えることができる。そのため、本明細書等において、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができる。同様に、「バックゲート」という語句は「ゲート」という語句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。

[0445]

また、本発明の一態様の半導体装置は、トランジスタのバックゲートの接続構成に依らない。図

27Bに図示されているトランジスタM1乃至トランジスタM5には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM2のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによってトランジスタのバックゲートに固定電位、又は可変電位を与えてもよい。なお、これについては、図27Bだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0446]

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に依らない。例えば、図27Bに図示しているトランジスタM1乃至トランジスタM5のそれぞれは、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

[0447]

また、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることができる。または、それらの半導体を薄膜化した薄膜トランジスタ（TFET）などを用いることができる。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することができる。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることができる。そのため、開口率が向上させることができる。

[0448]

なお、トランジスタの一例としては、化合物半導体（例えば、SiGe、GaAsなど）、又は酸化物半導体（例えば、ZnO、InGaZnO、InZnO、InSnO（ITO）、SnO、TiO、AlZnSnO（AZTO）、InSnZnOなど）などを有するトランジスタを用いることができる。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することができる。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体又は酸化物

半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

[0449]

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。よって、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。または、レジストを用いらずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

[0450]

なお、トランジスタの一例としては、有機半導体、カーボンナノチューブなどを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。有機半導体、カーボンナノチューブなどを有するトランジスタを用いた装置は、衝撃に強くすることができる。

[0451]

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することができる。

[0452]

なお、トランジスタの一例としては、活性層の上下にゲート電極が配置されている構造のトランジスタを適用することができる。活性層の上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル形成領域が増えるため、電流値の増加を図ることができる。または、活性層の上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

[0453]

なお、トランジスタの一例としては、活性層の上にゲート電極が配置されている構造、活性層の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域を複数の領域に分けた構造、活性層を並列に接続した構造、又は活性層が直列に接続する構造などのトランジスタを用いることができる。または、トランジスタとして、プレーナ型、FIN型（フィン型）、TRI-GATE型（トライゲート型）、トップゲート型、ボトムゲート型、ダブルゲート型（チャネルの上下にゲートが配置されている）、など、様々な構成をとることができる。

[0454]

なお、トランジスタの一例としては、活性層（もしくはその一部）にソース電極、及びドレイン電極が重なっている構造のトランジスタを用いることができる。活性層（もしくはその一部）にソ

ース電極及びドレイン電極が重なる構造にすることによって、活性層の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

[0455]

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

[0456]

なお、上記のトランジスタの各端子の接続、構成などの変更例については、図27Bに示す回路図だけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様に、上記の変更例を適用することができるものとする。

[0457]

図27Bの回路MPにおいて、トランジスタM1の第1端子は、配線VEに電氣的に接続されている。トランジスタM1の第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、トランジスタM5の第1端子と、に電氣的に接続されている。トランジスタM1のゲートは、容量C1の第1端子と、トランジスタM2の第1端子と、に電氣的に接続されている。容量C1の第2端子は、配線VEに電氣的に接続されている。トランジスタM2の第2端子は、トランジスタM5の第2端子と、配線ILに電氣的に接続されている。トランジスタM2のゲートは配線WLに電氣的に接続されている。トランジスタM3の第2端子は配線OLに電氣的に接続され、トランジスタM3のゲートは、配線X1Lに電氣的に接続されている。トランジスタM4の第2端子は配線OLBに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。

[0458]

回路MCrにおいて、回路MCと異なる接続構成について説明する。トランジスタM3rの第2端子は、配線OLでなく、配線OLBに電氣的に接続され、トランジスタM4rの第2端子は、配線OLBでなく、配線OLに電氣的に接続されている。トランジスタM1rの第1端子と、容量C1rの第1端子と、は、配線VERに電氣的に接続されている。

[0459]

なお、トランジスタM1の第1端子は、配線VEではなく、別の配線に電氣的に接続されていてもよい。また、同様に、トランジスタM1rの第1端子は、配線VERではなく、別の配線に電氣的に接続されていてもよい。また、配線VEは、配線VERと同一の配線としてもよい。なお、他の図面の回路図においても、トランジスタM1の第1端子が、配線VEではなく、別の配線に電氣的に接続されるような構成、及び／又は、トランジスタM1rの第1端子が、配線VERではなく、別の配線に電氣的に接続されるような構成にしてもよい。

[0460]

なお、図27Bに示す回路HCにおいて、トランジスタM1のゲートと、容量C1の第1端子と、トランジスタM2の第1端子と、の電氣的接続点をノードn1としている。

[0461]

回路HCは、上述したとおり、一例としては、第1データに応じた電位を保持する機能を有する。

図27Bの回路MCに含まれている回路HCへの当該電位の保持は、トランジスタM2、及びトランジスタM5をオン状態としたときに、配線ILから電位を入力して、容量C1に書き込み、その後トランジスタM2をオフ状態にすることで行われる。これによって、ノードn1の電位を、第1データに応じた電位として保持することができる。このとき、配線OLから電流を入力し、その電流の大きさに応じた大きさの電位を容量C1に保持することができる。そのため、トランジスタM1の電流特性のばらつきの影響を低減することができる。

[0462]

また、トランジスタM1は、ノードn1の電位を長時間保持するため、オフ電流が小さいトランジスタを適用するのが好ましい。オフ電流が小さいトランジスタとしては、例えば、OSトランジスタを用いることができる。また、トランジスタM1として、バックゲートを有するトランジスタを適用し、バックゲートに低レベル電位を印加して、閾値電圧をプラス側にシフトさせて、オフ電流を小さくする構成としてもよい。

[0463]

なお、図27Aの回路MPに適用できる回路構成は、図27Bの回路MPの構成に限定されない。例えば、図27Aの回路MPは、図27Cの回路MPの構成を適用することができる。図27Cの回路MPは、図27Bの回路MPの変更例であって、トランジスタM5、及びトランジスタM5rのそれぞれの第1端子の電氣的な接続を変更した構成となっている。具体的には、図27Cの回路MPにおいて、トランジスタM5の第1端子は、トランジスタM2の第1端子と、トランジスタM1のゲートと、容量C1の第1端子と、に電氣的に接続されている。図27Cに示す回路MPを構成することによって、図27Cの回路MPは、図27Bの回路MPとほぼ同様に動作することができる。

[0464]

<<回路ACTF>>

次に、回路ACTF[1]乃至回路ACTF[n]について説明する。回路ACTF[1]乃至回路ACTF[n]は、一例として、図29Aに示す回路構成とすることができる。図29Aは、一例として、配線OL[j]、配線OLB[j]から入力された電流に応じて、信号 $z_j^{(k)}$ を生成する回路である。具体的には、図29Aには、2値によって表される信号 $z_j^{(k)}$ を出力する活性化関数の演算回路の一例を示している。

[0465]

図29Aにおいて、回路ACTF[j]は、一例として、抵抗RE、抵抗REB、比較器CMPを有する。抵抗RE、抵抗REBは、電流を電圧に変換する機能を有する。したがって、電流を電圧に変換する機能を有する素子または回路であれば、抵抗に限定されない。配線OL[j]は、抵抗REの第1端子と、比較器CMPの第1入力端子と、電氣的に接続され、配線OLB[j]は、抵抗REBの第1端子と、比較器CMPの第2入力端子と、電氣的に接続されている。また、抵抗REの第2端子は、配線VALに電氣的に接続され、抵抗REBの第2端子は、配線VALに電氣的に接続されている。なお、抵抗REの第2端子と抵抗REBの第2端子とは、同一の配線に接続されていてもよい。または、電位が同じである別の配線に接続されていてもよい。

[0466]

抵抗RE、抵抗REBのそれぞれの抵抗値は、互いに等しいことが好ましい。例えば、抵抗RE、抵抗REBのそれぞれの抵抗値の差は、抵抗REの抵抗値の10%以内、より好ましくは、5%以

内に収まっていることが望ましい。ただし、本発明の一態様は、これに限定されない。場合によっては、又は、状況に応じて、抵抗 $RE$ 、抵抗 $REB$ のそれぞれの抵抗値は互いに異なる値としてもよい。

[0467]

配線 $VAL$ は、一例としては、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位である $VDD$ 、低レベル電位である $VSS$ 、接地電位( $GND$ )などとすることができる。また、当該定電圧は、回路 $MP$ の構成に応じて、適宜設定するのが好ましい。また、例えば、配線 $VAL$ には、定電圧ではなく、パルス信号が供給されていてもよい。

[0468]

抵抗 $RE$ の第1端子と第2端子との間の電圧は、配線 $OL[j]$ から流れてくる電流に応じて定まる。このため、比較器 $CMP$ の第1入力端子には、抵抗 $RE$ の抵抗値と当該電流に応じた電圧が入力される。同様に、抵抗 $REB$ の第1端子と第2端子との間の電圧は、配線 $OLB[j]$ から流れてくる電流に応じて定まる。このため、比較器 $CMP$ の第2入力端子には、抵抗 $REB$ の抵抗値と当該電流に応じた電圧が入力される。

[0469]

比較器 $CMP$ は、一例としては、第1入力端子、第2入力端子のそれぞれに入力された電圧を比較して、その比較結果に応じて、比較器 $CMP$ の出力端子から信号を出力する機能を有する。例えば、比較器 $CMP$ は、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧が高い場合に、高レベル電位を比較器 $CMP$ の出力端子から出力し、第2入力端子に入力された電圧よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器 $CMP$ の出力端子から出力することができる。つまり、比較器 $CMP$ の出力端子から出力される電位は、高レベル電位と低レベル電位の2通りであるため、回路 $ACTF[j]$ が出力する信号 $z_j^{(k)}$ は2値とすることができる。例えば、比較器 $CMP$ の出力端子から出力される高レベル電位、低レベル電位のそれぞれは、信号 $z_j^{(k)}$ として“+1”、“-1”に対応することができる。また、場合によっては、比較器 $CMP$ の出力端子から出力される高レベル電位、低レベル電位のそれぞれは、信号 $z_j^{(k)}$ として“+1”、“0”と対応してもよい。

[0470]

また、図29Aの回路 $ACTF[j]$ では、抵抗 $RE$ 、抵抗 $REB$ を用いたが、電流を電圧に変換する機能を有する素子または回路であれば、抵抗に限定されない。そのため、図29Aの回路 $ACTF[j]$ の抵抗 $RE$ 、抵抗 $REB$ は、別の回路素子に置き換えることができる。例えば、図29Bに示す回路 $ACTF[j]$ は、図29Aの回路 $ACTF[j]$ に含まれる抵抗 $RE$ 、抵抗 $REB$ を、容量 $CE$ 、容量 $CEB$ に置き換えた回路であり、図29Aの回路 $ACTF[j]$ とほぼ同様の動作を行うことができる。なお、容量 $CE$ 、容量 $CEB$ のそれぞれの静電容量の値は、互いに等しいことが好ましい。例えば、容量 $CE$ 、容量 $CEB$ のそれぞれの静電容量の値の差は、容量 $CE$ の静電容量値の10%以内、より好ましくは、5%以内に収まっていることが望ましい。ただし、本発明の一態様は、これに限定されない。なお、容量 $CE$ 、容量 $CEB$ に蓄積された電荷を初期化する回路が設けられていてもよい。例えば、容量 $CE$ と並列に、スイッチが設けられていてもよい。つまり、スイッチの第2端子が、配線 $VAL$ に接続され、スイッチの第1端子が、容量 $CE$ の第1端子、配線 $OL[j]$ 、および、比較器 $CMP$ の第1入力端子と接続されていてもよい。または、スイッチの第2端子が、配線 $VAL$ とは異なる配線に接続され、スイッチの第1端子が、容量 $CE$

の第1端子、配線OL[j]、および、比較器CMPの第1入力端子と接続されていてもよい。また、図29Cに示す回路ACTF[j]は、図29Aの回路ACTF[j]に含まれる抵抗RE、抵抗REBを、ダイオード素子DE、ダイオード素子DEBに置き換えた回路であり、図29Aの回路ACTF[j]とほぼ同様の動作を行うことができる。ダイオード素子DE、ダイオード素子DEBの向き（アノードとカソードの接続箇所）は、配線VALの電位の大きさにより、適宜変更することが望ましい。

[0471]

また、図29A乃至図29Cの回路ACTF[j]に含まれる比較器CMPは、一例として、オペアンプOPに置き換えることができる。図29Dに示す回路ACTF[j]は、図29Aの回路ACTF[j]の比較器CMPをオペアンプOPに置き換えた回路図を示している。

[0472]

また、図29Bの回路ACTF[j]にスイッチS01a、スイッチS01bを設けてもよい。これにより、回路ACTF[j]は、容量CE、容量CEBのそれぞれに配線OL[j]、配線OLB[j]から入力された電流に応じた電位を保持することができる。その具体的な回路の一例としては、図29Eに示すとおり、スイッチS01aの第1端子に配線OL[j]が電氣的に接続され、スイッチS01aの第2端子に容量CEの第1端子と比較器CMPの第1入力端子とが電氣的に接続され、スイッチS01bの第1端子に配線OLB[j]が電氣的に接続され、スイッチS01bの第2端子に容量CEBの第1端子と比較器CMPの第2入力端子とが電氣的に接続された構成とすればよい。図29Eの回路ACTF[j]において、比較器CMPの第1入力端子、第2入力端子のそれぞれに配線OL[j]、配線OLB[j]の電位を入力するとき、スイッチS01a、スイッチS01bのそれぞれをオン状態にすることによって行うことができる。また、その後、スイッチS01a、スイッチS01bのそれぞれをオフ状態にすることによって、比較器CMPの第1入力端子、第2入力端子のそれぞれに入力された電位を容量CE、容量CEBに保持することができる。なお、スイッチS01a、スイッチS01bとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチを適用することができる。また、スイッチS01a、スイッチS01bとしては、例えば、機械的なスイッチを適用してもよい。なお、スイッチS01a、スイッチS01bにトランジスタを適用する場合、当該トランジスタは、OSトランジスタ、またはチャネル形成領域にシリコンを有するトランジスタ（以後、Siトランジスタと呼称する。）とすることができる。または、スイッチS01a、スイッチS01bのそれぞれをオン状態にしておく期間を制御することにより、容量CE、容量CEBの電圧値を制御することができる。例えば、容量CE、容量CEBに流れる電流値が大きい場合には、スイッチS01a、スイッチS01bのそれぞれをオン状態にしておく期間を短くしておくことにより、容量CE、容量CEBの電圧値が大きくなりすぎることを防ぐことができる。

[0473]

また、図29A乃至図29C、図29Eの回路ACTF[j]に含まれる比較器CMPは、例えば、チョッパ型の比較器とすることができる。図29Fに示す比較器CMPは、チョッパ型の比較器を示しており、比較器CMPはスイッチS02a、スイッチS02b、スイッチS03と、容量CCと、インバータ回路INV3と、を有する。なお、スイッチS02a、スイッチS02b、スイッチS03は、前述したスイッチS01a、スイッチS01bと同様に、機械的なスイッチ、OSトランジスタ、Siトランジスタなどのトランジスタとすることができる。

[0474]

スイッチS02aの第1端子は、端子VinTに電氣的に接続され、スイッチS02bの第1端子は、端子VrefTに電氣的に接続され、スイッチS02aの第2端子は、スイッチS02bの第2端子と、容量CCの第1端子と、に電氣的に接続されている。容量CCの第2端子は、インバータ回路INV3の入力端子と、スイッチS03の第1端子と、に電氣的に接続されている。端子VoutTは、インバータ回路INV3の出力端子と、スイッチS03の第2端子と、に電氣的に接続されている。

[0475]

端子VinTは、比較器CMPに入力電位を入力するための端子として機能し、端子VrefTは、比較器CMPに参照電位を入力するための端子として機能し、端子VoutTは、比較器CMPから出力電位を出力するための端子として機能する。なお、端子VinTは、図29A乃至図29C、図29Eの比較器CMPの第1端子又は第2端子の一方に対応し、端子VrefTは、図29A乃至図29C、図29Eの比較器CMPの第1端子又は第2端子の他方に対応することができる。

[0476]

図29A乃至図29Eの回路ACTF[j]は、2値によって表される信号 $z_j^{(k)}$ を出力する活性化関数の演算回路であるが、回路ACTF[j]は信号 $z_j^{(k)}$ を3値以上、又はアナログ値として出力する構成としてもよい。また、図29A乃至図29Eの回路ACTF[j]は、 $z_j^{(k)}$ を1つの信号を出力する構成となっているが、 $z_j^{(k)}$ を2つ以上の信号として出力する構成としてもよい。

[0477]

また、図29A乃至図29Eの回路ACTF[j]は、2つの電流を比較して結果を出力する回路なので、実施の形態1で説明した回路DTCに適用することができる。又は、回路ACTF[j]は、実施の形態1で説明した回路DTCと共用するように、回路を構成してもよい。

[0478]

<演算回路の動作例>

次に、図25の演算回路110の動作例について説明する。なお、本動作例の説明では、一例として、図30に示す演算回路110を用いる。

[0479]

図30の演算回路110は、図25の演算回路110のj列目に位置する回路に着目して図示されたものである。つまり、図30の演算回路110は、図24Aに示したニューラルネットワーク100における、ニューロン $N_j^{(k)}$ に inputs される、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ からの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、重み係数 $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、行う回路に相当する。更に、図30の演算回路110のアレイ部ALPに含まれている回路MPは、図27Bの回路MPを適用しているものとする。また、図30の演算回路110の回路ILDには、図28の回路ILDが適用されているものとする。

[0480]

初めに、演算回路110において、回路MP[1, j]乃至回路MP[m, j]に第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ が設定される。第1データ $w_1^{(k-1)}j^{(k)}$ の設定の方法として

は、回路WLDによって、配線WLS [1] 乃至配線WLS [m] に順に所定の電位を入力して、回路MP [1, j] 乃至回路MP [m, j] を順に選択していき、選択された回路MPに含まれている回路MC、及び回路MC<sub>r</sub>のそれぞれの回路HC、及び回路HC<sub>r</sub>に対して、回路ILDから、配線IL [j]、配線ILB [j] を介して、第1データに応じた電位、電流などを供給する。そして、電位、電流などの供給後に、回路WLDによって回路MP [1, j] 乃至回路MP [m, j] のそれぞれを非選択にすることにより、回路MP [1, j] 乃至回路MP [m, j] のそれぞれが有する回路MC、及び回路MC<sub>r</sub>のそれぞれの回路HC、及び回路HC<sub>r</sub>に第1データ $w_1^{(k-1)} j^{(k)}$  乃至 $w_m^{(k-1)} j^{(k)}$  に応じた電位、電流などを保持することができる。一例としては、第1データ $w_1^{(k-1)} j^{(k)}$  乃至 $w_m^{(k-1)} j^{(k)}$  のそれぞれについて、正の値を取る場合には、回路HCには、その正の値に応じた値を入力し、回路HC<sub>r</sub>には、ゼロに相当する値を入力する。一方、第1データ $w_1^{(k-1)} j^{(k)}$  乃至 $w_m^{(k-1)} j^{(k)}$  のそれぞれについて、負の値を取る場合には、回路HCには、ゼロに相当する値を入力し、回路HC<sub>r</sub>には、負の値の絶対値に応じた値を入力する。なお、上記において、ゼロに相当する値としては、例えば、図28で説明した配線VEGが与える電圧とすることができる。

[0481]

次に、回路XLDによって、配線X1L [1] 乃至配線X1L [m]、配線X2L [1] 乃至配線X2L [m] のそれぞれに、第2データ $z_1^{(k-1)}$  乃至 $z_m^{(k-1)}$  を供給する。具体的な一例としては、配線X1L [i] 及び配線X2L [i] に第2データ $z_1^{(k-1)}$  が供給される。

[0482]

回路MP [1, j] 乃至回路MP [m, j] のそれぞれに入力される第2データ $z_1^{(k-1)}$  乃至 $z_m^{(k-1)}$  に応じて、回路MP [1, j] 乃至回路MP [m, j] に含まれる回路MC、及び回路MC<sub>r</sub>と配線OL [j]、及び配線OLB [j] との導通状態が決まる。具体的な例としては、回路MP [i, j] は、第2データ $z_1^{(k-1)}$  に応じて、「回路MCと配線OL [j] との間が導通となり、回路MC<sub>r</sub>と配線OLB [j] との間が導通となる」状態と、「回路MCと配線OLB [j] との間が導通となり、回路MC<sub>r</sub>と配線OL [j] との間が導通となる」状態と、「回路MC、及び回路MC<sub>r</sub>はそれぞれ配線OL [j]、及び配線OLB [j] と非導通となる」状態と、のいずれか一をとる。一例としては、第2データ $z_1^{(k-1)}$  について、正の値を取る場合には、配線X1L [1] には、回路MCと配線OL [j] との間が導通状態となり、かつ、回路MC<sub>r</sub>と配線OLB [j] との間が導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OLB [j] との間が非導通状態となり、かつ、回路MC<sub>r</sub>と配線OL [j] との間が非導通状態とすることができる値を入力する。そして、第2データ $z_1^{(k-1)}$  について、負の値を取る場合には、配線X1L [1] には、回路MCと配線OLB [j] との間が導通状態となり、かつ、回路MC<sub>r</sub>と配線OL [j] との間が導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OL [j] との間が非導通状態となり、かつ、回路MC<sub>r</sub>と配線OLB [j] との間が非導通状態とすることができる値を入力する。そして、第2データ $z_1^{(k-1)}$  について、ゼロの値を取る場合には、配線X1L [1] には、回路MCと配線OLB [j] との間が非導通状態となり、かつ、回路MC<sub>r</sub>と配線OL [j] との間が非導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OL [j] との間が非導通状態となり、かつ、回路MC<sub>r</sub>と配線OLB [j] との間が非導通状態とすることができる値を入力する。

[0483]

回路MP [i, j] に入力される第2データ  $z_i^{(k-1)}$  に応じて、回路MP [i, j] に含まれる回路MC、及び回路MC r と配線OL [j]、及び配線OLB [j] との間の導通状態、又は非導通状態が決まることによって、回路MC、及び回路MC r と配線OL [j]、及び配線OLB [j] との間で電流の入出力が行われる。更に、当該電流の量は、回路MP [i, j] に設定された第1データ  $w_i^{(k-1)} j^{(k)}$  及び／又は第2データ  $z_i^{(k-1)}$  に応じて決まる。

[0484]

例えば、回路MP [i, j] において、配線OL [j] から、回路MC又は回路MC r に流れる電流を  $I[i, j]$  とし、配線OLB [j] から、回路MC又は回路MC r に流れる電流を  $I_B[i, j]$  とする。そして、回路ACTF [j] から配線OL [j] に流れる電流を  $I_{out}[j]$  とし、配線OLB [j] から回路ACTF [j] に流れる電流を  $I_{Bout}[j]$  とすると、 $I_{out}[j]$  及び  $I_{Bout}[j]$  は、次の式で表すことができる。

[0485]

[数5]

$$I_{out}[j] = \sum_{i=1}^m I[i, j] \quad \dots(2.5)$$

$$I_{Bout}[j] = \sum_{i=1}^m I_B[i, j] \quad \dots(2.6)$$

[0486]

回路MP [i, j] において、一例として、第1データ  $w_i^{(k-1)} j^{(k)}$  が“+1”であるとき、回路MCは  $I(+1)$  を排出し、回路MC r は  $I(-1)$  を排出するものとし、第1データ  $w_i^{(k-1)} j^{(k)}$  が“-1”であるとき、回路MCは  $I(-1)$  を排出し、回路MC r は  $I(+1)$  を排出するものとし、第1データ  $w_i^{(k-1)} j^{(k)}$  が“0”であるとき、回路MCは  $I(-1)$  を排出し、回路MC r は  $I(-1)$  を排出するものとする。

[0487]

更に、回路MP [i, j] は、第2データ  $z_i^{(k-1)}$  が“+1”であるときに、「回路MCと配線OL [j] との間が導通となり、回路MC r と配線OLB [j] との間が導通となり、回路MCと配線OLB [j] との間が非導通となり、回路MC r と配線OL [j] との間が非導通となる」状態をとり、第2データ  $z_i^{(k-1)}$  が“-1”であるときに、「回路MCと配線OLB [j] との間が導通となり、回路MC r と配線OL [j] との間が導通となり、回路MCと配線OL [j] との間が非導通となり、回路MC r と配線OLB [j] との間が非導通となる」状態をとり、第2データ  $z_i^{(k-1)}$  が“0”であるときに、「回路MCと配線OL [j] との間、および、回路MCと配線OLB [j] との間は、非導通となり、回路MC r と配線OL [j] との間、および、回路MC r とOLB [j] との間は、非導通となる」状態をとるものとする。

[0488]

このとき、回路MP [i, j] において、配線OL [j] から、回路MC又は回路MC r に流れる電流  $I[i, j]$  と、配線OLB [j] から、回路MC又は回路MC r に流れる電流  $I_B[i, j]$  と、は、下表に示すとおりとなる。なお、場合によっては、 $I(-1)$  の電流量が0となるよ

うに、回路MP [i, j] を構成してもよい。なお、電流  $I[i, j]$  は、回路MC又は回路MC r から配線OL [j] に流れる電流であってもよい。同様に、電流  $I_B[i, j]$  は、回路MC又は回路MC r から配線OLB [j] に流れる電流であってもよい。

[0489]

[表1]

| $w_i^{(k-1)(k)}_j$ | $z_i^{(k-1)}$ | $I[i, j]$ | $I_B[i, j]$ |
|--------------------|---------------|-----------|-------------|
| 0                  | +1            | $I(-1)$   | $I(-1)$     |
| +1                 | +1            | $I(+1)$   | $I(-1)$     |
| -1                 | +1            | $I(-1)$   | $I(+1)$     |
| 0                  | -1            | $I(-1)$   | $I(-1)$     |
| +1                 | -1            | $I(-1)$   | $I(+1)$     |
| -1                 | -1            | $I(+1)$   | $I(-1)$     |
| 0                  | 0             | 0         | 0           |
| +1                 | 0             | 0         | 0           |
| -1                 | 0             | 0         | 0           |

[0490]

そして、配線OL [j]、及び配線OLB [j] のそれぞれから流れてくる  $I_{out}[j]$  及び  $I_{Bout}[j]$  のそれぞれが、回路ACTF [j] に入力されることによって、回路ACTF [j] は、一例としては、 $I_{out}[j]$  及び  $I_{Bout}[j]$  の比較などを行う。回路ACTF [j] は、一例としては、当該比較の結果に応じて、ニューロン  $N_j^{(k)}$  が第 (k+1) 層のニューロンに送信する信号  $z_j^{(k)}$  を出力する。

[0491]

図30の演算回路110によって、一例としては、ニューロン  $N_j^{(k)}$  に入力される、ニューロン  $N_1^{(k-1)}$  乃至ニューロン  $N_m^{(k-1)}$  からの信号  $z_1^{(k-1)}$  乃至  $z_m^{(k-1)}$  と、重み係数  $w_1^{(k-1)}_j$   $^{(k)}$  乃至  $w_m^{(k-1)}_j$   $^{(k)}$  と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を行うことができる。更に、図30の演算回路のアレイ部ALPにおいて、回路MPをn列設けることで、図25の演算回路110と同等の回路を構成できる。つまり、図25の演算回路110によって、ニューロン  $N_1^{(k)}$  乃至ニューロン  $N_n^{(k)}$  のそれぞれにおける、積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を同時に行うことができる。

[0492]

<<演算回路に含まれる回路などの変更例1>>

上述した演算回路110、及び演算回路130のそれぞれは、式(2.2)の演算ではなく式(2.3)の演算を行う回路に変更することができる。式(2.3)は、式(2.2)の積和の結果にバイアスを与えた演算に相当する。そのため、演算回路110、及び演算回路130のそれぞれにおいて、配線OL、及び配線OLBにバイアスの値を与える回路を設けてもよい。

[0493]

図31に示す演算回路170は、図25の演算回路110のアレイ部ALPに回路BS [1] 乃至回路BS [n] を加えた回路構成となっている。なお、回路BS [1] 乃至回路BS [n] とし

ては、例えば、図 2 7 A 乃至図 2 7 C と同様の回路構成を適用できる場合がある。

[0 4 9 4]

回路 BS [j] は、配線 OL [j] と、配線 OLB [j] と、配線 WBS と、配線 XBS と、に電氣的に接続されている。

[0 4 9 5]

配線 WBS は、図 2 5 の演算回路 1 1 0 などの配線 WLS [1] 乃至配線 WLS [m] などと同様に、回路 BS [1] 乃至回路 BS [n] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を供給するための配線として機能する。そのため、配線 WBS は、回路 WLD に電氣的に接続されることによって、回路 WLD から配線 WBS に対して、当該信号を供給することができる。

[0 4 9 6]

配線 XBS は、図 2 5 の演算回路 1 1 0 などの配線 XLS [1] 乃至配線 XLS [m] と同様に、ニューロン  $N_i^{(k-1)}$  から出力された第 2 データ  $z_i^{(k-1)}$  に対応する情報（例えば、電位、電流値など）を、回路 BS [1] 乃至回路 BS [n] に供給する配線として機能する。そのため、配線 XBS は、回路 XLD に電氣的に接続されることによって、回路 XLD から配線 XBS に対して、当該情報を供給することができる。

[0 4 9 7]

また、配線 XBS は、図 2 6 の演算回路 1 3 0 などの配線 WX1L [1] 乃至配線 WX1L [m] と同様に、回路 BS [1] 乃至回路 BS [n] に情報を書き込むための選択信号線として兼用してもよい。このような構成の場合、回路 WLD は、配線 WBS、配線 XBS のそれぞれに、回路 BS [1] 乃至回路 BS [n] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を供給することができる。

[0 4 9 8]

演算回路 1 7 0 のアレイ部 ALP の j 列において、回路 MP [1, j] 乃至回路 MP [m, j] から配線 OL [j] 又は配線 OLB [j] に流れる電流量は、それぞれ式 (2. 5)、式 (2. 6) で表すことができる。また、配線 OL [j]、配線 OLB [j] のそれぞれは、回路 BS [j] に電氣的に接続されているため、回路 BS [j] から配線 OL [j] に流れる電流を  $I_{BIAS}[j]$ 、回路 BS [j] から配線 OLB [j] に流れる電流を  $I_{BIASB}[j]$  としたとき、式 (2. 5)、式 (2. 6) のそれぞれは下の式に書き直すことができる。

[0 4 9 9]

[数 6]

$$I_{out}[j] = \sum_{i=1}^m I[i, j] + I_{BIAS}[j] \quad \dots(2.7)$$

$$I_{Bout}[j] = \sum_{i=1}^m I_B[i, j] + I_{BIASB}[j] \quad \dots(2.8)$$

[0 5 0 0]

これにより、式 (2. 3) の演算として、バイアスが含まれる  $I_{out}[j]$  及び  $I_{Bout}[j]$  を生成することができる。また、バイアスが含まれる  $I_{out}[j]$  及び  $I_{Bout}[j]$  は、回路 ACT

F [j] に入力されることによって、バイアスがかかった、ニューロン  $N_j^{(k)}$  からの信号  $z_j^{(k)}$  を生成することができる。

[0501]

図31の演算回路170では、回路BS [1] 乃至回路BS [n] は、アレイ部ALPに対して1行分設けた構成としたが、本発明の一態様は、これに限定されない。例えば、回路BS [1] 乃至回路BS [n] は、アレイ部ALPに対して2行以上設けてもよい。

[0502]

<<演算回路に含まれる回路などの変更例2>>

ここでは、図27B、及び図27Cに示した回路MPとは異なる、演算回路110などに適用できる回路MPの構成について説明する。

[0503]

図32に示す回路MPは、NOSRAM（登録商標）と呼ばれる記憶回路を有する構成となっている。なお、図32には、回路HC、及び回路HC r の有する回路素子の電氣的な接続構成を示すため、回路MPの全体を示している。

[0504]

図32の回路MPは、図27B、又は図27Cの構成において、トランジスタM5、及びトランジスタM5 r を設けていない構成となっている。このため、図32の回路MPは、回路HCの容量C1の第1端子、及び回路HC r の容量C1 r の第1端子に電圧を書き込む構成となっている。

[0505]

例えば、配線VEが与える電位を低レベル電位とし、回路HCの容量C1の第1端子に高レベル電位を保持すれば、トランジスタM1はオン状態となり、又は、回路HCの容量C1の第1端子に低レベル電位を保持すれば、トランジスタM1はオフ状態となる。

[0506]

ここで、例えば、回路MPに第1データとして“-1”、“0”、“+1”の値を書き込む場合を考える。回路MPに第1データとして“+1”を書き込む場合、回路HC、回路HC r のそれぞれに保持する電位としては、高レベル電位、低レベル電位の組み合わせとすればよい。また、回路MPに第1データとして“-1”を書き込む場合、回路HC、回路HC r のそれぞれに保持する電位としては、低レベル電位、高レベル電位の組み合わせとすればよい。また、回路MPに第1データとして“0”を書き込む場合、回路HC、回路HC r のそれぞれに保持する電位としては、低レベル電位、低レベル電位の組み合わせとすればよい。また、回路HC、回路HC r は、高レベル電位、低レベル電位の2値ではなく、3値以上の電位、又はアナログ値などを保持してもよい。

[0507]

次に、上記のとおり回路MPに第1データを書き込んだ後、先の動作例のとおり、配線X1L、及び配線X2Lに第2データに応じた電圧を入力することによって、第1データと第2データの積の結果として、配線OL又は配線OLBから回路MCを介して配線VEに電流が流れ（流れない場合もある。）、配線OL又は配線OLBから回路MC r を介して配線VE r に電流が流れる（流れない場合もある。）。）。。

[0508]

次に、図27B、及び図27C、図32に示した回路MPとは異なる、演算回路110などに適用できる回路MPの構成について説明する。

[0509]

図33Aに示す回路MPは、図10で説明した負荷回路LCと同様の素子を含む記憶回路を有する構成となっている。なお、図33には、回路HC、及び回路HC<sub>r</sub>の有する回路素子の電氣的な接続構成を示すため、回路MPの全体を示している。

[0510]

図33Aの回路MPにおいて、回路MCは、回路HCとトランジスタM3とトランジスタM4とを有する。また、回路HCは、負荷回路LC2とトランジスタM8とを有する。

[0511]

トランジスタM8については、例えば、トランジスタM2に適用できるトランジスタを用いることができる。そのため、トランジスタM8については、トランジスタM2の説明を参酌する。

[0512]

また、トランジスタM3、トランジスタM4、トランジスタM3<sub>r</sub>、及びトランジスタM4<sub>r</sub>のそれぞれの構成については、別の個所に記載のトランジスタM3、トランジスタM4、トランジスタM3<sub>r</sub>、及びトランジスタM4<sub>r</sub>の説明の記載を参酌する。

[0513]

図33Aの回路MPの回路MCにおいて、負荷回路LC2の第1端子は、トランジスタM8の第1端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続され、負荷回路LC2の第2端子は、配線VLに電氣的に接続されている。また、トランジスタM8の第2端子は、配線ILに電氣的に接続され、トランジスタM3の第2端子は、配線OLに電氣的に接続され、トランジスタM4の第2端子は、配線OLBに電氣的に接続されている。また、トランジスタM8のゲートは、配線WLSに電氣的に接続され、トランジスタM3のゲートは、配線X1Lに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。

[0514]

なお、図33Aの回路MPの回路MC<sub>r</sub>は、回路MCとほぼ同様の回路構成となっている。そのため、回路MC<sub>r</sub>の有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。また、トランジスタM8<sub>r</sub>の第1端子は、配線ILBに電氣的に接続され、トランジスタM3<sub>r</sub>の第2端子は、配線OLBに電氣的に接続され、トランジスタM4<sub>r</sub>の第2端子は、配線OLに電氣的に接続されている。

[0515]

ここでの配線VL、配線VL<sub>r</sub>は、定電圧を供給する配線として機能する。当該定電圧としては、例えば、接地電位（GND）、又は負荷回路LC2と負荷回路LC2<sub>r</sub>を正常に動作させる範囲の低電位とすることができる。

[0516]

負荷回路LC2、負荷回路LC2<sub>r</sub>は、一例としては、図10と負荷回路LCと同様に、第1端子と第2端子との間の抵抗値を変化することができる回路である。負荷回路LC2、負荷回路LC2<sub>r</sub>の第1端子と第2端子との間の抵抗値を変化することにより、負荷回路LC2、負荷回路LC2<sub>r</sub>の第1端子と第2端子との間に流れる電流量を変化させることができる。

[0517]

ここで、図33Aの回路MPにおいて、負荷回路LC2、負荷回路LC2<sub>r</sub>の第1端子と第2端子との間の抵抗値を変更する方法について説明する。初めに、配線X1L、配線X2Lのそれぞれ

に低レベル電位を入力してトランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rをオフ状態にする。次に、配線WLに高レベル電位を入力してトランジスタM8、トランジスタM8rをオン状態にし、配線IL（配線ILB）の電位を変化させることで、負荷回路LC2（負荷回路LC2r）の第1端子と第2端子との間の抵抗値を設定する。例えば、配線IL（配線ILB）に、負荷回路LC2（負荷回路LC2r）の第1端子と第2端子との間の抵抗値をリセットするための電位を入力し、その後に、配線IL（配線ILB）に、負荷回路LC2（負荷回路LC2r）の第1端子と第2端子との間の抵抗値を所望の値となるような電位を入力する方法などがある。負荷回路LC2（負荷回路LC2r）の第1端子と第2端子との間の抵抗値を所望の値に設定したあとは、配線WLに低レベル電位を入力してトランジスタM8、トランジスタM8rをオフ状態にすればよい。

[0518]

負荷回路LC2、及び負荷回路LC2rとしては、例えば、図33Bに図示するように、ReRAMなどに含まれる抵抗変化素子VR2を用いることができる。また、負荷回路LC2、及び負荷回路LC2rとしては、例えば、図33Cに図示するように、MRAMなどに含まれるMTJ素子MR2を含む負荷回路LC2とすることができる。また、負荷回路LC2、及び負荷回路LC2rとしては、例えば、図33Dに図示するように、相変化メモリ（PCM）などに用いられる、相変化材料が含まれる抵抗素子（ここでは、便宜上、相変化メモリPCM2と呼称する。）を用いることができる。

[0519]

また、負荷回路LC2、及び負荷回路LC2rとしては、例えば、図33Eに図示するように、FeRAMなどに用いられる一対の電極によって挟まれた強誘電体キャパシタFECを用いることができる。なお、このとき、配線VLは、定電圧を与える配線としてではなく、プレート線として機能する。

[0520]

次に、図27B、及び図27C、図32、及び図33Aに示した回路MPとは異なる、演算回路110などに適用できる回路MPの構成について説明する。

[0521]

図34Aは、図32において、回路HCにトランジスタM1及び容量C1でなくインバータループ回路IVRを設け、回路HCrにトランジスタM1r及び容量C1rでなくインバータループ回路IVRrを設けた回路MPを示している。つまり、図34Aの回路MPは、SRAMの記憶回路を有する構成となっている。なお、図34Aの回路MPにおいて、配線VE、及び配線VErは省略している。

[0522]

インバータループ回路IVRは、インバータ回路IV1と、インバータ回路IV2と、を有し、インバータループ回路IVRrは、インバータ回路IV1rと、インバータ回路IV2rと、を有する。

[0523]

インバータ回路IV1の出力端子は、インバータ回路IV2の入力端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、トランジスタM1の第1端子に電氣的に接続され、インバータ回路IV2の出力端子は、インバータ回路IV1の入力端子に電氣的に接続されている。

トランジスタM3の第2端子は、配線OLに電氣的に接続され、トランジスタM3のゲートは、配線X1Lに電氣的に接続されている。トランジスタM4の第2端子は、配線OLBに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。トランジスタM2の第2端子は、配線ILに電氣的に接続され、トランジスタM2のゲートは、配線WLSに電氣的に接続されている。インバータ回路IV1rの出力端子は、インバータ回路IV2rの入力端子と、トランジスタM3rの第1端子と、トランジスタM4rの第1端子と、トランジスタM2rの第1端子に電氣的に接続され、インバータ回路IV2rの出力端子は、インバータ回路IV1rの入力端子に電氣的に接続されている。トランジスタM3rの第2端子は、配線OLBに電氣的に接続され、トランジスタM3rのゲートは、配線X1Lに電氣的に接続されている。トランジスタM4rの第2端子は、配線OLに電氣的に接続され、トランジスタM4rのゲートは、配線X2Lに電氣的に接続されている。トランジスタM2rの第2端子は、配線ILBに電氣的に接続され、トランジスタM2rのゲートは、配線WLSに電氣的に接続されている。

[0524]

回路HCは、インバータループ回路IVRによって、インバータ回路IV1の出力端子に高レベル電位、又は低レベル電位的一方を保持する機能を有し、回路HCrは、インバータループ回路IVRrによって、インバータ回路IV1の出力端子に高レベル電位、又は低レベル電位的一方を保持する機能を有する。このため、一例として、回路MPに設定される第1データ（重み係数）を“+1”とすると、インバータ回路IV1の出力端子に高レベル電位、インバータ回路IV1rの出力端子に低レベル電位が保持されているものとし、回路MPに設定される第1データ（重み係数）を“-1”とすると、インバータ回路IV1の出力端子に低レベル電位、インバータ回路IV1rの出力端子に高レベル電位が保持されているものとし、回路MPに設定される第1データ（重み係数）を“0”とすると、インバータ回路IV1の出力端子に低レベル電位、インバータ回路IV1rの出力端子に低レベル電位が保持されているものとする。

[0525]

また、図34Aの回路MPへの第2データ（ニューロンの信号の値）の入力は、配線X1L、又は配線X2Lの一方に高レベル電位を入力すればよい。

[0526]

図34Aの回路MPは、上述した他の回路MPと異なり、回路HCのインバータループ回路IVRに含まれているトランジスタを用いて配線OL又は配線OLBから回路MCに電流を流し、回路HCrのインバータループ回路IVRrに含まれているトランジスタを用いて、配線OL又は配線OLBから回路MCrに電流を流す構成となっている。

[0527]

また、図34Aの回路MPは、図34Bに示す回路MPの構成に変更することができる。図34Bの回路MPは、図34Aの回路MPに含まれている回路MCrを設けていない構成となっている。つまり、回路HCのインバータループ回路IVRに含まれているトランジスタを用いて配線OL又は配線OLBから回路MCに電流を流す構成となっている。なお、この場合、一例として、インバータ回路IV1の出力端子に高レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“+1”とすることができ、インバータ回路IV1の出力端子に低レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“0”とすることができる。

[0528]

また、図34Cの回路MPは、図34Bの回路MPにおいて、配線X2Lを設けず、かつトランジスタM4の第1端子がインバータ回路IV1の入力端子と、インバータ回路IV2の出力端子とに電氣的に接続されている構成となっている。配線X1Lの電位が高レベル電位となっているときに、配線OL又は配線OLBには、逆の信号が出力されることとなる。この場合、一例として、インバータ回路IV1の出力端子に高レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“+1”とすることができ、インバータ回路IV1の出力端子に低レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“-1”とすることができる。また、一例として、回路MPから回路AFPに情報（例えば、電流、電圧など）を供給する際において、配線X1Lに高レベル電位が入力されているとき、回路MPに入力される第2データ（ニューロンの信号の値）を“+1”とし、配線X1Lに低レベル電位が入力されているとき、回路MPに入力される第2データ（ニューロンの信号の値）を“0”とすることができる。

[0529]

また、上記以外に、回路MPに適用できる記憶素子としては、例えば、フラッシュメモリなどが挙げられる。

[0530]

図32、図33A、及び図34A乃至図34Cの回路MPを、図25のとおり、演算回路110に適用することによって、1列において、各回路MPで計算された積の値を足し合わせることができる。これにより、第1データと第2データの積和を計算することができる。

[0531]

上述した、演算部CLPに含まれているトランジスタの一部、または、全部は、一例としては、OSトランジスタであることが好ましい。例えば、オフ電流を低くすることが望ましいようなトランジスタの場合、具体例としては、容量素子などに蓄積された電荷を保持する機能を有するトランジスタは、OSトランジスタであることが好ましい。特に、当該トランジスタとしてOSトランジスタを適用する場合、OSトランジスタは、特に実施の形態4に記載するトランジスタの構造であることがより好ましい。OSトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム、元素M（元素Mはアルミニウム、ガリウム、イットリウム、またはスズ）、亜鉛から一又は複数選ばれる材料とすることができる。特に、インジウム、ガリウム、亜鉛からなる金属酸化物は、バンドギャップが高く、真性（I型ともいう。）、又は実質的に真性である半導体であって、当該金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。また、当該金属酸化物がチャネル形成領域に含まれるOSトランジスタのオフ電流は、チャネル幅 $1 \mu\text{m}$ あたり $10 \text{ aA}$ （ $1 \times 10^{-17} \text{ A}$ ）以下、好ましくはチャネル幅 $1 \mu\text{m}$ あたり $1 \text{ aA}$ （ $1 \times 10^{-18} \text{ A}$ ）以下、さらには好ましくはチャネル幅 $1 \mu\text{m}$ あたり $10 \text{ zA}$ （ $1 \times 10^{-20} \text{ A}$ ）以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり $1 \text{ zA}$ （ $1 \times 10^{-21} \text{ A}$ ）以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり $100 \text{ yA}$ （ $1 \times 10^{-22} \text{ A}$ ）以下とすることができる。また当該OSトランジスタは、金属酸化物のキャリア濃度が低いため、OSトランジスタの温度が変化した場合でも、オフ電流は低いままとなる。例えば、OSトランジスタの温度が $150^\circ\text{C}$ であっても、オフ電流を、チャネル幅 $1 \mu\text{m}$ あたり $100 \text{ zA}$ とすることもできる。

[0532]

ただし、本発明の一態様は、上記に限定されず、演算部CLPに含まれるトランジスタは、OSトランジスタでなくてもよい。OSトランジスタ以外では、一例としては、チャンネル形成領域にシリコンを含むトランジスタ（以後、Siトランジスタと呼称する。）としてもよい。また、シリコンとしては、例えば、単結晶シリコン、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、例えば、Geなどがチャンネル形成領域に含まれているトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体がチャンネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャンネル形成領域に含まれるトランジスタ、有機半導体がチャンネル形成領域に含まれるトランジスタ等を用いることができる。

[0533]

なお、OSトランジスタの半導体層の金属酸化物において、インジウムを含む金属酸化物（例えば、In酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn酸化物）では、n型半導体は作製できているが、p型半導体は移動度及び信頼性の点で作製が難しい場合もある。そのため、演算回路110、演算回路130、演算回路170は、演算部CLPなどに含まれるnチャンネル型トランジスタとしてOSトランジスタを適用し、pチャンネル型トランジスタとしてSiトランジスタを適用した構成としてもよい。

[0534]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0535]

（実施の形態3）

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。

[0536]

<半導体装置の構成例>

図35は、一例として、上記実施の形態で説明した半導体装置であって、当該半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有する。また、図36Aにはトランジスタ500のチャンネル長方向の断面図、図36Bにはトランジスタ500のチャンネル幅方向の断面図を示しており、図36Cにはトランジスタ300のチャンネル幅方向の断面図を示している。

[0537]

トランジスタ500は、チャンネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）である。トランジスタ500は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ500を、半導体装置、例えば、上記実施の形態で説明した演算回路110、演算回路130、演算回路170などに含まれるトランジスタに適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。特に、オフ電流が小さい特性を利用して、トランジスタ500を、例えば、トランジスタF1乃至トランジスタF4、トランジスタM1d、トランジスタM2d、トランジスタM1乃至トランジスタM5、トランジスタM8などに適用することにより、回路HC、回路HCrなどに書き込んだ電位を長時間保持することができる。

[0538]

トランジスタ500は、例えば、トランジスタ300の上方に設けられ、容量素子600は、例えば、トランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、上記実施の形態で説明した演算回路110、演算回路130、演算回路170などに含まれる容量などとしてすることができる。なお、回路構成によっては、図35に示す容量素子600は必ずしも設けなくてもよい。

[0539]

トランジスタ300は、基板310上に設けられ、素子分離層312、導電体316、絶縁体315、基板310の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態で説明した演算回路110、演算回路130、演算回路170などに含まれるトランジスタなどに適用することができる。具体的には、例えば、図2A乃至図2Cに示した回路ILDが有する電流源CC[1]乃至電流源CC[K]（電流源CC[1]乃至電流源CC[2<sup>K</sup>-1]）、スイッチSW[1]乃至スイッチSW[K]（スイッチSW[1]乃至スイッチSW[2<sup>K</sup>-1]）、図4に示した回路BF、図5に示したデコーダDEC、図8に示した回路SA、図10に示した回路IVC、図11に示したインバータ回路INV1、インバータ回路INV2、図14に示したラッチ回路LAT1、ラッチ回路LAT2、図17に示した回路DTC、図18に示した回路CMPD、図7A乃至図7Eに示した回路ACTFが有する比較器CMP、オペアンプOPなどに含まれているトランジスタとすることができる。また、トランジスタM1、トランジスタM1dなどのトランジスタ、上記実施の形態で説明した各種スイッチにも適用することができる。なお、図35では、トランジスタ300のゲートが、容量素子600の一对の電極を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成を示しているが、演算回路110、演算回路130、演算回路170などの構成によっては、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極を介して、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成としてもよく、また、トランジスタ300のソース又はドレインの一方が、容量素子600の一对の電極を介して、トランジスタ500のゲートに電氣的に接続されている構成としてもよく、また、トランジスタ300の各端子は、トランジスタ500の各端子、容量素子600の各端子のそれぞれに電氣的に接続されない構成としてもよい。

[0540]

また、基板310としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

[0541]

トランジスタ300は、図36Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0542]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0543]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領

域となる低抵抗領域 314a、及び低抵抗領域 314b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）、GaN（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT（High Electron Mobility Transistor）としてもよい。

[0544]

低抵抗領域 314a、及び低抵抗領域 314b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、又はホウ素などの p 型の導電性を付与する元素を含む。

[0545]

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0546]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0547]

素子分離層 312 は、基板 310 上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS（Local Oxidation of Silicon）法、STI（Shallow Trench Isolation）法、メサ分離法などを用いて形成することができる。

[0548]

なお、図 35 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、トランジスタ 300 は、図 36C に示す FIN 型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置を OS トラジスタのみの単極性回路とする場合、図 37 に示すとおり、トランジスタ 300 の構成を、酸化物半導体を用いているトランジスタ 500 と同様の構成にすればよい。なお、トランジスタ 500 の詳細については後述する。なお、本明細書等において、単極性回路とは、n チャネル型トランジスタ又は p チャネル型トランジスタの一方の極性のトランジスタのみで構成された回路のことをいう。

[0549]

なお、図 37 において、トランジスタ 300 は、基板 310A 上に設けられているが、この場合、基板 310A としては、図 35 の半導体装置の基板 310 と同様に半導体基板を用いてもよい。また、基板 310A としては、例えば、SOI 基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する

基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。

[0550]

図35に示すトランジスタ300には、絶縁体320、絶縁体322、絶縁体324、絶縁体326が、基板310側から順に積層して設けられている。

[0551]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0552]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0553]

絶縁体322は、絶縁体320及び絶縁体322に覆われているトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化处理により平坦化されていてもよい。

[0554]

また、絶縁体324には、基板310、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

[0555]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0556]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。

例えば、絶縁体 3 2 4 の水素の脱離量は、T D S 分析において、膜の表面温度が 5 0 °C から 5 0 0 °C の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当りに換算して、 $1 0 \times 1 0^{15} \text{ a t o m s } / \text{ c m}^2$  以下、好ましくは  $5 \times 1 0^{15} \text{ a t o m s } / \text{ c m}^2$  以下であればよい。

[0 5 5 7]

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 6 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0. 7 倍以下が好ましく、0. 6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0 5 5 8]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 には容量素子 6 0 0、又はトランジスタ 5 0 0 と接続する導電体 3 2 8、及び導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、及び導電体 3 3 0 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0 5 5 9]

各プラグ、及び配線（導電体 3 2 8、導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0 5 6 0]

絶縁体 3 2 6、及び導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 3 5 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が、絶縁体 3 2 6、及び導電体 3 3 0 の上方に、順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 5 6 1]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素、水などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体 3 5 2、及び絶縁体 3 5 4 としては、絶縁体 3 2 6 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素、水などの不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 5 6 2]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持し

たまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

[0563]

また、絶縁体 354、及び導電体 356 上には、絶縁体 360 と、絶縁体 362 と、絶縁体 364 が順に積層されている。

[0564]

絶縁体 360 は、絶縁体 324 などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体 360 としては、例えば、絶縁体 324 などに適用できる材料を用いることができる。

[0565]

絶縁体 362、及び絶縁体 364 は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体 362、及び絶縁体 364 は、絶縁体 324 と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体 362、及び／又は絶縁体 364 としては、絶縁体 324 に適用できる材料を用いることができる。

[0566]

また、絶縁体 360、絶縁体 362、及び絶縁体 364 のそれぞれの、一部の導電体 356 と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体 366 が設けられている。また、導電体 366 は、絶縁体 362 上にも形成されている。導電体 366 は、一例として、トランジスタ 300 と接続するプラグ、又は配線としての機能を有する。なお、導電体 366 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0567]

絶縁体 364、及び導電体 366 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素、水素に対してバリア性のある物質を用いることが好ましい。

[0568]

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 310、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

[0569]

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0570]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0571]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[0572]

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

[0573]

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 518、及びトランジスタ 500 を構成する導電体（例えば、図 36A、及び図 36B に示す導電体 503）等が埋め込まれている。なお、導電体 518 は、容量素子 600、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 518 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0574]

特に、絶縁体 510、及び絶縁体 514 と接する領域の導電体 518 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0575]

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

[0576]

図 36A、及び図 36B に示すように、トランジスタ 500 は、絶縁体 514 上の絶縁体 516 と、絶縁体 514 または絶縁体 516 に埋め込まれるように配置された導電体 503（導電体 503a、および導電体 503b）と、絶縁体 516 上、および導電体 503 上の絶縁体 522 と、絶縁体 522 上の絶縁体 524 と、絶縁体 524 上の酸化物 530a と、酸化物 530a 上の酸化物 530b と、酸化物 530b 上の導電体 542a と、導電体 542a 上の絶縁体 571a と、酸化物 530b 上の導電体 542b と、導電体 542b 上の絶縁体 571b と、酸化物 530b 上の絶縁体 552 と、絶縁体 552 上の絶縁体 550 と、絶縁体 550 上の絶縁体 554 と、絶縁体 554 上に位置し、酸化物 530b の一部と重なる導電体 560（導電体 560a、および導電体 560b）と、絶縁体 522、絶縁体 524、酸化物 530a、酸化物 530b、導電体 542a、導電体 542b、絶縁体 571a、および絶縁体 571b 上に配置される絶縁体 544 と、を有する。なお、本明細書などでは、導電体 542a、及び導電体 542b をまとめて導電体 542 と呼称し、絶縁体 571a、及び絶縁体 571b をまとめて絶縁体 571 と呼称する。ここで、図 36A、及び図 36B に示すように、絶縁体 552 は、絶縁体 522 の上面、絶縁体 524 の側面、酸化物 530a の側面、酸化物 530b の側面および上面、導電体 542 の側面、絶縁体 571 の側面、絶縁体 544 の側面、絶縁体 580 の側面、および絶縁体 550 の下面と接する。また、導電体 56

0の上面は、絶縁体554の上部、絶縁体550の上部、絶縁体552の上部、および絶縁体580の上面と高さが概略一致するように配置される。また、絶縁体574は、導電体560の上面、絶縁体552の上部、絶縁体550の上部、絶縁体554の上部、および絶縁体580の上面の少なくともいずれかの一部と接する。

[0577]

絶縁体580、および絶縁体544には、酸化物530bに達する開口が設けられる。当該開口内に、絶縁体552、絶縁体550、絶縁体554、および導電体560が配置されている。また、トランジスタ500のチャネル長方向において、絶縁体571a、および導電体542aと、絶縁体571b、および導電体542bと、の間に導電体560、絶縁体552、絶縁体550、および絶縁体554が設けられている。絶縁体554は、導電体560の側面と接する領域と、導電体560の底面と接する領域と、を有する。

[0578]

酸化物530は、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、を有することが好ましい。酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0579]

なお、トランジスタ500では、酸化物530が、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、または3層以上の積層構造を設ける構成にしてもよいし、酸化物530a、および酸化物530bのそれぞれが積層構造を有していてもよい。

[0580]

導電体560は、第1のゲート（トップゲートともいう。）電極として機能し、導電体503は、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体552、絶縁体550、及び絶縁体554は、第1のゲート絶縁体として機能し、絶縁体522、および絶縁体524は、第2のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体542aは、ソースまたはドレインの一方として機能し、導電体542bは、ソースまたはドレインの他方として機能する。また、酸化物530の導電体560と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

[0581]

ここで、図36Aにおけるチャネル形成領域近傍の拡大図を図38Aに示す。酸化物530bに酸素が供給されることで、導電体542aと導電体542bの間の領域にチャネル形成領域が形成される。よって、図38Aに示すように、酸化物530bは、トランジスタ500のチャネル形成領域として機能する領域530bcと、領域530bcを挟むように設けられ、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbと、を有する。領域530bcは、少なくとも一部が導電体560と重畳している。言い換えると、領域530bcは、導電体542aと導電体542bの間の領域に設けられている。領域530baは、導電体542aに重畳して設けられており、領域530bbは、導電体542bに重畳して設けられている。

[0582]

チャネル形成領域として機能する領域530bcは、領域530baおよび領域530bbより

も、酸素欠損（本明細書等では、金属酸化物中の酸素欠損を $V_O$ （oxygen vacancy）と呼称する場合がある。）が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域530bcは、i型（真性）または実質的にi型であるといえることができる。

[0583]

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物または酸素欠損（ $V_O$ ）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（ $V_O$ ）近傍の水素が、酸素欠損（ $V_O$ ）に水素が入った欠陥（以下、 $V_OH$ と呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーモリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および $V_OH$ はできる限り低減されていることが好ましい。

[0584]

また、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、酸素欠損（ $V_O$ ）が多く、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域530baおよび領域530bbは、領域530bcと比較して、キャリア濃度が高く、低抵抗なn型の領域である。

[0585]

ここで、チャネル形成領域として機能する領域530bcのキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域530bcのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0586]

また、領域530bcと領域530baまたは領域530bbとの間に、キャリア濃度が、領域530baおよび領域530bbのキャリア濃度と同等、またはそれよりも低く、領域530bcのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域530bcと領域530baまたは領域530bbとの接合領域として機能する。当該接合領域は、水素濃度が、領域530baおよび領域530bbの水素濃度と同等、またはそれよりも低く、領域530bcの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域530baおよび領域530bbの酸素欠損と同等、またはそれよりも少なく、領域530bcの酸素欠損と同等、またはそれよりも多くなる場合がある。

[0587]

なお、図38Aでは、領域530ba、領域530bb、および領域530bcが酸化物530bに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物530bだけでなく、酸化物530aまで形成されてもよい。

[0588]

また、酸化物530において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階

的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0589]

トランジスタ500は、チャネル形成領域を含む酸化物530（酸化物530a、および酸化物530b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0590]

また、半導体として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0591]

酸化物530として、例えば、インジウム、元素Mおよび亜鉛を有する $I_n-M-Z_n$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、 $I_n-Ga$ 酸化物、 $I_n-Zn$ 酸化物、インジウム酸化物を用いてもよい。

[0592]

ここで、酸化物530bに用いる金属酸化物における、元素Mに対する $I_n$ の原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対する $I_n$ の原子数比より大きいことが好ましい。

[0593]

このように、酸化物530bの下に酸化物530aを配置することで、酸化物530aよりも下方に形成された構造物からの、酸化物530bに対する、不純物および酸素の拡散を抑制することができる。

[0594]

また、酸化物530aおよび酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物530aと酸化物530bの界面における欠陥準位密度を低くすることができる。酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0595]

酸化物530bは、結晶性を有することが好ましい。特に、酸化物530bとして、CAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。

[0596]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物、欠陥（例えば、酸素欠損（ $V_o$ など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をよ

り高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0597]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0598]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $V_OH$ と呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および $V_OH$ はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

[0599]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および $V_OH$ を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ500のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0600]

よって、酸化物半導体中において、チャネル形成領域として機能する領域530bcは、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域530bcの酸素欠損、および $V_OH$ を低減し、領域530baおよび領域530bbには過剰な量の酸素が供給されないようにすることが好ましい。

[0601]

そこで、本実施の形態では、酸化物530b上に導電体542aおよび導電体542bを設けた状態で、酸素を含む雰囲気でマイクロ波処理を行い、領域530bcの酸素欠損、および $V_OH$ の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0602]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域530bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域530bcの $V_OH$ を分断し、水素Hを領域530bcから除去し、酸素欠損 $V_O$ を酸素で補填することができる。つまり、領域530bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域530bcの水素濃度を低減することができる。よって、領域530bc中の酸素

欠損、および $V_{OH}$ を低減し、キャリア濃度を低下させることができる。

[0603]

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体542aおよび導電体542bに遮蔽され、領域530baおよび領域530bbには及ばない。さらに、酸素プラズマの作用は、酸化物530b、および導電体542を覆って設けられている、絶縁体571、および絶縁体580によって、低減することができる。これにより、マイクロ波処理の際に、領域530baおよび領域530bbで、 $V_{OH}$ の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0604]

また、絶縁体552となる絶縁膜の成膜後、または絶縁体550となる絶縁膜の成膜後に、酸素を含む雰囲気でマイクロ波処理を行うことが好ましい。このように絶縁体552、または絶縁体550を介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率よく領域530bc中へ酸素を注入することができる。また、絶縁体552を導電体542の側面、および領域530bcの表面と接するように配置することで、領域530bcへ必要量以上の酸素の注入を抑制し、導電体542の側面の酸化を抑制することができる。また、絶縁体550となる絶縁膜の成膜時に導電体542の側面の酸化を抑制することができる。

[0605]

また、領域530bc中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Oラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域530bc中に注入される酸素は、上述の形態のいずれか一または複数であればよく、特に酸素ラジカルであると好適である。また、絶縁体552、および絶縁体550の膜質を向上させることができるので、トランジスタ500の信頼性が向上する。

[0606]

このようにして、酸化物半導体の領域530bcで選択的に酸素欠損、および $V_{OH}$ を除去して、領域530bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ500の電気特性の変動を抑制し、基板面内でトランジスタ500の電気特性のばらつきを少なくすることができる。

[0607]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0608]

また、図36Bに示すように、トランジスタ500のチャネル幅方向の断面視において、酸化物530bの側面と酸化物530bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0609]

上記湾曲面での曲率半径は、0nmより大きく、導電体542と重なる領域の酸化物530bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上1

5 nm以下、さらに好ましくは2 nm以上10 nm以下とする。このような形状にすることで、絶縁体552、絶縁体550、絶縁体554、および導電体560の、酸化物530bへの被覆性を高めることができる。

#### [0610]

酸化物530は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

#### [0611]

また、酸化物530bは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物、欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ500は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

#### [0612]

ここで、酸化物530aと酸化物530bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物530aと酸化物530bの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

#### [0613]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-M-Zn酸化物の場合、酸化物530aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

#### [0614]

具体的には、酸化物530aとして、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、In:M:Zn=1:1:1 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=4:2:3 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

#### [0615]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0616]

また、図36Aなどに示すように、酸化物530の上面および側面に接して、酸化アルミニウムなどにより形成される絶縁体552を設けることにより、酸化物530と絶縁体552の界面およびその近傍に、酸化物530に含まれるインジウムが偏在する場合がある。これにより、酸化物530の表面近傍が、インジウム酸化物に近い原子数比、またはIn-Zn酸化物に近い原子数比になる。このように酸化物530、特に酸化物530bの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ500の電界効果移動度を向上させることができる。

[0617]

酸化物530aおよび酸化物530bを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は大きいオン電流、および高い周波数特性を得ることができる。

[0618]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、及び絶縁体581の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ500の上方からトランジスタ500に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$ など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0619]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能(透過性が低いともいう)とする。または、対応する物質を、捕獲、および固着する(ゲッターリングともいう)機能とする。

[0620]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体512、絶縁体544、および絶縁体576として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体514、絶縁体571、絶縁体574、および絶縁体581として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体512、および絶縁体514を介して、基板側からトランジスタ500側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体581よりも外側に配置されている層間絶縁膜などから、トランジスタ500側に拡散するのを抑制することができる。または、絶縁体524などに含まれる酸素が、絶縁体512、および絶縁体514を介して基板側に、拡散するのを抑制することができる。または、絶縁体580などに含まれる酸素が、絶縁

体574などを介してトランジスタ500より上方に、拡散するのを抑制することができる。この様に、トランジスタ500を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体512、絶縁体514、絶縁体571、絶縁体544、絶縁体574、絶縁体576、および絶縁体581で取り囲む構造とすることが好ましい。

#### [0621]

ここで、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 $AlO_x$  ( $x$ は0より大きい任意数)、または $MgO_y$  ( $y$ は0より大きい任意数)などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、トランジスタ500に含まれる水素、またはトランジスタ500の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ500のチャネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

#### [0622]

また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

#### [0623]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法などを適宜用いてもよい。

#### [0624]

また、絶縁体512、絶縁体544、および絶縁体576の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体512、絶縁体544、および絶縁体576の抵抗率を概略 $1 \times 10^{13} \Omega \text{cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体512、絶縁体544、および絶縁体576が、導電体503、導電体542、導電体560などのチャージアップを緩和することができる場合がある。絶縁体512、絶縁体544、および絶縁体576の

抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0625]

また、絶縁体516、絶縁体574、絶縁体580、および絶縁体581は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体516、絶縁体580、および絶縁体581として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0626]

また、絶縁体581は、一例として、層間膜、平坦化膜などとして機能する絶縁体とすることが好ましい。

[0627]

導電体503は、酸化物530、および導電体560と、重なるように配置する。ここで、導電体503は、絶縁体516に形成された開口に埋め込まれて設けることが好ましい。また、導電体503の一部が絶縁体514に埋め込まれる場合がある。

[0628]

導電体503は、導電体503a、および導電体503bを有する。導電体503aは、当該開口の底面および側壁に接して設けられる。導電体503bは、導電体503aに形成された凹部に埋め込まれるように設けられる。ここで、導電体503bの上部の高さは、導電体503aの上部の高さおよび絶縁体516の上部の高さと概略一致する。

[0629]

ここで、導電体503aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$ など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0630]

導電体503aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体503bに含まれる水素などの不純物が、絶縁体524等を介して、酸化物530に拡散するのを防ぐことができる。また、導電体503aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体503bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体503aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体503aは、窒化チタンを用いればよい。

[0631]

また、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体503bは、タングステンを用いればよい。

[0632]

導電体503は、第2のゲート電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧( $V_{th}$ )を制御することができる。特に、導電体503に負の電位を

印加することにより、トランジスタ500の $V_{th}$ をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0633]

また、導電体503の電気抵抗率は、上記の導電体503に印加する電位を考慮して設計され、導電体503の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体516の膜厚は、導電体503とほぼ同じになる。ここで、導電体503の設計が許す範囲で導電体503および絶縁体516の膜厚を薄くすることが好ましい。絶縁体516の膜厚を薄くすることで、絶縁体516中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物530に拡散するのを低減することができる。

[0634]

なお、導電体503は、上面から見て、酸化物530の導電体542aおよび導電体542bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図36Bに示すように、導電体503は、酸化物530aおよび酸化物530bのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物530のチャネル幅方向における側面の外側において、導電体503と、導電体560とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体560の電界と、第2のゲート電極として機能する導電体503の電界によって、酸化物530のチャネル形成領域を電気的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、*surrounded channel* (S-channel) 構造とよぶ。

[0635]

なお、本明細書等において、S-channel構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0636]

また、図36Bに示すように、導電体503は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体503の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体503は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体503を複数のトランジスタで共有する構成にしてもよい。

[0637]

なお、トランジスタ500では、導電体503は、導電体503a、および導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0638]

絶縁体522、および絶縁体524は、ゲート絶縁体として機能する。

[0639]

絶縁体522は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機

能を有することが好ましい。また、絶縁体522は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体522は、絶縁体524よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0640]

絶縁体522は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530から基板側への酸素の放出、トランジスタ500の周辺部から酸化物530への水素等の不純物の拡散、などを抑制する層として機能する。よって、絶縁体522を設けることで、水素等の不純物が、トランジスタ500の内側へ拡散することを抑制し、酸化物530中の酸素欠損の生成を抑制することができる。また、導電体503が、絶縁体524、酸化物530などが有する酸素と反応することを抑制することができる。

[0641]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体522は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0642]

また、絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウムなどの、いわゆるh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体522として、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O<sub>3</sub>）、（B a, S r）T i O<sub>3</sub>（B S T）などの誘電率が高い物質を用いることができる場合もある。

[0643]

酸化物530と接する絶縁体524は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

[0644]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上600℃以下、より好ましくは350℃以上550℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（V<sub>O</sub>）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0645]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow n u l l$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を $H_2O$ として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して $V_OH$ が形成されるのを抑制することができる。

[0646]

なお、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体524は、酸化物530aと重畳して島状に形成してもよい。この場合、絶縁体544が、絶縁体524の側面および絶縁体522の上面に接する構成になる。

[0647]

導電体542a、および導電体542bは酸化物530bの上面に接して設けられる。導電体542aおよび導電体542bは、それぞれトランジスタ500のソース電極またはドレイン電極として機能する。

[0648]

導電体542（導電体542a、および導電体542b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0649]

なお、酸化物530bなどに含まれる水素が、導電体542aまたは導電体542bに拡散する場合がある。特に、導電体542aおよび導電体542bに、タンタルを含む窒化物を用いることで、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに拡散しやすく、拡散した水素は、導電体542aまたは導電体542bが有する窒素と結合することがある。つまり、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに吸い取られる場合がある。

[0650]

また、導電体542の側面と導電体542の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体542とすることで、チャネル幅方向の断面における、導電体542の断面積を大きくすることができる。これにより、導電体542の導電率を大きくし、トランジスタ500のオン電流を大きくすることができる。

[0651]

絶縁体571aは、導電体542aの上面に接して設けられており、絶縁体571bは、導電体542bの上面に接して設けられている。絶縁体571は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体571は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体571は、絶縁体580よりも酸素の拡散を抑制する機能を有

することが好ましい。絶縁体 571 としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体 571 は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体 571 としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体 571 として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 500、および半導体装置を作製することができる。

[0652]

絶縁体 544 は、絶縁体 524、酸化物 530a、酸化物 530b、導電体 542、および絶縁体 571 を覆うように設けられる。絶縁体 544 として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体 544 としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。また、例えば、絶縁体 544 として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0653]

上記のような絶縁体 571 および絶縁体 544 を設けることで、酸素に対するバリア性を有する絶縁体で導電体 542 を包み込むことができる。つまり、絶縁体 524、および絶縁体 580 に含まれる酸素が、導電体 542 に拡散するのを防ぐことができる。これにより、絶縁体 524、および絶縁体 580 に含まれる酸素によって、導電体 542 が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0654]

絶縁体 552 は、ゲート絶縁体の一部として機能する。絶縁体 552 としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体 552 としては、上述の絶縁体 574 に用いることができる絶縁体を用いればよい。絶縁体 552 として、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体 552 として、酸化アルミニウムを用いる。この場合、絶縁体 552 は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

[0655]

図 36B に示すように、絶縁体 552 は、酸化物 530b の上面および側面、酸化物 530a の側面、絶縁体 524 の側面、および絶縁体 522 の上面に接して設けられる。つまり、酸化物 530a、酸化物 530b、および絶縁体 524 の導電体 560 と重なる領域は、チャネル幅方向の断面において、絶縁体 552 に覆われている。これにより、熱処理などを行った際に、酸化物 530a および酸化物 530b で酸素が脱離するのを、酸素に対するバリア性を有する絶縁体 552 でブロックすることができる。よって、酸化物 530a および酸化物 530b に酸素欠損 ( $V_o$ ) が形成されるのを低減することができる。これにより、領域 530bc に形成される、酸素欠損 ( $V_o$ )、および  $V_oH$  を低減することができる。よって、トランジスタ 500 の電気特性を良好にし、信頼性を向上させることができる。

[0656]

また、逆に、絶縁体580および絶縁体550などに過剰な量の酸素が含まれていても、当該酸素が酸化物530aおよび酸化物530bに過剰に供給されるのを抑制することができる。よって、領域530bcを介して、領域530baおよび領域530bbが過剰に酸化され、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0657]

また、図36Aに示すように、絶縁体552は、導電体542、絶縁体571、および絶縁体580、それぞれの側面に接して設けられる。よって、導電体542の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0658]

また、絶縁体552は、絶縁体554、絶縁体550、および導電体560と、ともに、絶縁体580などに形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体552の膜厚は薄いことが好ましい。絶縁体552の膜厚は、0.1nm以上、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ1.0nm以下、3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体552は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体552の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体552は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0659]

絶縁体552を上記のように膜厚を薄く成膜するには、ALD法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いるPEALD (Plasma Enhanced ALD) 法などがある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0660]

ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体552を絶縁体580などに形成された開口の側面などに被覆性良く、上記のような薄い膜厚で成膜することができる。

[0661]

なお、ALD法で用いるプリカーサには炭素などを含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry)、またはX線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

[0662]

絶縁体550は、ゲート絶縁体の一部として機能する。絶縁体550は、絶縁体552の上面に接して配置することが好ましい。絶縁体550は、酸化シリコン、酸化窒化シリコン、窒化酸化シ

リコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体 550 は、少なくとも酸素とシリコンと、を有する絶縁体となる。

[0663]

絶縁体 550 は、絶縁体 524 と同様に、絶縁体 550 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 550 の膜厚は、1 nm 以上、又は 0.5 nm 以上とすることが好ましく、かつ 15.0 nm 以下、又は 20 nm 以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体 550 は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0664]

図 36A、及び図 36B などでは、絶縁体 550 を単層とする構成について示したが、本発明はこれに限られず、2 層以上の積層構造としてもよい。例えば図 38B に示すように、絶縁体 550 を、絶縁体 550a と、絶縁体 550a 上の絶縁体 550b の 2 層の積層構造にしてもよい。

[0665]

図 38B に示すように、絶縁体 550 を 2 層の積層構造とする場合、下層の絶縁体 550a は、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体 550b は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 550a に含まれる酸素が、導電体 560 へ拡散するのを抑制することができる。つまり、酸化物 530 へ供給する酸素量の減少を抑制することができる。また、絶縁体 550a に含まれる酸素による導電体 560 の酸化を抑制することができる。例えば、絶縁体 550a は、上述した絶縁体 550 に用いることができる材料を用いて設け、絶縁体 550b は、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体 550b として、酸化ハフニウムを用いる。この場合、絶縁体 550b は、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体 550b の膜厚は、0.5 nm 以上、又は 1.0 nm 以上とすることが好ましく、かつ 3.0 nm 以下、又は 5.0 nm 以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体 550b は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0666]

なお、絶縁体 550a に酸化シリコン、酸化窒化シリコンなどを用いる場合、絶縁体 550b は、比誘電率が高い high-k 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体 550a と絶縁体 550b との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。よって、絶縁体 550 の絶縁耐圧を高くすることができる。

[0667]

絶縁体 554 は、ゲート絶縁体の一部として機能する。絶縁体 554 としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体 560 に含まれる水素などの不純物が、絶縁体 550、および酸化物質 530b に拡散するのを防ぐことができる。絶縁体 554 としては、上述の絶縁体 576 に用いることができる絶縁体を用いればよい。例えば、絶縁体 554 として P E A L D 法で成膜した窒化シリコンを用いればよい。この場合、絶縁体 554 は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0668]

また、絶縁体 554 が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体 550 に含まれる酸素が、導電体 560 へ拡散するのを抑制することができる。

[0669]

また、絶縁体 554 は、絶縁体 552、絶縁体 550、および導電体 560 と、ともに、絶縁体 580 などに形成された開口に設ける必要がある。トランジスタ 500 の微細化を図るにあたって、絶縁体 554 の膜厚は薄いことが好ましい。絶縁体 554 の膜厚は、0.1 nm 以上、0.5 nm 以上、又は 1.0 nm 以上とすることが好ましく、かつ 3.0 nm 以下、又は 5.0 nm 以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体 554 は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体 554 の膜厚は絶縁体 550 の膜厚より薄いことが好ましい。この場合、絶縁体 554 は、少なくとも一部において、絶縁体 550 より膜厚が薄い領域を有していればよい。

[0670]

導電体 560 は、トランジスタ 500 の第 1 のゲート電極として機能する。導電体 560 は、導電体 560a と、導電体 560a の上に配置された導電体 560b と、を有することが好ましい。例えば、導電体 560a は、導電体 560b の底面および側面を包むように配置されることが好ましい。また、図 36A 及び図 36B に示すように、導電体 560 の上部の高さの位置は、絶縁体 550 の上部の高さの位置と概略一致している。なお、図 36A 及び図 36B では、導電体 560 は、導電体 560a と導電体 560b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[0671]

導電体 560a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0672]

また、導電体 560a が酸素の拡散を抑制する機能を持つことにより、絶縁体 550 に含まれる酸素により、導電体 560b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0673]

また、導電体 560 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 560b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 560b は積層構造としてもよく、例えば、チタン、また

は窒化チタンと上記導電性材料との積層構造としてもよい。

[0674]

また、トランジスタ500では、導電体560は、絶縁体580などに形成されている開口を埋めるように自己整合的に形成される。導電体560をこのように形成することにより、導電体542aと導電体542bとの間の領域に、導電体560を位置合わせすることなく確実に配置することができる。

[0675]

また、図36Bに示すように、トランジスタ500のチャネル幅方向において、絶縁体522の底面を基準としたときの、導電体560の、導電体560と酸化物530bとが重ならない領域の底面の高さは、酸化物530bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体560が、絶縁体550などを介して、酸化物530bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体560の電界を酸化物530bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ500のオン電流を増大させ、周波数特性を向上させることができる。絶縁体522の底面を基準としたときの、酸化物530aおよび酸化物530bと、導電体560とが、重ならない領域における導電体560の底面の高さと、酸化物530bの底面の高さと、の差は、0nm以上、3nm以上、又は5nm以上とすることが好ましく、かつ20nm以下、50nm以下、又は100nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

[0676]

絶縁体580は、絶縁体544上に設けられ、絶縁体550、および導電体560が設けられる領域に開口が形成されている。また、絶縁体580の上面は、平坦化されていてもよい。

[0677]

層間膜として機能する絶縁体580は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体580は、例えば、絶縁体516と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0678]

絶縁体580は、絶縁体580中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体580は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

[0679]

絶縁体574は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体574は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体574としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。この場合、絶縁体574は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体512と絶縁体581に挟まれた領域内で、絶縁体580に接して、水素などの不純物を捕獲する機能を有する、絶縁体574を設けることで、絶縁体580などに含まれ

る水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体574として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0680]

絶縁体576は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体576は、絶縁体574の上に配置される。絶縁体576としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体576としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体576をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体576として、スパッタリング法で成膜された窒化シリコンの上に、さらに、PEALD法または、CVD法で成膜された窒化シリコンを積層してもよい。

[0681]

また、トランジスタ500の第1端子、又は第2端子の一方は、プラグとして機能する導電体540aに電氣的に接続され、トランジスタ500の第1端子、又は第2端子の他方は、導電体540bに電氣的に接続されている。なお、本明細書等では、導電体540a、及び導電体540bをまとめて導電体540と呼ぶこととする。

[0682]

導電体540aは、一例として、導電体542aと重畳する領域に設けられている。具体的には、導電体542aと重畳する領域において、図36Aに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図35に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540aは、当該開口部の内側に設けられている。また、導電体540bは、一例として、導電体542bと重畳する領域に設けられている。具体的には、導電体542bと重畳する領域において、図36Aに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図35に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540bは、当該開口部の内側に設けられている。なお、絶縁体582、及び絶縁体586については後述する。

[0683]

さらに、図36Aに示すとおり、導電体542aと重畳する領域の開口部の側面と導電体540aとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541aを設けてもよい。同様に、導電体542bと重畳する領域の開口部の側面と導電体540bとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541bを設けてもよい。なお、本明細書等では、絶縁体541a、及び絶縁体541bをまとめて絶縁体541と呼ぶこととする。

[0684]

導電体540aおよび導電体540bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体540aおよび導電体540bは積層構造としてもよい。

[0685]

また、導電体540を積層構造とする場合、絶縁体574、絶縁体576、絶縁体581、絶縁体580、絶縁体544、および絶縁体571の近傍に配置される第1の導電体には、水、水素な

どの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体 5 7 6 より上層に含まれる水、水素などの不純物が、導電体 5 4 0 a および導電体 5 4 0 b を通じて酸化物 5 3 0 に混入することを抑制することができる。

[0686]

絶縁体 5 4 1 a および絶縁体 5 4 1 b としては、絶縁体 5 4 4 などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体 5 4 1 a および絶縁体 5 4 1 b として、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 5 4 1 a および絶縁体 5 4 1 b は、絶縁体 5 7 4、絶縁体 5 7 6、および絶縁体 5 7 1 に接して設けられるので、絶縁体 5 8 0 などに含まれる水、水素などの不純物が、導電体 5 4 0 a および導電体 5 4 0 b を通じて酸化物 5 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 5 8 0 に含まれる酸素が導電体 5 4 0 a および導電体 5 4 0 b に吸収されるのを防ぐことができる。

[0687]

絶縁体 5 4 1 a および絶縁体 5 4 1 b を、図 3 6 A に示すように積層構造にする場合、絶縁体 5 8 0 などの開口の内壁に接する第 1 の絶縁体と、その内側の第 2 の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせる用いることが好ましい。

[0688]

例えば、第 1 の絶縁体として、ALD 法で成膜された酸化アルミニウムを用い、第 2 の絶縁体として、PEALD 法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体 5 4 0 の酸化を抑制し、さらに、導電体 5 4 0 に水素が混入するのを低減することができる。

[0689]

なお、トランジスタ 5 0 0 では、絶縁体 5 4 1 の第 1 の絶縁体および絶縁体 5 4 1 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 5 4 1 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。また、トランジスタ 5 0 0 では、導電体 5 4 0 の第 1 の導電体および導電体 5 4 0 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 5 4 0 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。

[0690]

また、図 3 5 に示すとおり、導電体 5 4 0 a の上部、および導電体 5 4 0 b の上部に接して配線として機能する導電体 6 1 0、導電体 6 1 2 などを配置してもよい。導電体 6 1 0、導電体 6 1 2 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0691]

なお、本発明の一隊の半導体装置に含まれるトランジスタの構造は、図 3 5、図 3 6 A、図 3 6 B、及び図 3 7 に示したトランジスタ 5 0 0 に限定されない。本発明の一隊の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

[0692]

例えば、図35、図36A、図36B、及び図37に示すトランジスタ500は、図39に示す構成としてもよい。図39のトランジスタは、酸化物543a、及び酸化物543bを有する点で、図35、図36A、図36B、及び図37に示すトランジスタ500と異なっている。なお、本明細書等では、酸化物543a、及び酸化物543bをまとめて酸化物543と呼ぶこととする。また、図39のトランジスタのチャネル幅方向の断面の構成については、図36Bに示すトランジスタ500の断面と同様の構成とすることができる。

[0693]

酸化物543aは、酸化物530bと導電体542aの間に設けられ、酸化物543bは、酸化物530bと導電体542bの間に設けられる。ここで、酸化物543aは、酸化物530bの上面、および導電体542aの下面に接することが好ましい。また、酸化物543bは、酸化物530bの上面、および導電体542bの下面に接することが好ましい。

[0694]

酸化物543は、酸素の透過を抑制する機能を有することが好ましい。ソース電極、又はドレイン電極として機能する導電体542と酸化物530bとの間に酸素の透過を抑制する機能を有する酸化物543を配置することで、導電体542と、酸化物530bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ500の電気特性、電界効果移動度、および信頼性を向上させることができる場合がある。

[0695]

また、酸化物543として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物543は、酸化物530bよりも元素Mの濃度が高いことが好ましい。また、酸化物543として、酸化ガリウムを用いてもよい。また、酸化物543として、 $In-M-Zn$ 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、 $In$ に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 $In$ に対する元素Mの原子数比より大きいことが好ましい。また、酸化物543の膜厚は、0.5nm以上、又は1nm以上であることが好ましく、かつ2nm以下、3nm以下、又は5nm以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。また、酸化物543は、結晶性を有すると好ましい。酸化物543が結晶性を有する場合、酸化物530中の酸素の放出を好適に抑制することが出来る。例えば、酸化物543としては、六方晶などの結晶構造であれば、酸化物530中の酸素の放出を抑制できる場合がある。

[0696]

絶縁体581上には、絶縁体582が設けられ、絶縁体582上には絶縁体586が設けられている。

[0697]

絶縁体582は、酸素、水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0698]

また、絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁

体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 586 として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

[0699]

続いて、図 35、及び図 37 に示す半導体装置に含まれている。容量素子 600、及びその周辺の配線、又はプラグについて説明する。なお、図 35、及び図 37 に示すトランジスタ 500 の上方には、容量素子 600 と、配線、及び／又はプラグが設けられている。

[0700]

容量素子 600 は、一例として、導電体 610 と、導電体 620、絶縁体 630 とを有する。

[0701]

導電体 540a 又は導電体 540b の一方、導電体 546、及び絶縁体 586 上には、導電体 610 が設けられている。導電体 610 は、容量素子 600 の一対の電極の一方としての機能を有する。

[0702]

また、導電体 540a、又は導電体 540b の他方、及び絶縁体 586 上には、導電体 612 が設けられる。導電体 612 は、トランジスタ 500 と、上方に備えることができる回路素子、配線、端子などと、を電気的に接続するプラグ、配線、端子などとしての機能を有する。具体的には、例えば、導電体 612 は、上記実施の形態で説明した演算回路 110 などにおける配線 IL、又は配線 ILB とすることができる。

[0703]

なお、導電体 612、及び導電体 610 は、同時に形成してもよい。

[0704]

導電体 612、及び導電体 610 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0705]

図 35 では、導電体 612、及び導電体 610 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0706]

絶縁体 586、導電体 610 上には、絶縁体 630 が設けられている。絶縁体 630 は、容量素子 600 の一対の電極に挟まれる誘電体として機能する。

[0707]

絶縁体 630 としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウム

などを用いればよく、積層または単層で設けることができる。

[0708]

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率(h i g h - k)材料との積層構造を用いてもよい。当該構成により、容量素子600は、高誘電率(h i g h - k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600の静電破壊を抑制することができる。

[0709]

なお、高誘電率(h i g h - k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0710]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(S r T i O<sub>3</sub>)または(B a , S r ) T i O<sub>3</sub>(BST)などのh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[0711]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。導電体610は、容量素子600の一对の電極の一方としての機能を有する。また、例えば、導電体620は、上記実施の形態で説明した演算回路110などにおける配線XLSとすることができる。

[0712]

なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu(銅)、Al(アルミニウム)等を用いればよい。また、例えば、導電体620は、導電体610に適用できる材料を用いることができる。また、導電体620は、単層構造ではなく、2層以上の積層構造としてもよい。

[0713]

導電体620、及び絶縁体630上には、絶縁体640が設けられている。絶縁体640としては、例えば、トランジスタ500が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0714]

絶縁体640上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化

膜として機能してもよい。そのため、絶縁体 6 5 0 としては、例えば、絶縁体 3 2 4 に適用できる材料とすることができる。

[0 7 1 5]

ところで、図 3 5、及び図 3 7 に示す容量素子 6 0 0 は、プレーナ型としているが、容量素子の形状はこれに限定されない。容量素子 6 0 0 は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

[0 7 1 6]

また、容量素子 6 0 0 の上方には、配線層を設けてもよい。例えば、図 3 5 において、絶縁体 4 1 1、絶縁体 4 1 2、絶縁体 4 1 3、及び絶縁体 4 1 4 が、絶縁体 6 5 0 の上方に、順に設けられている。また、絶縁体 4 1 1、絶縁体 4 1 2、及び絶縁体 4 1 3 には、プラグ、又は配線として機能する導電体 4 1 6 が設けられている構成を示している。また、導電体 4 1 6 は、一例として、後述する導電体 6 6 0 に重畳する領域に設けることができる。

[0 7 1 7]

また、絶縁体 6 3 0、絶縁体 6 4 0、及び絶縁体 6 5 0 には、導電体 6 1 2 と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体 6 6 0 が設けられている。導電体 6 6 0 は、上述した配線層に含まれている導電体 4 1 6 に電氣的に接続するプラグ、配線として機能する。

[0 7 1 8]

絶縁体 4 1 1、及び絶縁体 4 1 4 は、例えば、絶縁体 3 2 4 などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体 4 1 1、及び絶縁体 4 1 4 としては、例えば、絶縁体 3 2 4 などに適用できる材料を用いることができる。

[0 7 1 9]

絶縁体 4 1 2、及び絶縁体 4 1 3 は、例えば、絶縁体 3 2 6 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

[0 7 2 0]

また、導電体 6 1 2、及び導電体 4 1 6 は、例えば、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 7 2 1]

酸化物半導体を有するトランジスタを用いた半導体装置として、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[0 7 2 2]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0 7 2 3]

(実施の形態 4)

本実施の形態では、上記の実施の形態で説明した OS トランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

[0 7 2 4]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、ス

ズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0725]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図40Aを用いて説明を行う。図40Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

[0726]

図40Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud-Aligned Composite)が含まれる(excluding single crystal and polycrystal)。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

[0727]

なお、図40Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」、「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

[0728]

なお、膜または基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD(Grazing-Incidence XRD)測定で得られるXRDスペクトルを図40Bに示す(縦軸は強度(Intensity)を任意単位(a.u.)で表している)。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図40Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図40Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、図40Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0729]

図40Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図40Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0730]

また、膜または基板の結晶構造は、極微電子線回折法(NBED:Nano Beam Ele

electron Diffraction) によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図40Cに示す。図40Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図40Cに示すCAAC-IGZO膜の組成は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1 nmとして電子線回折が行われる。

[0731]

図40Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0732]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図40Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）、非晶質酸化物半導体、などが含まれる。

[0733]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0734]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0735]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10 nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0736]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M,

Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn) 層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0737]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$  スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$  またはその近傍に検出される。なお、c軸配向を示すピークの位置 ( $2\theta$  の値) は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0738]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点 (スポット) が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット (ダイレクトスポットともいう。) を対称中心として、点対称の位置に観測される。

[0739]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリー) を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化すること、などによって、歪みを許容することができるためと考えられる。

[0740]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶 (polycrystal) と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0741]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成、などによって低下する場合があるため、CAAC-OSは不純物、及び欠陥 (酸素欠損など) の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度 (所謂サーマルバジェット) に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0742]

[nc-OS]

nc-OSは、微小な領域 (例えば、1nm以上10nm以下の領域、特に1nm以上3nm以

下の領域)において原子配列に周期性を有する。別言すると、 $nc-OS$ は、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、 $1\text{ nm}$ 以上 $10\text{ nm}$ 以下、特に $1\text{ nm}$ 以上 $3\text{ nm}$ 以下であることから、当該微小な結晶をナノ結晶ともいう。また、 $nc-OS$ は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、 $nc-OS$ は、分析方法によっては、 $a-like\ OS$ 、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、 $nc-OS$ 膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いた $Out-of-plane$  XRD測定では、結晶性を示すピークが検出されない。また、 $nc-OS$ 膜に対し、ナノ結晶よりも大きいプローブ径（例えば $50\text{ nm}$ 以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、 $nc-OS$ 膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば $1\text{ nm}$ 以上 $30\text{ nm}$ 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0743]

[ $a-like\ OS$ ]

$a-like\ OS$ は、 $nc-OS$ と非晶質酸化物半導体との間の構造を有する酸化物半導体である。 $a-like\ OS$ は、鬆又は低密度領域を有する。即ち、 $a-like\ OS$ は、 $nc-OS$ 及び $CAAC-OS$ と比べて、結晶性が低い。また、 $a-like\ OS$ は、 $nc-OS$ 及び $CAAC-OS$ と比べて、膜中の水素濃度が高い。

[0744]

<<酸化物半導体の構成>>

次に、上述の $CAC-OS$ の詳細について、説明を行う。なお、 $CAC-OS$ は材料構成に関する。

[0745]

[ $CAC-OS$ ]

$CAC-OS$ とは、例えば、金属酸化物を構成する元素が、 $0.5\text{ nm}$ 以上 $10\text{ nm}$ 以下、好ましくは、 $1\text{ nm}$ 以上 $3\text{ nm}$ 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、 $0.5\text{ nm}$ 以上 $10\text{ nm}$ 以下、好ましくは、 $1\text{ nm}$ 以上 $3\text{ nm}$ 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0746]

さらに、 $CAC-OS$ とは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、 $CAC-OS$ は、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0747]

ここで、 $In-Ga-Zn$ 酸化物における $CAC-OS$ を構成する金属元素に対する $In$ 、 $Ga$ 、および $Zn$ の原子数比のそれぞれを、 $[In]$ 、 $[Ga]$ 、および $[Zn]$ と表記する。例えば、 $In-Ga-Zn$ 酸化物における $CAC-OS$ において、第1の領域は、 $[In]$ が、 $CAC-OS$ 膜の組成における $[In]$ よりも大きい領域である。また、第2の領域は、 $[Ga]$ が、 $CAC$

—OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0748]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0749]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0750]

例えば、In—Ga—Zn酸化物におけるCAC—OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

[0751]

CAC—OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC—OSに付与することができる。つまり、CAC—OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC—OSをトランジスタに用いることで、高いオン電流( $I_{on}$ )、高い電界効果移動度( $\mu$ )、および良好なスイッチング動作を実現することができる。

[0752]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC—OS、nc—OS、CAAC—OSのうち、二種以上を有していてもよい。

[0753]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0754]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0755]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよ

い。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体を呼称する場合がある。

[0756]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0757]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0758]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0759]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0760]

酸化物半導体において、第14族元素の一つであるシリコン、炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコン、炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0761]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0762]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0763]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素

欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0764]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0765]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0766]

(実施の形態5)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[0767]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図41Aを用いて説明する。

[0768]

図41Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0769]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[0770]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼称する場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けることが好ましい。

[0771]

ダイシング工程を行うことにより、図41Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにすることが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、ス

クライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

[0772]

なお、本発明の一態様の素子基板の形状は、図41Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[0773]

<電子部品>

図41Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図41Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図41Cに示すとおり、チップ4800aは、回路部4802が積層された構成としてもよい。図41Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[0774]

図41Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[0775]

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（HBM：High Bandwidth Memory）などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

[0776]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0777]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼称する場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）

を用いることも出来る。

[0778]

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0779]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0780]

また、シリコンインターポーザを用いたSiP、MCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0781]

また、電子部品4730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

[0782]

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図41Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0783]

電子部品4730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

[0784]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0785]

（実施の形態6）

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図42には、当該半導体装置を有する電子部品4700が各電子機器に含まれている

様子を図示している。

[0786]

[携帯電話]

図42に示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0787]

情報端末5500は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5511に表示するアプリケーション、表示部5511に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5511に表示するアプリケーション、指紋、声紋などの生体認証を行うアプリケーションなどが挙げられる。また、例えば、情報端末5500に備えられる撮像装置（図示しない）によって画像を取得したとき、上記実施の形態で説明した半導体装置を用いることによって、当該画像に対して畳み込み処理を行うことができる。つまり、当該画像に対して、特徴抽出を行うことができる。

[0788]

[ウェアラブル端末]

また、図42には、ウェアラブル端末の一例として腕時計型の情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。

[0789]

ウェアラブル端末は、先述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。

[0790]

[情報端末]

また、図42には、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

[0791]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末5300を用いることで、新規の人工知能の開発を行うことができる。また、例えば、情報端末5500に備えられる撮像装置（図示しない）によって画像を取得したとき、上記実施の形態で説明した半導体装置を用いることによって、当該画像に対して畳み込み処理を行うことができる。つまり、当該画像に対して、特徴抽出を行うことができる。

[0792]

なお、上述では、電子機器としてスマートフォン、デスクトップ用情報端末、ウェアラブル端末を例として、それぞれ図42に図示したが、スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末を適用することができる。スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、ワークステーションなどが挙げられる。

[0793]

[電化製品]

また、図42には、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0794]

電気冷凍冷蔵庫5800に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能、などを有することができる。

[0795]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH (Induction Heating) 調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0796]

[ゲーム機]

また、図42には、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0797]

更に、図42には、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図42に示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ7522は、図42に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

[0798]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、

ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[0799]

携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0800]

更に、携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機5200を実現することができる。

[0801]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5200に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0802]

また、携帯ゲーム機5200で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0803]

図42では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0804]

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0805]

図42には移動体の一例である自動車5700が図示されている。

[0806]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0807]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0808]

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車5700の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0809]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

[0810]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[0811]

図42には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

[0812]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0813]

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。また、例えば、デジタルカメラ6240によって画像を取得したとき、上記実施の形態で説明した半導体装置を用いることによって、当該画像に対して畳み込み処理を行うことができる。つまり、当該画像に対して、特徴抽出を行うことができる。

[0814]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[0815]

図42には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ63

05、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0816]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。また、例えば、撮像画像データに対して、上記実施の形態で説明した半導体装置を用いて、畳み込み処理を行ってもよい。

[0817]

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC (Personal Computer) などの計算機、情報端末用の拡張デバイスに適用することができる。

[0818]

図43Aは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB (Universal Serial Bus) などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図43Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0819]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板6104には、チップ6105 (例えば、上記実施の形態で説明した半導体装置、電子部品4700、メモリチップなど)、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0820]

拡張デバイス6100をPCなどを用いることにより、当該PCの演算処理能力を高くすることができる。これにより、処理能力の足りないPCでも、例えば、人工知能、動画処理などの演算を行うことができる。

[0821]

[放送システム]

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

[0822]

図43Bは、放送システムにおけるデータ伝送を模式的に示している。具体的には、図43Bは、

放送局 5 6 8 0 から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（TV） 5 6 0 0 に届くまでの経路を示している。TV 5 6 0 0 は、受信装置を備え（図示しない。）、アンテナ 5 6 5 0 で受信された放送信号は、当該受信装置を介して、TV 5 6 0 0 に送信される。

[0 8 2 3]

図 4 3 B では、アンテナ 5 6 5 0 は、UHF（Ultra High Frequency）アンテナを図示しているが、アンテナ 5 6 5 0 としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

[0 8 2 4]

電波 5 6 7 5 A、電波 5 6 7 5 B は地上波放送用の放送信号であり、電波塔 5 6 7 0 は受信した電波 5 6 7 5 A を増幅して、電波 5 6 7 5 B の送信を行う。各家庭では、アンテナ 5 6 5 0 で電波 5 6 7 5 B を受信することで、TV 5 6 0 0 で地上波放送を視聴することができる。なお、放送システムは、図 4 3 B に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[0 8 2 5]

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工 intelligence を利用した放送システムとしてもよい。放送局 5 6 8 0 から各家庭の TV 5 6 0 0 に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ 5 6 5 0 が当該放送データを受信したとき、TV 5 6 0 0 に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工 intelligence を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工 intelligence を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高い TV 5 6 0 0 で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[0 8 2 6]

上述した人工 intelligence を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン（UHDTV：4K、8K）放送に対して好適である。

[0 8 2 7]

また、TV 5 6 0 0 側における人工 intelligence の応用として、例えば、TV 5 6 0 0 に人工 intelligence を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工 intelligence に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

[0 8 2 8]

[認証システム]

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

[0 8 2 9]

図 4 3 C は、掌紋認証装置を示しており、筐体 6 4 3 1、表示部 6 4 3 2、掌紋読み取り部 6 4 3 3、配線 6 4 3 4 を有している。

[0 8 3 0]

図 4 3 C には、掌紋認証装置が手 6 4 3 5 の掌紋を取得する様子を示している。取得した掌紋は、人工 intelligence を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。

また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であってもよい。

[0831]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0832]

SDV1：半導体装置、SDV2：半導体装置、SDV3：半導体装置、MEXT：記憶装置、MINT：記憶装置、ILD：回路、CLP：演算部、CLPa：演算部、CLPb：演算部、BSE：基板、WCS1：回路、WCS2：回路、DEC：デコーダ、CC[1]：電流源、CC[u]：電流源、CC[K]：電流源、CC[t]：電流源、CC[2<sup>K</sup>−1]：電流源、SW[1]：スイッチ、SW[u]：スイッチ、SW[K]：スイッチ、SW[t]：スイッチ、SW[2<sup>K</sup>−1]：スイッチ、CTr[1]：トランジスタ、CTr[u]：トランジスタ、CTr[K]：トランジスタ、STr[1]：トランジスタ、STr[u]：トランジスタ、STr[K]：トランジスタ、DIL[1]：配線、DIL[u]：配線、DIL[K]：配線、DEL[1]：配線、DEL[t]：配線、DEL[2<sup>K</sup>−1]：配線、IL：配線、ILB：配線、SL11：配線、BIAL：配線、VDL：配線、WWD：回路、RWD：回路、WRD：回路、BF：回路、SA：回路、SA[1]：回路、SA[K]：回路、LC：負荷回路、IVC：回路、MCL[1]：メモリセル、MCL[m]：メモリセル、MCL[1, 1]：メモリセル、MCL[1, K]：メモリセル、MCL[m, 1]：メモリセル、MCL[m, K]：メモリセル、INV：インバータ回路、INV1：インバータ回路、INV2：インバータ回路、LAT1：ラッチ回路、LAT2：ラッチ回路、F1：トランジスタ、F2：トランジスタ、F3：トランジスタ、F4：トランジスタ、CI：容量、CI2：容量、RSW：スイッチ、RSW[1]：スイッチ、RSW[K]：スイッチ、RSW2：スイッチ、WSW：スイッチ、VR：抵抗変化素子、MR：MTJ素子、PCM：相変化メモリ、FEC：強誘電体キャパシタ、WBL[1]：配線、WBL[u]：配線、WBL[K]：配線、RBL：配線、RBL[1]：配線、RBL[u]：配線、RBL[K]：配線、WWL[1]：配線、WWL[m]：配線、RWL[1]：配線、RWL[m]：配線、WRL：配線、WRL[1]：配線、WRL[m]：配線、VDL2：配線、VEA：配線、CLK：配線、LMNT：回路、EXMNT：回路、LMC[i]：回路、WCSA：回路、WCSB：回路、WCSD：回路、WCSDr：回路、WCS1r：回路、DTC：回路、CMPD：回路、BF2：回路、CCA：電流源、CCB：電流源、CCD：電流源、CCDr：電流源、F6A：トランジスタ、F6B：トランジスタ、F7：トランジスタ、DC：メモリセル、DCr：メモリセル、M1d：トランジスタ、M1dr：トランジスタ、M2d：トランジスタ、M2dr：トランジスタ、C1d：容量、C1dr：容量、n1d：ノード、n1dr：ノード、DSW1：スイッチ、DSW2：スイッチ、DSW3：スイッチ、DSW4：スイッチ、DSW4r：スイッチ、SWN：スイッチ、SWNr：スイッチ、RSUL：配線、WLd：配線、WLdr：配線、DLd：配線、VSE：配線、IRFE：配線、VRFE：配線、WLD：回路、XLD：回路、ALP：アレイ部、AFP：回路、ACTF[1]：回路、ACTF[j]：回路、ACTF[n]：回路、LGC：回路、MP：回路、MP[1, 1]：回路、MP[1, n]：回路、MP[i, j]：回路、MP[m, 1]：回路、MP[m, n]：回路、MC：回路、MCr：回路、HC：回路、HCr：回路、M1：トランジスタ、M1r：トランジスタ、M2：トランジスタ

タ、M2 r : トランジスタ、M3 : トランジスタ、M3 r : トランジスタ、M4 : トランジスタ、M4 r : トランジスタ、M5 : トランジスタ、M5 r : トランジスタ、M8 : トランジスタ、M8 r : トランジスタ、LC2 : 負荷回路、LC2 r : 負荷回路、C1 : 容量、C1 r : 容量、n1 : ノード、n1 r : ノード、IL [1] : 配線、IL [j] : 配線、IL [n] : 配線、ILB [1] : 配線、ILB [j] : 配線、ILB [n] : 配線、OL [1] : 配線、OL [j] : 配線、OL [n] : 配線、OLB [1] : 配線、OLB [j] : 配線、OLB [n] : 配線、WLS [1] : 配線、WLS [i] : 配線、WLS [m] : 配線、WX1L [1] : 配線、WX1L [i] : 配線、WX1L [m] : 配線、XLS [1] : 配線、XLS [i] : 配線、XLS [m] : 配線、X1L : 配線、X1L [i] : 配線、X2L : 配線、X2L [1] : 配線、X2L [i] : 配線、X2L [m] : 配線、VE [j] : 配線、VE r [j] : 配線、VEG : 配線、CMP : 比較器、RE : 抵抗、REB : 抵抗、CE : 容量、CEB : 容量、DE : ダイオード素子、DEB : ダイオード素子、OP : オペアンプ、S01a : スイッチ、S01b : スイッチ、S02a : スイッチ、S02b : スイッチ、S03 : スイッチ、SW [0] : スイッチ、INV3 : インバータ回路、VinT : 端子、VrefT : 端子、VoutT : 端子、BS [1] : 回路、BS [j] : 回路、BS [n] : 回路、IVR : インバータループ回路、IVR r : インバータループ回路、IV1 : インバータ回路、IV2 : インバータ回路、SCL1 : スクライブライン、SCL2 : スクライブライン、100 : ニューラルネットワーク、110 : 演算回路、130 : 演算回路、170 : 演算回路、300 : トランジスタ、310 : 基板、310A : 基板、312 : 素子分離層、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、364 : 絶縁体、366 : 導電体、411 : 絶縁体、412 : 絶縁体、413 : 絶縁体、414 : 絶縁体、416 : 導電体、500 : トランジスタ、503 : 導電体、503a : 導電体、503b : 導電体、510 : 絶縁体、512 : 絶縁体、514 : 絶縁体、516 : 絶縁体、518 : 導電体、522 : 絶縁体、524 : 絶縁体、530 : 酸化物、530a : 酸化物、530b : 酸化物、530ba : 領域、530bb : 領域、530bc : 領域、540a : 導電体、540b : 導電体、541a : 絶縁体、541b : 絶縁体、542a : 導電体、542b : 導電体、543a : 酸化物、543b : 酸化物、544 : 絶縁体、546 : 導電体、550 : 絶縁体、550a : 絶縁体、550b : 絶縁体、552 : 絶縁体、554 : 絶縁体、560 : 導電体、560a : 導電体、560b : 導電体、571a : 絶縁体、571b : 絶縁体、574 : 絶縁体、576 : 絶縁体、580 : 絶縁体、581 : 絶縁体、582 : 絶縁体、586 : 絶縁体、600 : 容量素子、610 : 導電体、612 : 導電体、620 : 導電体、630 : 絶縁体、640 : 絶縁体、650 : 絶縁体、660 : 導電体、4700 : 電子部品、4702 : プリント基板、4704 : 実装基板、4710 : 半導体装置、4711 : モールド、4712 : ランド、4713 : 電極パッド、4714 : ワイヤ、4730 : 電子部品、4731 : インターポーザ、4732 : パッケージ基板、4733 : 電極、4735 : 半導体装置、4800 : 半導体ウェハ、4800a : チップ、4801 : ウェハ、4801a : ウェハ、4802 : 回路部、4803 : スペーシング、4803a : スペーシング、5200 : 携帯ゲーム機、5201 : 筐体、5202 : 表示部、5203 : ボタン、5300 : デスクトップ型情報端末、5301 : 本体、5302 : ディスプレイ、5303 : キーボード、5500 : 情報端末、5510 : 筐体、5511 : 表示部、5600 : TV、

5650 : アンテナ、5670 : 電波塔、5675A : 電波、5675B : 電波、5680 : 放送局、5700 : 自動車、5800 : 電気冷凍冷蔵庫、5801 : 筐体、5802 : 冷蔵室用扉、5803 : 冷凍室用扉、5900 : 情報端末、5901 : 筐体、5902 : 表示部、5903 : 操作ボタン、5904 : 操作子、5905 : バンド、6100 : 拡張デバイス、6101 : 筐体、6102 : キャップ、6103 : USBコネクタ、6104 : 基板、6105 : チップ、6106 : コントローラチップ、6240 : デジタルカメラ、6241 : 筐体、6242 : 表示部、6243 : 操作ボタン、6244 : シャッターボタン、6246 : レンズ、6300 : ビデオカメラ、6301 : 第1筐体、6302 : 第2筐体、6303 : 表示部、6304 : 操作キー、6305 : レンズ、6306 : 接続部、6431 : 筐体、6432 : 表示部、6433 : 掌紋読み取り部、6434 : 配線、6435 : 手、7500 : 据え置き型ゲーム機、7520 : 本体、7522 : コントローラ

## 請求の範囲

## [請求項 1]

第 1 回路と、第 2 回路と、第 3 回路と、を有し、  
前記第 1 回路は、電流源と、第 1 スイッチと、を有し、  
前記第 2 回路は、第 1 トランジスタと、第 3 トランジスタと、第 4 トランジスタと、第 1 容量と、  
を有し、  
前記第 3 回路は、第 2 トランジスタを有し、  
前記第 1 トランジスタの第 1 端子は、前記第 1 スイッチの制御端子に電氣的に接続され、  
前記第 1 トランジスタの第 2 端子は、前記第 4 トランジスタの第 1 端子に電氣的に接続され、  
前記第 4 トランジスタの第 2 端子は、前記第 1 容量の第 1 端子に電氣的に接続され、  
前記第 4 トランジスタのゲートは、前記第 1 容量の第 2 端子と、前記第 3 トランジスタの第 1 端子に電氣的に接続され、  
前記第 1 スイッチの第 1 端子は、前記電流源の出力端子に電氣的に接続され、  
前記第 1 スイッチの第 2 端子は、前記第 2 トランジスタの第 1 端子に電氣的に接続されている、  
半導体装置。

## [請求項 2]

請求項 1 において、  
第 4 回路を有し、  
前記第 4 回路は、ラッチ回路を有し、  
前記第 1 トランジスタの第 1 端子と前記第 1 スイッチの制御端子との電氣的な接続は、前記第 4 回路の第 1 端子が前記第 1 トランジスタの第 1 端子に電氣的に接続され、前記第 4 回路の第 2 端子が前記第 1 スイッチの制御端子に電氣的に接続されていることでなされている、  
半導体装置。

## [請求項 3]

第 1 回路と、第 2 回路と、第 3 回路と、センスアンプと、を有し、  
前記第 1 回路は、電流源と、第 1 スイッチと、を有し、  
前記第 2 回路は、第 1 トランジスタと、第 1 容量と、を有し、  
前記第 3 回路は、第 2 トランジスタを有し、  
前記第 1 トランジスタの第 1 端子は、前記センスアンプを介して、前記第 1 スイッチの制御端子に電氣的に接続され、  
前記第 1 トランジスタの第 2 端子は、前記第 1 容量の第 1 端子に電氣的に接続され、  
前記第 1 スイッチの第 1 端子は、前記電流源の出力端子に電氣的に接続され、  
前記第 1 スイッチの第 2 端子は、前記第 2 トランジスタの第 1 端子に電氣的に接続されている、  
半導体装置。

## [請求項 4]

請求項 1 乃至請求項 3 のいずれか一において、  
前記第 1 トランジスタのゲートは、前記第 2 トランジスタのゲートに電氣的に接続されている、  
半導体装置。

## [請求項 5]

第 1 回路と、第 2 回路と、第 3 回路と、を有し、

前記第1回路は、電流源と、第1スイッチと、を有し、

前記第2回路は、第1トランジスタと、第3トランジスタと、第1容量と、を有し、

前記第3回路は、第2トランジスタを有し、

前記第1トランジスタの第1端子は、前記第1スイッチの制御端子に電氣的に接続され、

前記第3トランジスタの第1端子は、前記第1容量の第1端子と、前記第1トランジスタのゲートと、に電氣的に接続され、

前記第1スイッチの第1端子は、前記電流源の出力端子に電氣的に接続され、

前記第1スイッチの第2端子は、前記第2トランジスタの第1端子に電氣的に接続されている、  
半導体装置。

[請求項6]

請求項5において、

第4回路を有し、

前記第4回路は、ラッチ回路を有し、

前記第1トランジスタの第1端子と前記第1スイッチの制御端子との電氣的な接続は、前記第4回路の第1端子が前記第1トランジスタの第1端子に電氣的に接続され、前記第4回路の第2端子が前記第1スイッチの制御端子に電氣的に接続されていることとなされている、

半導体装置。

[請求項7]

請求項5、又は請求項6において、

前記第1容量の第2端子は、前記第2トランジスタのゲートに電氣的に接続されている、  
半導体装置。

[請求項8]

請求項1乃至請求項7のいずれか一において、

前記第2回路に含まれているトランジスタは、チャネル形成領域に金属酸化物を有する、半導体装置。

[請求項9]

第1回路と、第5回路と、を有し、

前記第1回路は、第1電流源と、第2電流源と、第1スイッチと、第5トランジスタと、第6トランジスタと、を有し、

前記第5回路は、第7トランジスタと、第8トランジスタと、第2容量と、第2スイッチと、第3スイッチと、電流比較回路と、を有し、

前記第1電流源の出力端子は、前記第1スイッチの第1端子に電氣的に接続され、

前記第2電流源の出力端子は、前記第5トランジスタのゲートと、前記第6トランジスタのゲートと、前記第6トランジスタの第1端子と、に電氣的に接続され、

前記第7トランジスタの第1端子は、前記第8トランジスタの第1端子と、前記第2スイッチの第1端子と、前記第3スイッチの第1端子と、に電氣的に接続され、

前記第7トランジスタのゲートは、前記第8トランジスタの第2端子と、前記第2容量の第1端子と、に電氣的に接続され、

前記第1スイッチの第2端子は、前記第2スイッチの第2端子に電氣的に接続され、

前記電流比較回路の第1端子は、前記第3スイッチの第2端子に電氣的に接続され、

前記電流比較回路の第2端子は、前記第5トランジスタの第1端子に電氣的に接続されている、半導体装置。

[請求項10]

第1回路と、第5回路と、を有し、

前記第1回路は、第1電流源と、第3電流源と、第1スイッチと、第4スイッチと、を有し、

前記第5回路は、第7トランジスタと、第8トランジスタと、第2容量と、第2スイッチと、第3スイッチと、第5スイッチと、電流比較回路と、を有し、

前記第1電流源の出力端子は、前記第1スイッチの第1端子に電氣的に接続され、

前記第3電流源の入力端子は、前記第4スイッチの第1端子に電氣的に接続され、

前記第7トランジスタの第1端子は、前記第8トランジスタの第1端子と、前記第2スイッチの第1端子と、前記第3スイッチの第1端子と、に電氣的に接続され、

前記第7トランジスタのゲートは、前記第8トランジスタの第2端子と、前記第2容量の第1端子と、に電氣的に接続され、

前記第1スイッチの第2端子は、前記第2スイッチの第2端子に電氣的に接続され、

前記第4スイッチの第2端子は、前記第5スイッチの第1端子に電氣的に接続され、

前記電流比較回路の第1端子は、前記第3スイッチの第2端子に電氣的に接続され、

前記電流比較回路の第2端子は、前記第5スイッチの第2端子に電氣的に接続されている、半導体装置。

[請求項11]

請求項9、又は請求項10において、

前記第7トランジスタは、チャネル形成領域にシリコンを有し、

前記第8トランジスタは、チャネル形成領域に金属酸化物を有する、

半導体装置。

[請求項12]

請求項10において、

前記第5回路は、第9トランジスタと、第10トランジスタと、第3容量と、第6スイッチと、を有し、

前記第9トランジスタの第1端子は、前記第10トランジスタの第1端子と、前記第2スイッチの第1端子と、前記第6スイッチの第1端子と、に電氣的に接続され、

前記第9トランジスタのゲートは、前記第10トランジスタの第2端子と、前記第3容量の第1端子と、に電氣的に接続され、

前記第6スイッチの第2端子は、前記第5スイッチの第1端子と、前記第4スイッチの第2端子と、に電氣的に接続され、

前記第8トランジスタのゲートと、前記第10トランジスタのゲートと、は、直接接続されていない、

半導体装置。

[請求項13]

請求項12において、

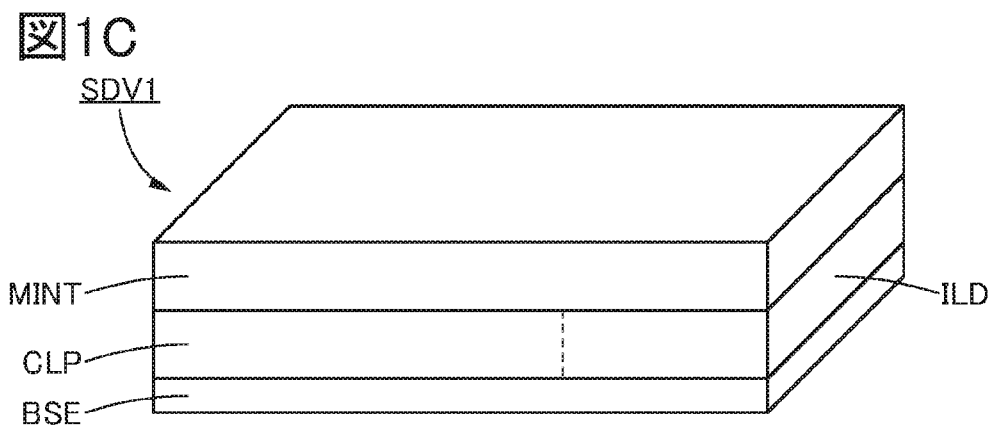
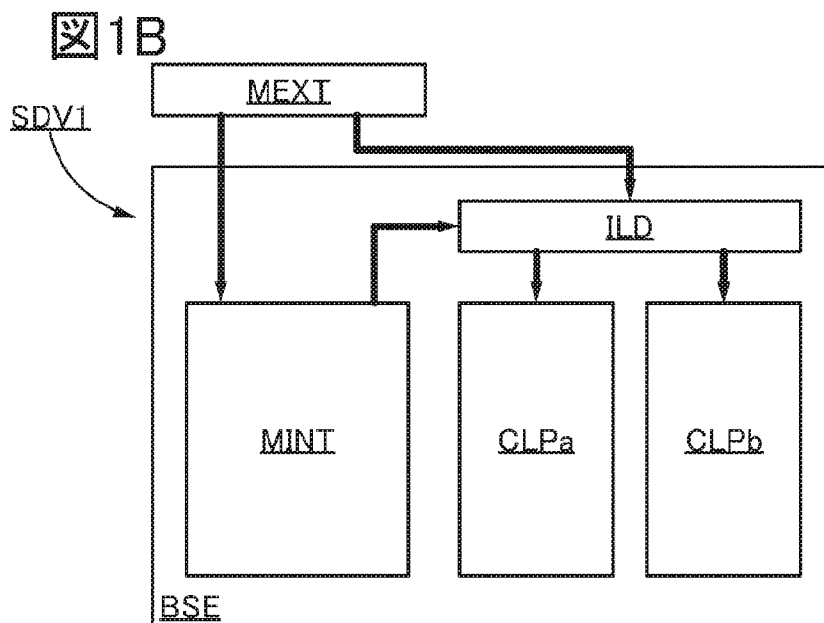
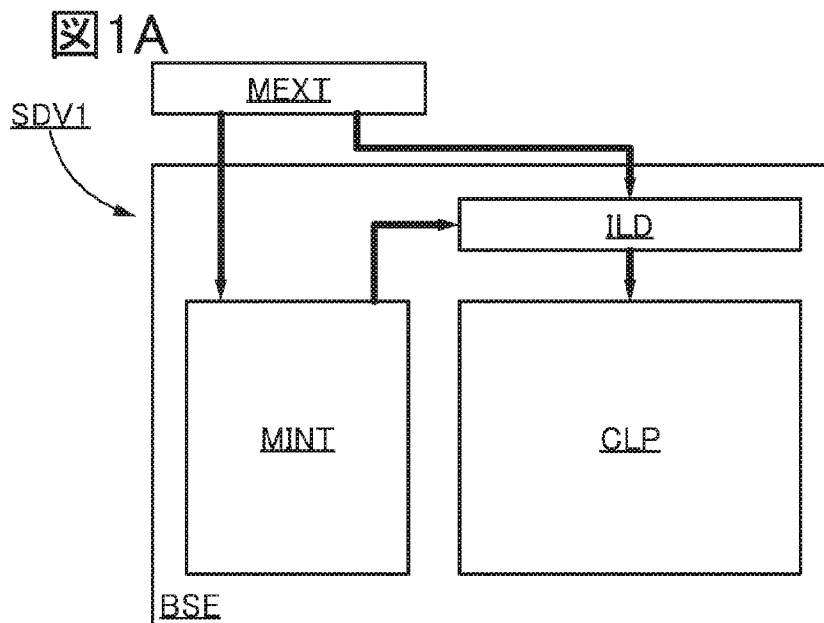
前記第7トランジスタ及び前記第9トランジスタのそれぞれは、チャネル形成領域にシリコンを有し、

前記第 8 トランジスタ及び前記第 10 トランジスタのそれぞれは、チャネル形成領域に金属酸化物を有する、

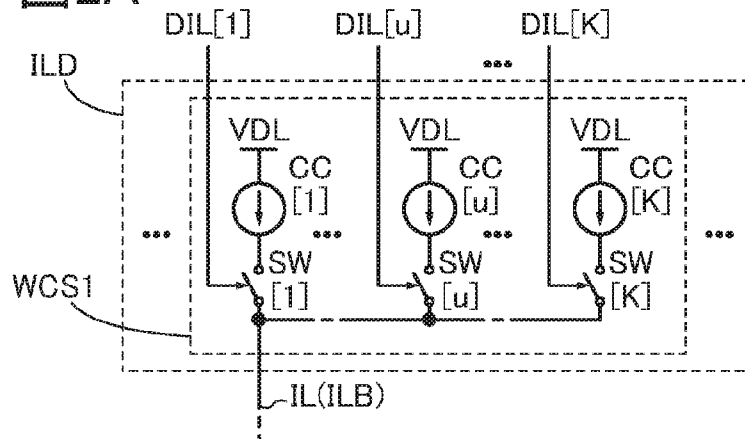
半導体装置。

[請求項 14]

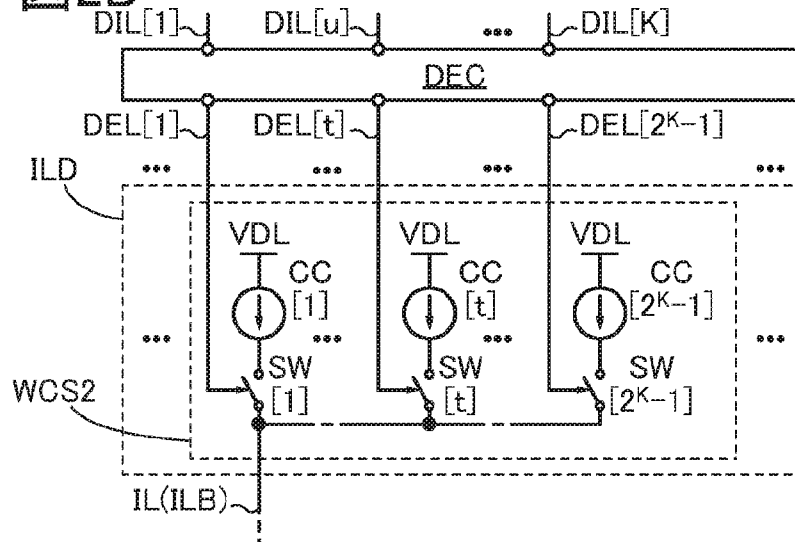
請求項 1 乃至請求項 13 のいずれか一の半導体装置と、筐体と、を有する、  
電子機器。



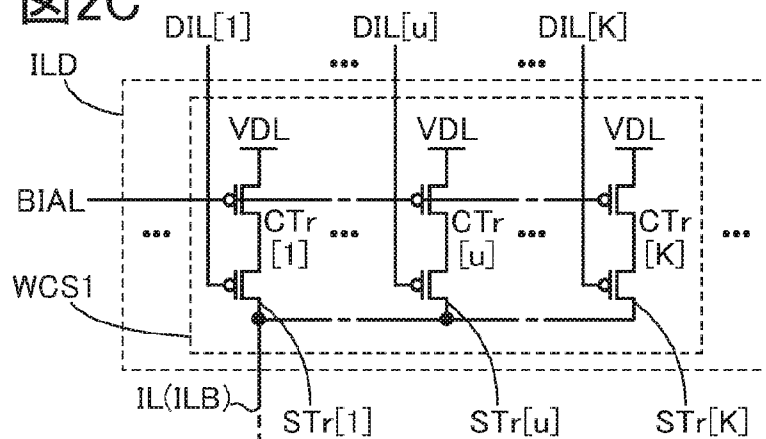
2A

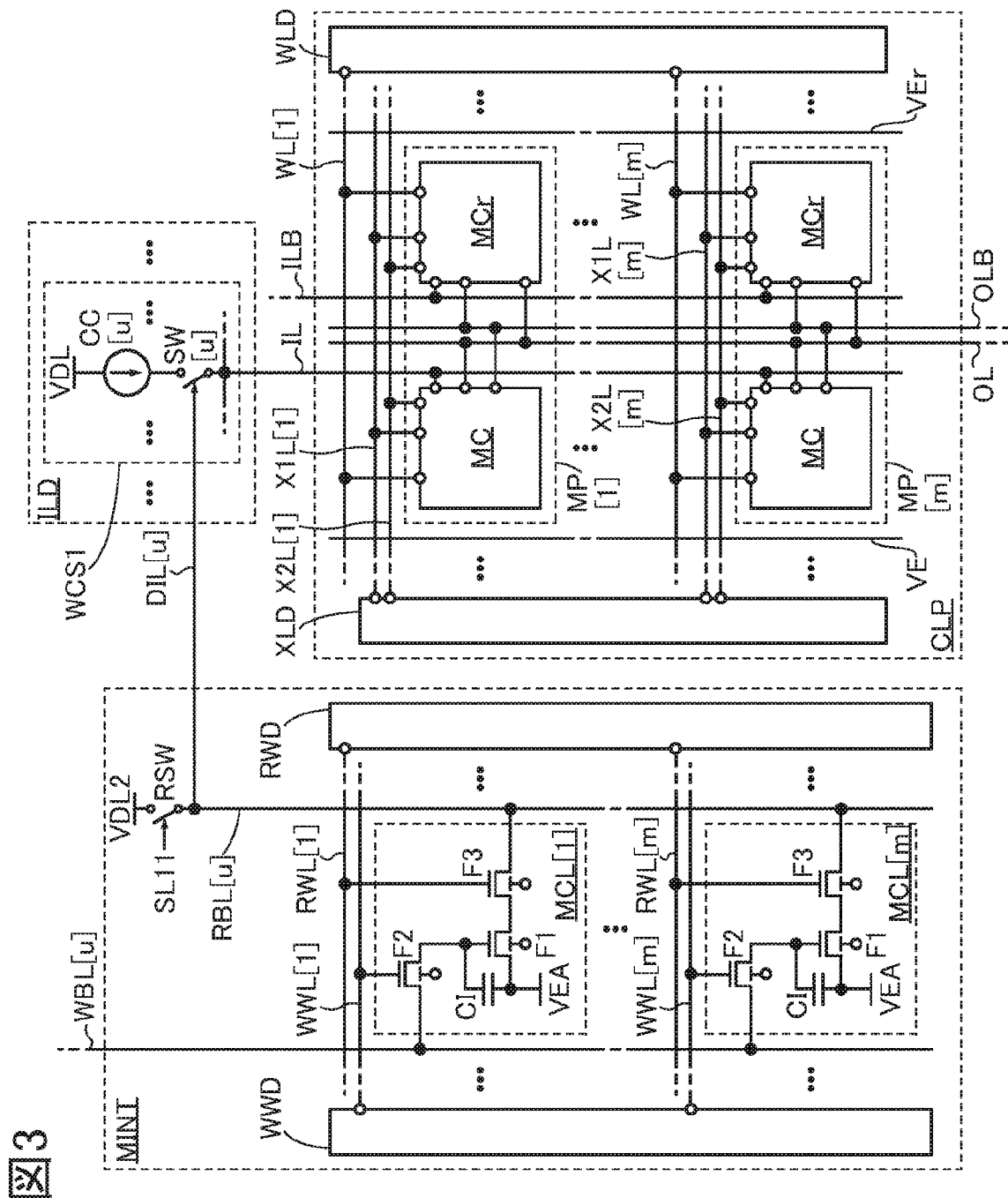


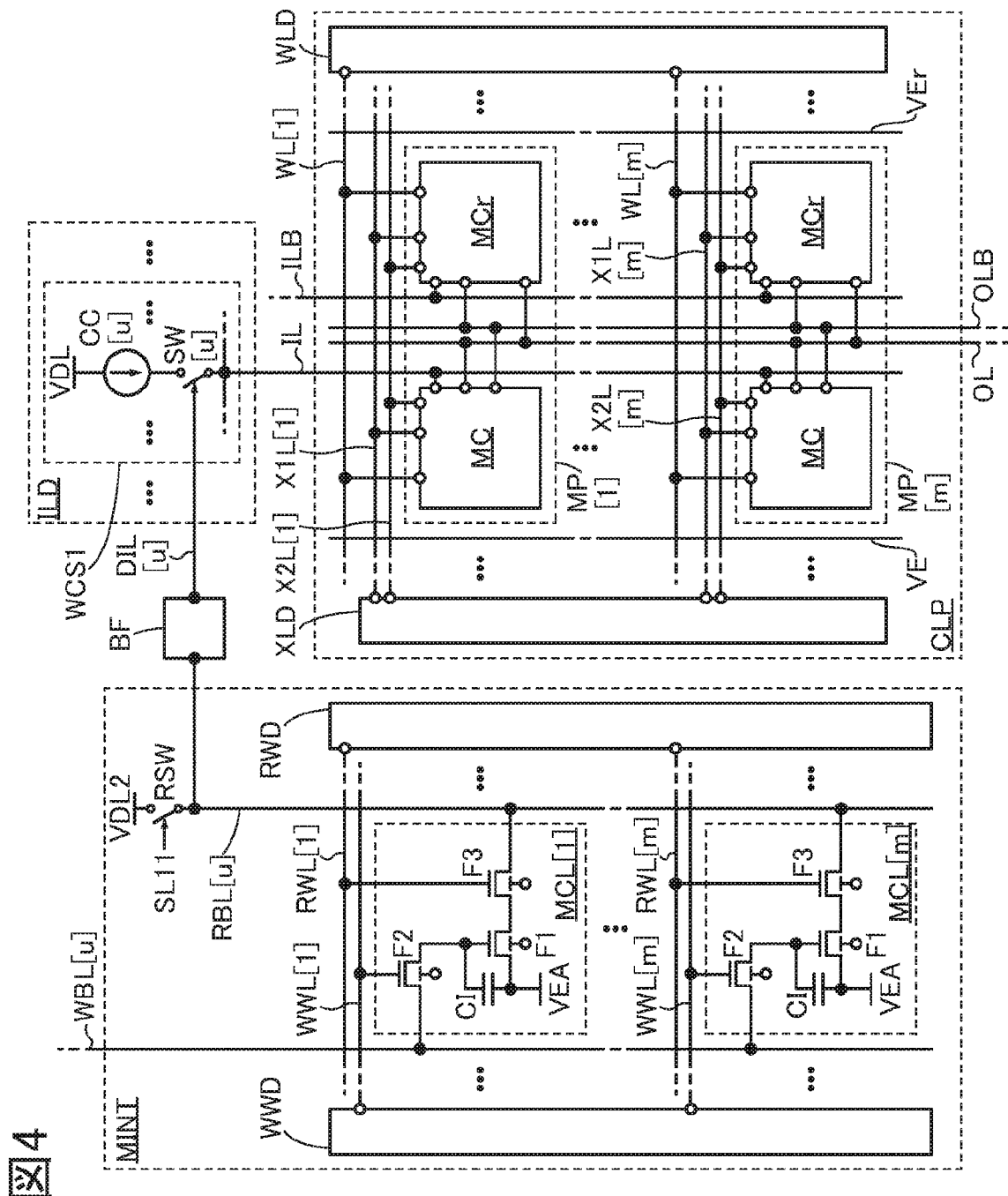
2B

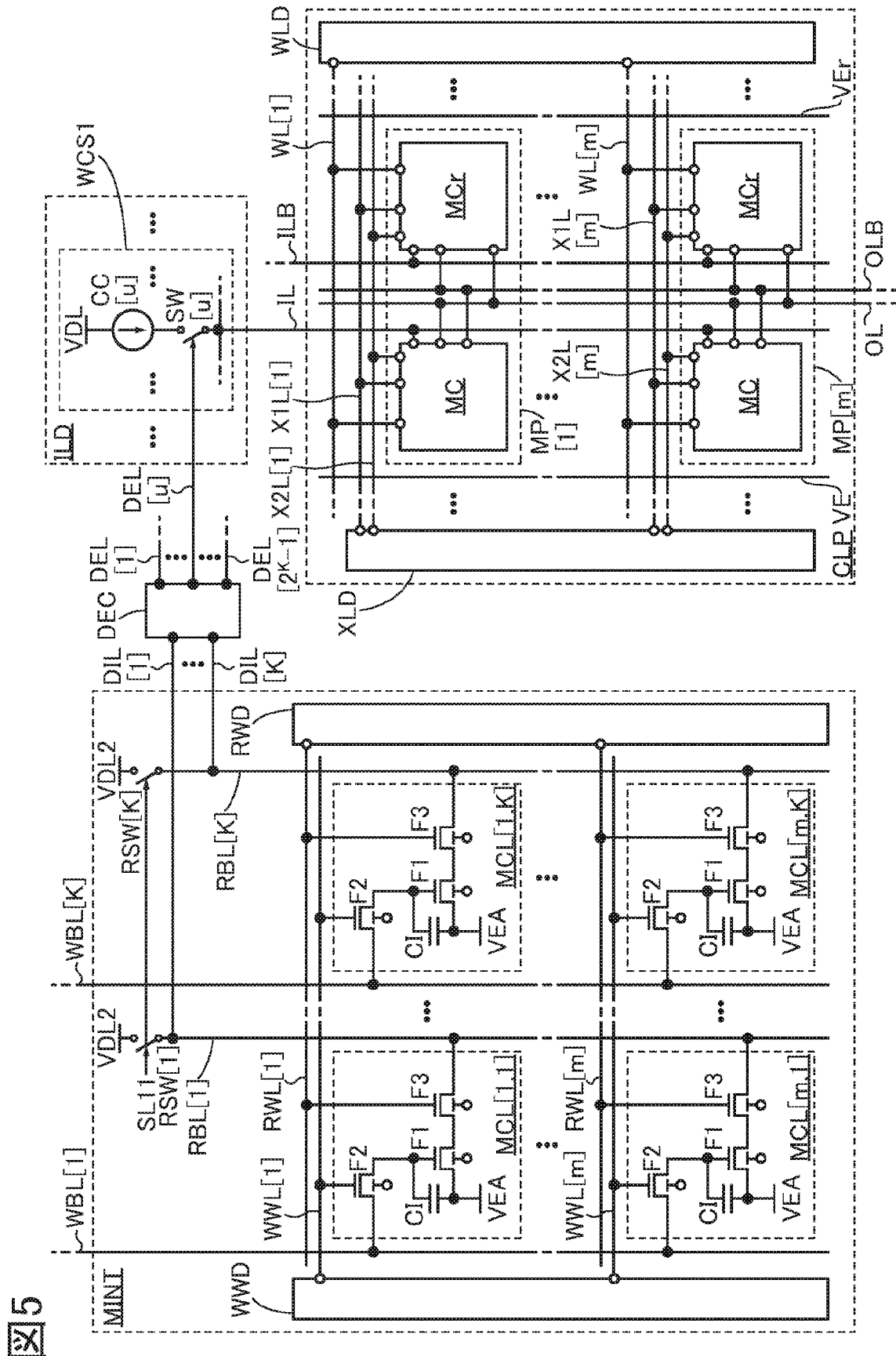


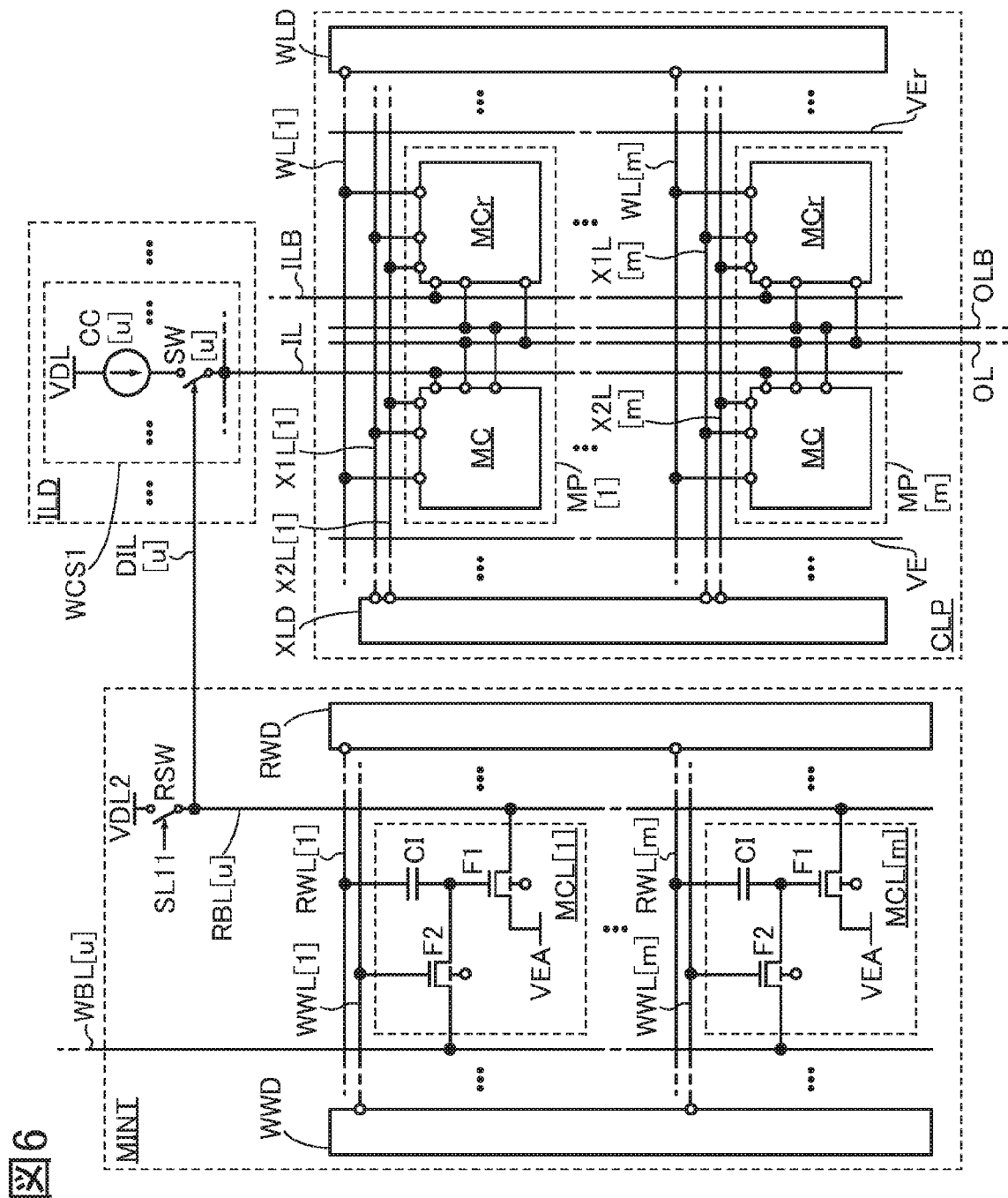
2C

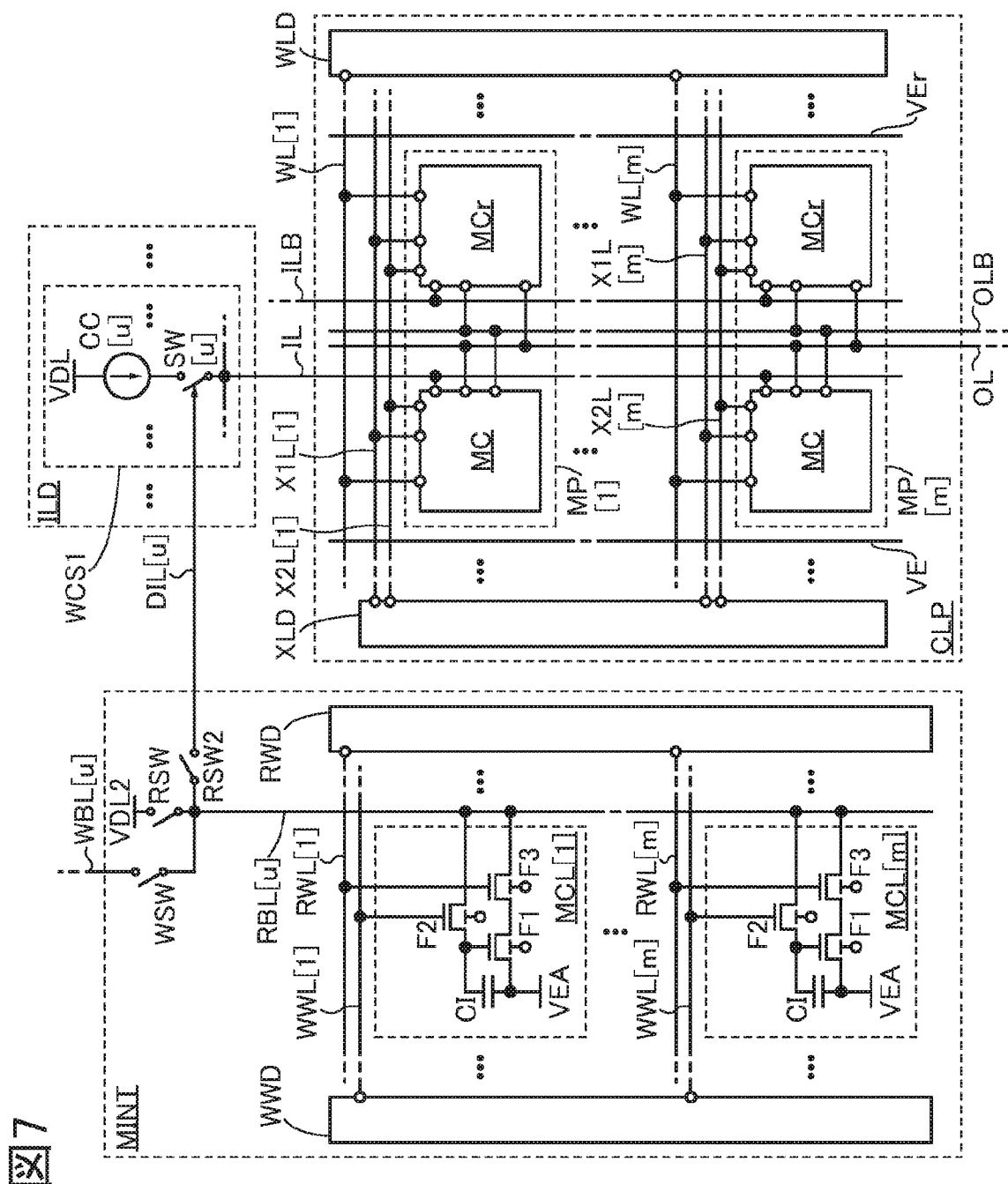


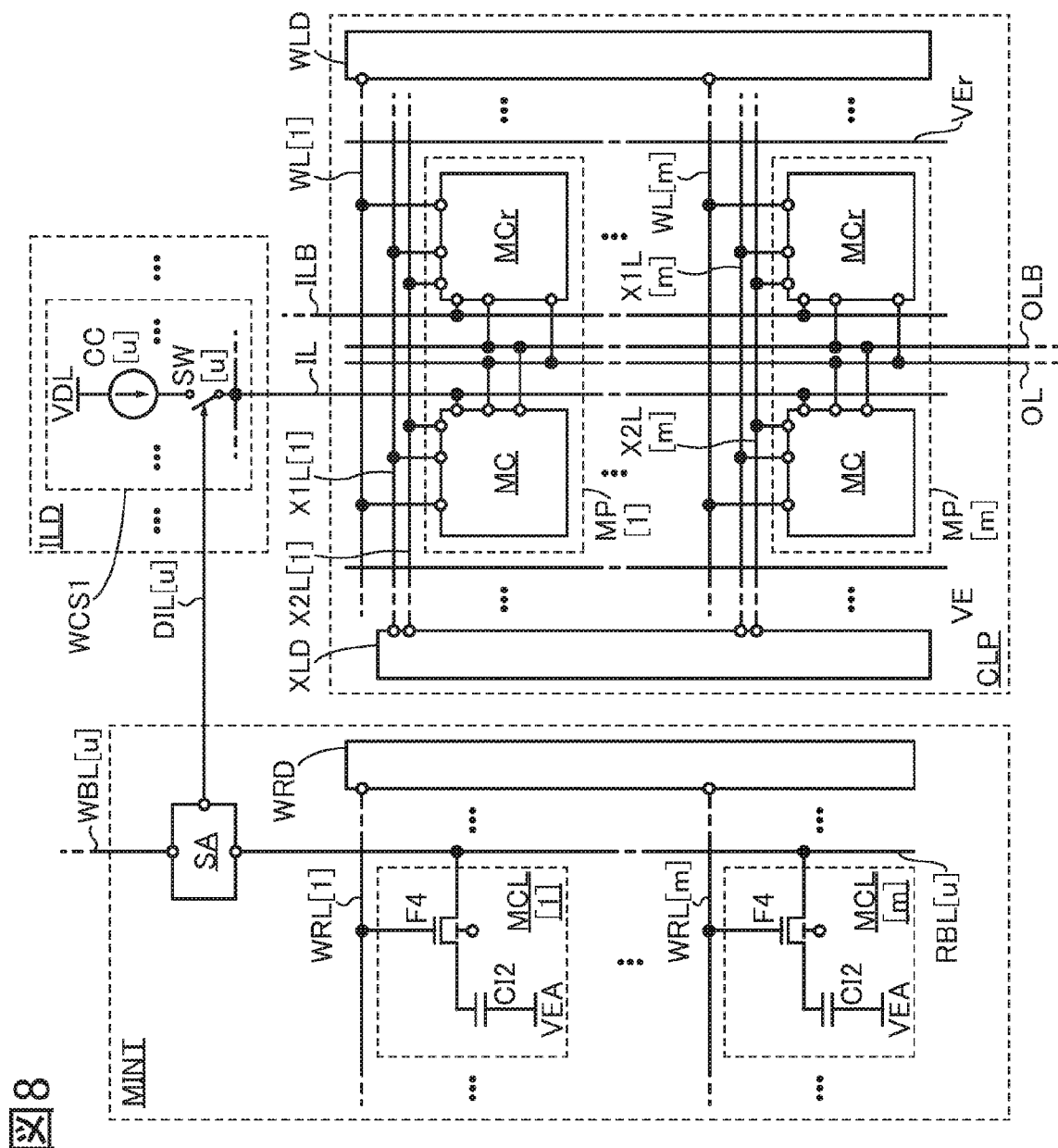


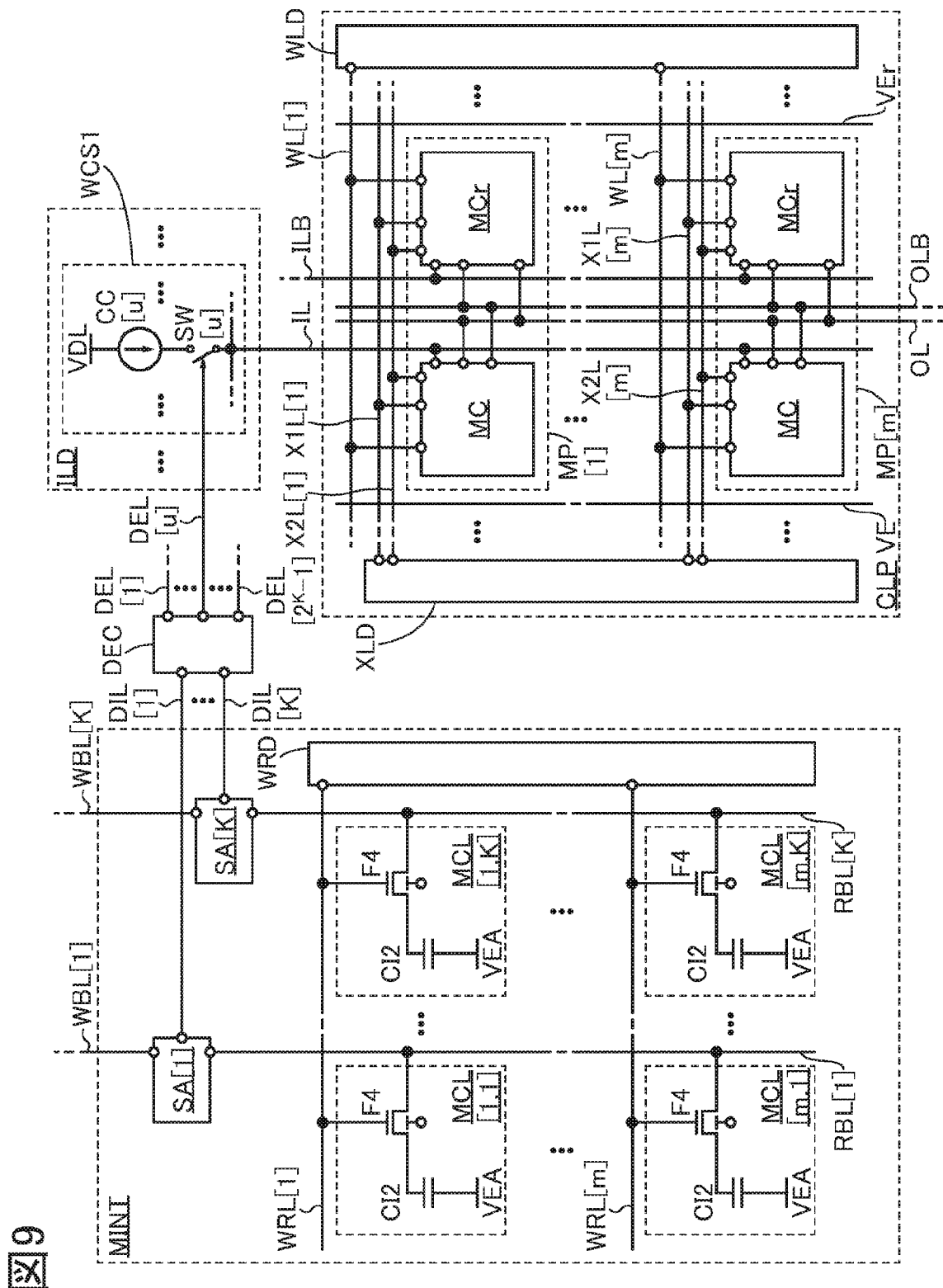


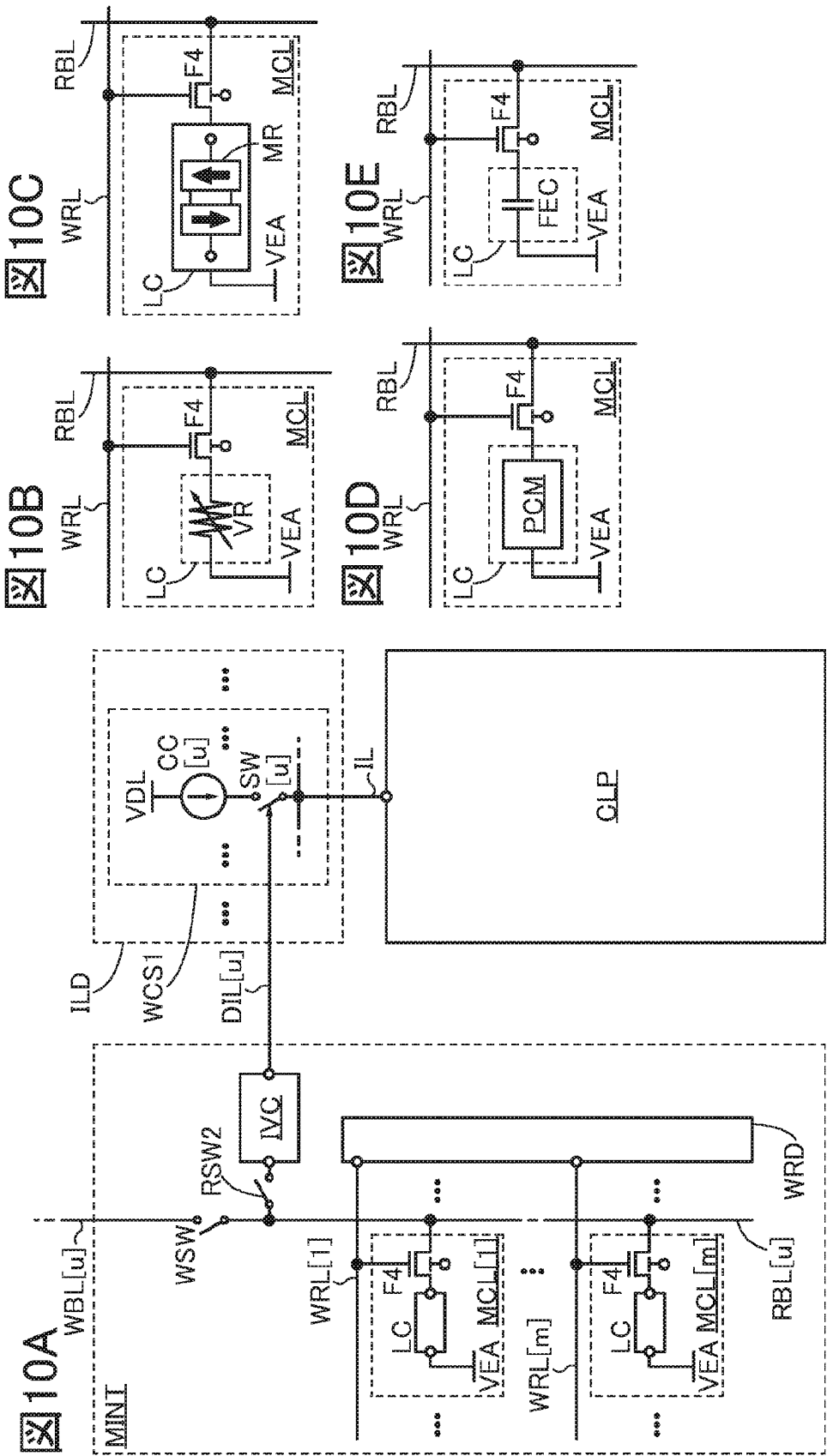


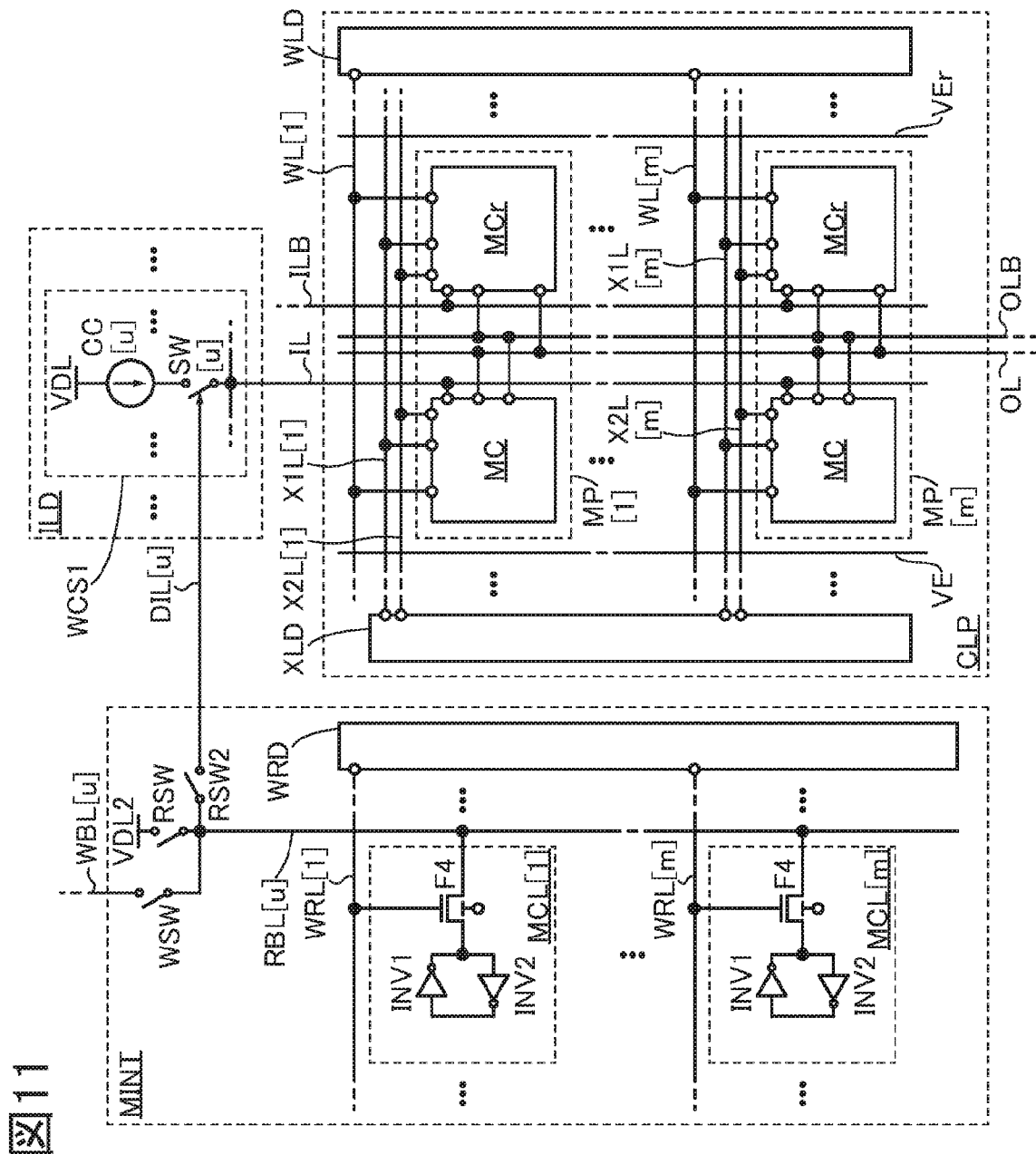


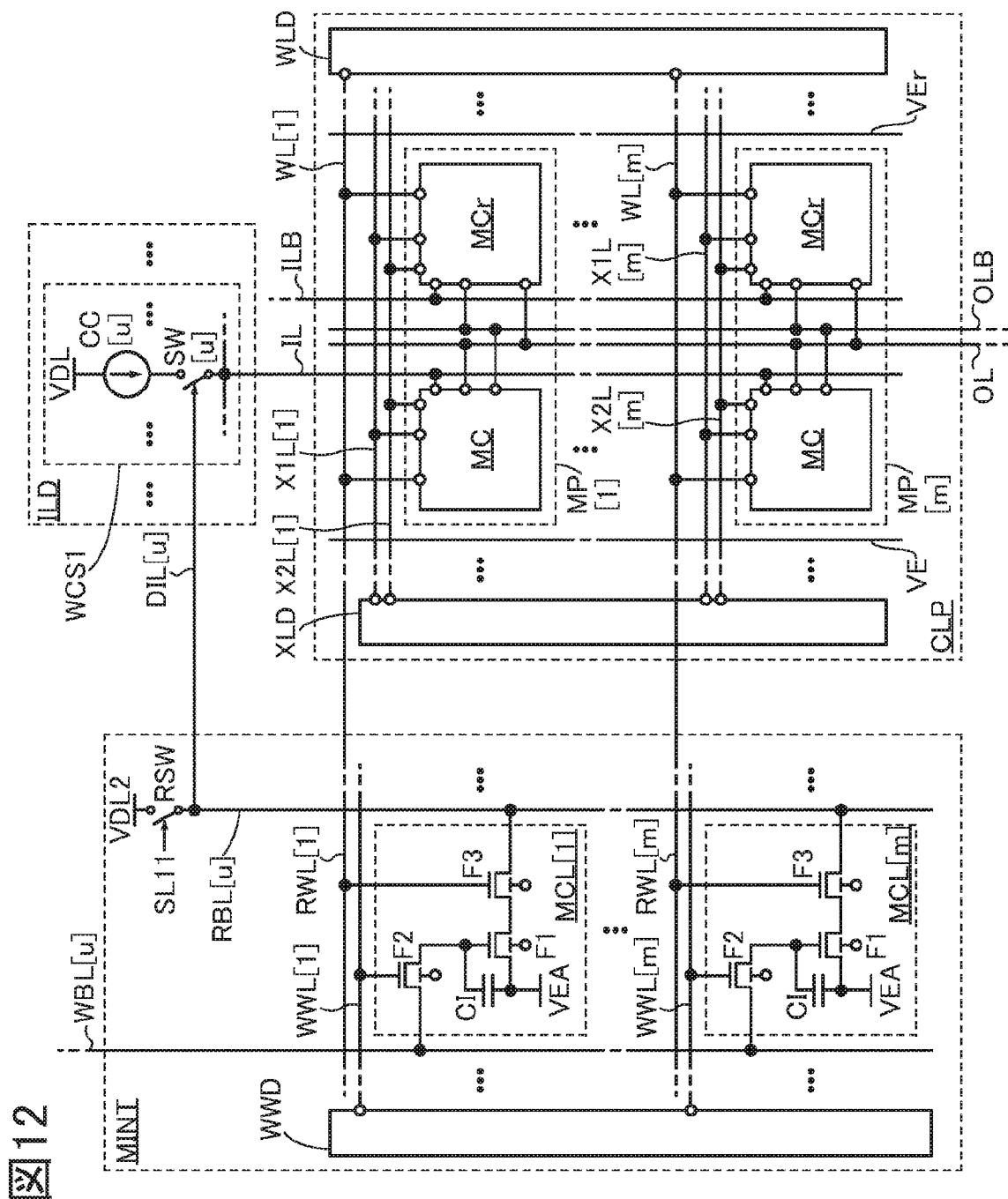














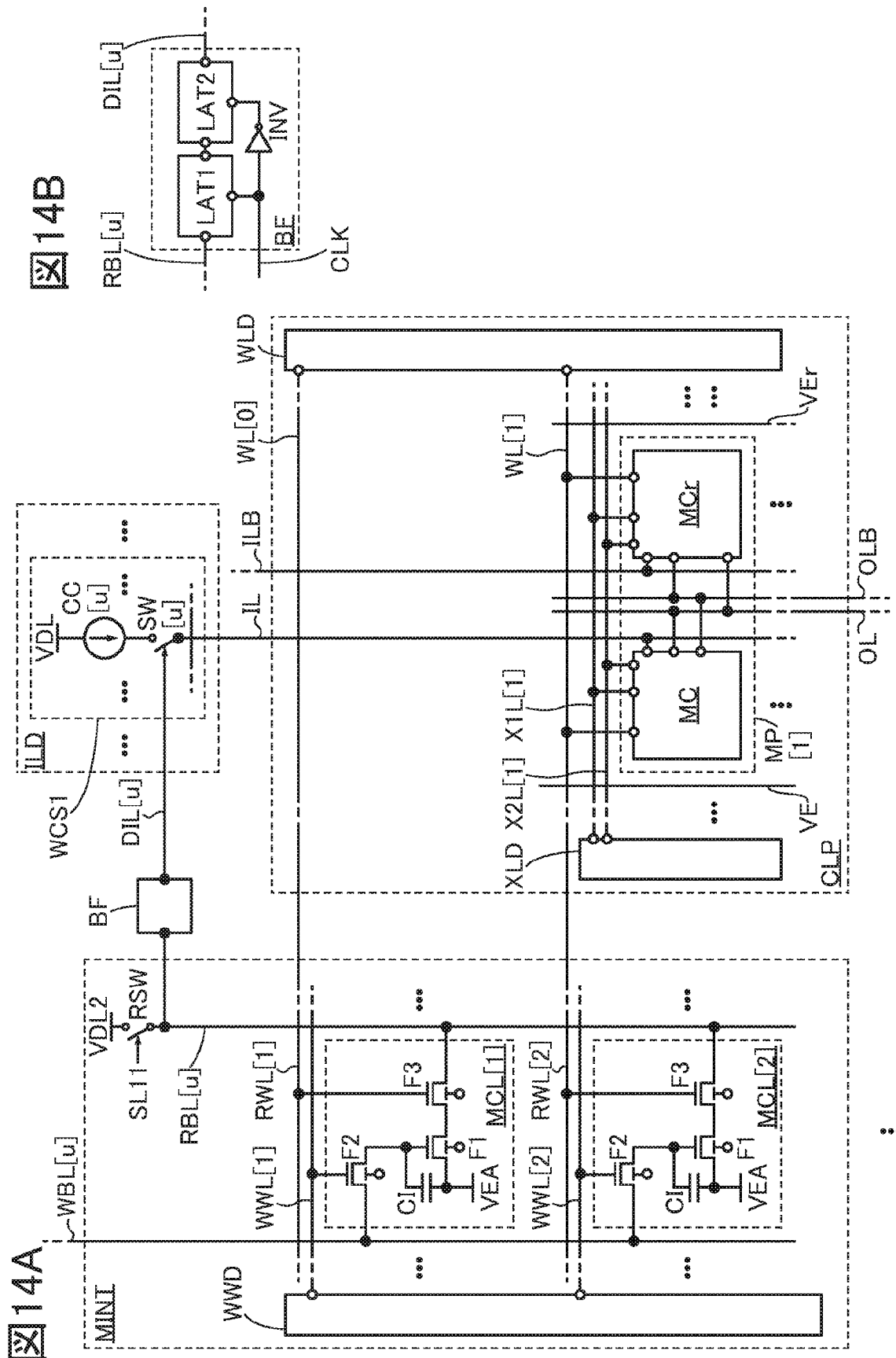


図 15

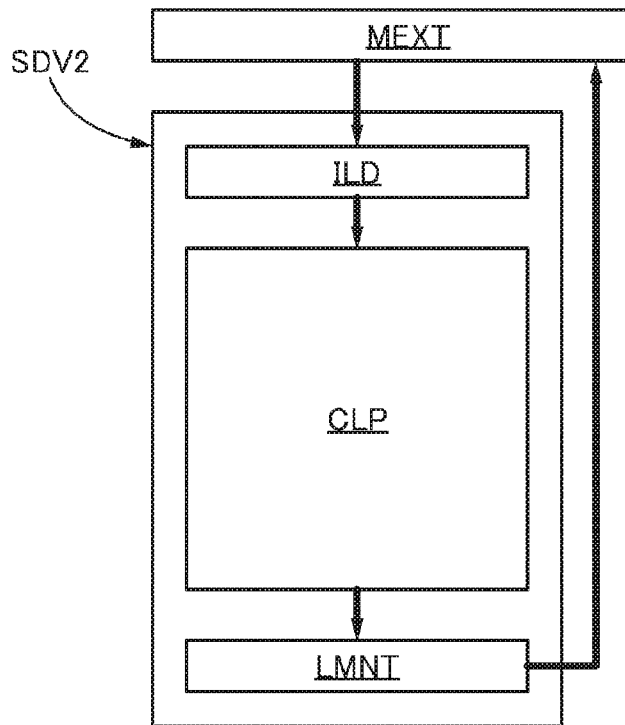


図 16

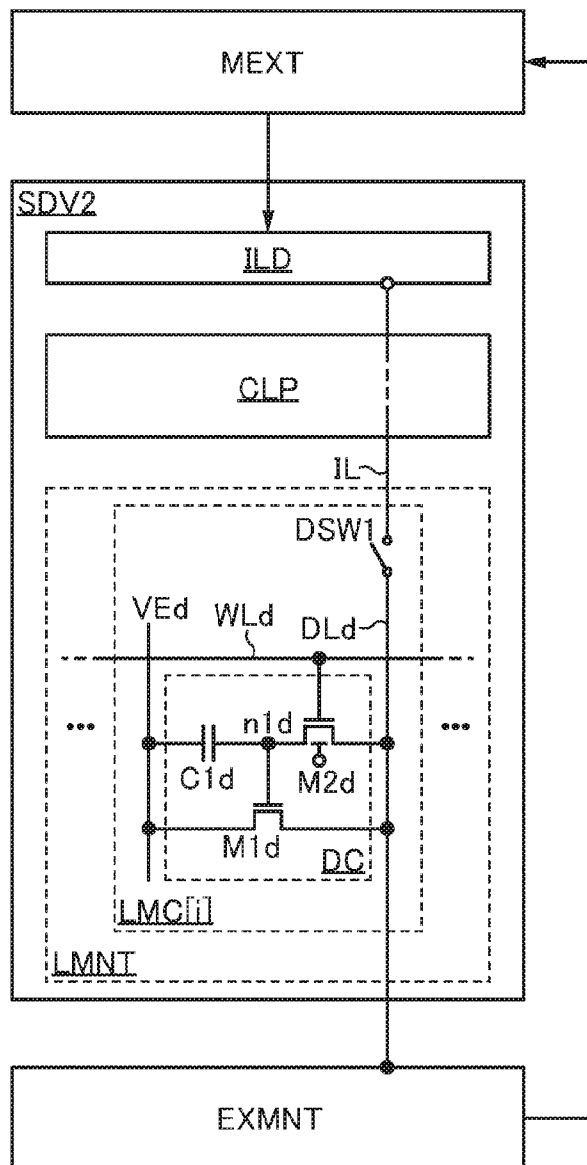


図 17A

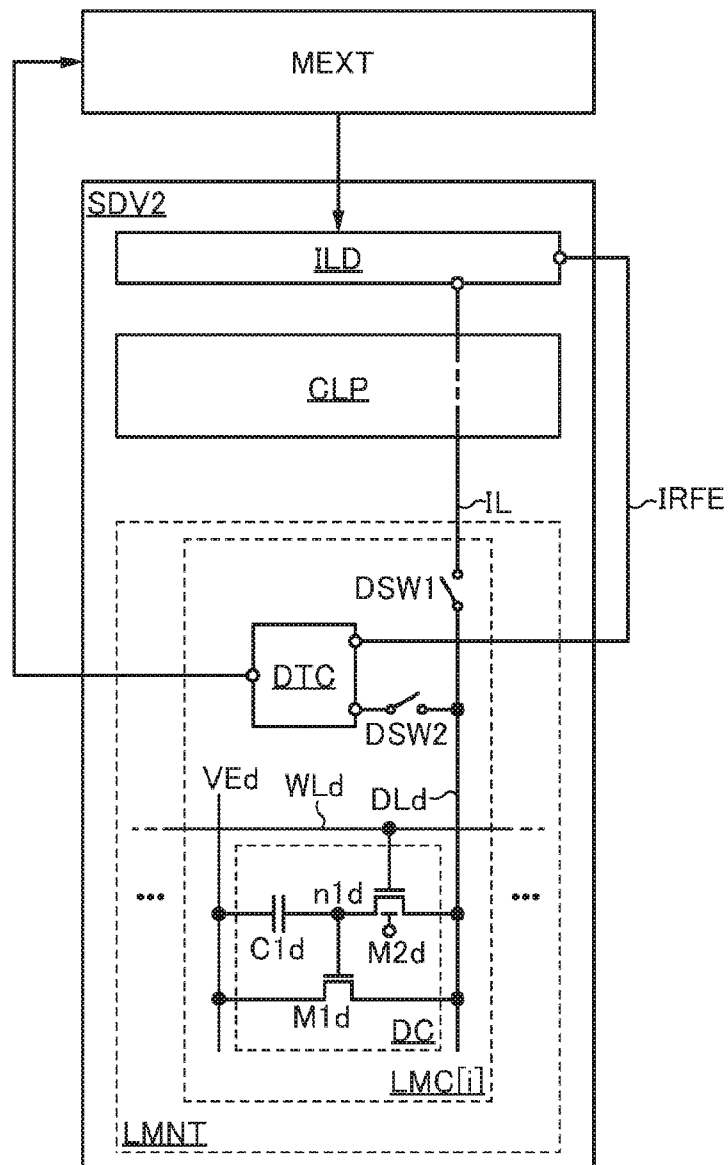
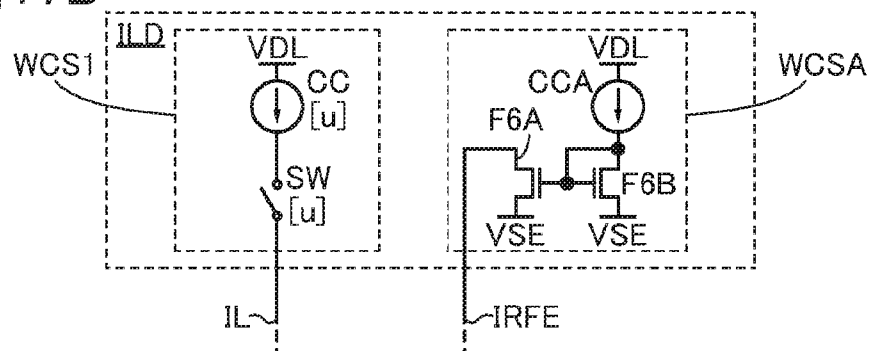


図 17B



18A

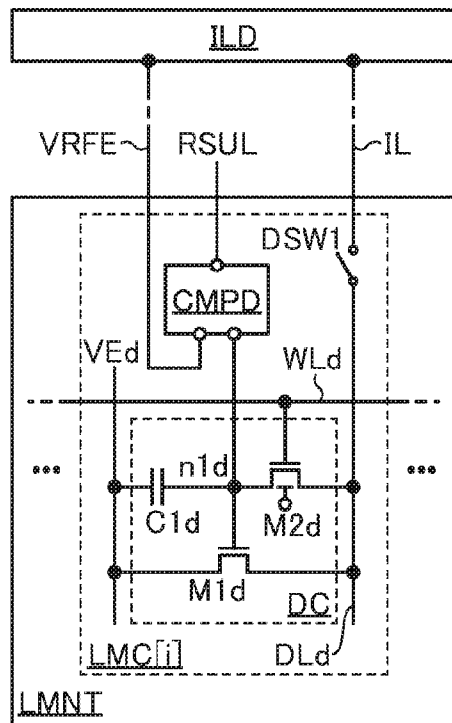
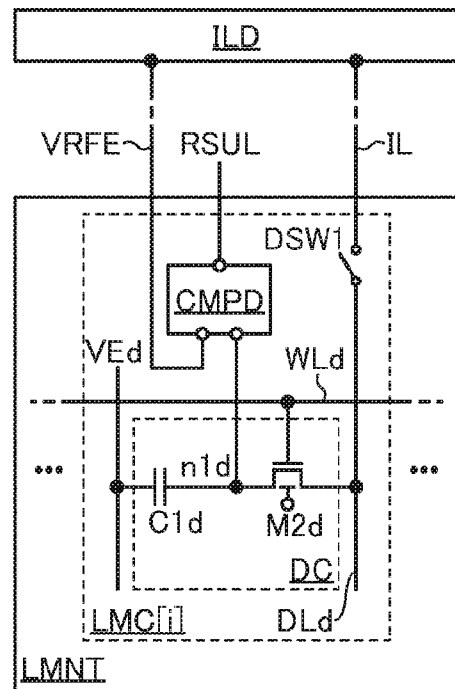
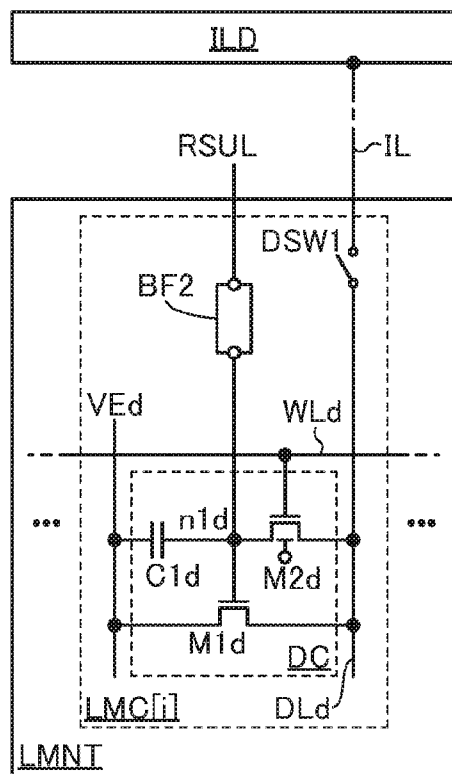


Figure 18B



18C



18D

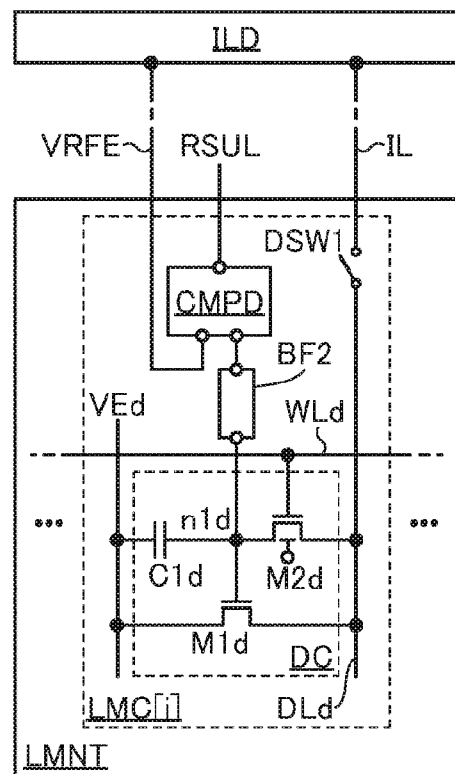
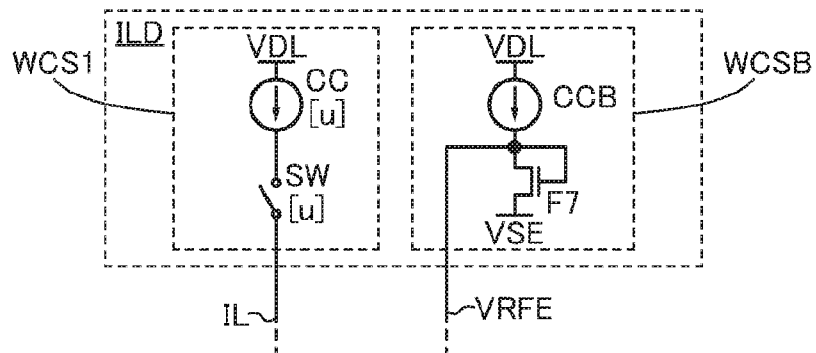
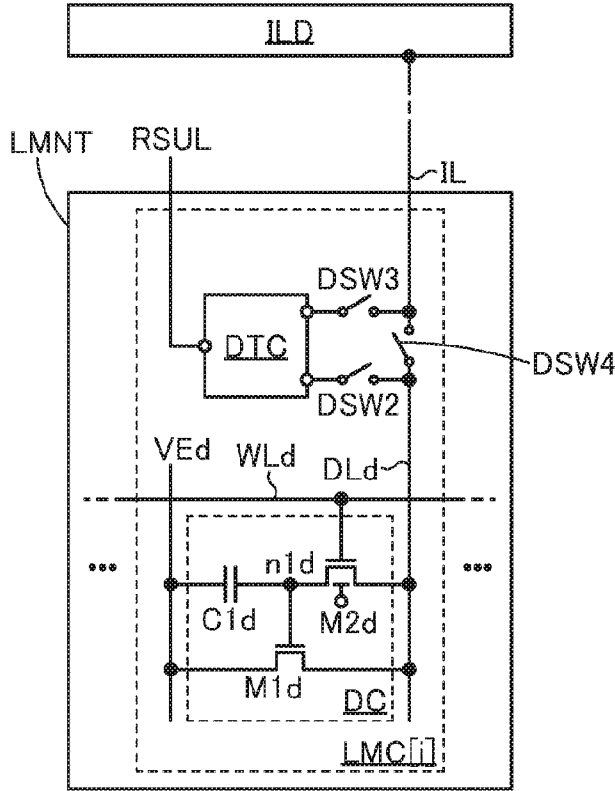


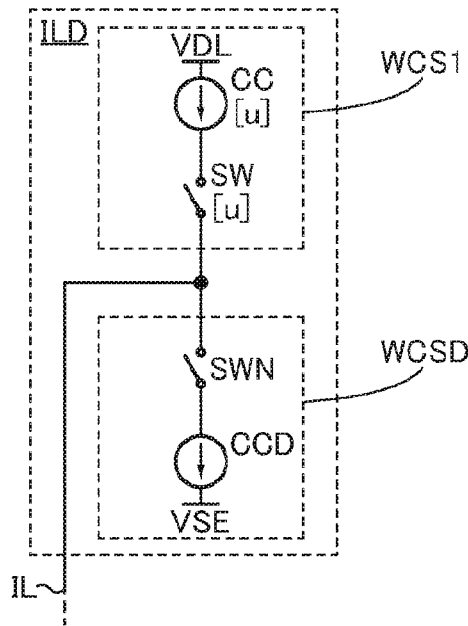
図 19



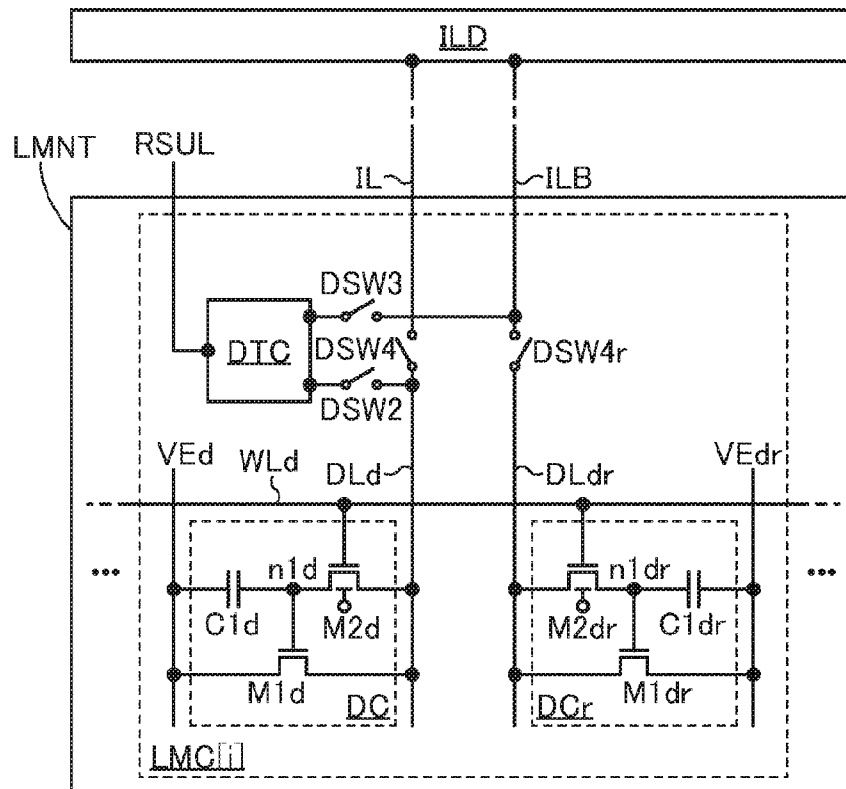
20A



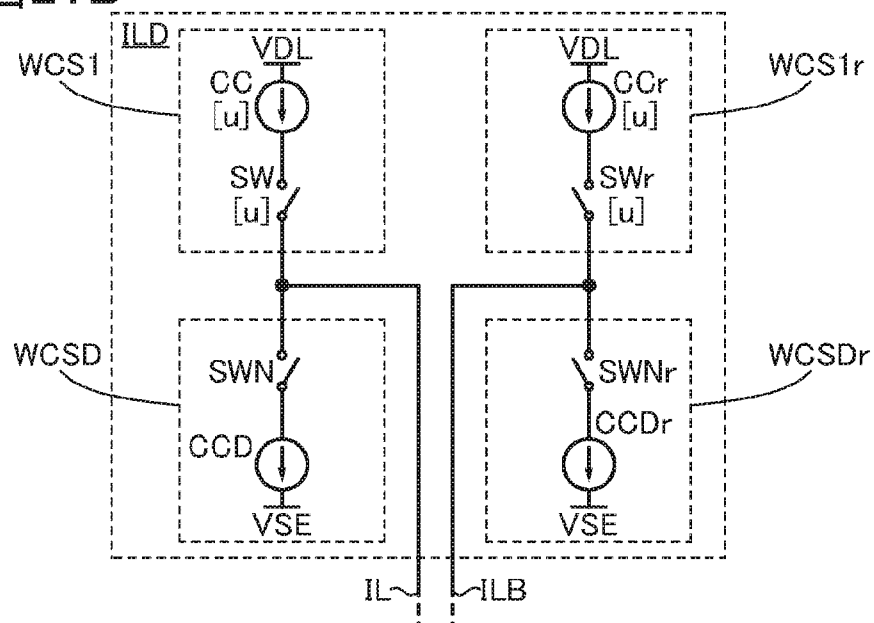
20B



21A



21B



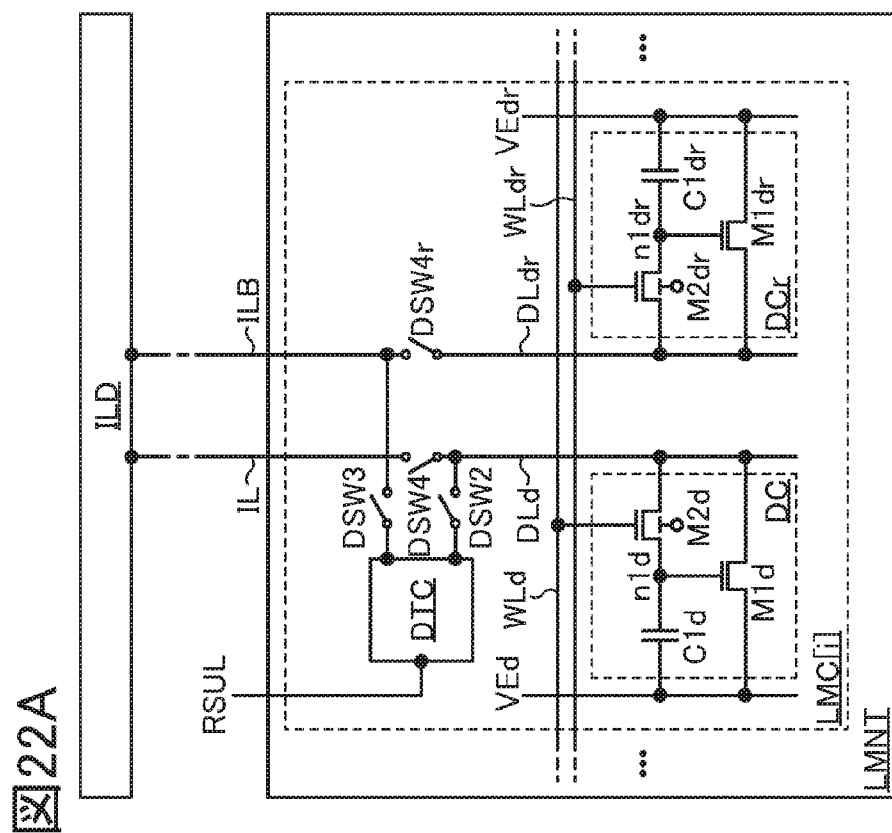
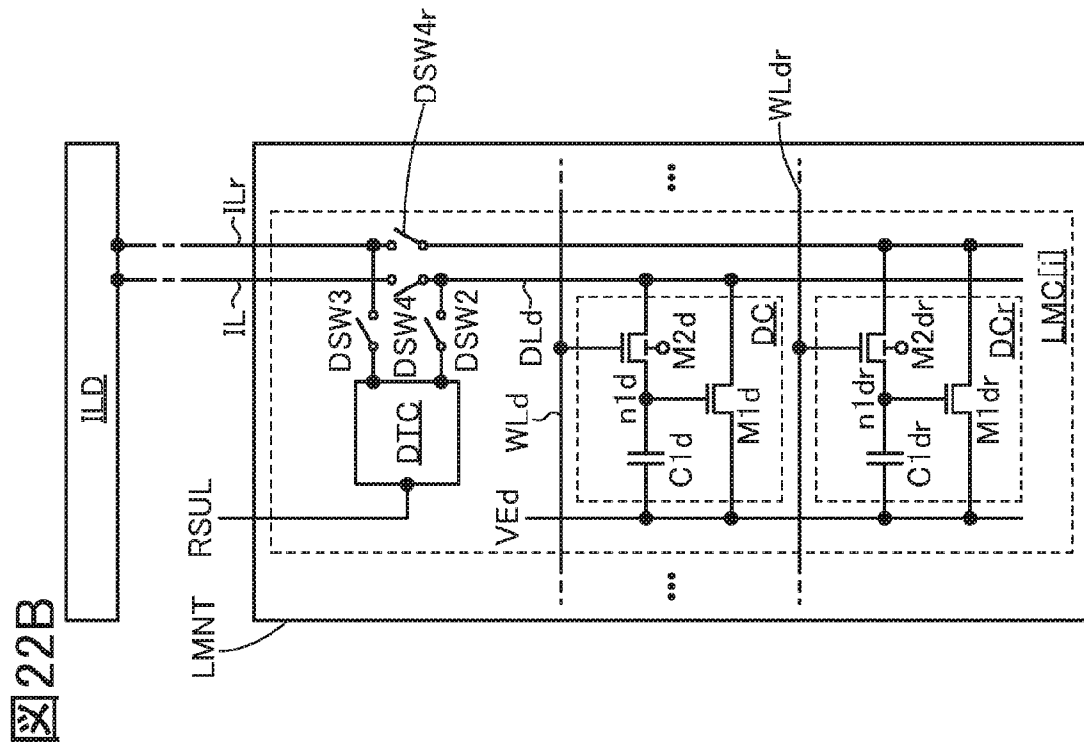


図23

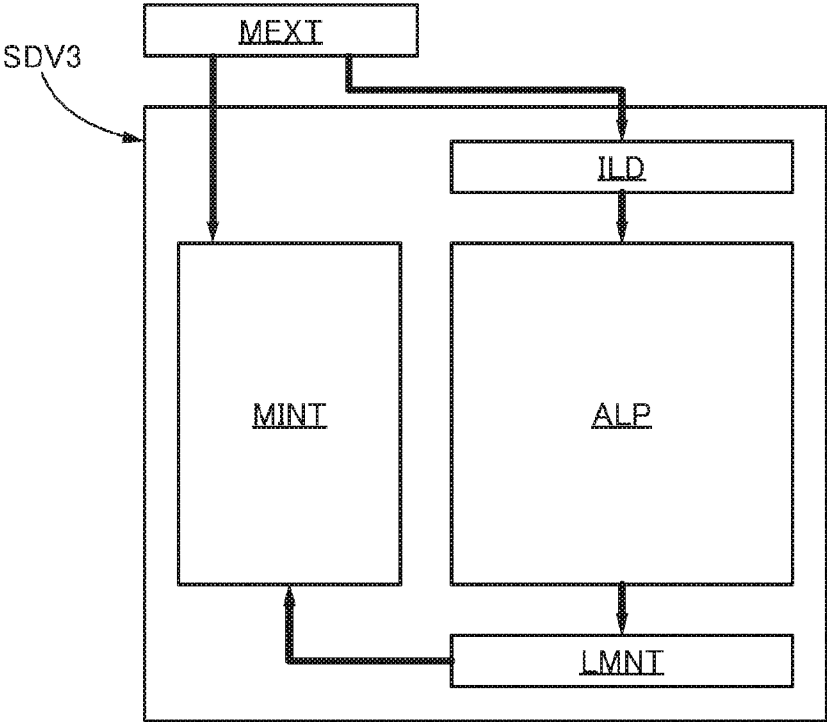


図24A

100

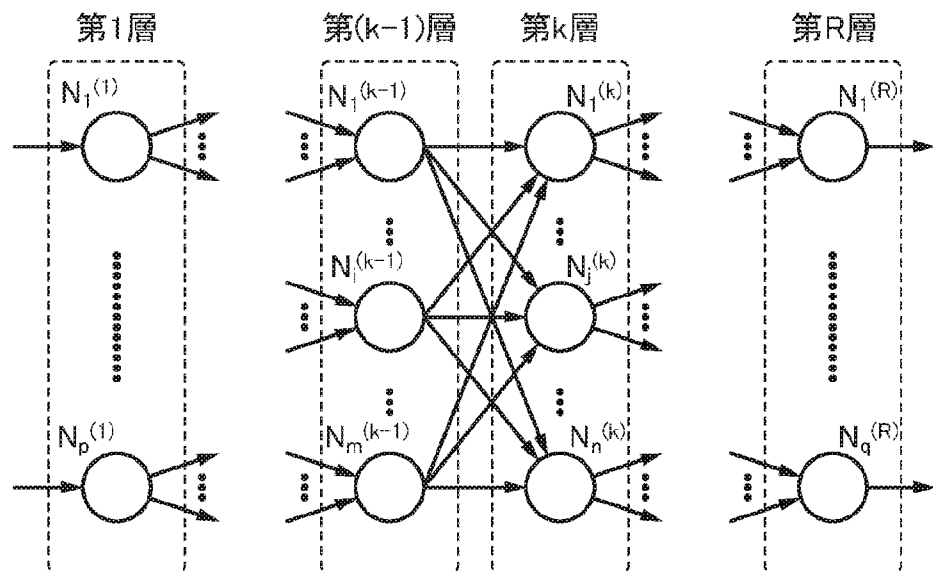


図24B

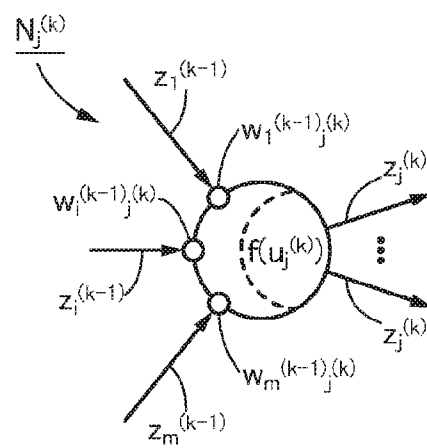


図 25

110

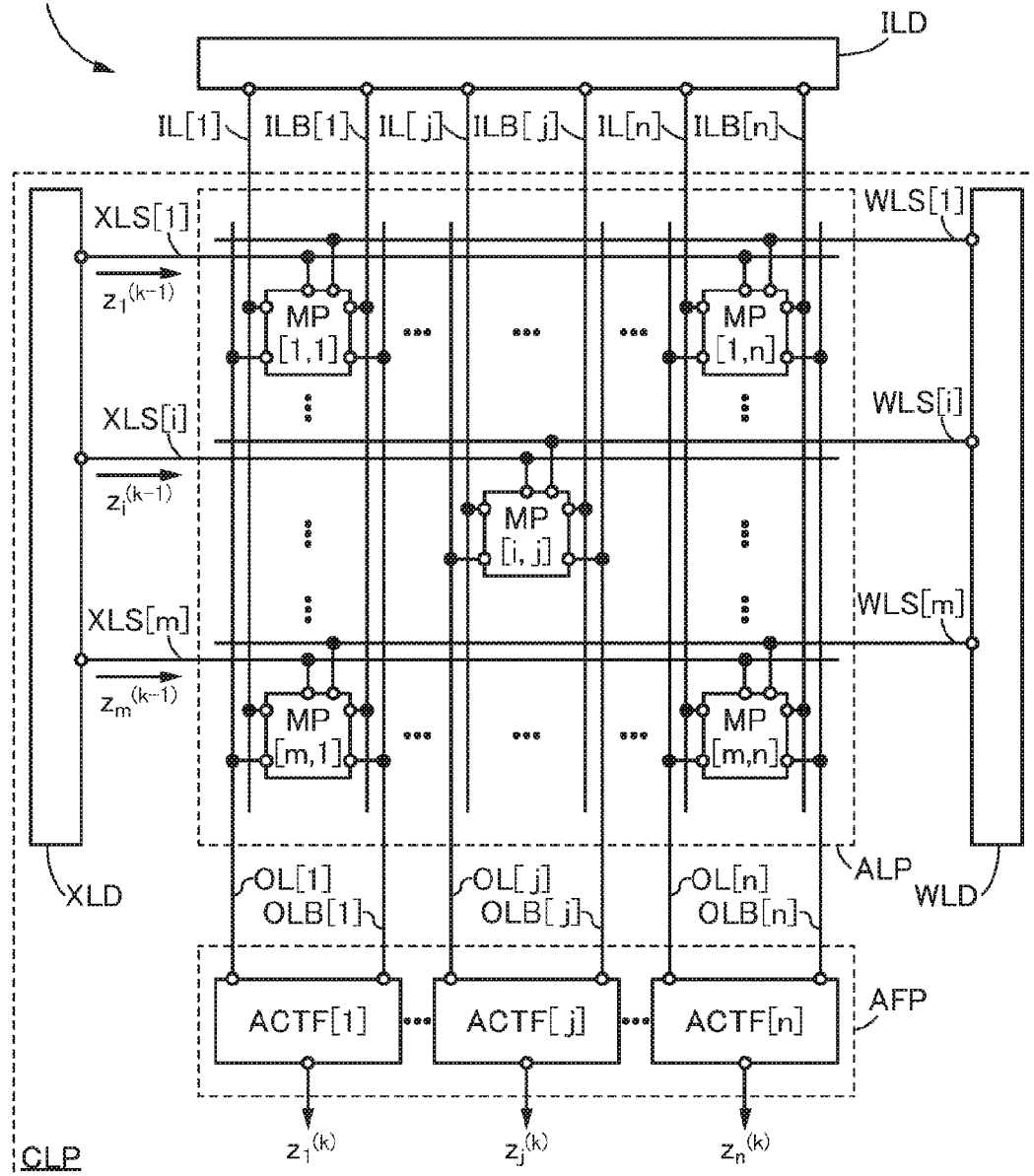


図 26

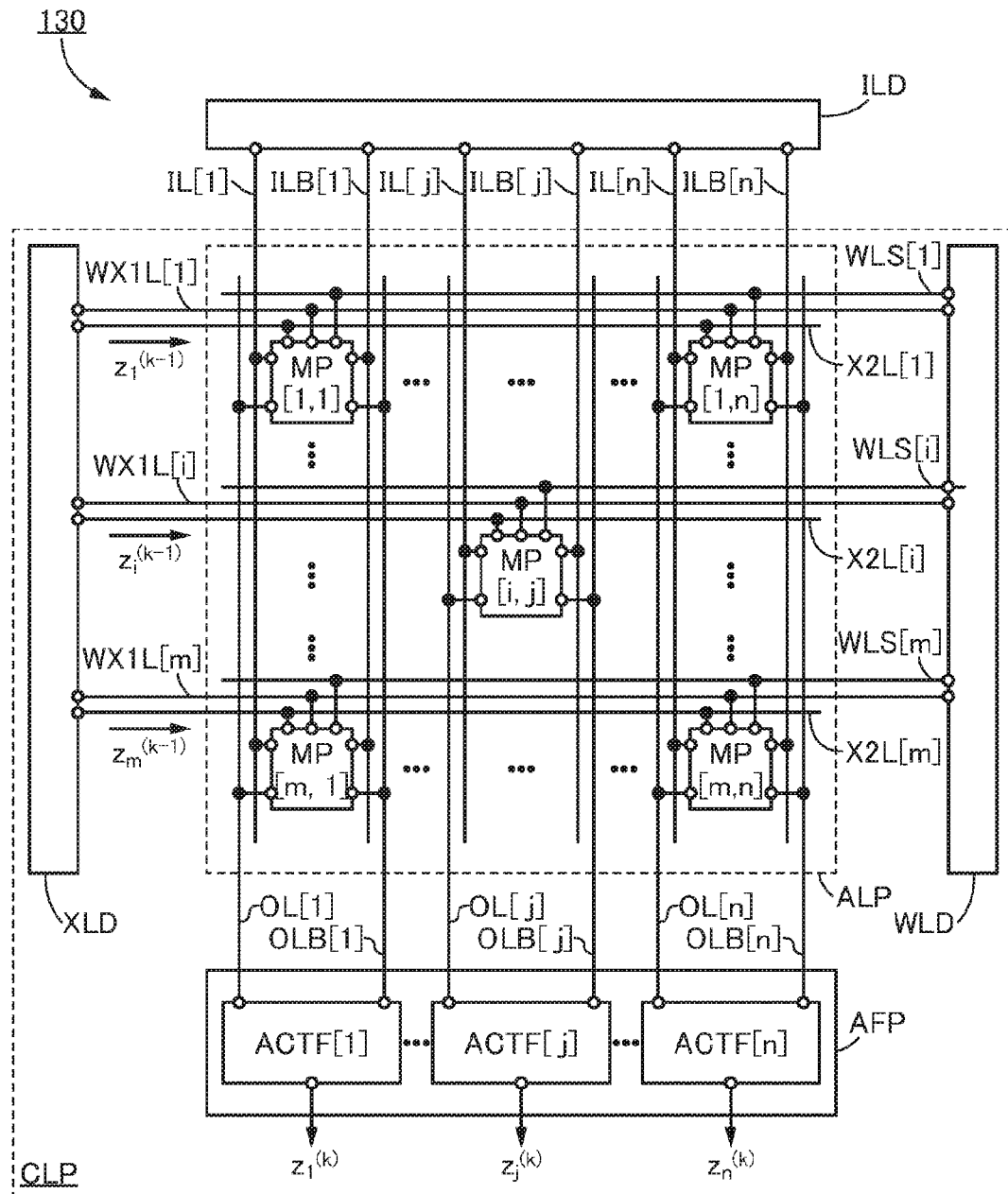




図 28

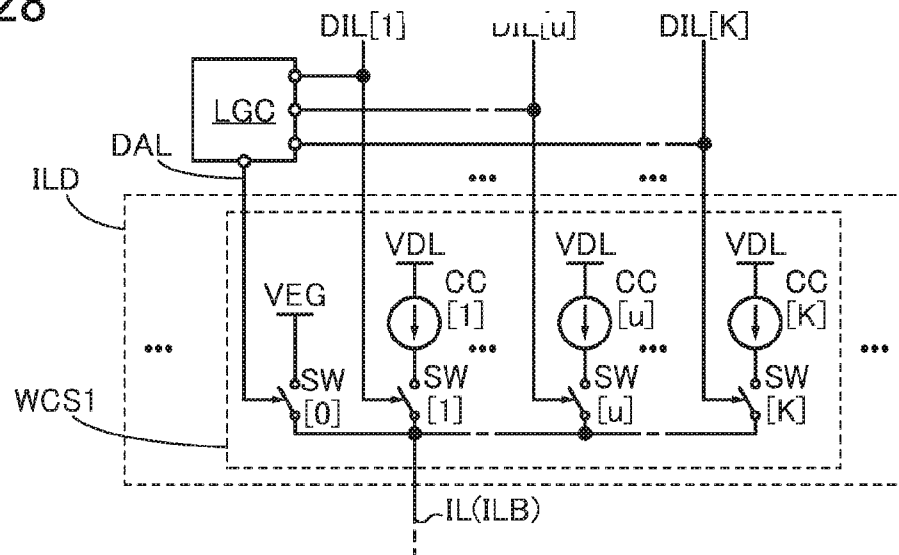


図29A

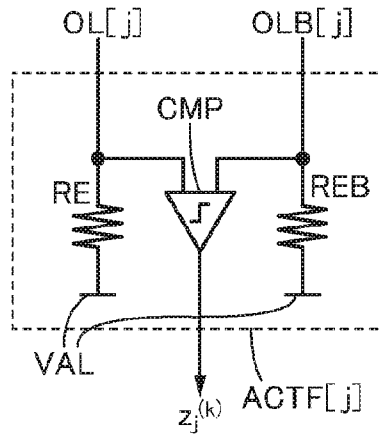


図29B

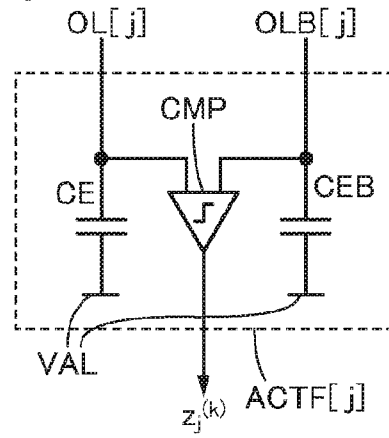


図29C

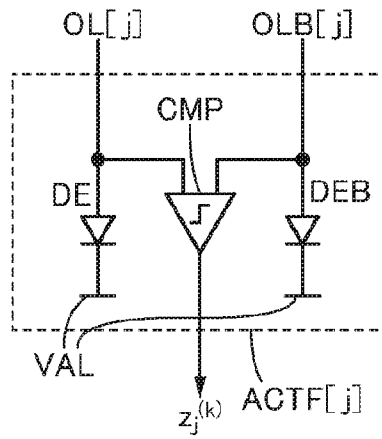


図29D

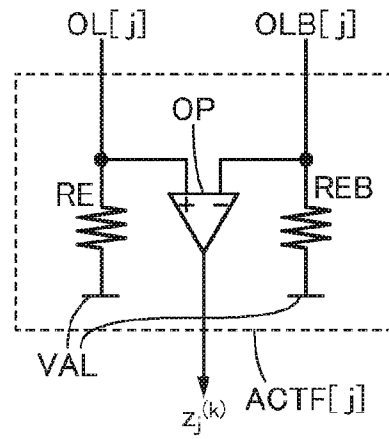


図29E

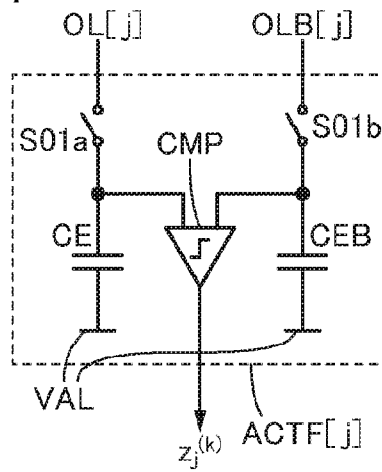


図29F

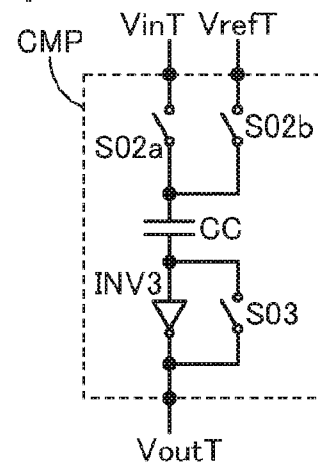


図 30

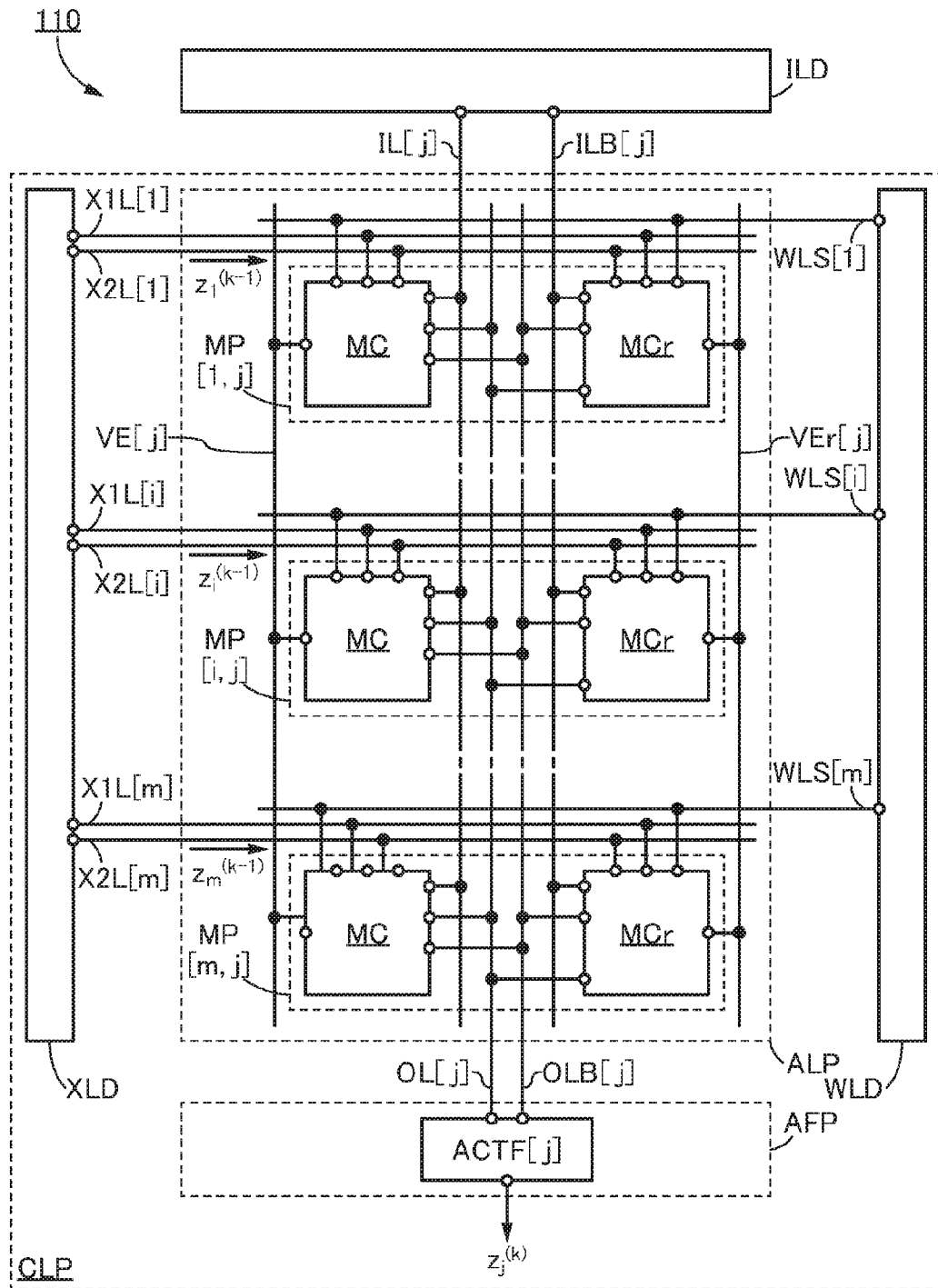


图 31

170

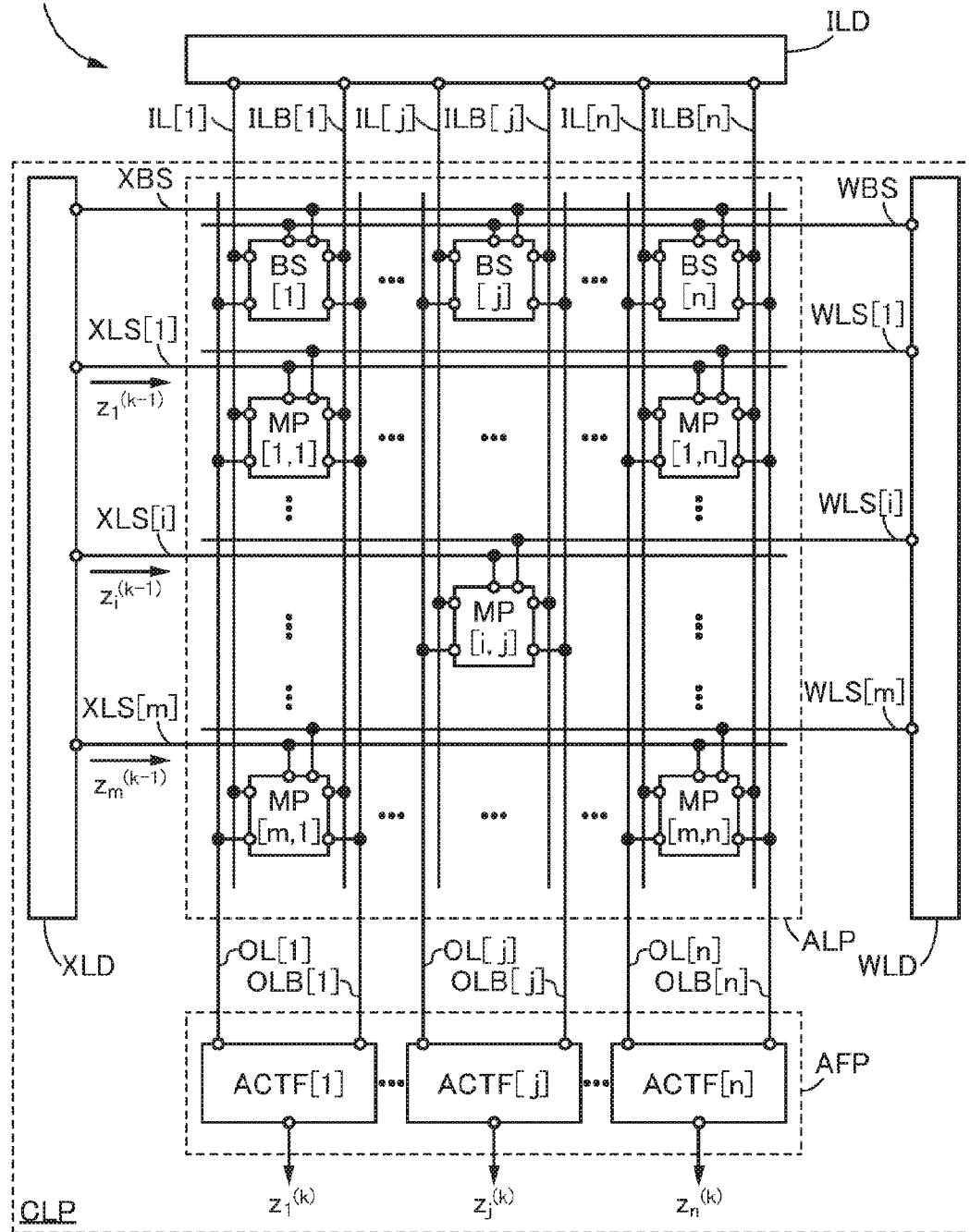


Figure 32 is a schematic diagram of a differential signal processing circuit. It features a grid of horizontal and vertical lines representing signal and power rails. The horizontal rails are labeled WLS, VE, OL, OLB, and VEr. The vertical rails are labeled X1L, X2L, IL, and ILB. The circuit is divided into two main sections, MC and MCr, each enclosed in a dashed box. Section MC contains transistors M1, M2, M3, and M4, along with a capacitor C1 and a node n1. Section MCr contains transistors M1r, M2r, M3r, and M4r, along with a capacitor C1r and a node n1r. The gates of M1 and M2 are connected to WLS, while the gates of M1r and M2r are connected to VEr. The gates of M3 and M4 are connected to X1L, and the gates of M3r and M4r are connected to X2L. The gates of M1r and M2r are connected to OL, and the gates of M3r and M4r are connected to OLB. The drains of M1 and M2 are connected to IL, and the drains of M3 and M4 are connected to ILB. The drains of M1r and M2r are connected to IL, and the drains of M3r and M4r are connected to ILB. The sources of M1 and M2 are connected to a common source node, and the sources of M3 and M4 are connected to a common source node. The sources of M1r and M2r are connected to a common source node, and the sources of M3r and M4r are connected to a common source node.

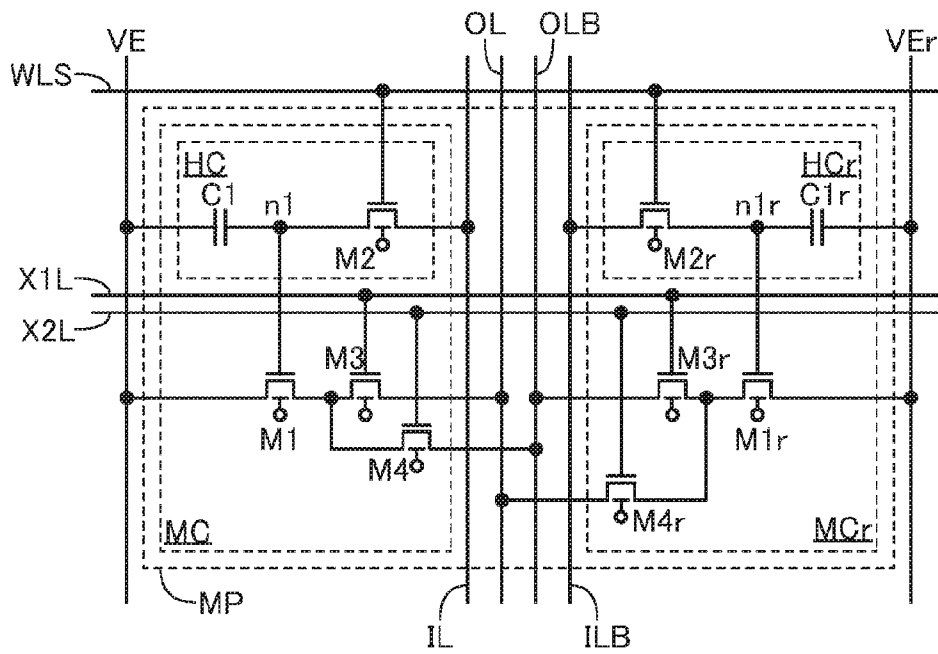


図33A

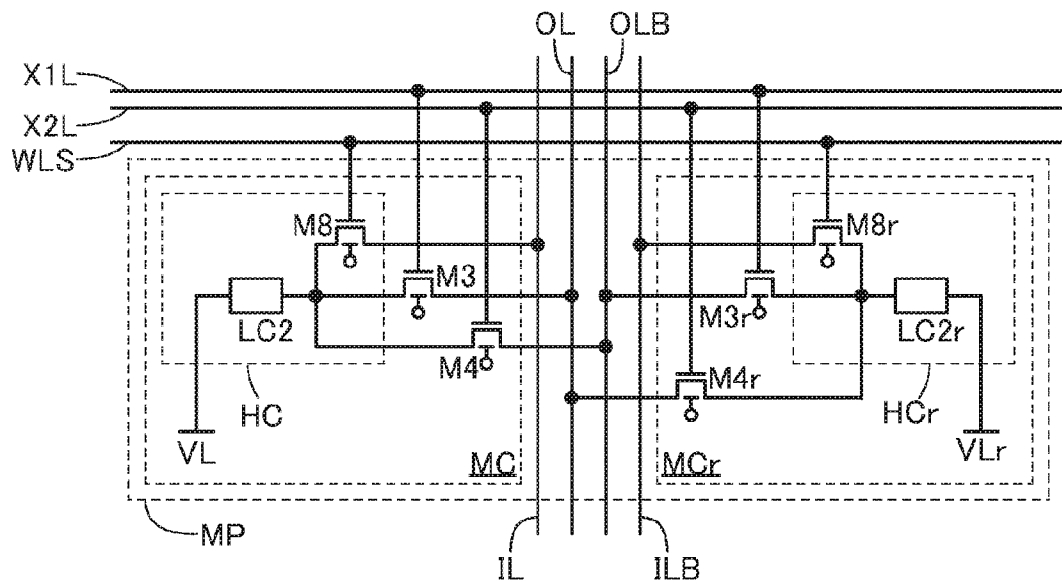


図33B

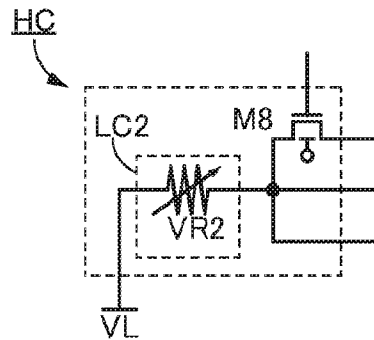


図33C

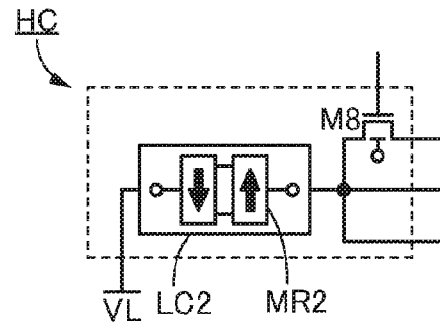


図33D

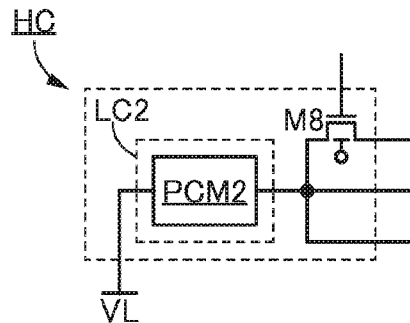
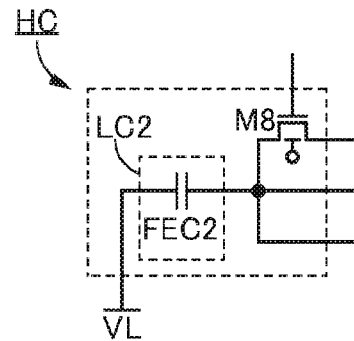


図33E



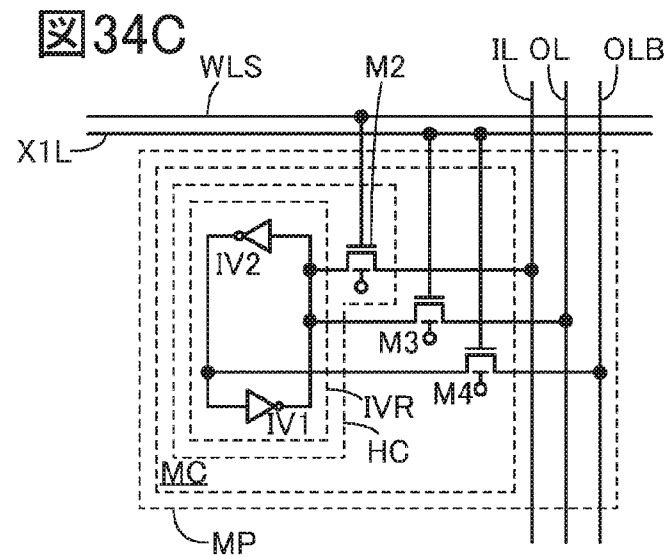
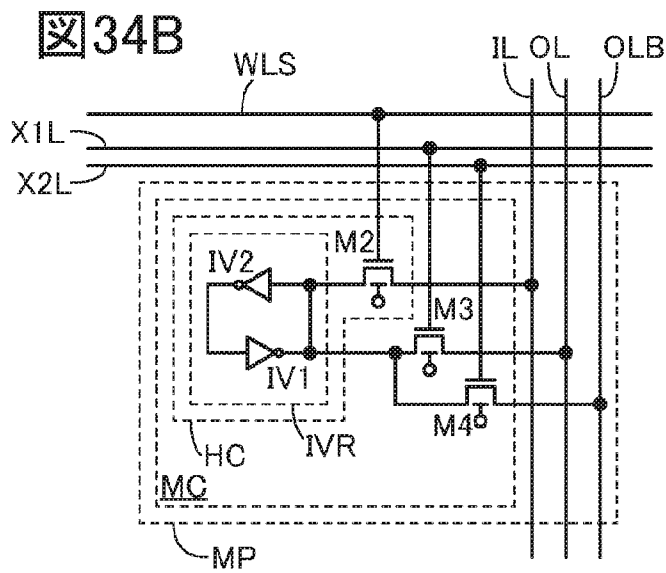
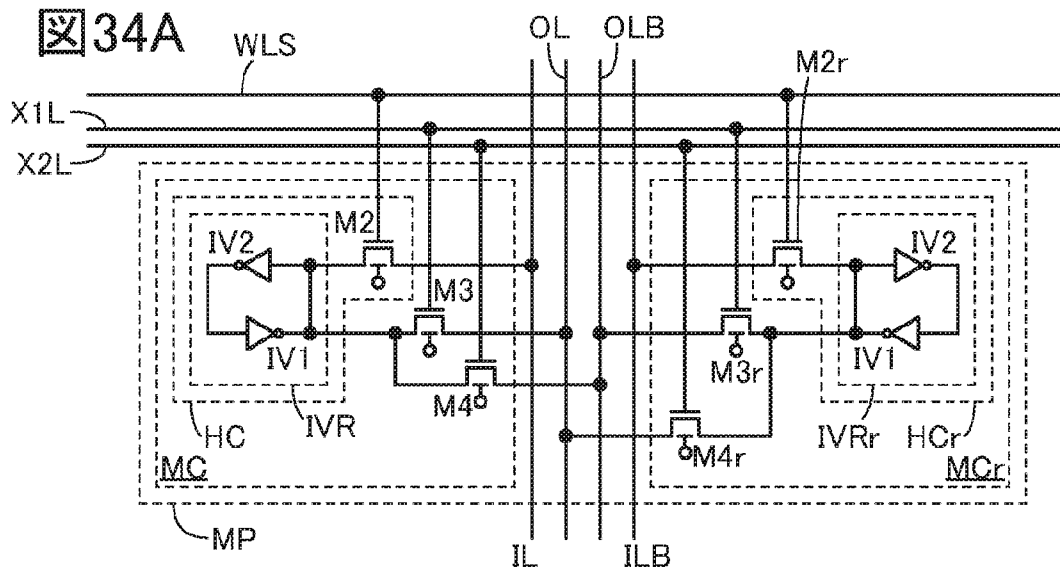


图 35

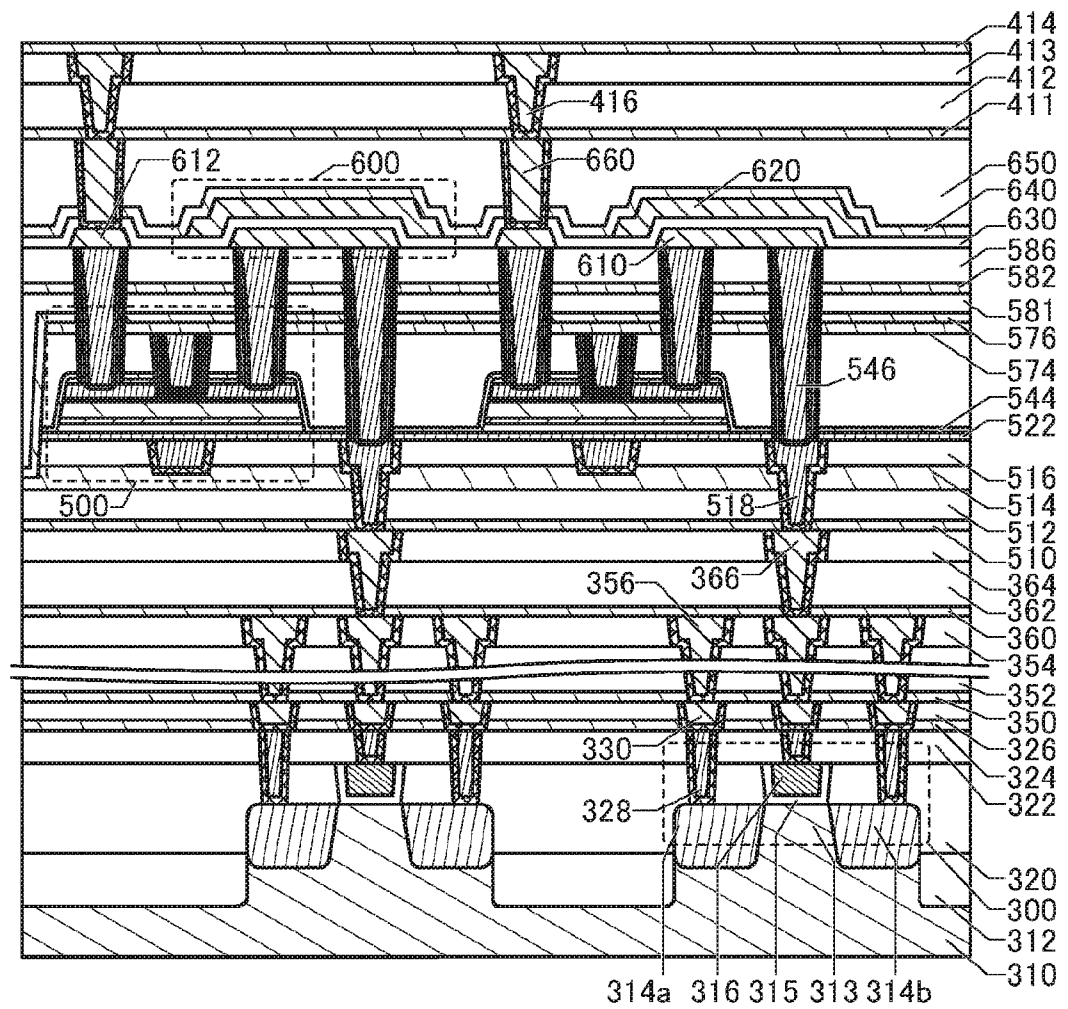


図36A

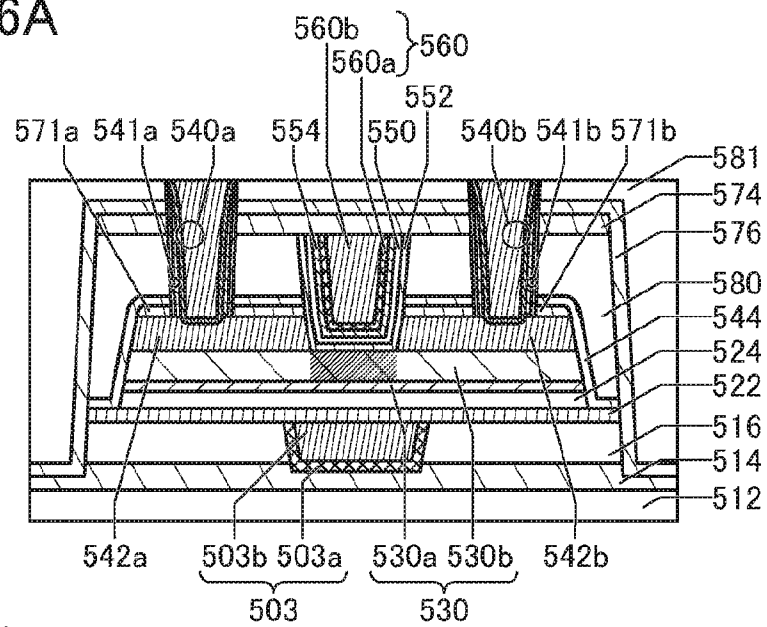


図36B

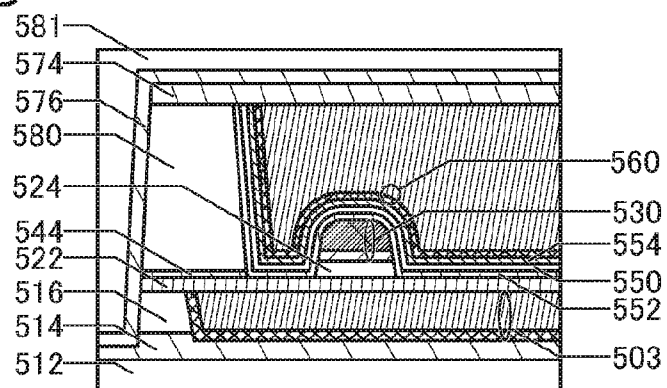


図36C

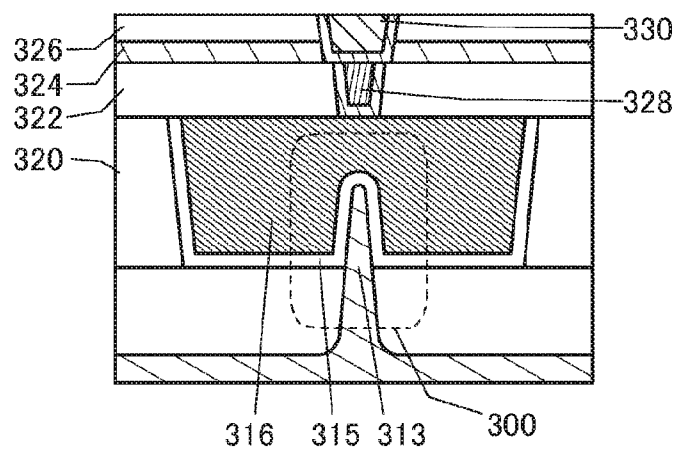


图37

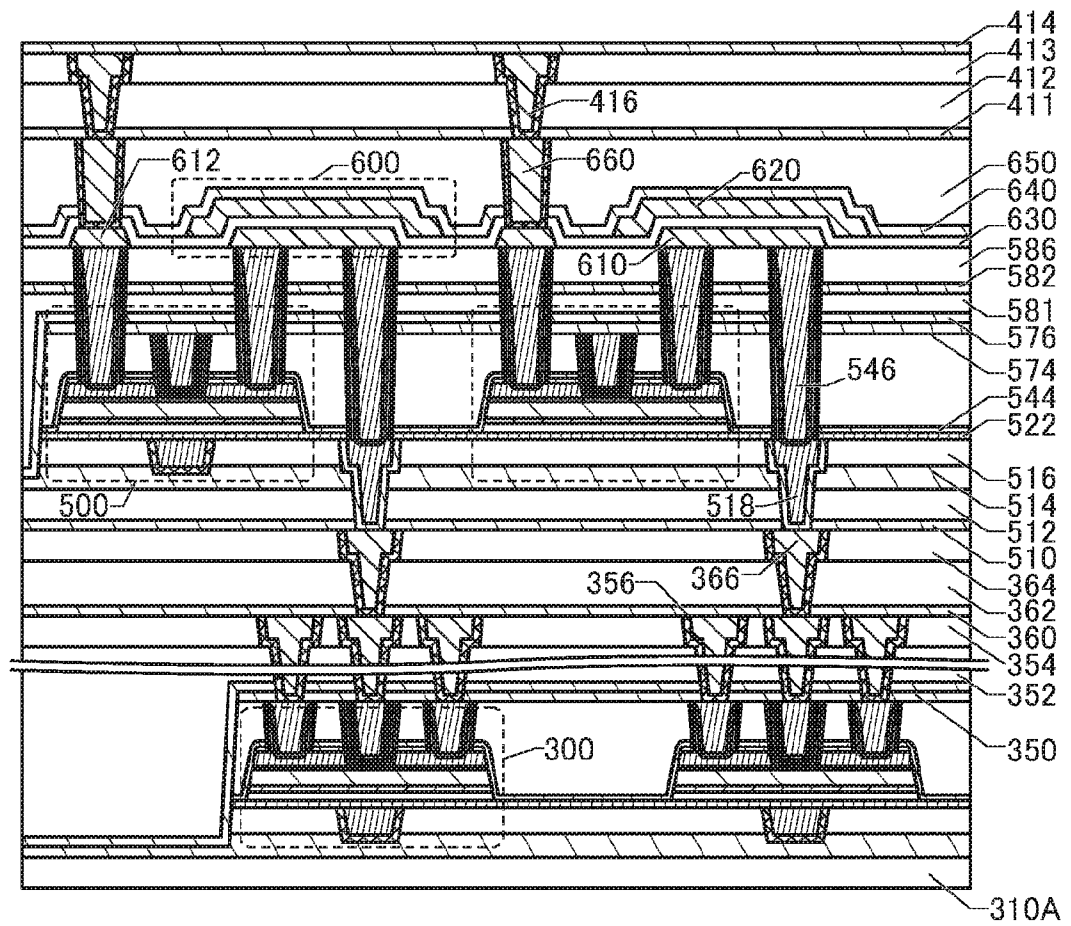


図38A

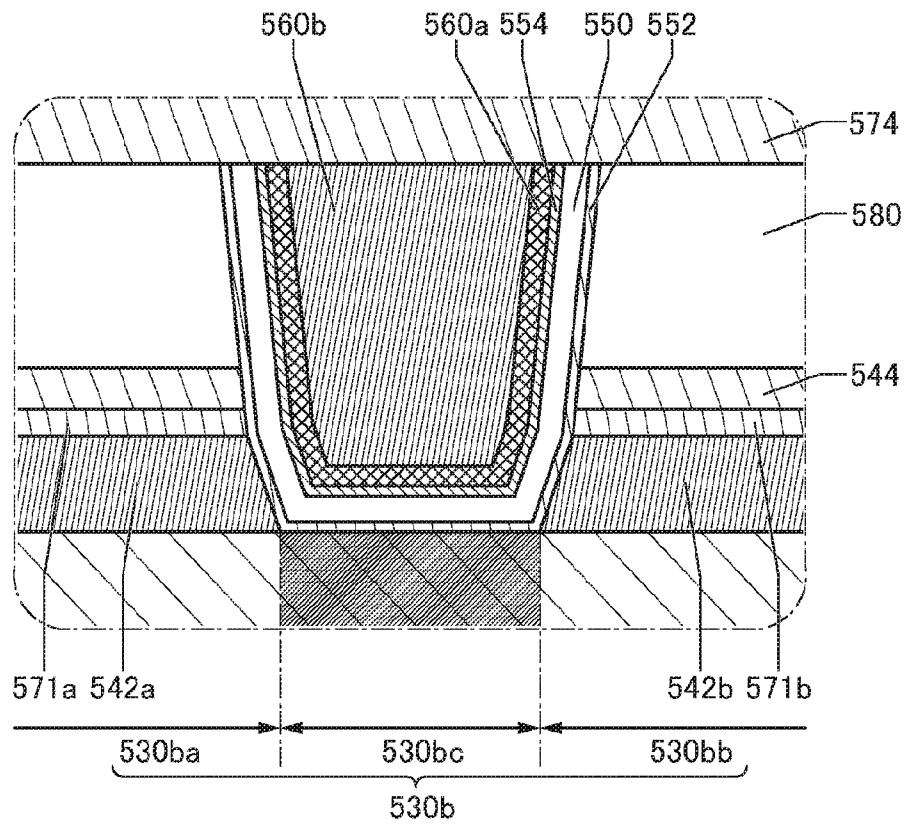


図38B

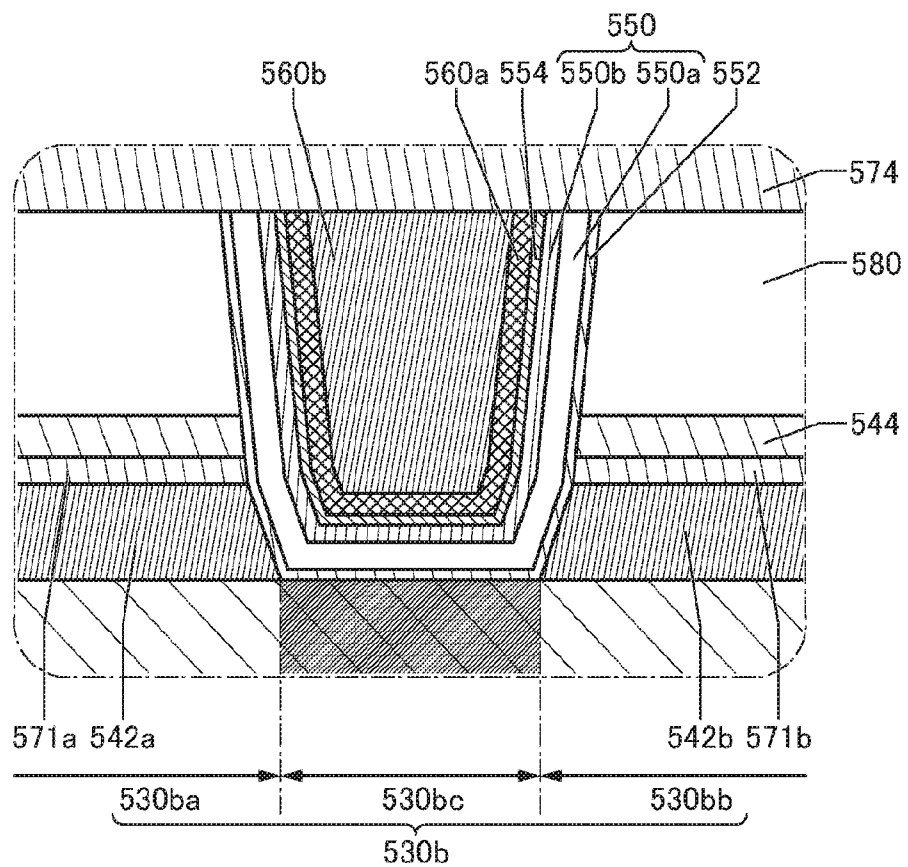


図 39

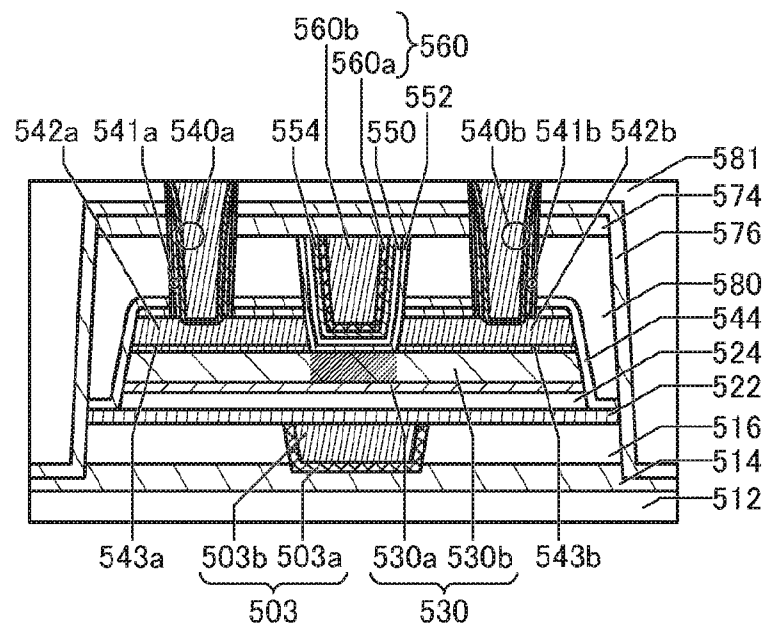


図40A

| 中間状態<br>新しい境界領域          |                                                                             |                                  |
|--------------------------|-----------------------------------------------------------------------------|----------------------------------|
| Amorphous<br>(無定形)       | Crystalline<br>(結晶性)                                                        | Crystal<br>(結晶)                  |
| •completely<br>amorphous | •CAAC<br>•nc<br>•CAC<br><br>excluding<br>single crystal<br>and poly crystal | •single crystal<br>•poly crystal |

図40B

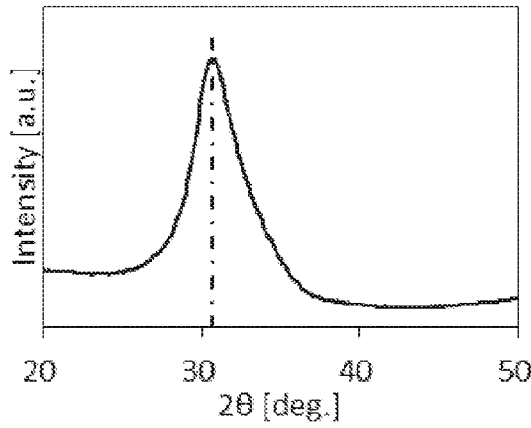
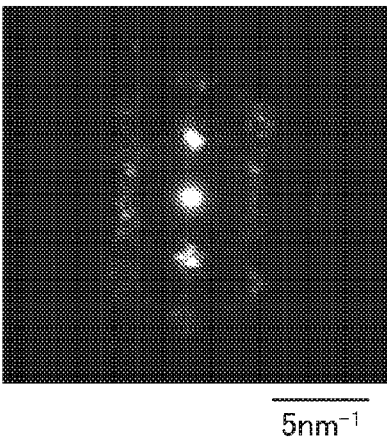


図40C



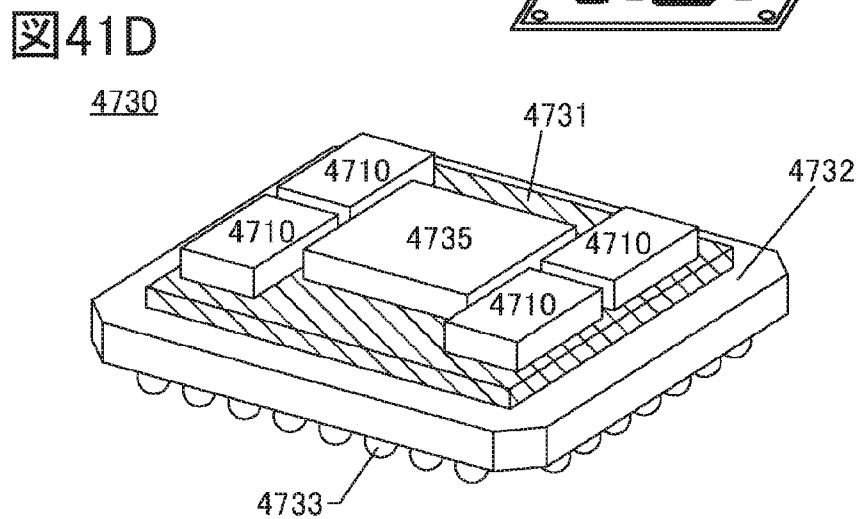
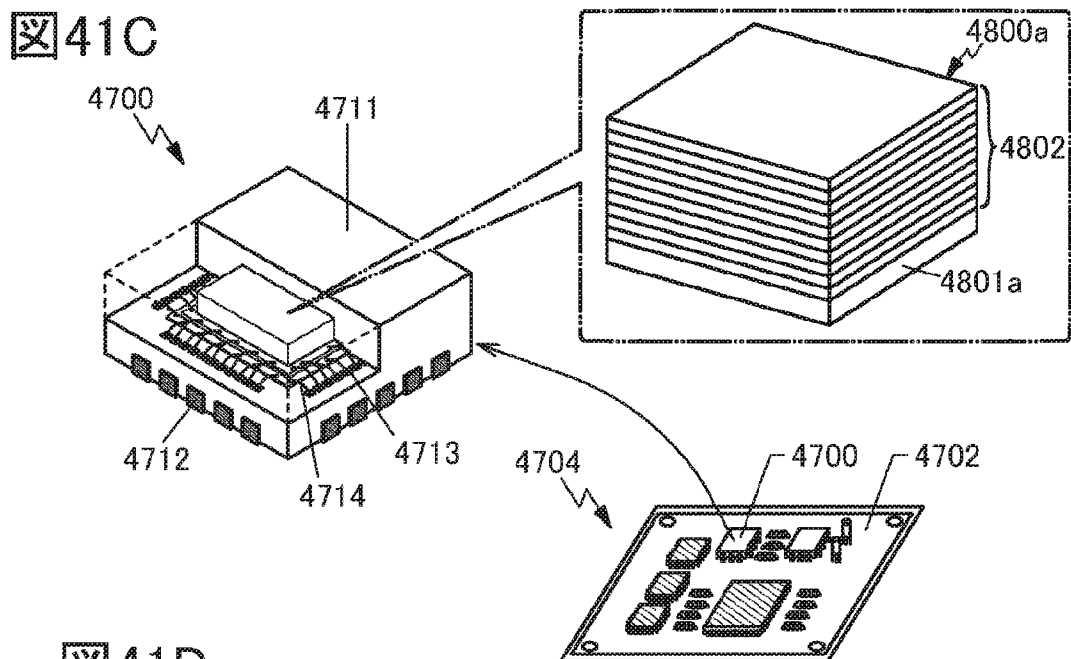
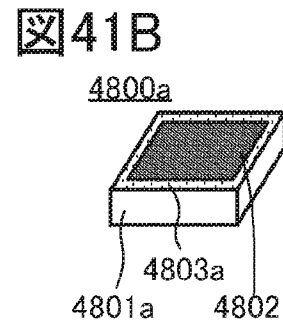
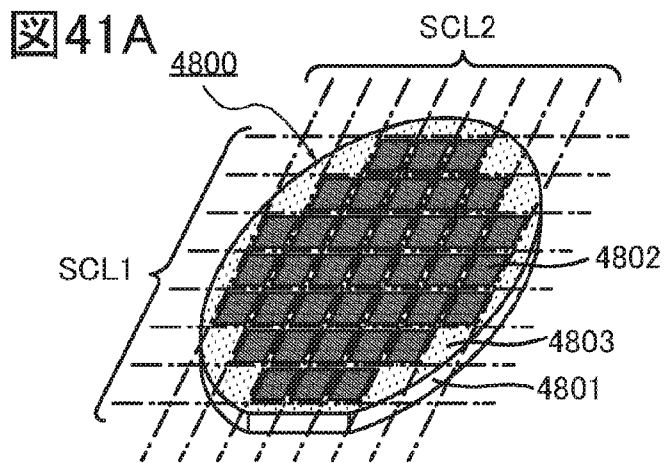


図42

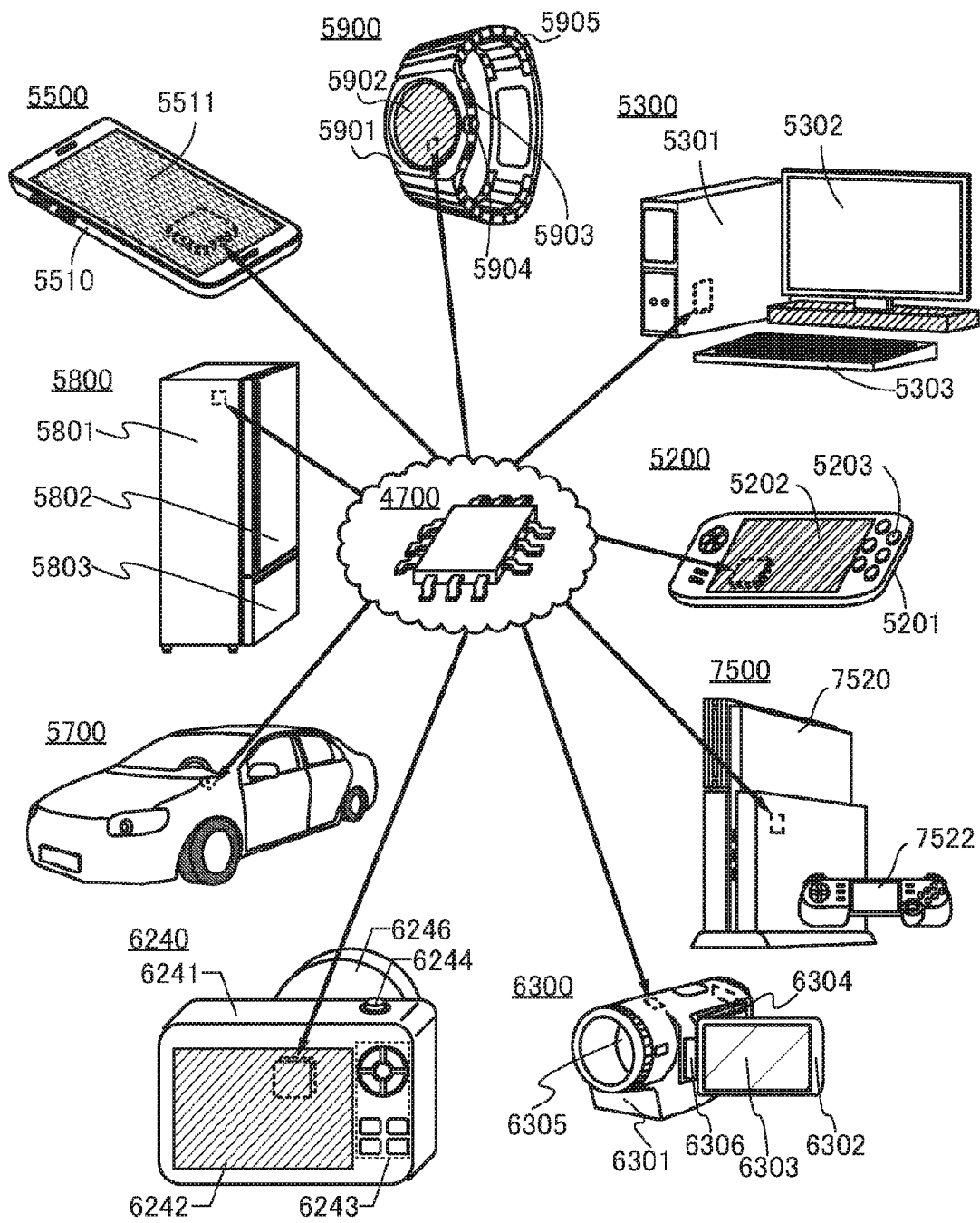


図43A

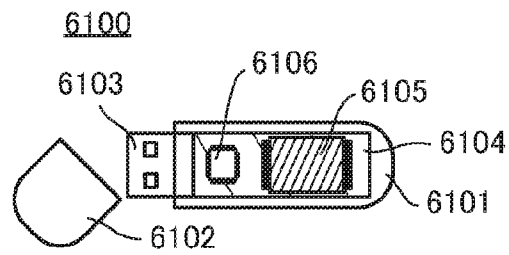


図43B

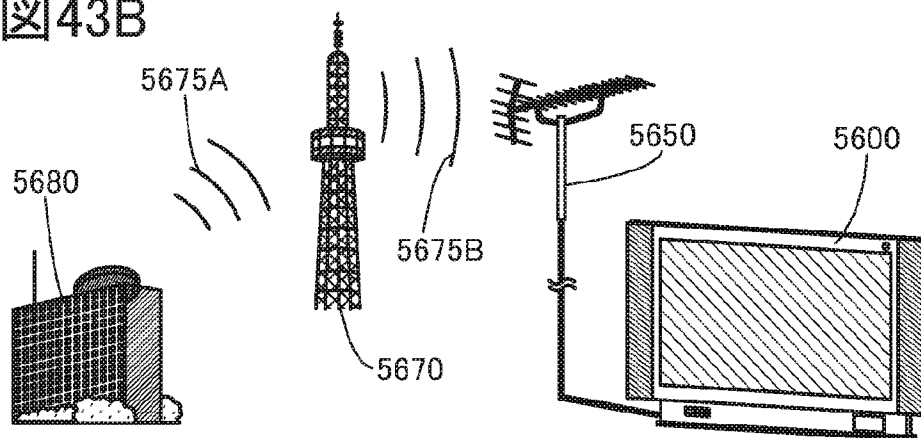
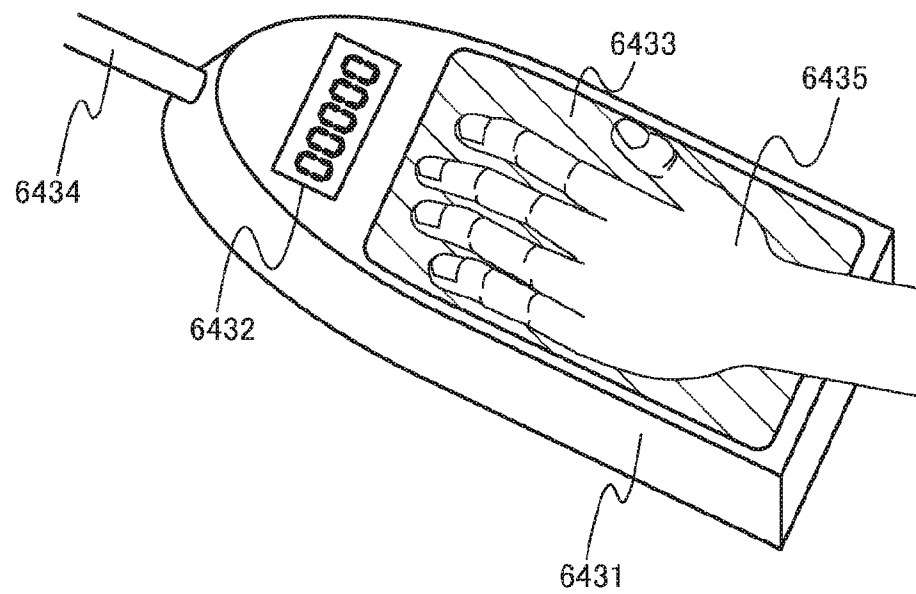


図43C



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/055988

## A. CLASSIFICATION OF SUBJECT MATTER

G06G 7/60(2006.01)i; G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 29/786(2006.01)i

FI: G06G7/60; H01L29/78 613Z; G09G3/20 611H; G09G3/20 6701; G09G3/36; H01L27/06 102A; G09G3/20 611A; H01L27/088 331E; H01L27/108 321; H01L27/108 671Z; H01L29/78 618B; H01L27/088 E

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06G7/60; G09G3/20; G09G3/36; H01L21/8234; H01L27/06; H01L27/088; H01L21/8242; H01L27/108; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2021 |
| Registered utility model specifications of Japan         | 1996-2021 |
| Published registered utility model applications of Japan | 1994-2021 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                 | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | WO 2020/013069 A1 (SONY CORP.) 16 January 2020 (2020-01-16) paragraphs [0186]-[0192], fig. 13                      | 1-14                  |
| A         | JP 5-114294 A (MITSUBISHI ELECTRIC CORP.) 07 May 1993 (1993-05-07) paragraphs [0095]-[0098], [0110]-[0114], fig. 1 | 1-14                  |
| A         | WO 2019/177687 A1 (SILICON STORAGE TECHNOLOGY, INC.) 19 September 2019 (2019-09-19) paragraphs [0002], [0078]      | 1-14                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
02 September 2021 (02.09.2021)

Date of mailing of the international search report  
21 September 2021 (21.09.2021)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

PCT/IB2021/055988

| Patent Documents<br>referred in the<br>Report | Publication<br>Date | Patent Family                                                                                                                           | Publication<br>Date |
|-----------------------------------------------|---------------------|-----------------------------------------------------------------------------------------------------------------------------------------|---------------------|
| WO 2020/013069 A1                             | 16 Jan. 2020        | EP 3822843 A1<br>page 17, line 43 to<br>page 14, line 9, fig.<br>13                                                                     |                     |
| JP 5-114294 A                                 | 07 May 1993         | CN 112384927 A<br>US 5386149 A<br>column 15, line 63 to<br>column 16, line 38,<br>column 18, line 13 to<br>column 19, line 8,<br>fig. 1 |                     |
| WO 2019/177687 A1                             | 19 Sep. 2019        | JP 2021-517704 A<br>paragraphs [0002],<br>[0078]                                                                                        |                     |

| <p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>G06G 7/60(2006.01)i; G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; H01L 21/8234(2006.01)i;<br/> H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i;<br/> H01L 29/786(2006.01)i<br/> FI: G06G7/60; H01L29/78 613Z; G09G3/20 611H; G09G3/20 670L; G09G3/36; H01L27/06 102A; G09G3/20 611A;<br/> H01L27/088 331E; H01L27/108 321; H01L27/108 671Z; H01L29/78 618B; H01L27/088 E</p>                                                                                                                                                      |                                                                                                  |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------|-----------------|-----------------------------------|----------------|------------|-------------------------------------------------------------------------------|------------|-------------|------------------------------------------------------------------------------------------|------|---|--------------------------------------------------------------------------------------------------|------|
| <p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>G06G7/60; G09G3/20; G09G3/36; H01L21/8234; H01L27/06; H01L27/088; H01L21/8242; H01L27/108; H01L29/786</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>                                                                                                                       |                                                                                                  |                                                                              | 日本国実用新案公報       | 1922-1996年                        | 日本国公開実用新案公報    | 1971-2021年 | 日本国実用新案登録公報                                                                   | 1996-2021年 | 日本国登録実用新案公報 | 1994-2021年                                                                               |      |   |                                                                                                  |      |
| 日本国実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 1922-1996年                                                                                       |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| 日本国公開実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | 1971-2021年                                                                                       |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| 日本国実用新案登録公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | 1996-2021年                                                                                       |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| 日本国登録実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | 1994-2021年                                                                                       |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| <p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の<br/>カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する<br/>請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2020/013069 A1 (ソニー株式会社) 16.01.2020 (2020-01-16)<br/>段落[0186]-[0192], [図13]</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 5-114294 A (三菱電機株式会社) 07.05.1993 (1993-05-07)<br/>段落[0095]-[0098], [0110]-[0114], [図1]</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>WO 2019/177687 A1 (SILICON STORAGE TECHNOLOGY, INC.) 19.09.2019 (2019-09-19)<br/>段落[0002], [0078]</td> <td>1-14</td> </tr> </tbody> </table> |                                                                                                  |                                                                              | 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求項の番号 | A          | WO 2020/013069 A1 (ソニー株式会社) 16.01.2020 (2020-01-16)<br>段落[0186]-[0192], [図13] | 1-14       | A           | JP 5-114294 A (三菱電機株式会社) 07.05.1993 (1993-05-07)<br>段落[0095]-[0098], [0110]-[0114], [図1] | 1-14 | A | WO 2019/177687 A1 (SILICON STORAGE TECHNOLOGY, INC.) 19.09.2019 (2019-09-19)<br>段落[0002], [0078] | 1-14 |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                | 関連する<br>請求項の番号                                                               |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | WO 2020/013069 A1 (ソニー株式会社) 16.01.2020 (2020-01-16)<br>段落[0186]-[0192], [図13]                    | 1-14                                                                         |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | JP 5-114294 A (三菱電機株式会社) 07.05.1993 (1993-05-07)<br>段落[0095]-[0098], [0110]-[0114], [図1]         | 1-14                                                                         |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | WO 2019/177687 A1 (SILICON STORAGE TECHNOLOGY, INC.) 19.09.2019 (2019-09-19)<br>段落[0002], [0078] | 1-14                                                                         |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                  |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>                                                                                                            |                                                                                                  |                                                                              |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| <p>国際調査を完了した日</p> <p>02.09.2021</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                  | <p>国際調査報告の発送日</p> <p>21.09.2021</p>                                          |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |
| <p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)<br/>〒100-8915<br/>日本国<br/>東京都千代田区霞が関三丁目4番3号</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                                  | <p>権限のある職員（特許庁審査官）</p> <p>豊田 真弓 5E 8386</p> <p>電話番号 03-3581-1101 内線 3521</p> |                 |                                   |                |            |                                                                               |            |             |                                                                                          |      |   |                                                                                                  |      |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/IB2021/055988

| 引用文献 |             |    | 公表日        | パテントファミリー文献                                                                                         | 公表日 |
|------|-------------|----|------------|-----------------------------------------------------------------------------------------------------|-----|
| WO   | 2020/013069 | A1 | 16.01.2020 | EP 3822843 A1<br>Page17 Line43 - Page14<br>Line9, FIG.13<br>CN 112384927 A                          |     |
| JP   | 5-114294    | A  | 07.05.1993 | US 5386149 A<br>Column15 Line63 -<br>Column16 Line38,<br>Column18 Line13 -<br>Column19 Line8, FIG.1 |     |
| WO   | 2019/177687 | A1 | 19.09.2019 | JP 2021-517704 A<br>段落[0002],[0078]                                                                 |     |