(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2003 年2 月6 日 (06.02.2003)

PCT

(10) 国際公開番号
WO 03/010674 A1

(51) 国際特許分類[7]: G06F 13/42,
H04L 7/00, G06F 12/00, G11C 11/34

(21) 国際出願番号: PCT/JP02/07607

(22) 国際出願日: 2002 年7 月26 日 (26.07.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-227746 2001 年7 月27 日 (27.07.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒179-0071 東京都 練馬区 旭町１丁目３２番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 武田 明洋 (TAKEDA,Akihiro) [JP/JP]; 〒179-0071 東京都 練馬区 旭町１丁目３２番１号 株式会社アドバンテスト内 Tokyo (JP).

(74) 代理人: 渡辺 喜平 (WATANABE,Kihei); 〒101-0041 東京都 千代田区 神田須田町一丁目３２番第一ＮＳビル５階 Tokyo (JP).

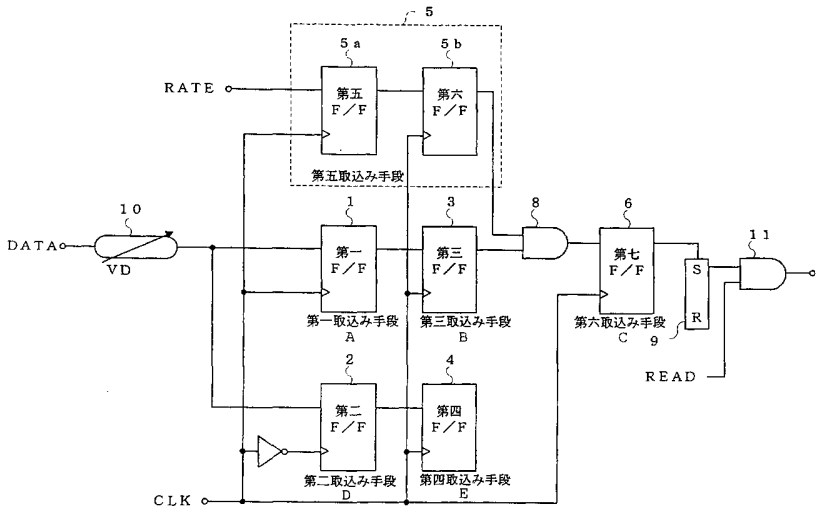
(81) 指定国 (国内): JP, US.

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: PHASE CORRECTION CIRCUIT

(54) 発明の名称: 位相補正回路



5a...FIFTH F/F
5b...SIXTH F/F
5...FIFTH ACQUIRING MEANS
1...FIRST F/F
A...FIRST ACQUIRING MEANS
3...THIRD F/F
B...THIRD ACQUIRING MEANS
6...SEVENTH F/F
C...SIXTH ACQUIRING MEANS
2...SECOND F/F
D...SECOND ACQUIRING MEANS
4...FOURTH F/F
E...FOURTH ACQUIRING MEANS

(57) Abstract: A phase correction circuit capable of sensing a skew between a data signal and a clock signal without requiring a clock signal as pattern data upon initialization. The phase correction circuit includes a variable delay element (10) to which a data signal of DDR format is input, a first F/F (1) acquiring a delay data signal in synchronization with a clock signal, a second F/F (2) for acquiring

[続葉有]

WO 03/010674 A1

the delay data signal in synchronization with a reverse clock signal, a third F/F (3) for acquiring the output signal from the first F/F (1) in synchronization with the clock signal, a fourth F/F (4) for acquiring the output from the second F/F (2) in synchronization with the clock signal, a fifth F/F (5) for acquiring a rate signal of the cycle identical to the data signal in synchronization with the clock signal, a sixth F/F (6) for acquiring the output signal from the fifth F/F (5) in synchronization with the clock signal, and an AND circuit (8) which is supplied with the output signal from the third F/F (3) and the output signal from the sixth F/F (6).

(57) 要約:

初期化の際に、パターンデータとしてのクロック信号を必要とすることなくデータ信号とクロック信号とのスキューを検出できる位相補正回路である。位相補正回路は、ＤＤＲ形式のデータ信号が入力される可変遅延素子１０と、遅延データ信号をクロック信号に同期して取り込む第一Ｆ／Ｆ１と、反転クロック信号に同期して取り込む第二Ｆ／Ｆ２と、第一Ｆ／Ｆ１の出力信号をクロック信号に同期して取り込む第三Ｆ／Ｆ３と、第二Ｆ／Ｆ２の出力信号をクロック信号に同期して取り込む第四Ｆ／Ｆ４とを備え、データ信号と同一サイクルのレート信号をクロック信号に同期して取り込む第五Ｆ／Ｆ５と、第五Ｆ／Ｆ５の出力信号をクロック信号に同期して取り込む第六Ｆ／Ｆ６と、第三Ｆ／Ｆ３の出力信号及び第六Ｆ／Ｆ６の出力信号が入力されるＡＮＤ回路８とを備える構成となっている。

明 細 書

位相補正回路

技術分野

この発明は、チップ間やモジュール間で転送されるＤＤＲ（double data rate）形式のデータ信号を受け取る側の回路（入力回路）に関し、特に、初期化（イニシャライズ）時に可変遅延素子の遅延時間を設定する際に、パターンデータとしてのクロック信号を必要とすることなく、データ信号とクロック信号とのスキューを検出し、その位相差を補正することができる位相補正回路に関する。

背景技術

近年、チップ間やモジュール間においてデータ信号がＤＤＲ形式で転送されている。ＤＤＲ形式では、クロック信号の立ち上がりエッジと立ち下がりエッジとの両方のタイミングでデータ信号が処理される。このため、データ信号をＤＤＲ形式で転送することにより、転送速度の向上を図ることができる。

本発明の説明に先立ち、第４図を参照して、ＤＤＲ形式のデータ信号を受け取る側の回路（入力回路）の従来の一例について簡単に説明する。

第４図に示すように、ＤＤＲ形式のデータ信号の入力回路は、一般に、可変遅延素子（ＶＤ）１０，第一フリップフロップ（第一Ｆ／Ｆ）１，第二フリップフロップ（第二Ｆ／Ｆ）２，第三フリップフロップ（第三Ｆ／Ｆ）３及び第四フリップフロップ（第四Ｆ／Ｆ）４により構成されている。

可変遅延素子１０には、ＤＤＲ形式のデータ信号が入力される。また、第一Ｆ／Ｆ１は、可変遅延素子１０から出力された遅延データ信号をクロック信号に同期して取り込む。すなわち、クロック信号の立ち上がりエッジのタイミングでデータ信号が取り込まれる。

また、第二Ｆ／Ｆ２は、遅延データ信号を、クロック信号を反転した反転クロック信号に同期して取り込む。すなわち、クロック信号の立ち下がりエッジのタイミングデータ信号が取り込まれる。

このため、第二Ｆ／Ｆ２から出力されるデータ信号の位相は、第一Ｆ／Ｆ２か

ら出力されるデータ信号の位相よりもクロック信号の半周期分遅れる。

そこで、第三Ｆ／Ｆ３は、第一Ｆ／Ｆ１の出力信号をクロック信号に同期して取り込む。また、第四Ｆ／Ｆ４は、第二Ｆ／Ｆ２の出力信号をクロック信号に同期して取り込む。このように、第三及び第四Ｆ／Ｆ３及び４がそれぞれクロック信号に同期して出力信号を取り込むので、第一Ｆ／Ｆ１の出力信号と第二Ｆ／Ｆ２の出力信号との位相を揃えることができる。

ところで、ＤＤＲ形式のデータ信号は高速で転送される。このため、ＤＤＲ形式ではデータ信号とクロック信号とのスキュー（信号位相ずれ）の許容範囲が極めて狭い。そこで、入力回路では、データ信号を可変遅延素子１０により遅延させてスキューを補正している。可変遅延素子１０の遅延時間は、入力回路の初期化の際に設定される。

ここで、初期化の際に遅延時間を設定するにあたっては、所定のデータとクロックをパターンデータとして与え、可変遅延素子１０の遅延時間を徐々に変えていき、その都度、第一及び第二Ｆ／Ｆ１及び２の出力値を読み出すことで行われる。

第４図に示すように、従来例の入力回路は、第一Ｆ／Ｆ１の出力信号と読出モード信号とが入力される第一ＡＮＤ回路１１と、第二Ｆ／Ｆ２の出力信号と読出モード信号とが入力される第二ＡＮＤ回路１２とを備えており、第一及び第二Ｆ／Ｆ１及び２の出力値を読み出せるようになっている。

出力値の読出しは次のようにして行われる。まず、パターンデータにより与えられた所定クロック数だけ入力回路が走らされ、所定のデータ信号が可変遅延素子１０から出力される。出力されたデータ信号は第一，第二Ｆ／Ｆ１，２に保持される。クロック信号は一定のパターン数だけ発生し、その後終了（停止）する。第一及び第二Ｆ／Ｆ１及び２に保持されているデータ信号は、読出モード信号により、それぞれ第一及び第二ＡＮＤ回路１１及び１２を介して読み出される。

そして、読出し値とデータ信号とを照合して、第一及び第二Ｆ／Ｆ１及び２へそれぞれ正常に取り込まれたか否かを判定する。データ信号が正常に取り込まれていない場合、遅延時間を一定時間ずつ増加させ、判定を繰り返す。そして、スキューが補正され、データ信号が正常に取り込まれる遅延時間を設定していた。

上述したように、従来例の入力回路においては、第一及び第二Ｆ／Ｆ１及び２が、データ信号を正常に取り込めたか否かを判定するため、遅延時間の設定を変更して判定するたびに、パターンデータとしてのクロック信号を発生させる必要があった。このため、第４図に示した回路構成の他に、パターンデータとしてのクロック信号を発生，制御するプログラムや回路等が必要となる。

本発明は、上記の事情にかんがみてなされたものであり、初期化の際に、パターンデータとしてのクロック信号を必要とすることなく、簡単にデータ信号とクロック信号とのスキューを検出し、その位相差を補正することができる位相補正回路の提供を目的としている。

発明の開示

本発明の位相差検出回路は、ＤＤＲ形式のデータ信号が入力される可変遅延素子と、前記可変遅延素子から出力された遅延データ信号をクロック信号に同期して取り込む第一取込み手段と、前記遅延データ信号を、前記クロック信号を反転した反転クロック信号に同期して取り込む第二取込み手段と、前記第一取込み手段の出力信号を前記クロック信号に同期して取り込む第三取込み手段と、前記第二取込み手段の出力信号を前記クロック信号に同期して取り込む第四取込み手段とを備えるとともに、前記データ信号と同一サイクルのレート信号を前記クロック信号に同期して取り込む第五取込み手段と、前記第三又は第四取込み手段の出力信号、及び、前記第五取込み手段の出力信号が入力される論理積回路と、を備える構成としてある。

このように、本発明の入力回路によれば、データ信号と同一サイクルのレート信号と、第三又は第四取込み手段から出力された遅延データ信号との一致不一致を論理積回路で判定する。これにより、パターンデータとしてのクロック信号を必要とすることなく、遅延データ信号が各フリップフロップに正常に取り込まれたか否かを判定することができる。すなわち、クロック信号とデータ信号との間の許容範囲を超えるスキューの有無を検出することができる。その結果、初期化の際に、パターンデータとしてのクロック信号を発生させるためのプログラムや発生手段，制御手段等を必要とせず、クロック信号とデータ信号とのスキューを

検出し、スキューを補正するための遅延時間を容易に設定することができる。

また、本発明の位相補正回路は、論理積回路の出力信号をクロック信号に同期して取り込む第六取込み手段と、第六取込み手段の出力信号を保持するラッチ回路とを備える構成としてある。

このように、第六取込み手段及びラッチ回路を設ければ、判定結果を所望のタイミングで容易に取り出すことができる。

ここで、本発明の取込み手段の全部又は一部はフリップフロップにより構成することができる。これにより、本発明は、既存の順序回路であるフリップフロップを用いて容易に構成することができ、簡易な構成で汎用性，拡張性にも優れた位相補正回路を提供することができる。

また、本発明は、ＤＤＲ形式のデータ信号を入力し、所定時間遅延させた遅延データ信号として出力する可変遅延ステップと、前記遅延データ信号をクロック信号に同期して取り込む第一取込みステップと、前記遅延データ信号を、前記クロック信号を反転した反転クロック信号に同期して取り込む第二取込みステップと、前記第一取込みステップからの出力信号を前記クロック信号に同期して取り込む第三取込みステップと、前記第二取込みステップからの出力信号を前記クロック信号に同期して取り込む第四取込みステップと、前記データ信号と同一サイクルのレート信号を前記クロック信号に同期して取り込む第五取込みステップと、前記第三又は第四取込みステップからの出力信号、及び、前記第五取込みステップからの出力信号を入力し、その論理積を求める論理積ステップ、の各工程を有する方法として実施することができる。

また、前記論理積ステップからの出力信号を前記クロック信号に同期して取り込む第六取込みステップと、前記第六取込みステップからの出力信号を保持するラッチステップ、の各工程を更に有する方法として実施することができる。

このように、本発明は、ＤＤＲ形式のデータ信号とクロック信号とのスキューを簡単に検出して、その位相を補正することができる方法としても実施することができる。

図面の簡単な説明

第１図は、本発明の位相補正回路の好ましい一実施形態の構成を説明するための回路図である。

第２図は、本発明の位相補正回路の好ましい一実施形態の動作を説明するためのタイミングチャートである。

第３図（Ａ）及び（Ｂ）は、最適遅延時間を説明するためのグラフである。

第４図は、従来例の入力回路の回路図である。

発明を実施するための最良の形態

本発明をより詳細に説明するために、添付の図面を参照して、本発明の好ましい一実施形態について説明する。

第１図に示すように、本発明の一実施形態に係る位相補正回路は、可変遅延素子１０，第一取込み手段１となる第一フリップフロップ（第一Ｆ／Ｆ）１、第二取込み手段２となる第二フリップフロップ（第二Ｆ／Ｆ）２，第三取込み手段３となる第三フリップフロップ（第三Ｆ／Ｆ）３，第四取込み手段４となる第四フリップフロップ（第四Ｆ／Ｆ）４，第五取込み手段５を構成する第五フリップフロップ（第五Ｆ／Ｆ）５ａ及び第六フリップフロップ（第六Ｆ／Ｆ）５ｂ，ＡＮＤ回路８，第六取込み手段６となる第七フリップフロップ（第七Ｆ／Ｆ）６及びＳＲラッチ回路９により構成されている。

可変遅延素子１０には、位相補正回路の外部からＤＤＲ形式のデータ信号が入力される。そして、可変遅延素子１０は、第２図に示すように、設定された遅延時間Ｔｄだけデータ信号を遅延させ、遅延データ信号として出力する。

また、第一取込み手段１となる第一Ｆ／Ｆ１は、可変遅延素子１０から出力された遅延データ信号をクロック信号に同期して取り込む。すなわち、第２図に示すように、クロック信号の立ち上がりエッジのタイミングでデータ信号が取り込まれる。

また、第二取込み手段２となる第二Ｆ／Ｆ２は、遅延データ信号を、クロック信号を反転した反転クロック信号に同期して取り込む。すなわち、第２図に示すように、クロック信号の立ち下がりエッジのタイミングデータ信号が取り込まれる。

このため、第二Ｆ／Ｆ２から出力されるデータ信号の位相は、第一Ｆ／Ｆ１か

ら出力されるデータ信号の位相よりもクロック信号の半周期分遅れる。

そこで、第三取込み手段３となる第三Ｆ／Ｆ３は、第一Ｆ／Ｆ１の出力信号をクロック信号に同期して取り込む。また、第四取込み手段４となる第四Ｆ／Ｆ４は、第二Ｆ／Ｆ２の出力信号をクロック信号に同期して取り込む。このように、第三及び第四Ｆ／Ｆ３及び４は、いずれもクロック信号に同期して出力信号を取り込むので、第２図に示すように、第一Ｆ／Ｆ１の出力信号と第二Ｆ／Ｆ２の出力信号との位相を揃えることができる。

一方、第五取込み手段５となる前段の第五Ｆ／Ｆ５ａは、データ信号と同一サイクルのレート信号をクロック信号に同期して取り込む。さらに、第五取込み手段５の後段の第六Ｆ／Ｆ５ｂは、第五Ｆ／Ｆ５ａの出力信号をクロック信号に同期して取り込む。

また、ＡＮＤ回路８には、第三Ｆ／Ｆ３の出力するデータ信号と、第六Ｆ／Ｆ５ｂの出力するレート信号（ＲＡＴＥ）が入力される。そして、データ信号とレート信号との値が一致する場合に、第２図に示すように、ＡＮＤ回路８の出力が「Ｈ」（又は「１」）となる。

このように、データ信号と同一サイクルのレート信号と、第三又は第四フリップフロップから出力された遅延データ信号との一致不一致を論理積回路で判定することにより、従来のようなパターンデータとしてのクロック信号を必要とすることなく、遅延データ信号が各フリップフロップに正常に取り込まれたか否かを判定することができる。

なお、第一及び第三Ｆ／Ｆ１及び３に正常にデータ信号が取り込まれていれば、データ信号と同一サイクルのレート信号を利用しているので、原則的に、第二及び第四Ｆ／Ｆ２及び４にも正常にデータが取り込まれていることになる。

ただし、第三Ｆ／Ｆ３の出力と、第四Ｆ／Ｆ４の出力との両方をそれぞれ、レート信号と比較して判定すれば、より信頼性の高い判定結果が得られる。

さらに、本実施形態では、ＡＮＤ回路８の出力を第六取込み手段６となる第七Ｆ／Ｆ６にクロック信号に同期して取り込む。そして、第七Ｆ／Ｆ６の出力をＳＲラッチ回路９に保持する。これにより、読出モード信号（ＲＥＡＤ）をＡＮＤ回路１１へ入力することにより、所望のタイミングで、ＳＲラッチ回路に保持さ

れている信号値を容易に取り出すことができる。これにより、好きなときに判定結果を取得することができる。

ここで、第３図の（Ａ）の（１）に示すように、可変遅延回路１０に設定された遅延時間が短すぎると、データ信号の出力とレート信号（ＲＡＴＥ）の出力とのタイミングが一致せず、データ信号が第一フリップフロップ１等に正常に取り込まれなかったと判定される。

また、設定された遅延時間が長すぎても、データ信号の出力と、第３図の（Ａ）の（３）に示すように、データ信号の出力とレート信号（ＲＡＴＥ）の出力とのタイミングが一致せず、データ信号が第一フリップフロップ１等に正常に取り込まれなかったと判定される。

これに対して、設定された遅延時間が適当であれば、第３図の（Ａ）の（２）に示すように、データ信号の出力と、レート信号（ＲＡＴＥ）の出力とのタイミングが一致し、データ信号が第一フリップフロップ１等に正常に取り込まれたと判定される。

ところで、レート信号（ＲＡＴＥ）は、データ信号と同一サイクルであるので、遅延時間を徐々にずらした場合、一定の遅延時間の範囲で正常に取り込まれたと判断される。例えば、第３図の（Ｂ）に示す例では、遅延時間がＴｄ１～Ｔｄ２の範囲でＡＮＤ回路の８の出力値が「１」となっている。このため、この範囲で、正常に取り込まれたと判定される。

そこで、可変遅延回路１０に、遅延時間Ｔｄ１とＴｄ２とのちょうど中間値Ｔｍ（＝（Ｔｄ１＋Ｔｄ２）／２）を設定すれば、スキューを補正するための最適な遅延時間を設定することができる。

上述した実施の形態においては、本発明を特定の条件で構成した例について説明したが、本発明は、種々の変更を行うことができる。

例えば、上述した実施形態では、第一～第六の取込み手段として、すべてフリップフロップにより構成してあるが（第１図に示す第一～第七Ｆ／Ｆ参照）、本発明の取込み手段は、フリップフロップにのみ限定されず、他の順序回路（例えばラッチ）等を用いることもできる。すなわち、本発明の取込み手段は、その全

部又は一部をフリップフロップにより構成することができると同時に、その全部又は一部を他の回路により構成することもできるものである。

また、上述した実施形態においては、第三取込み手段（第三フリップフロップ）の出力信号とレート信号とを比較した例について説明したが、本発明では、第四取込み手段（第四フリップフロップ）の出力信号とレート信号とを比較してもよい。さらに、本発明では、第三及び第四取込み手段の両方の出力信号とレート信号とをそれぞれ比較してもよい。

さらに、上述した実施形態では、第五取込み手段として、前段，後段の二つのフリップフロップ（第五Ｆ／Ｆ及び第六Ｆ／Ｆ）を備えているが、後段のＦ／Ｆは前段のＦ／Ｆの出力を所定のタイミングで出力させるものであり（１クロック分保持した後に出力）、これは省略することもできる。すなわち、第五取込み手段は、単一のＦ／Ｆによって構成するようにしてもよい。

産業上の利用可能性

以上のように、本発明の位相補正回路は、データ信号と同一サイクルのレート信号と、第三又は第四取込み手段から出力された遅延データ信号との一致不一致を論理積回路で判定する。これにより、パターンデータとしてのクロック信号を必要とすることなく、遅延データ信号が各フリップフロップに正常に取り込まれたか否かを判定することができる。すなわち、クロック信号とデータ信号との間の許容範囲を超えるスキューの有無を検出することができる。その結果、初期化の際に、パターンデータとしてのクロック信号の発生手段や制御手段等を必要とせず、データ信号とクロック信号とのスキューを補正するための遅延時間を容易に設定することができ、ＤＤＲ形式のデータ信号の受渡し回路として有用であり、特に、高速ＤＤＲデータ伝送の初期設定（イニシャライズ）に適している。

請 求 の 範 囲

1．ＤＤＲ形式のデータ信号が入力される可変遅延素子と、

前記可変遅延素子から出力された遅延データ信号をクロック信号に同期して取り込む第一取込み手段と、

前記遅延データ信号を、前記クロック信号を反転した反転クロック信号に同期して取り込む第二取込み手段と、

前記第一取込み手段の出力信号を前記クロック信号に同期して取り込む第三取込み手段と、

前記第二取込み手段の出力信号を前記クロック信号に同期して取り込む第四取込み手段とを備えるとともに、

前記データ信号と同一サイクルのレート信号を前記クロック信号に同期して取り込む第五取込み手段と、

前記第三又は第四取込み手段の出力信号、及び、前記第五取込み手段の出力信号が入力される論理積回路と、を備える位相補正回路。

2．前記論理積回路の出力信号を前記クロック信号に同期して取り込む第六取込み手段と、

前記第六取込み手段の出力信号を保持するラッチ回路と、を備える請求の範囲第１項記載の位相補正回路。

3．前記取込み手段の全部又は一部がフリップフロップからなる請求の範囲第１項又は第２項記載の位相補正回路。

4．ＤＤＲ形式のデータ信号を入力し、所定時間遅延させた遅延データ信号として出力する可変遅延ステップと、

前記遅延データ信号をクロック信号に同期して取り込む第一取込みステップと、

前記遅延データ信号を、前記クロック信号を反転した反転クロック信号に同期して取り込む第二取込みステップと、

前記第一取込みステップからの出力信号を前記クロック信号に同期して取り込

む第三取込みステップと、

前記第二取込みステップからの出力信号を前記クロック信号に同期して取り込む第四取込みステップと、

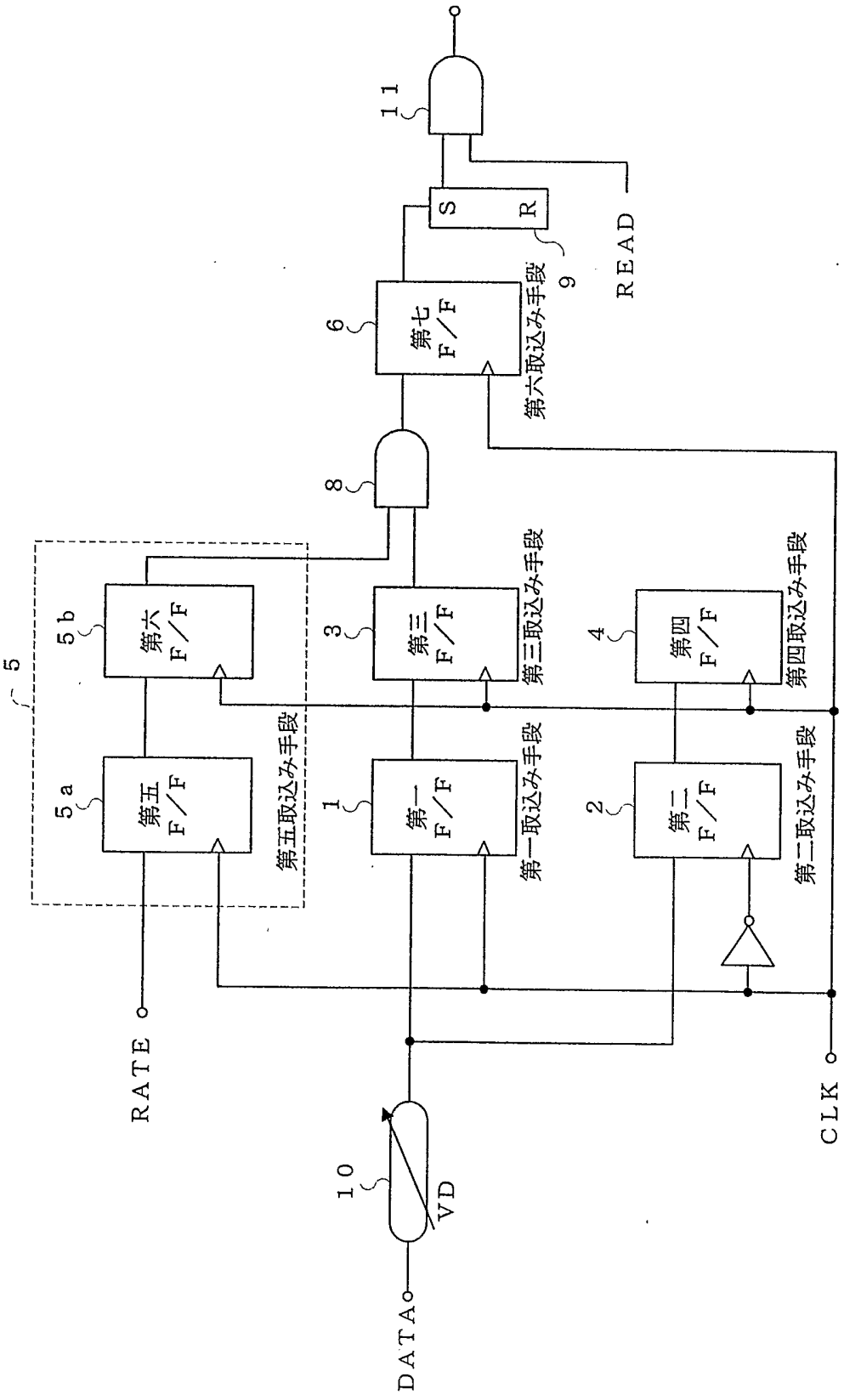
前記データ信号と同一サイクルのレート信号を前記クロック信号に同期して取り込む第五取込みステップと、

前記第三又は第四取込みステップからの出力信号、及び、前記第五取込みステップからの出力信号を入力し、その論理積を求める論理積ステップ、の各工程を有する位相補正方法。

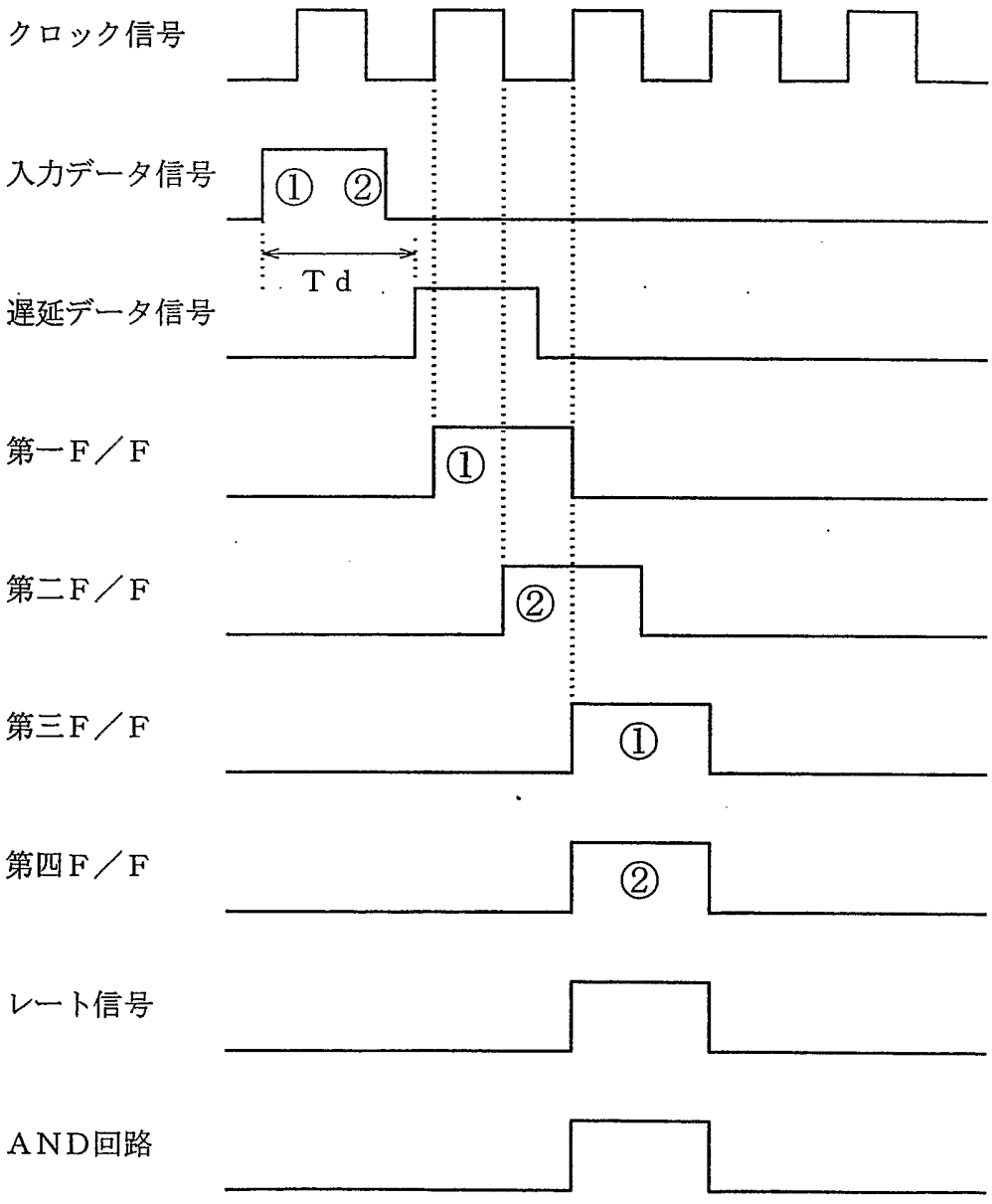
5．前記論理積ステップからの出力信号を前記クロック信号に同期して取り込む第六取込みステップと、

前記第六取込みステップからの出力信号を保持するラッチステップ、の各工程を更に有する請求の範囲第４項記載の位相補正方法。

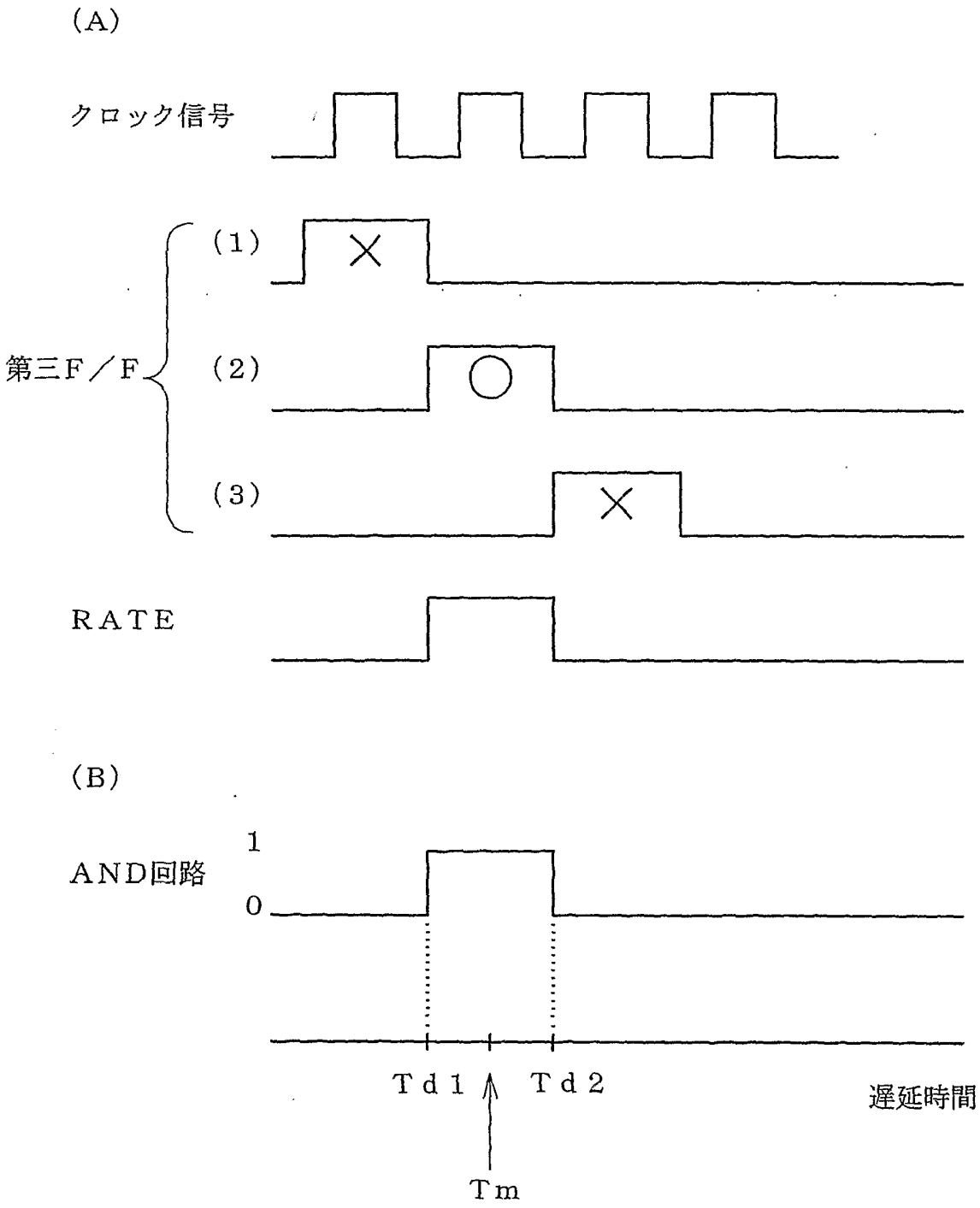
第１図


11
S
R
9
READ
6
第七
F／F
第六取込み手段
8
5
5b
第六
F／F
3
第三
F／F
第三取込み手段
4
第四
F／F
第四取込み手段
5a
第五
F／F
第五取込み手段
1
第一
F／F
第一取込み手段
2
第二
F／F
第二取込み手段
RATE
CLK
10
VD
DATA

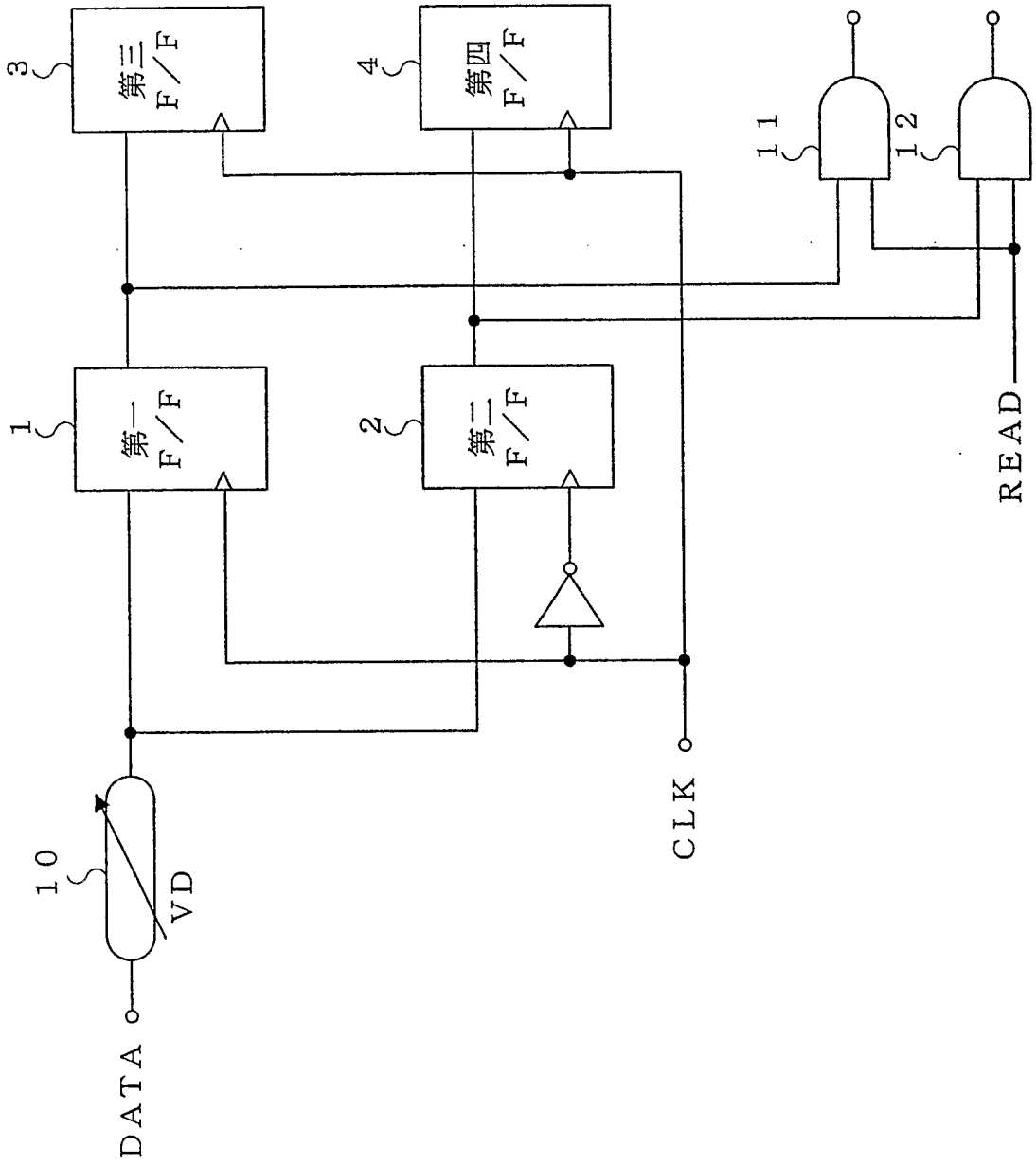
第２図


クロック信号
入力データ信号
①
②
Ｔｄ
遅延データ信号
第一Ｆ／Ｆ
①
第二Ｆ／Ｆ
②
第三Ｆ／Ｆ
①
第四Ｆ／Ｆ
②
レート信号
ＡＮＤ回路

第３図



第４図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/07607

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G06F13/42, H04L7/00, G06F12/00, G11C11/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G06F13/42, H04L7/00, G06F12/00, G11C11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-118325 A (NEC Corp.), 27 April, 2001 (27.04.01), Full text; all drawings (Family: none)	1-5
A	JP 2000-10849 A (NEC Kofu Ltd.), 14 January, 2000 (14.01.00), Full text; all drawings (Family: none)	1-5
A	JP 11-203159 A (Canon Inc.), 30 July, 1999 (30.07.99), Full text; all drawings (Family: none)	1-5

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 29 October, 2002 (29.10.02)	Date of mailing of the international search report 19 November, 2002 (19.11.02)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/07607

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-15783 A (NEC Corp.), 22 January, 1999 (22.01.99), Full text; all drawings (Family: none)	1-5
A	US 6121815 A (Matsushita Electric Industrial Co., Ltd.), 19 September, 2000 (19.09.00), Full text; all drawings & JP 11-7335 A	1-5
A	JP 5-235921 A (Fujitsu Ltd.), 10 September, 1993 (10.09.93), Full text; all drawings (Family: none)	1-5
A	JP 11-125660 A (Advantest Corp.), 11 May, 1999 (11.05.99), Full text; all drawings (Family: none)	1-5
A	JP 9-5394 A (Advantest Corp.), 10 January, 1997 (10.01.97), Full text; all drawings (Family: none)	1-5
A	JP 61-161779 U (Yokokawa Hokushin Denki Kabushiki Kaisha), 07 October, 1986 (07.10.86), Full text; all drawings (Family: none)	1-5
A	JP 61-143334 U (Advantest Corp.), 04 September, 1986 (04.09.86), Full text; all drawings (Family: none)	1-5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／０７６０７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．　Ｃｌ⁷　Ｇ０６Ｆ　１３／４２，　Ｈ０４Ｌ　７／００，　Ｇ０６Ｆ　１２／００，
Ｇ１１Ｃ　１１／３４

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．　Ｃｌ⁷　Ｇ０６Ｆ　１３／４２，　Ｈ０４Ｌ　７／００，　Ｇ０６Ｆ　１２／００，
Ｇ１１Ｃ　１１／３４

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　　１９７１－２００２年
日本国登録実用新案公報　　１９９４－２００２年
日本国実用新案登録公報　　１９９６－２００２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２００１－１１８３２５　Ａ（日本電気株式会社） ２００１．０４．２７，全文，全図（ファミリーなし）	１－５
Ａ	ＪＰ　２０００－１０８４９　Ａ（甲府日本電気株式会社） ２０００．０１．１４，全文，全図（ファミリーなし）	１－５
Ａ	ＪＰ　１１－２０３１５９　Ａ（キャノン株式会社） １９９９．０７．３０，全文，全図（ファミリーなし）	１－５

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２９．１０．０２	１９．１１．０２

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	５Ｒ	９５５８
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	吉澤　雅博		
	電話番号　０３－３５８１－１１０１　内線　３５６５		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／０７６０７

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　１１－１５７８３　Ａ（日本電気株式会社） １９９９．０１．２２，全文，全図（ファミリーなし）	１－５
Ａ	ＵＳ　６１２１８１５　Ａ（Matsushita Electric Industrial Co. Ltd.）２０００．０９．１９，全文，全図　＆ ＪＰ　１１－７３３５　Ａ	１－５
Ａ	ＪＰ　５－２３５９２１　Ａ（富士通株式会社） １９９３．０９．１０，全文，全図（ファミリーなし）	１－５
Ａ	ＪＰ　１１－１２５６６０　Ａ（株式会社アドバンテスト） １９９９．０５．１１，全文，全図（ファミリーなし）	１－５
Ａ	ＪＰ　９－５３９４　Ａ（株式会社アドバンテスト） １９９７．０１．１０，全文，全図（ファミリーなし）	１－５
Ａ	ＪＰ　６１－１６１７７９　Ｕ（横河北辰電機株式会社） １９８６．１０．０７，全文，全図（ファミリーなし）	１－５
Ａ	ＪＰ　６１－１４３３４　Ｕ（株式会社アドバンテスト） １９８６．０９．０４，全文，全図（ファミリーなし）	１－５