



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0010031
(43) 공개일자 2025년01월20일

- (51) 국제특허분류(Int. Cl.)
 H01L 25/065 (2025.01) G11C 5/04 (2006.01)
 H01L 23/36 (2006.01) H01L 25/18 (2025.01)
 H10B 41/20 (2023.01) H10B 99/00 (2023.01)
 H10D 30/01 (2025.01) H10D 30/67 (2025.01)
 H10D 30/68 (2025.01) H10D 30/69 (2025.01)
 H10D 84/01 (2025.01)
- (52) CPC특허분류
 H01L 25/0657 (2023.08)
 G11C 5/04 (2018.05)
- (21) 출원번호 10-2024-7040776
- (22) 출원일자(국제) 2023년05월01일
 심사청구일자 없음
- (85) 번역문제출일자 2024년12월09일
- (86) 국제출원번호 PCT/IB2023/054508
- (87) 국제공개번호 WO 2023/223126
 국제공개일자 2023년11월23일
- (30) 우선권주장
 JP-P-2022-079907 2022년05월16일 일본(JP)

- (71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 야쿠보 유토
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 쿠로카와 요시유키
 일본 252-0318 가나가와켄 사가미하라시 미나미쿠
 카미즈루마혼초 2-13-16-303
 (뒷면에 계속)
- (74) 대리인
 장훈

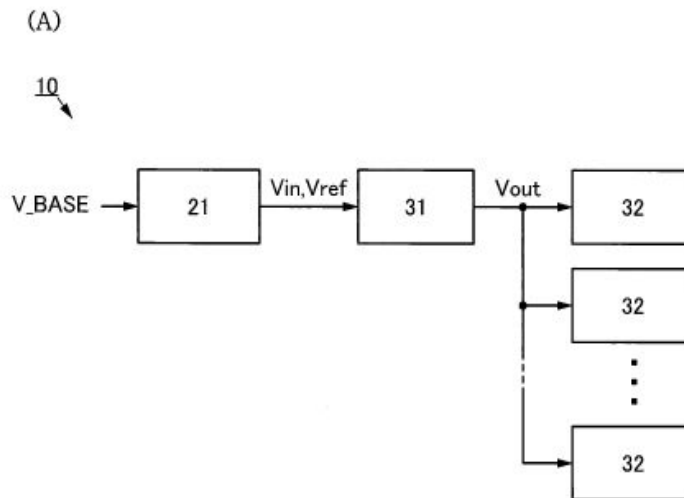
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 반도체 장치

(57) 요약

신규 구성의 반도체 장치를 제공한다. 제 1 전압을 생성하는 제 1 전원 회로를 가지는 베이스 다이와, 제 1 전압이 공급됨으로써 제 1 전압을 생성하는 제 2 전원 회로를 가지는 제 1 다이와, 제 2 전압이 공급됨으로써 동작하는 기능 회로를 가지는 제 2 다이를 가진다. 제 1 다이 및 제 2 다이는 제 1 관통 전극 및 제 2 관통 전극을 가진다. 제 1 다이는 베이스 다이 위에 제공된다. 제 2 다이는 제 1 다이의 위층 또는 아래층에 접하여 제공된다. 베이스 다이와 제 1 다이는 제 1 관통 전극을 통하여 전기적으로 접속된다. 제 1 다이와 제 2 다이는 제 2 관통 전극을 통하여 전기적으로 접속된다.

대표도



(52) CPC특허분류

H01L 23/36 (2013.01)
H01L 25/18 (2025.01)
H10B 41/20 (2023.02)
H10B 99/00 (2023.02)
H10D 30/021 (2025.01)
H10D 30/67 (2025.01)
H10D 30/68 (2025.01)
H10D 30/69 (2025.01)
H10D 84/0126 (2025.01)

오시타 사토루

일본 257-0048 가나가와켄 하다노시 사이와이쵸
4-20 프란탄203

(72) 발명자

고도 히로미치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치로서,
제 1 전압을 생성하는 제 1 전원 회로를 가지는 베이스 다이와,
상기 제 1 전압이 공급됨으로써 제 2 전압을 생성하는 제 2 전원 회로를 가지는 제 1 다이와,
상기 제 2 전압이 공급됨으로써 동작하는 기능 회로를 가지는 제 2 다이를 가지고,
상기 제 1 다이 및 상기 제 2 다이는 제 1 관통 전극 및 제 2 관통 전극을 가지고,
상기 제 1 다이는 상기 베이스 다이 위에 제공되고,
상기 제 2 다이는 상기 제 1 다이의 위층 또는 아래층에 접하여 제공되고,
상기 베이스 다이와 상기 제 1 다이는 상기 제 1 관통 전극을 통하여 전기적으로 접속되고,
상기 제 1 다이와 상기 제 2 다이는 상기 제 2 관통 전극을 통하여 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 제 1 전원 회로는 스위칭 레귤레이터인, 반도체 장치.

청구항 3

제 1 항에 있어서,
상기 제 2 전원 회로는 시리즈 레귤레이터인, 반도체 장치.

청구항 4

제 1 항에 있어서,
상기 기능 회로는 연산 회로, 주변 회로, 메모리 회로, 및 구동 회로 중 어느 하나 또는 복수의 기능을 가지는 회로인, 반도체 장치.

청구항 5

제 1 항에 있어서,
방열층을 가지고,
상기 방열층은 상기 제 1 다이와 상기 제 2 다이 사이에 제공되는, 반도체 장치.

청구항 6

제 1 항에 있어서,
상기한 다이에 제공된 상기 제 1 관통 전극과 상기 제 2 관통 전극은 금속 범프를 통하여 전기적으로 접속되는,
반도체 장치.

청구항 7

제 1 항에 있어서,
상기 제 2 다이는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 가지는 층을 가지고,

상기 트랜지스터를 가지는 층은 적층되어 제공되는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 산화물 반도체는 In, Ga, 및 Zn을 가지는, 반도체 장치.

청구항 9

반도체 장치로서,

제 1 전압을 생성하는 제 1 전원 회로를 가지는 베이스 다이와,

상기 제 1 전압이 공급됨으로써 제 2 전압을 생성하는 제 2 전원 회로를 가지는 제 1 다이와,

상기 제 2 전압이 공급됨으로써 동작하는 기능 회로를 가지는 제 2 다이 및 제 3 다이를 가지고,

상기 제 1 다이, 상기 제 2 다이, 및 상기 제 3 다이는 제 1 관통 전극 및 제 2 관통 전극을 가지고,

상기 제 1 다이는 상기 베이스 다이 위에 제공되고,

상기 제 2 다이는 상기 제 1 다이의 아래층에 접하여 제공되고,

상기 제 3 다이는 상기 제 1 다이의 위층에 접하여 제공되고,

상기 베이스 다이와 상기 제 1 다이는 상기 제 1 관통 전극을 통하여 전기적으로 접속되고,

상기 제 1 다이, 상기 제 2 다이, 및 상기 제 3 다이는 상기 제 2 관통 전극을 통하여 전기적으로 접속되는, 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 전원 회로는 스위칭 레귤레이터인, 반도체 장치.

청구항 11

제 9 항에 있어서,

상기 제 2 전원 회로는 시리즈 레귤레이터인, 반도체 장치.

청구항 12

제 9 항에 있어서,

상기 기능 회로는 연산 회로, 주변 회로, 메모리 회로, 및 구동 회로 중 어느 하나 또는 복수의 기능을 가지는 회로인, 반도체 장치.

청구항 13

제 9 항에 있어서,

방열층을 가지고,

상기 방열층은 상기 제 1 다이와 상기 제 2 다이 사이 및 상기 제 1 다이와 상기 제 3 다이 사이에 제공되는, 반도체 장치.

청구항 14

제 9 항에 있어서,

상기한 다이에 제공된 상기 제 1 관통 전극과 상기 제 2 관통 전극은 금속 범프를 통하여 전기적으로 접속되는, 반도체 장치.

청구항 15

제 9 항에 있어서,

상기 제 2 다이 및 상기 제 3 다이는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 가지는 층을 가지고,

상기 트랜지스터를 가지는 층은 적층되어 제공되는, 반도체 장치.

청구항 16

제 15 항에 있어서,

상기 산화물 반도체는 In, Ga, 및 Zn을 가지는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 반도체 장치 등에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 본 명세서에 개시되는 본 발명의 일 형태가 속하는 기술분야의 더 구체적인 예로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

배경 기술

[0003] 근년, SRAM 셀 또는 DRAM 셀 등 상이한 기능을 가지는 회로가 제공된 복수의 다이(예를 들어 실리콘 다이)를 3차원적으로 적층시켜 제공하는 구성에 대하여 연구 개발이 활발하다(예를 들어 비특허문헌 1 및 비특허문헌 2).

[0004] 적층된 복수의 다이에서는 TSV(Through Silicon Via) 등의 관통 전극을 사용하는 기술 또는 Cu-Cu(Copper-Copper) 직접 접합 기술 등에 의하여 배선 부하가 저감되어 저소비 전력화 및 고속화(저지연)가 실현된다. 상이한 기능 회로를 가지는 다이를 적층시켜 형성하는 반도체 장치에서는 Z 방향(다이를 적층시키는 방향)에서의 클럭 신호의 관리 및 전원 관리가 중요하다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) W. Gomes et al., ISSCC Dig.Tech.Papers, pp.42-43, 2022.
 (비특허문헌 0002) M. Park et al., ISSCC Dig.Tech.Papers, pp.444-445, 2022.

발명의 내용

해결하려는 과제

[0006] 베이스 다이(복수의 다이가 적층되어 제공되는 다이)에 전원 회로를 제공하는 구성의 경우, 베이스 다이에서 떨어진 위층의 다이에 전원 전압이 공급되면 전압 강하의 영향이 커진다. 그러므로 Z 방향에서의 전원 관리에서, 전원 회로가 공급하는 전압의 균일성이 유지되지 않게 될 우려 등이 있다.

[0007] 본 발명의 일 형태는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 복수의 다이가 가지는 기능 회로에 공급되는 전압의 균일성이 뛰어난 신규 구성의 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 전원 회로가 저소비 전력화된 신규 구성의 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 전원 회로에서의 발열의 영향을 저

감할 수 있는 신규 구성의 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는, 신규 구성의 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0008] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및/또는 다른 과제 중 적어도 하나의 과제를 해결하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일 형태는, 제 1 전압을 생성하는 제 1 전원 회로를 가지는 베이스 다이와, 제 1 전압이 공급됨으로써 제 2 전압을 생성하는 제 2 전원 회로를 가지는 제 1 다이와, 제 2 전압이 공급됨으로써 동작하는 기능 회로를 가지는 제 2 다이를 가지고, 제 1 다이 및 제 2 다이는 제 1 관통 전극 및 제 2 관통 전극을 가지고, 제 1 다이는 베이스 다이 위에 제공되고, 제 2 다이는 제 1 다이의 위층 또는 아래층에 접하여 제공되고, 베이스 다이와 제 1 다이는 제 1 관통 전극을 통하여 전기적으로 접속되고, 제 1 다이와 제 2 다이는 제 2 관통 전극을 통하여 전기적으로 접속되는 반도체 장치이다.

[0010] 본 발명의 일 형태에서, 제 1 전원 회로는 스위칭 레귤레이터인 반도체 장치가 바람직하다.

[0011] 본 발명의 일 형태에서, 제 2 전원 회로는 시리즈 레귤레이터인 반도체 장치가 바람직하다.

[0012] 본 발명의 일 형태에서, 기능 회로는 연산 회로, 주변 회로, 메모리 회로, 및 구동 회로 중 어느 하나 또는 복수의 기능을 가지는 회로인 반도체 장치가 바람직하다.

[0013] 본 발명의 일 형태에서, 방열층을 가지고, 방열층은 제 1 다이와 제 2 다이 사이에 제공되는 반도체 장치가 바람직하다.

[0014] 본 발명의 일 형태에서, 상이한 다이에 제공된 제 1 관통 전극과 제 2 관통 전극은 금속 범프를 통하여 전기적으로 접속되는 반도체 장치가 바람직하다.

[0015] 본 발명의 일 형태에서, 제 2 다이는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 제공된 층을 가지고, 트랜지스터를 가지는 층은 적층되어 제공되는 반도체 장치가 바람직하다.

[0016] 본 발명의 일 형태에서 산화물 반도체는 In, Ga, 및 Zn을 가지는 반도체 장치가 바람직하다.

[0017] 본 발명의 일 형태는, 제 1 전압을 생성하는 제 1 전원 회로를 가지는 베이스 다이와, 제 1 전압이 공급됨으로써 제 2 전압을 생성하는 제 2 전원 회로를 가지는 제 1 다이와, 제 2 전압이 공급됨으로써 동작하는 기능 회로를 가지는 제 2 다이 및 제 3 다이를 가지고, 제 1 다이, 제 2 다이, 및 제 3 다이는 관통 전극을 가지고, 제 1 다이는 베이스 다이 위에 제공되고, 제 2 다이는 제 1 다이의 아래층에 접하여 제공되고, 제 3 다이는 제 1 다이의 위층에 접하여 제공되고, 베이스 다이와 제 1 다이는 제 1 관통 전극을 통하여 전기적으로 접속되고, 제 1 다이, 제 2 다이, 및 제 3 다이는 제 2 관통 전극을 통하여 전기적으로 접속되는 반도체 장치이다.

[0018] 본 발명의 일 형태에서, 제 1 전원 회로는 스위칭 레귤레이터인 반도체 장치가 바람직하다.

[0019] 본 발명의 일 형태에서, 제 2 전원 회로는 시리즈 레귤레이터인 반도체 장치가 바람직하다.

[0020] 본 발명의 일 형태에서, 기능 회로는 연산 회로, 주변 회로, 메모리 회로, 및 구동 회로 중 어느 하나 또는 복수의 기능을 가지는 회로인 반도체 장치가 바람직하다.

[0021] 본 발명의 일 형태에서, 방열층을 가지고, 방열층은 제 1 다이와 제 2 다이 사이 및 제 1 다이와 제 3 다이 사이에 제공되는 반도체 장치이다.

[0022] 본 발명의 일 형태에서, 상이한 다이에 제공된 제 1 관통 전극과 제 2 관통 전극은 금속 범프를 통하여 전기적으로 접속되는 반도체 장치가 바람직하다.

[0023] 본 발명의 일 형태에서, 제 2 다이 및 제 3 다이는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 가지는 층을 가지고, 트랜지스터를 가지는 층은 적층되어 제공되는 반도체 장치가 바람직하다.

[0024] 본 발명의 일 형태에서 산화물 반도체는 In, Ga, 및 Zn을 가지는 반도체 장치가 바람직하다.

[0025] 또한 상술한 것 외의 본 발명의 일 형태에 대해서는 이하의 실시형태에서의 설명 및 도면에 기재되어 있다.

발명의 효과

[0026] 본 발명의 일 형태는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 복수의 다이가 가지는 기능 회로에 공급되는 전압의 균일성이 뛰어난 신규 구성의 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 전원 회로가 저소비 전력화된 신규 구성의 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 전원 회로에서의 발열의 영향을 저감할 수 있는 신규 구성의 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태는, 신규 구성의 반도체 장치를 제공할 수 있다.

[0027] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

- [0028] 도 1의 (A), (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 2의 (A), (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 3의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 4의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 5의 (A), (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 6의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 7의 (A), (B), (C)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 8의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 9의 (A) 내지 (D)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 10은 반도체 장치의 구성예를 설명하는 도면이다.
- 도 11의 (A) 내지 (C)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 12는 기억부의 구성예를 설명하는 도면이다.
- 도 13의 (A)는 기억층의 구성예를 설명하는 도면이다. 도 13의 (B)는 기억층의 등가 회로를 설명하는 도면이다.
- 도 14는 기억부의 구성예를 설명하는 도면이다.
- 도 15의 (A)는 기억층의 구성예를 설명하는 도면이다. 도 15의 (B)는 기억층의 등가 회로를 설명하는 도면이다.
- 도 16의 (A) 및 (B)는 전자 부품의 일례를 나타낸 도면이다.
- 도 17의 (A) 및 (B)는 전자 기기의 일례를 나타낸 도면이고, 도 17의 (C) 내지 (E)는 대형 컴퓨터의 일례를 나타낸 도면이다.
- 도 18은 우주용 기기의 일례를 나타낸 도면이다.
- 도 19는 데이터 센터에 적용할 수 있는 저장 시스템의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

- [0030] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다.
- [0031] 또한 본 명세서 등에서는 특별히 언급이 없는 경우, 오프 전류란, 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 드레인 전류를 말한다. 특별히 언급이 없는 경우, 오프 상태란 n채널형 트랜지스터에서는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은(p채널형 트랜지스터에서는 V_{th} 보다 높은) 상태를 말한다.
- [0032] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 즉 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 바꿔 말할 수 있다.
- [0033] (실시형태 1)
- [0034] 본 실시형태에서는 반도체 장치의 구성예에 대하여 설명한다. 본 발명의 일 형태에서 설명하는 반도체 장치는 논리 회로 외에 메모리 회로 또는 주변 회로 등의 복수의 기능 회로를 가지는 SoC(System on a Chip)로서의 기능을 가진다.
- [0035] 도 1의 (A)는 본 발명의 일 형태의 반도체 장치를 설명하기 위한 블록도이다. 도 1의 (B)는 본 발명의 일 형태의 반도체 장치를 설명하기 위한 모식도이다.
- [0036] 도 1의 (A)에 나타난 반도체 장치(10)는 전원 회로(21), 전원 회로(31), 및 복수의 기능 회로(32)를 가진다. 도 1의 (A)에 나타난 반도체 장치(10)가 가지는 전원 회로(21), 전원 회로(31), 및 복수의 기능 회로(32)는 적층된 다이에 제공된다. 도 1의 (B)에 나타난 모식도에서는 다이(이하 베이스 다이(20)) 위에 복수의 다이(일례로서 30_1 내지 30_3)가 제공되어 있다. 도 1의 (B)의 Z 방향은 베이스 다이(20)의 표면에 수직인 방향, 또는 다이(30_1 내지 30_3)가 베이스 다이(20) 위에 적층되어 제공되는 방향을 나타낸다.
- [0037] 도 1의 (B)의 구성에서, 베이스 다이(20) 위에 적층되어 제공되는 다이를 30_1 내지 30_3으로 나타내었다. 베이스 다이(20) 위에 적층되어 제공되는 다이는, 예를 들어 n번째 층의 다이를 다이(30_n)라고 나타낼 수 있다. 또한 본 실시형태 등에서, 다이(30_1 내지 30_n)로 구성되는 n층의 다이 전체에 관한 사항에 대하여 설명하는 경우, 또는 다이(30)의 각 층에 공통된 사항에 대하여 설명하는 경우, 단순히 "다이(30)"라고 표기하는 경우가 있다.
- [0038] 전원 회로(21)는 기준 전압(V_{BASE})을 바탕으로 정전압(V_{in}) 및 참조 전압(V_{ref})을 생성하는 회로이다. 전원 회로(21)는 베이스 다이(20)에 제공된다. 전원 회로(21)는 예를 들어 스위칭 레귤레이터인 것이 바람직하다. 스위칭 레귤레이터는 기준 전압(V_{BASE})을 바탕으로 정전압(V_{in}) 및 참조 전압(V_{ref})을 효율적으로 생성할 수 있다. 스위칭 레귤레이터는 인덕터 및 콘덴서 등 큰 전자 부품을 필요로 한다. 베이스 다이(20)는 다이(30_1 내지 30_3)보다 면적이 크기 때문에, 외장 인덕터 및 다이오드 등 큰 전자 부품을 배치할 수 있다. 또한 정전압(V_{in}) 및 참조 전압(V_{ref})을 제 1 전압이라고 하는 경우가 있다. 또한 전원 회로(21)를 제 1 전원 회로라고 하는 경우가 있다.
- [0039] 또한 전원 회로(21)가 제공되는 베이스 다이(20)는, 전원 회로(21)에 한정되지 않고 클록 생성 회로, CPU 코어 등의 연산 회로, 메모리 회로 등의 기능 회로를 가지는 구성으로 하여도 좋다.
- [0040] 전원 회로(31)는 정전압(V_{in}) 및 참조 전압(V_{ref})을 바탕으로 정전압(V_{out})을 생성하는 회로이다. 전원 회로(31)는 복수의 상이한 정전압(V_{out})을 생성할 수 있도록 복수로 제공되어 있어도 좋다. 전원 회로(31)는 Low-Drop-Out 레귤레이터(LDO Regulator) 등의 시리즈 레귤레이터인 것이 바람직하다. 시리즈 레귤레이터는 증폭 회로 및 출력 전압 제어용 트랜지스터로 구성할 수 있기 때문에, 인덕터 및 다이오드 등의 전자 부품을 사용하지 않고 베이스 다이(20) 위에 적층되는 다이(30_1 내지 30_3)가 가지는 전원 회로에 적용할 수 있다. 또한 정전압(V_{out})을 제 2 전압이라고 하는 경우가 있다. 또한 전원 회로(31)를 제 2 전원 회로라고 하는 경우가 있다. 또한 전원 회로(31)가 제공되는 다이(30_2)를 제 1 다이라고 하는 경우가 있다.
- [0041] 베이스 다이(20) 위에 복수의 다이(예를 들어 30_1 내지 30_3)가 삼차원적으로 적층되는 구성에서, 전원 회로(31)를 가지는 다이(30_2)를 제공함으로써 베이스 다이(20)에서 떨어진 다이(30_2)가 가지는 전원 회로(31)로부

터, 다이(30_2)에 근접한 다이(30_1 및 30_3)가 가지는 기능 회로(32)에 정전압(Vout)을 공급할 수 있다. 그러므로 기능 회로(32)에 공급되는 전압의 강하의 영향을 저감할 수 있다. 그러므로 Z 방향에서의 전원 관리에서, 전원 회로가 공급하는 전압의 균일성 확보를 용이하게 할 수 있다.

[0042] 베이스 다이(20) 및 다이(30_1 내지 30_3)는, 채널 형성 영역을 가지는 반도체층이 실리콘을 가지는 트랜지스터(Si 트랜지스터)를 가진다. Si 트랜지스터를 가짐으로써, CMOS 회로(Si CMOS 회로)를 사용한 전원 회로 및 기능 회로를 형성하는 구성으로 할 수 있다. 상기 구성으로 함으로써, Si CMOS 회로의 전원 회로 및 기능 회로를 각 층에 배치할 수 있다. 전원 회로 및 기능 회로는 CMOS 회로로 형성할 수 있기 때문에 고속 동작이 가능하다.

[0043] 또한 Si 트랜지스터의 채널 형성 영역을 가지는 반도체층에는 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단체로 또는 조합하여 사용할 수 있다. 반도체 재료로서는, 실리콘에 한정되지 않고 예를 들어 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 또는 질화물 반도체 등의 화합물 반도체를 사용하여도 좋다.

[0044] 또한 Si 트랜지스터를 가지는 베이스 다이(20) 및 다이(30_1 내지 30_3)들은, TSV(Through Silicon Via) 등의 관통 전극을 사용하는 기술, 또는 Cu-Cu(Copper-Copper) 직접 접합 기술(Cu(구리)의 패드들을 접촉함으로써 전기적으로 도통시키는 기술) 등을 사용하여 기판 사이를 접속하여, 적층된 소자층으로 할 수 있다. 또한 관통 전극을 가지는 다이 사이는 금속 범프(마이크로 범프라고 하는 경우가 있음)를 통하여 접속할 수 있다.

[0045] 베이스 다이(20)가 가지는 전원 회로(21)로부터 다이(30_2)가 가지는 전원 회로(31)로의 정전압(Vin) 및 참조 전압(Vref)의 공급은, 베이스 다이(20) 위의 복수의 다이(예를 들어 30_1 내지 30_3)에 제공된 관통 전극(41A)을 통하여 수행하는 구성으로 한다. 또한 다이(30)가 가지는 전원 회로(31)로부터 다이(30_1 및 30_3)가 가지는 기능 회로(32)로의 정전압(Vout)의 공급은, 베이스 다이(20) 위의 복수의 다이(예를 들어 30_1 내지 30_3)에 제공된 관통 전극(41B)을 통하여 수행하는 구성으로 한다. 이러한 구성으로 함으로써, 정전압(Vin) 및 참조 전압(Vref)을 베이스 다이에서 떨어진 다이에 공급하면서, 정전압(Vout)을 공급하는 전원 회로(31)와 정전압(Vout)을 공급받는 기능 회로(32)를 가깝게 제공할 수 있다.

[0046] 기능 회로(32)는 정전압(Vout)이 공급됨으로써 기능하는 회로이다. 기능 회로(32)는 연산 회로, 주변 회로, 메모리 회로, 및 구동 회로 중 어느 하나 또는 복수의 기능을 가지는 회로인 것이 바람직하다. 베이스 다이(20) 위에 적층되는 다이(30_1 내지 30_3)에 연산 회로, 주변 회로, 메모리 회로, 및 구동 회로 등의 동기 회로를 제공하는 구성으로 함으로써, 복수의 동기 회로를 근접시켜 배치할 수 있기 때문에, 클록 신호의 타이밍 조정이 용이해져, 클록 신호의 분배에 필요한 소비 전력을 저감할 수 있다. 또한 단위 면적당 복수의 기능 회로를 배치할 수 있기 때문에, 반도체 장치를 고기능화할 수 있다. 또한 기능 회로(32)가 제공되는 다이(30_1) 또는 다이(30_3)를 제 1 다이라고 하는 경우가 있다.

[0047] 정전압(Vout)이 공급되는 기능 회로(32)를 가지는 다이(30_1 및 30_3)는 전원 회로(31)를 가지는 다이(30_2)의 위층 또는 아래층에 접하여 제공되는 것이 바람직하다. 상기 구성으로 함으로써, 정전압(Vout)이 공급되는 기능 회로(32)를 전원 회로(31)에서 균등한 거리에 배치하는 구성으로 할 수 있다.

[0048] 또한 연산 회로는 CPU 또는 GPU 등의 연산 기능을 가지는 기능 회로이다. 또한 메모리 회로는 Si 트랜지스터를 가지는 DRAM 또는 SRAM 등의 메모리 회로, 또는 후술하는, 채널 형성 영역을 가지는 반도체층이 산화물 반도체를 포함하는 트랜지스터(OS 트랜지스터)를 가지는 DOSRAM 또는 NOSRAM 등의 메모리 회로이다. 또한 구동 회로는 메모리 회로 등의 다른 회로를 구동하기 위한 회로이다. 또한 주변 회로는 LAN(Local Area Network), USB(Universal Serial Bus), PCI(Peripheral Component Interconnect) 등, 연산 회로에 비하여 처리 속도가 낮아도 되는 회로이다. 그 외에 기능 회로로서 인터페이스, 브리지 회로 등의 회로를 적용할 수 있다.

[0049] 상술한 바와 같이, 본 발명의 일 형태의 반도체 장치(10)에서는 정전압(Vin) 및 참조 전압(Vref)을 생성하는 전원 회로(21)를 가지는 베이스 다이(20)와, 정전압(Vin) 및 참조 전압(Vref)이 공급됨으로써 정전압(Vout)을 생성하는 전원 회로(31)를 가지는 다이(30_2)와, 정전압(Vout)이 공급됨으로써 동작하는 기능 회로(32)를 가지는 다이(30_1 및 30_3)를 가진다. 다이(30_1 내지 30_3)는 관통 전극(41A 및 41B)을 가진다. 다이(30_2)는 베이스 다이 위에 제공되고, 다이(30_1 및 30_3)는 다이(30_2)의 위층 또는 아래층에 접하여 제공된다. 베이스 다이(20)와 다이(30_2)는 관통 전극(41A)을 통하여 전기적으로 접속된다. 다이(30_2)와 다이(30_1 및 30_3)는 관통 전극(41B)을 통하여 전기적으로 접속된다.

[0050] 본 발명의 일 형태의 반도체 장치는, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, Z 방

향에서의 전원 관리에서 전원 회로가 공급하는 전압의 균일성 확보를 용이하게 할 수 있다. 또한 베이스 다이에서 떨어진 다이에 정전압의 생성에 필요한 전압을 공급하면서, 전원 회로와 기능 회로를 가깝게 제공할 수 있다. 또한 복수의 기능 회로(32)를 전원 회로(31)에서 균등한 거리에 배치할 수 있기 때문에, 각 기능 회로(32)에 공급되는 전압의 균일성이 뛰어난 반도체 장치로 할 수 있다.

[0051] 또한 도 1의 (B)에서는 전원 회로(31)를 가지는 다이(30_2)의 위층 및 아래층의 다이(30_1, 30_3)에 기능 회로(32)를 제공하는 구성을 나타내었지만, 다이(30_1, 30_3) 중 어느 한쪽에 기능 회로(32)를 제공하여도 좋다. 예를 들어 도 2의 (A)에 나타난 반도체 장치(10A)와 같이, 다이(30_1)에 기능 회로(32)를 제공하지 않는 구성으로 할 수도 있다.

[0052] 또한 도 1의 (B)에서는, 전원 회로(31)를 가지는 다이(30_2)의 위층 및 아래층의 다이(30_1, 30_3)에 제공되는 기능 회로(32)에 대한 전기적인 접속을 관통 전극(41B)을 통하여 수행하는 구성을 나타내었지만, 다른 구성이어도 좋다. 예를 들어 도 2의 (B)에 나타난 반도체 장치(10B)와 같이, 위층의 다이(30_3)가 가지는 기능 회로(32)와 전원 회로(31)의 접속은 관통 전극(41B)을 통하여 수행하고, 아래층의 다이(30_1)가 가지는 기능 회로(32)와 전원 회로(31)의 접속은 관통 전극(41C)을 통하여 수행하는 구성으로 할 수 있다. 또한 도 2의 (B)에 나타난 바와 같이, 다이(30_2)가 가지는 전원 회로(31)는 기능 회로(32)마다 제공되는 구성으로 할 수 있다.

[0053] 또한 도 2의 (B)의 구성은 기능 회로(32)에 공급되는 전압의 정밀도를 높이는 데에 있어서 뛰어나다. 도 3의 (A) 내지 도 4의 (B)를 참조하여 전원 회로(31)의 구성예, 그리고 전원 회로(31)를 기능 회로(32) 근방에 배치하는 이점에 대하여 설명한다.

[0054] 도 3의 (A)는 전원 회로(31)에 적용할 수 있는 LDO 레귤레이터의 회로 구성을 나타낸 도면이다. 상술한 바와 같이, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, 전원 회로(31)는 증폭 회로(33) 및 p채널형 Si 트랜지스터인 트랜지스터(34)를 가진다. 트랜지스터(34)는 출력 전압 제어용 트랜지스터이다. 전압(Vin) 및 참조 전압(Vref)은 베이스 다이(20)가 가지는 전원 회로(21)로부터 공급되고, 정전압(Vout)을 공급한다. 증폭 회로(33)에는 정전압(Vout)을 공급하는 배선의 전압이 피드백된다. 증폭 회로(33)는 피드백된 전압을 바탕으로 트랜지스터(34)의 게이트 전압을 제어하여, 원하는 정전압(Vout)을 공급할 수 있다. 또한 도 3의 (A) 등에서 증폭 회로(33)에 피드백되는 정전압(Vout)은 GND 전위와의 사이에서 분압된 전압으로서 입력된다.

[0055] 도 3의 (A)의 전원 회로의 구성에서, 위층의 다이(30_3)(또는 아래층의 다이(30_1))가 가지는 기능 회로(32)에 정전압(Vout)을 공급하는 배선에서는, 관통 전극(41B)이 가지는 저항 소자(35A) 및 기능 회로(32)를 가지는 다이(30_3)의 배선이 가지는 저항 소자(35B)에 의하여 전압 강하가 발생한다(도 3의 (B)). 그러므로 도 3의 (B)에 나타난 바와 같이, 전원 회로(31)가 출력하는 정전압(Vout)은 전압($V_{out} - V_{TSV}$)(V_{TSV} 는 저항 소자(35A) 및 저항 소자(35B)에서의 전압 강하량)으로서 기능 회로(32)에 공급된다. 즉 다이(30_2)가 가지는 전원 회로(31)에서 증폭 회로(33)에는 전압($V_{out} - V_{TSV}$)이 피드백되지 않을 우려가 있다.

[0056] 증폭 회로(33)에 원하는 전압이 피드백되지 않는 구성에서는, 전원 회로(31)와 기능 회로(32) 사이의 거리가 먼 경우, 전압 강하가 더 현저해진다. 예를 들어 도 4의 (A)에 나타난 바와 같이, 전원 회로(31)를 베이스 다이(20)에 제공하고, 정전압(Vout)이 공급되는 기능 회로(32)를 가지고, 가장 위층에 제공되는 다이(30)를 다이(30_N)(N은 2 이상의 정수)로 하는 경우, N층의 다이 각각에 제공되는 관통 전극(41B)의 저항 소자(35A 및 35B)에 의하여 전압 강하가 현저해진다. 구체적으로는 도 4의 (A)에 나타난 바와 같이, 전원 회로(31)가 출력하는 정전압(Vout)은 전압($V_{out} - N \times V_{TSV}$)으로서 기능 회로(32)에 공급된다. 즉 다이(30_2)가 가지는 전원 회로(31)의 증폭 회로(33)에서는, 피드백되는 전압(Vout)과, 기능 회로(32)에 공급되는 전압($V_{out} - N \times V_{TSV}$)의 차이를 무시할 수 없다.

[0057] 본 발명의 일 형태의 구성에서는 정전압(Vout)이 공급됨으로써 동작하는 기능 회로(32)를 가지는 다이(30_1 및 30_3)를, 정전압(Vin) 및 참조 전압(Vref)이 공급됨으로써 정전압(Vout)을 생성하는 전원 회로(31)를 가지는 다이(30_2)의 위층 또는 아래층에 접하도록 가깝게 제공할 수 있다. 그러므로 피드백되는 전압(Vout)과, 기능 회로(32)에 공급되는 전압의 차이를 작게 할 수 있다.

[0058] 구체적으로는 도 4의 (B)에 나타난 회로도도의 모식도와 같이, 기능 회로(32)와 증폭 회로(33)의 입력 단자를 가깝게 배치하고, 관통 전극(41B)과 다른 관통 전극(41D)을 통하여 증폭 회로(33)에 대하여 전압을 피드백하는 구성으로 할 수 있다. 피드백되는 전압은 관통 전극(41D)에서의 저항(35C)만큼 강하되지만, 다이(30_3)에서의 배

선의 리드에 필요한 저항 소자(35B)만큼 전압 강하가 저감된다. 그러므로 기능 회로(32)에 공급되는 정전압(Vout)에 가까운 전압을 증폭 회로(33)에 피드백하는 구성으로 할 수 있다.

- [0059] 도 1의 (A)에서는 정전압(Vin) 및 참조 전압(Vref)을 바탕으로 정전압(Vout)을 공급하는 전원 회로(31)에 대하여 나타내었지만, 전원 회로(31)를 복수로 제공하고, 복수의 정전압을 기능 회로에 공급하는 구성으로 하여도 좋다.
- [0060] 도 5의 (A)는, 정전압(Vin) 및 참조 전압(Vref)을 바탕으로 정전압(Vout1)을 기능 회로(32A)에 공급하는 전원 회로(31A), 그리고 정전압(Vin) 및 참조 전압(Vref)을 바탕으로 정전압(Vout2)을 기능 회로(32B)에 공급하는 전원 회로(31B)를 가지는 반도체 장치(10C)의 블록도이다.
- [0061] 도 5의 (A)의 각 구성은 도 5의 (B)에 나타난 모식도와 같이 베이스 다이(20) 위의 복수의 다이(예를 들어 30_1 내지 30_6)에 배치할 수 있다. 도 5의 (B)의 구성에서는 전원 회로(31A)를 가지는 다이(30_2)를 제공하고, 베이스 다이(20)에서 떨어진 다이(30_2)가 가지는 전원 회로(31)로부터, 다이(30_2)에 근접한 다이(30_1 및 30_3)가 가지는 기능 회로(32A)에 정전압(Vout1)을 공급한다. 마찬가지로, 도 5의 (B)의 구성에서는 전원 회로(31B)를 가지는 다이(30_5)를 제공하고, 베이스 다이(20)에서 떨어진 다이(30_5)가 가지는 전원 회로(31)로부터, 다이(30_5)에 근접한 다이(30_4 및 30_6)가 가지는 기능 회로(32B)에 정전압(Vout2)을 공급한다. 베이스 다이(20), 다이(30_2), 및 다이(30_5)는 관통 전극(41A)을 통하여 전기적으로 접속된다. 다이(30_2)와 다이(30_1 및 30_3)는 관통 전극(41B_1)을 통하여 전기적으로 접속된다. 다이(30_5)와 다이(30_4 및 30_6)는 관통 전극(41B_2)을 통하여 전기적으로 접속된다.
- [0062] 도 5의 (A) 및 (B)의 구성으로 함으로써, 복수의 다이를 베이스 다이 위에 삼차원적으로 적층시키는 구성에서, Z 방향에서의 전원 관리에서 전원 회로가 공급하는 전압의 균일성 확보를 용이하게 할 수 있다. 또한 베이스 다이에서 떨어진 다이에 정전압의 생성에 필요한 전압을 공급하면서, 전원 회로와 기능 회로를 가깝게 제공할 수 있다. 또한 복수의 기능 회로(32A 및 32B)를 전원 회로(31A 및 31B)에서 균등한 거리에 배치할 수 있기 때문에, 각 기능 회로(32A 및 32B)에 공급되는 전압의 균일성이 뛰어난 반도체 장치로 할 수 있다.
- [0063] 도 6의 (A), (B)는 상술한 반도체 장치(10)를 가지는 집적 회로(IC칩이라고 함)의 일례를 나타낸 것이다. 반도체 장치(10)는 복수의 다이를 패키지용 기판 위에 실장함으로써 하나의 IC칩으로 할 수 있다. 도 6의 (A) 및 (B)에 그 구성의 일례를 나타내었다.
- [0064] 도 6의 (A)에 나타난 IC칩(100A)의 단면 모식도는, 패키지 기판(101) 위에 베이스 다이(20)를 가지고, 일례로서 3층의 다이(30_1 내지 30_3)가 베이스 다이(20) 위에 적층된 반도체 장치(10)를 나타낸 것이다. 패키지 기판(101)에는 IC칩(100A)을 인쇄 기판 등과 접속하기 위한 솔더 볼(solder ball)(102)이 제공되어 있다. 다이(30_1 내지 30_3)는 다이(30_1 내지 30_3)를 관통하여 제공된 관통 전극(41A, 41B)을 통하여 베이스 다이(20)와 접속될 수 있다. 또한 각 층은 각 층을 관통하여 제공된 관통 전극(41A, 41B) 사이에 제공된 금속 범프(42)(마이크로 범프라고도 함)를 통하여 전기적으로 접속될 수 있다.
- [0065] 또한 다이(30_1 내지 30_3)는 금속 범프(42)를 사용하지 않는 구성이어도 좋다. 이 경우, 다이를 서로 접합하여, 표면에 노출되어 제공된 전극을 전기적으로 접합하는 구성으로 하면 좋다. 표면에 노출되어 제공된 전극을 사용하여 상이한 층을 전기적으로 접합하는 기술로서는, Cu-Cu 접합을 사용할 수 있다. Cu-Cu 접합은 Cu(구리) 패드들을 접속함으로써 전기적 도통을 실현하는 기술이다.
- [0066] 또한 다른 예로서 도 6의 (B)에서는, 도 6의 (A)에 나타난 다이(30_1 내지 30_3)를 적층시키는 구성에서, 다이(30_1)와 다이(30_2) 사이 및 다이(30_2)와 다이(30_3) 사이에 열 확산층(50)이 제공되고, 다이(30_1 내지 30_3)의 위층에 방열층(52)이 제공된 IC칩(100B)의 단면 모식도를 나타내었다. 열 확산층(50)과 방열층(52) 사이는, 금속 범프 및 관통 전극을 통하여 접속하는 것 등에 의하여 열전도성을 높이는 것이 바람직하다.
- [0067] 열 확산층(50) 및 방열층(52)은 열전도성이 뛰어난 재료로 구성하는 것이 바람직하고, 예를 들어 금속층 또는 유기 재료를 가지는 층으로 할 수 있다. 또한 방열층의 위층에는 히트 싱크 등을 제공하여 방열성을 높이는 구성으로 하는 것이 바람직하다. 방열층(52)은, 히트 싱크 등과의 밀착성이 뛰어난 층인 것이 바람직하다.
- [0068] 또한 전원 회로(31)에 적용할 수 있는 시리즈 레귤레이터는 스위칭 레귤레이터에 비하여 소형화가 가능하지만 변환 효율이 떨어진다. 그러므로 정전압(Vout)을 생성하는 과정에서 발열이 발생하기 쉽다. 그러므로 열 확산층(50) 및 방열층(52)을 사용하여 방열을 촉진함으로써 신뢰성이 뛰어난 반도체 장치 및 IC칩으로 할 수 있다.
- [0069] 이상에서 설명한 바와 같이, 본 발명의 일 형태에서는 베이스 다이 위에 복수의 다이를 삼차원적으로 적층시키

는 구성에서, Z 방향에서의 전원 회로가 공급하는 전압의 균일성 확보를 용이하게 할 수 있다. 또한 베이스 다이에서 떨어진 다이에 정전압의 생성에 필요한 전압을 공급하면서, 전원 회로와 기능 회로를 가깝게 제공할 수 있다. 또한 복수의 기능 회로를 전원 회로에서 균등한 거리에 배치할 수 있기 때문에, 각 기능 회로(32)에 공급되는 전압의 균일성이 뛰어난 반도체 장치로 할 수 있다.

- [0070] 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0071] (실시형태 2)
- [0072] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치의 변형예에 대하여 설명한다. 또한 앞의 실시형태 1에서 설명한 사항에 대해서는 공통된 부호를 사용하고, 그 설명을 생략한다.
- [0073] 도 7의 (A)는 반도체 장치(10)가 가지는 베이스 다이 위에 적층시킬 수 있는 다이의 변형예를 설명하기 위한 단면 모식도이다. 또한 도 7의 (B) 및 (C)는, 도 6의 (A)를 참조하여 설명한 IC칩에 탑재되는 반도체 장치(10)의 단면 모식도에 도 7의 (A)의 구성을 적용한 반도체 장치의 단면 모식도이다.
- [0074] 도 7의 (A)에서는, Si 트랜지스터(49)를 가지는 베이스 다이(20S) 위에 OS 트랜지스터(48)를 가지는 소자층(40_1 내지 40_4)이 제공되는 구성의 다이(30S)를 나타내었다. 그리고 베이스 다이(20S) 및 소자층(40_1 내지 40_4)을 전기적으로 접속하기 위한 전극(47)은 Si 트랜지스터(49) 또는 OS 트랜지스터(48)를 제작하는 공정에서 제공할 수 있다. 또한 본 실시형태 등에서 소자층(40_1 내지 40_4)으로 나타내는 소자층의 개수는 4개에 한정되지 않고, 2개 이상의 층이면 좋다. 또한 소자층(40_1 내지 40_4)의 각 층에 공통된 사항을 나타내는 경우, 단순히 "소자층(40)"이라고 표기하는 경우가 있다.
- [0075] 도 7의 (A)의 구성에서는 Si 트랜지스터(49)를 가지는 베이스 다이(20S)와, OS 트랜지스터를 가지는 소자층(40_1 내지 40_4) 사이의 접속은, TSV 등의 관통 전극을 사용한 기술 또는 Cu-Cu 직접 접합 기술을 사용하지 않는 모놀리식 구성으로 할 수 있다. 베이스 다이(20S) 위의 소자층(40_1 내지 40_4)은 소자층(40_1 내지 40_4)이 가지는 OS 트랜지스터(48)와 함께 제공되는 배선을, 위층 또는 아래층의 소자층과 접속하기 위한 전극(47)으로서 사용하는 구성으로 할 수 있다.
- [0076] OS 트랜지스터(48)와 함께 제공되는 배선의 간격은, TSV 또는 Cu-Cu 직접 접합 기술에서 사용되는 관통 전극에 비하여 미세 가공이 가능하다. 그러므로 도 7의 (A)에 나타난 다이(30S)의 구성에서는 위층 또는 아래층의 소자층과 접속하기 위한 전극의 개수를 늘릴 수 있다. 그러므로 소자층(40_1 내지 40_4)에 제공되는 기능 회로와, 베이스 다이(20S)에 제공되는 기능 회로의 배선 수(신호선 수)를 늘릴 수 있다. 바꿔 말하면, 기능 회로 간의 채널 수를 늘릴 수 있다. 그러므로 기능 회로 간에서 송수신되는 신호의 전송량(轉送量)(밴드폭)을 확대할 수 있다. 밴드폭을 확대함으로써, 단위 시간당 데이터 전송량을 늘릴 수 있다.
- [0077] OS 트랜지스터에 적용되는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물 및 아연 산화물이 있다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2종류 또는 3종류를 가지는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 안티모니, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.
- [0078] 특히 금속 산화물로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IGZO라고도 표기함)을 사용하는 것이 바람직하다. 또는 인듐, 주석, 및 아연을 포함하는 산화물(ITZO라고도 기재함)을 사용하는 것이 바람직하다. 또는 인듐, 갈륨, 주석, 및 아연을 포함하는 산화물을 사용하는 것이 바람직하다. 또는 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물(IAZO라고도 표기함)을 사용하는 것이 바람직하다. 또는 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IAGZO라고도 표기함)을 사용하는 것이 바람직하다. 또는 인듐(In), 갈륨(Ga), 아연(Zn), 및 주석(Sn)을 포함하는 산화물(IGZTO라고도 표기함)을 사용하는 것이 바람직하다.
- [0079] 또한 OS 트랜지스터에 적용되는 금속 산화물은 조성이 상이한 2개 이상의 금속 산화물층을 가져도 좋다. 예를 들어, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성의 제 2 금속 산화물층의 적층 구조를 적합하게 사용할 수 있다.
- [0080] 또한 예를 들어 인듐 산화물, 인듐 갈륨 산화물, 및 IGZO 중에서 선택되는 어느 하나와, IAZO, IAGZO, 및 ITZO

중에서 선택되는 어느 하나의 적층 구조 등을 사용하여도 좋다.

- [0081] 또한 OS 트랜지스터에 적용되는 금속 산화물은 결정성을 가지는 것이 바람직하다. 결정성을 가지는 산화물 반도체로서는 CAAC(c-axis-aligned crystalline)-OS, nc(nanocrystalline)-OS 등을 들 수 있다. 결정성을 가지는 산화물 반도체를 사용하면, 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0082] 또한 OS 트랜지스터는 고온 환경에서도 동작이 안정적이고, 특성의 변동이 적다. 예를 들어 고온 환경에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200℃ 이하의 환경 온도에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경에서도 온 전류가 저하하기 어렵다. 따라서 OS 트랜지스터를 포함하는 메모리 셀은 고온 환경에서도 동작이 안정적이고 신뢰성이 높다.
- [0083] OS 트랜지스터를 가지는 소자층(40)에 제공할 수 있는 기능 회로로서는 메모리 회로가 바람직하다. 메모리 회로에 적용할 수 있는 메모리 셀로서는 NOSRAM이 바람직하다. NOSRAM(등록 상표)이란, "Nonvolatile Oxide Semiconductor Random Access Memory(RAM)"의 약칭이다. NOSRAM은 메모리 셀이 2트랜지스터형(2T) 또는 3트랜지스터형(3T) 계인 셀이다.
- [0084] OS 트랜지스터는 오프 상태에서 소스와 드레인 사이에 흐르는 전류, 즉 누설 전류가 매우 작다. NOSRAM은 누설 전류가 매우 작다는 특성을 사용하여 데이터에 대응한 전하를 메모리 셀 내에 유지함으로써, 비휘발성 메모리로서 사용할 수 있다. 특히 NOSRAM은 유지하는 데이터를 파괴하지 않고 판독하는 것(비파괴 판독)이 가능하기 때문에, 데이터 판독 동작만을 수없이 반복하는 연산의 처리에 적합하다.
- [0085] 도 7의 (B)는 도 7의 (A)의 다이(30S)와, 앞의 실시형태 1에서 설명한 전원 회로(31)를 가지는 다이(30)를 조합한 IC칩(100C)의 단면 모식도의 구성예이다.
- [0086] 도 7의 (B)에 나타낸 IC칩(100C)에서는, 소자층에서 TSV 등의 관통 전극을 사용한 기술 또는 Cu-Cu 직접 접합 기술을 사용하지 않는 모놀리식 구성이 다이(30S_1 및 30S_2)에 적용되어 있기 때문에, 소자층에 제공되는 배선의 미세 가공이 가능하다. 그러므로 도 7의 (B)에 나타낸 IC칩(100C)의 구성에서는 기능 회로가 제공되는 다이(30S_1 및 30S_2)에서 위층 또는 아래층의 소자층과 접속하기 위한 전극의 개수를 늘릴 수 있다. 그러므로 기능 회로 간에서 송수신되는 신호의 전송량(밴드폭)을 확대할 수 있어, 단위 시간당 데이터 전송량을 늘릴 수 있다.
- [0087] 또한 도 7의 (B)에 나타낸 IC칩의 구성은, 도 7의 (C)에 예시한 IC칩(100D)의 구성으로 하여도 좋다. 도 7의 (C)는 위층에 제공되는 다이(30S_2)와, 아래층에 제공되는 다이(30S_1)가 다이(30)를 경계로 대칭성을 가지는 배치로 한 구성을 가진다. 구체적으로는 아래층(다이(30S_1))에 제공되는 베이스 다이(20S), 아래층(다이(30S_1))에 제공되는 소자층(40_1 내지 40_4), 다이(30), 위층(다이(30S_2))에 제공되는 소자층(40_1 내지 40_4), 및 위층(다이(30S_2))에 제공되는 베이스 다이(20S)가 이 순서대로 적층되는 배치로 한 구성을 가진다. 상기 구성으로 함으로써, 각 다이(30S_1, 30S_2)가 가지는 기능 회로에 대하여 전원 회로(31)가 공급하는 전압의 균일성을 높일 수 있다.
- [0088] 다음으로 OS 트랜지스터를 가지는 소자층(40_1 내지 40_4)에 적용할 수 있는, NOSRAM을 메모리 셀로 한 메모리 회로로서 기능하는 기능 회로(32M)의 구성예에 대하여 설명한다.
- [0089] 도 8의 (A)에 나타낸 기능 회로(32M)는 메모리 셀 어레이(60) 및 주변 회로(65)를 가진다. 주변 회로(65)로서 제어 회로(61), 행 회로(62), 열 회로(63), 및 입출력 회로(64)가 제공되어 있다.
- [0090] 메모리 셀 어레이(60)는 메모리 셀(66), 워드선(RWL), 워드선(WWL), 비트선(RBL), 비트선(WBL), 소스선(SL), 배선(BGL)을 가진다. 또한 워드선(RWL)을 판독 워드선이라고 부르는 경우가 있다. 또한 워드선(WWL)을 기록 워드선이라고 부르는 경우가 있다. 비트선(RBL)을 판독 비트선이라고 부르는 경우가 있다. 비트선(WBL)을 기록 비트선이라고 부르는 경우가 있다.
- [0091] 제어 회로(61)는 데이터의 기록, 데이터의 판독을 제어한다. 제어 회로(61)는 외부로부터의 명령 신호(예를 들어 칩 인에이블 신호, 기록 인에이블 신호 등)를 처리하여, 주변 회로(65) 중 기타 회로에 대한 제어 신호를 생성한다.
- [0092] 행 회로(62)는 액세스하는 행을 선택하는 기능을 가진다. 예를 들어 행 회로(62)는 행 디코더 및 워드선 드라이버를 가진다. 열 회로(63)는 비트선(WBL, RBL)을 프리차지하는 기능, 비트선(WBL)에 데이터를 기록하는 기능, 비트선(RBL)의 데이터를 증폭하는 기능, 비트선(RBL)으로부터 데이터를 판독하는 기능 등을 가진다. 입

출력 회로(64)는 기록용 데이터를 유지하는 기능, 판독된 데이터를 유지하는 기능 등을 가진다.

- [0093] 주변 회로(65)의 구성은 메모리 셀 어레이(60)의 구성, 판독 방법, 및 기록 방법 등에 따라 적절히 변경된다. 또한 주변 회로(65)의 일부는 베이스 다이(20S)에 제공하는 구성이 바람직하다.
- [0094] 도 8의 (B)에 메모리 셀(66)의 회로 구성예를 나타내었다. 여기서는 메모리 셀(66)은 2트랜지스터형(2T) 게인 셀이다. 메모리 셀(66)은 트랜지스터(MW1, MR1), 용량 소자(CS1)를 가진다. 트랜지스터(MW1)는 기록 트랜지스터이고, 트랜지스터(MR1)는 판독 트랜지스터이다. 트랜지스터(MW1, MR1)의 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다.
- [0095] OS 트랜지스터로 기록 트랜지스터를 구성하기 때문에 메모리 셀(66)은 데이터 유지에 전력을 소비하지 않는다. 따라서 메모리 셀(66)은 데이터를 장기간 유지할 수 있는 저소비 전력의 메모리 셀이고, 기능 회로(32M)를 비휘발성 기억 장치로서 사용할 수 있다.
- [0096] 도 9의 (A) 내지 (D)를 참조하여 메모리 셀의 다른 구성예를 설명한다.
- [0097] 도 9의 (A)에 나타낸 메모리 셀(66A)은 3T형 게인 셀이고, 트랜지스터(MW2, MR2, MS2) 및 용량 소자(CS2)를 가진다. 트랜지스터(MW2, MR2, MS2)는 각각 기록 트랜지스터, 판독 트랜지스터, 선택 트랜지스터이다. 트랜지스터(MW2, MR2, MS2)의 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 메모리 셀(66A)은 워드선(RWL, WWL), 비트선(RBL, WBL), 용량선(CDL), 전원선(PL2)에 전기적으로 접속되어 있다. 예를 들어 용량선(CDL), 전원선(PL2)에는 전압(GND)(저레벨 측 전원 전압)이 입력된다.
- [0098] 도 9의 (B)에 2T형 게인 셀의 다른 구성예를 나타내었다. 도 9의 (B)에 나타낸 메모리 셀(66B)에서는, 백 게이트를 가지지 않는 OS 트랜지스터로 판독 트랜지스터가 구성되어 있다.
- [0099] 도 9의 (C)에 3T형 게인 셀의 다른 구성예를 나타내었다. 도 9의 (C)에 나타낸 메모리 셀(66C)에서는 백 게이트를 가지지 않는 OS 트랜지스터로 판독 트랜지스터, 선택 트랜지스터가 구성되어 있다.
- [0100] 상술한 게인 셀에서, 비트선(RBL)과 비트선(WBL)을 겹치는 비트선을 제공하여도 좋다.
- [0101] 또한 메모리 셀(66)에 적용할 수 있는 구성의 일례로서 NOSRAM을 설명하였지만, OS 트랜지스터로 형성할 수 있는 메모리 셀이면 다른 구성이어도 좋다. 예를 들어 OS 트랜지스터를 가지는 메모리 회로인 DOSRAM을 적용하여도 좋다. DOSRAM(등록 상표)이란, "Dynamic Oxide Semiconductor RAM"의 약칭이고, 1T(트랜지스터) 1C(용량 소자)형 메모리 셀을 가지는 RAM을 가리킨다. DOSRAM은 OS 트랜지스터를 사용하여 형성된 DRAM이고, DOSRAM은 외부로부터 송신된 정보를 일시적으로 저장하는 메모리이다. DOSRAM은 OS 트랜지스터의 오프 전류가 낮은 것을 이용한 메모리이다.
- [0102] 도 9의 (D)에 1T1C(용량 소자)형 메모리 셀의 예를 나타내었다. 도 9의 (D)에 나타낸 메모리 셀(66D)은 워드선(WL), 비트선(BL), 용량선(CDL), 배선(BGL)에 전기적으로 접속되어 있다. 메모리 셀(66D)은 트랜지스터(MW3), 용량 소자(CS3)를 가진다. 트랜지스터(MW3)의 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다.
- [0103] 메모리 셀(66)이 NOSRAM, DOSRAM인 경우, 액세스 트랜지스터인 트랜지스터(도 8의 (B)의 트랜지스터(MW1))의 게이트에 접속된 워드선(WWL)에 상기 트랜지스터가 오프가 되는 전압을 인가한 상태로 하고, 기타 부분을 파워 게이트하는 것이 바람직하다. 상기 구성으로 함으로써, 메모리 셀(66)에 데이터를 저장한 상태에서 전원 전압의 공급을 정지할 수 있다.
- [0104] 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0105] (실시형태 3)
- [0106] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치에 적용할 수 있는 트랜지스터의 구성에 대하여 설명한다. 일례로서 상이한 전기 특성을 가지는 트랜지스터를 적층시켜 제공하는 구성에 대하여 설명한다. 상기 구성으로 함으로써, 반도체 장치의 설계 자유도를 높일 수 있다. 또한 상이한 전기 특성을 가지는 트랜지스터를 적층시켜 제공함으로써, 반도체 장치의 집적도를 높일 수 있다.
- [0107] 반도체 장치의 단면 구조의 일부를 도 10에 나타내었다. 도 10에 나타낸 반도체 장치는 트랜지스터(550)와, 트랜지스터(500)와, 용량 소자(600)를 가진다. 도 11의 (A)는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 11의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이고, 도 11의 (C)는 트랜지스터(550)의 채널 폭 방향의 단면도이다. 예를 들어 트랜지스터(500)는 앞의 실시형태에서 설명한 OS 트랜지스터에 상당하고, 트랜지스

터(550)는 Si 트랜지스터에 상당한다.

- [0108] 도 10에서, 트랜지스터(500)는 트랜지스터(550) 위쪽에 제공되고, 용량 소자(600)는 트랜지스터(550) 및 트랜지스터(500) 위쪽에 제공되어 있다.
- [0109] 트랜지스터(550)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다.
- [0110] 도 11의 (C)에 나타난 바와 같이, 트랜지스터(550)에서는 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재(介在)하여 도전체(316)로 덮여 있다. 이와 같이 트랜지스터(550)를 Fin형으로 하면, 실질적인 채널 폭이 증대되기 때문에, 트랜지스터(550)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(550)의 오프 특성을 향상시킬 수 있다.
- [0111] 또한 트랜지스터(550)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.
- [0112] 반도체 영역(313)에서 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(550)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.
- [0113] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0114] 게이트 전극으로서 기능하는 도전체(316)에는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.
- [0115] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써, 트랜지스터의 문턱 전압을 조절할 수 있다. 구체적으로는, 도전체에 질화 타이타늄, 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐, 알루미늄 등의 금속 재료의 적층을 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0116] 트랜지스터(550)는 SOI(Silicon on Insulator) 기판 등을 사용하여 형성하여도 좋다.
- [0117] 또한 SOI 기판으로서, 경면(鏡面) 연마 웨이퍼에 산소 이온을 주입한 후, 고온 가열을 수행하여 표면에서 일정한 깊이에 산화층을 형성하고, 표면층에 생긴 결함을 소멸시킴으로써 형성된 SIMOX(Separation by Implanted Oxygen) 기판, 또는 수소 이온 주입에 의하여 형성된 미세한 공동(void)이 열 처리에 의하여 성장하는 것을 이용하여 반도체 기판을 벽개(劈開)하는 스마트 컷법, ELTRAN법(등록 상표: Epitaxial Layer Transfer) 등을 사용하여 형성된 SOI 기판을 사용하여도 좋다. 단결정 기판을 사용하여 형성된 트랜지스터는 채널 형성 영역에 단결정 반도체를 가진다.
- [0118] 트랜지스터(550)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.
- [0119] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0120] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0121] 절연체(322)는 그 아래쪽에 제공되는 트랜지스터(550) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

- [0122] 또한 절연체(324)에는, 기관(311) 또는 트랜지스터(550) 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소, 불순물 등이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.
- [0123] 수소에 대한 배리어성을 가지는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 가지는 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(550) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0124] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은, TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여 1×10^{16} atoms/cm² 이하, 바람직하게는 5×10^{15} atoms/cm² 이하이면 좋다.
- [0125] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0126] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 용량 소자(600) 또는 트랜지스터(500)에 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구성을 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0127] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄, 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 저감할 수 있다.
- [0128] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0129] 또한 예를 들어 절연체(350)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(350)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0130] 또한 수소에 대한 배리어성을 가지는 도전체로서는, 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층시킴으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(550)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구성이 바람직하다.
- [0131] 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 절연체(360), 절연체(362), 및 절연체(364)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(360), 절연체(362), 및 절연체(364)에는 도전체(366)가 형성되어 있다. 도전체(366)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(366)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0132] 또한 예를 들어 절연체(360)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(366)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(360)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기

때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

- [0133] 절연체(364) 및 도전체(366) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 절연체(370), 절연체(372), 및 절연체(374)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(370), 절연체(372), 및 절연체(374)에는 도전체(376)가 형성되어 있다. 도전체(376)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(376)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0134] 또한 예를 들어 절연체(370)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(376)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(370)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0135] 절연체(374) 및 도전체(376) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 절연체(380), 절연체(382), 및 절연체(384)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(380), 절연체(382), 및 절연체(384)에는 도전체(386)가 형성되어 있다. 도전체(386)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0136] 또한 예를 들어 절연체(380)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(386)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(380)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0137] 도전체(356)를 포함하는 배선층, 도전체(366)를 포함하는 배선층, 도전체(376)를 포함하는 배선층, 및 도전체(386)를 포함하는 배선층에 대하여 앞에서 설명하였지만, 본 실시형태에 따른 반도체 장치는 이들에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배선층과 같은 배선층을 5층 이상으로 하여도 좋다.
- [0138] 절연체(384) 위에는 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공되어 있다. 절연체(510), 절연체(512), 절연체(514), 및 절연체(516) 중 어느 것에는, 산소, 수소 등에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다.
- [0139] 예를 들어 절연체(510) 및 절연체(514)에는, 기판(311), 또는 트랜지스터(550)가 제공되는 영역 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소, 불순물 등이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서 절연체(324)와 같은 재료를 사용할 수 있다.
- [0140] 수소에 대한 배리어성을 가지는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 가지는 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(550) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0141] 또한 수소에 대한 배리어성을 가지는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0142] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.
- [0143] 또한 예를 들어 절연체(512) 및 절연체(516)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(512) 및 절연체(516)로서 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.
- [0144] 또한 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)에는 도전체(518), 및 트랜지스터(500)를 구성하는 도전체(예를 들어 도전체(503)) 등이 매립되어 있다. 또한 도전체(518)는 용량 소자(600) 또는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(518)는 도전체(328) 및 도전체(330)와 같

은 재료를 사용하여 제공할 수 있다.

- [0145] 특히 절연체(510) 및 절연체(514)와 접하는 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0146] 절연체(516) 위쪽에는 트랜지스터(500)가 제공되어 있다.
- [0147] 도 11의 (A) 및 (B)에 나타난 바와 같이, 트랜지스터(500)는 절연체(514) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516) 및 도전체(503) 위에 배치된 절연체(520)와, 절연체(520) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 서로 떨어져 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이와 중첩되는 개구가 형성된 절연체(580)와, 개구의 밑면 및 측면에 배치된 절연체(545)와, 절연체(545)의 형성면에 배치된 도전체(560)를 가진다.
- [0148] 또한 도 11의 (A) 및 (B)에 나타난 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한 도 11의 (A) 및 (B)에 나타난 바와 같이, 도전체(560)는 절연체(545)의 내측에 제공된 도전체(560a)와, 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 가지는 것이 바람직하다. 또한 도 11의 (A) 및 (B)에 나타난 바와 같이, 절연체(580), 도전체(560), 및 절연체(545) 위에 절연체(574)가 배치되는 것이 바람직하다.
- [0149] 또한 본 명세서 등에서, 산화물(530a) 및 산화물(530b)을 통틀어 산화물(530)이라고 하는 경우가 있다.
- [0150] 또한 채널이 형성되는 영역과 그 근방에서 산화물(530a) 및 산화물(530b)의 2층이 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(530b)의 단층 또는 3층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다.
- [0151] 또한 트랜지스터(500)에서 도전체(560)는 2층의 적층 구조를 가지지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)는 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다. 또한 도 10 및 도 11의 (A)에 나타난 트랜지스터(500)는 일레이고, 그 구성에 한정되지 않고, 회로 구성, 구동 방법 등에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0152] 여기서, 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이에 끼워진 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서 위치를 맞추기 위한 마진을 제공하지 않고 도전체(560)를 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적을 감소시킬 수 있다. 이로써, 반도체 장치를 미세화, 고집적화할 수 있다.
- [0153] 또한 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 가지지 않는다. 이로써, 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서 트랜지스터(500)의 스위칭 속도를 향상시켜, 주파수 특성을 높일 수 있다.
- [0154] 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(503)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압을 제어할 수 있다. 특히, 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 문턱 전압을 0V보다 크게 하여, 오프 전류를 저감할 수 있다. 따라서 도전체(503)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.
- [0155] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이로써, 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 발생하는 전계와 도전체(503)로부터 발생하는 전계가 연결되므로, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다.
- [0156] 본 명세서 등에서는 제 1 게이트 전극의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를

surrounded channel(S-channel) 구조라고 한다. 또한 본 명세서 등에 개시되는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 상이하다. 한편, 본 명세서 등에 개시되는 S-channel 구조는 Fin형 구조의 1종류로 간주할 수도 있다. 또한 본 명세서 등에서 Fin형 구조란, 게이트 전극이 적어도 채널의 2면 이상(구체적으로는 2면, 3면, 또는 4면 등)을 감싸도록 배치되는 구조를 가리킨다. Fin형 구조 및 S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0157] 트랜지스터를 상기 S-channel 구조로 함으로써, 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 S-channel 구조는 채널 형성 영역을 전기적으로 둘러싼 구조이기 때문에, GAA(Gate All Around) 구조 또는 LGAA(Lateral Gate All Around) 구조와 실질적으로 같은 구조라고도 할 수 있다. 트랜지스터를 S-channel 구조, GAA 구조, 또는 LGAA 구조로 함으로써, 산화물(530)과 게이트 절연체의 계면 또는 계면 근방에 형성되는 채널 형성 영역을 산화물(530)의 벌크 전체로 할 수 있다. 따라서 트랜지스터에 흐르는 전류 밀도를 향상시킬 수 있기 때문에, 트랜지스터의 온 전류 향상 또는 트랜지스터의 전계 효과 이동도 향상이 기대된다.

[0158] 또한 도전체(503)는 도전체(518)와 같은 구성을 가지고, 절연체(514) 및 절연체(516)의 개구의 내벽과 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성되어 있다. 또한 도전체(503a) 및 도전체(503b)가 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(503)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다.

[0159] 여기서 도전체(503a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능이다.

[0160] 예를 들어 도전체(503a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(503b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다.

[0161] 또한 도전체(503)가 배선의 기능을 겸하는 경우, 도전체(503b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 또한 본 실시형태에서 도전체(503)는 도전체(503a)와 도전체(503b)의 적층을 가지지만, 도전체(503)는 단층 구조이어도 좋다.

[0162] 절연체(520), 절연체(522), 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 가진다.

[0163] 여기서, 산화물(530)과 접하는 절연체(524)로서는, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 상기 산소는 가열에 의하여 막 내부로부터 방출되기 쉽다. 본 명세서 등에서는, 가열에 의하여 방출되는 산소를 "과잉 산소"라고 부르는 경우가 있다. 즉 절연체(524)에는 과잉 산소를 포함하는 영역("과잉 산소 영역"이라고도 함)이 형성되어 있는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)과 접하여 제공함으로써, 산화물(530) 내의 산소 결손(V_O : oxygen vacancy라고도 함)을 저감하여, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다. 또한 산화물(530) 내의 산소 결손에 수소가 들어간 경우, 상기 결합(이하 V_{OH} 라고 부르는 경우가 있음)은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 산화물 반도체 내의 수소는 열, 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다. 본 발명의 일 형태에서는, 산화물(530) 내의 V_{OH} 를 가능한 한 저감하고, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_{OH} 가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 수분, 수소 등의 불순물을 제거하는 것("탈수" 또는 "탈수소화 처리"라고도 함)과, 산화물 반도체에 산소를 공급하여 산소 결손을 보상하는 것("가산소화 처리"라고도 함)이 중요하다. V_{OH} 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0164] 과잉 산소 영역을 가지는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 1.0×10^{19} atoms/cm³ 이상,

더 바람직하게는 2.0×10^{19} atoms/cm³ 이상 또는 3.0×10^{20} atoms/cm³ 이상인 산화물막이다. 또한 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0165] 또한 상기 과잉 산소 영역을 가지는 절연체와, 산화물(530)이 접한 상태로 가열 처리, 마이크로파 처리, 및 RF 처리 중 어느 하나 또는 복수가 수행되어도 좋다. 상기 처리를 수행함으로써, 산화물(530) 내의 물 또는 수소를 제거할 수 있다. 예를 들어 산화물(530)에서, VoH의 결합이 절단되는 반응, 즉 " $V_oH \rightarrow V_o + H$ "라는 반응이 일어나, 탈수소화될 수 있다. 이때 발생한 수소의 일부는, 산소와 결합하여 H₂O가 되고, 산화물(530) 또는 산화물(530) 근방의 절연체로부터 제거되는 경우가 있다. 또한 수소의 일부는 도전체(542)에 케터링되는 경우가 있다.

[0166] 또한 상기 마이크로파 처리에는, 예를 들어 고밀도 플라즈마를 발생시키는 전원을 가지는 장치 또는 기관 측에 RF를 인가하는 전원을 가지는 장치를 사용하는 것이 적합하다. 예를 들어 산소를 포함하는 가스와 고밀도 플라즈마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써, 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 산화물(530) 또는 산화물(530) 근방의 절연체 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리에서는, 압력을 133Pa 이상, 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한 마이크로파 처리를 수행하는 장치 내에 도입되는 가스로서는, 예를 들어 산소와 아르곤을 사용하고, 산소 유량비(O₂/(O₂+Ar))가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하는 것이 좋다.

[0167] 또한 트랜지스터(500)의 제작 공정에서는, 산화물(530)의 표면이 노출된 상태로 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는, 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이 경우, 산화물(530)에 산소를 공급함으로써, 산소 결손(V_o)을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행한 후에, 이 탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행하여도 좋다.

[0168] 또한 산화물(530)에 가산산화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(530) 내의 산소 결손을 수복(修復)할 수 있고, 바꿔 말하면 " $V_o + O \rightarrow \text{null}$ "이라는 반응을 촉진할 수 있다. 또한 공급된 산소와 산화물(530) 내에 잔존한 수소가 반응함으로써, 상기 수소를 H₂O로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(530) 내에 잔존한 수소가 산소 결손과 재결합하여 V_oH가 형성되는 것을 억제할 수 있다.

[0169] 또한 절연체(524)가 과잉 산소 영역을 가지는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다.

[0170] 절연체(522)가 산소, 불순물 등의 확산을 억제하는 기능을 가지면, 산화물(530)이 가지는 산소가 절연체(520) 측으로 확산되지 않기 때문에 바람직하다. 또한 도전체(503)가 절연체(524), 산화물(530) 등이 가지는 산소와 반응하는 것을 억제할 수 있다.

[0171] 절연체(522)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO₃), 또는 (Ba,Sr)TiO₃(BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층으로 또는 적층하여 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.

[0172] 특히 불순물 및 산소 등의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체에는, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출, 또는 트랜지스터(500)의 주변부로부터 산화물(530)

로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

- [0173] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시켜 사용하여도 좋다.
- [0174] 또한 절연체(520)는 열적으로 안정적인 것이 바람직하다. 예를 들어 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체를 산화 실리콘 또는 산화질화 실리콘과 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(520)를 얻을 수 있다.
- [0175] 또한 도 11의 (A) 및 (B)의 트랜지스터(500)에서는, 3층의 적층 구조를 가지는 제 2 게이트 절연막으로서 절연체(520), 절연체(522), 및 절연체(524)가 도시되어 있지만, 제 2 게이트 절연막은 단층, 2층, 또는 4층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조를 가져도 좋다.
- [0176] 트랜지스터(500)에서는, 채널 형성 영역을 포함하는 산화물(530)로서, 산화물 반도체로서 기능하는 금속 산화물을 사용한다. 예를 들어 산화물(530)로서, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다.
- [0177] 산화물 반도체로서 기능하는 금속 산화물의 형성은 스퍼터링법에 의하여 수행하여도 좋고, ALD(Atomic Layer Deposition)법에 의하여 수행하여도 좋다. 또한 산화물 반도체로서 기능하는 금속 산화물에 대해서는, 다른 실시형태에서 자세히 설명한다.
- [0178] 또한 산화물(530)에서 채널 형성 영역으로서 기능하는 금속 산화물로서, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다. 이와 같이 밴드 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0179] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 가짐으로써, 산화물(530a)보다 아래쪽에 형성된 구성물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.
- [0180] 또한 산화물(530)은 각 금속 원자의 원자수비가 다른 복수의 산화물층의 구성을 가지는 것이 바람직하다. 구체적으로는, 산화물(530a)에 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530a)에 사용하는 금속 산화물에서, In에 대한 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530b)에 사용하는 금속 산화물에서, 원소 M에 대한 In의 원자수비가 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다.
- [0181] 또한 산화물(530a)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한 바꿔 말하면, 산화물(530a)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.
- [0182] 여기서, 산화물(530a) 및 산화물(530b)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 산화물(530a) 및 산화물(530b)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화되거나 연속 접합한다고 바꿔 말할 수도 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0183] 구체적으로는, 산화물(530a)과 산화물(530b)이 산소 이외에 공통의 원소를 가짐으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.
- [0184] 이때, 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 따라서 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지므로, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.
- [0185] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된다. 도전체(542a) 및 도전체(542b)에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬,

란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 질화 탄탈럼 등의 금속 질화물막은 수소 또는 산소에 대한 배리어성을 가지기 때문에 바람직하다.

[0186] 또한 도 11의 (A)에서는 도전체(542a) 및 도전체(542b)를 단층 구조로 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 질화 탄탈럼막과 텅스텐막을 적층시키는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층시켜도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층시키는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층시키는 2층 구조, 타이타늄막 위에 구리막을 적층시키는 2층 구조, 텅스텐막 위에 구리막을 적층시키는 2층 구조로 하여도 좋다.

[0187] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩시켜 알루미늄막 또는 구리막을 적층시키고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩시켜 알루미늄막 또는 구리막을 적층시키고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0188] 또한 도 11의 (A)에 나타낸 바와 같이, 산화물(530)과 도전체(542a)(도전체(542b))의 계면과 그 근방에는 저저항 영역으로서 영역(543a) 및 영역(543b)이 형성되는 경우가 있다. 이때, 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이에 끼워진 영역에 채널 형성 영역이 형성된다.

[0189] 상기 도전체(542a)(도전체(542b))를 산화물(530)과 접하도록 제공함으로써, 영역(543a)(영역(543b))의 산소 농도가 저감되는 경우가 있다. 또한 영역(543a)(영역(543b))에, 도전체(542a)(도전체(542b))에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 밀도가 증가되어 영역(543a)(영역(543b))은 저저항 영역이 된다.

[0190] 절연체(544)는 도전체(542a) 및 도전체(542b)를 덮도록 제공되어, 도전체(542a) 및 도전체(542b)의 산화를 억제한다. 이때 절연체(544)는 산화물(530)의 측면을 덮어 절연체(524)와 접하도록 제공되어도 좋다.

[0191] 절연체(544)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 네오디뮴, 란타넘, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 또한 절연체(544)에는 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수도 있다.

[0192] 특히, 절연체(544)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄네이트는 산화 하프늄막보다 내열성이 높다. 그러므로 추후의 공정에서의 열 처리에서 결정화되기 어렵기 때문에 바람직하다. 또한 도전체(542a) 및 도전체(542b)가 내산화성을 가지는 재료이거나, 산소를 흡수하여도 도전성이 현저하게 저하되지 않는 재료인 경우에는, 절연체(544)는 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[0193] 절연체(544)를 가짐으로써, 절연체(580)에 포함되는 물 및 수소 등의 불순물이 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)가 가지는 과잉 산소에 의하여 도전체(542)가 산화되는 것을 억제할 수 있다.

[0194] 절연체(545)는 제 1 게이트 절연막으로서 기능한다. 절연체(545)는 상술한 절연체(524)와 마찬가지로, 산소를 과잉으로 포함하고 또한 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다.

[0195] 구체적으로는, 과잉 산소를 가지는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0196] 과잉 산소를 포함하는 절연체를 절연체(545)로서 제공함으로써, 절연체(545)로부터 산화물(530b)의 채널 형성

영역에 산소를 효과적으로 공급할 수 있다. 또한 절연체(524)와 마찬가지로 절연체(545) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(545)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

- [0197] 또한 절연체(545)가 가지는 과잉 산소를 산화물(530)에 효율적으로 공급하기 위하여, 절연체(545)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(545)로부터 도전체(560)로의 산소의 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(545)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물에는, 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.
- [0198] 또한 절연체(545)는 제 2 게이트 절연막과 마찬가지로 적층 구조로 하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있기 때문에, 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구조로 함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.
- [0199] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도 11의 (A) 및 (B)에서는 2층 구조로 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0200] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(545)에 포함되는 산소에 의하여 도전체(560b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 도전체(560a)로서, 산화물(530)에 적용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법에 의하여 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.
- [0201] 또한 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0202] 절연체(580)는 절연체(544)를 개재하여 도전체(542a) 및 도전체(542b) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 예를 들어 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히, 산화 실리콘, 공공을 가지는 산화 실리콘은 추후의 공정에서 과잉 산소 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0203] 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(580)를 제공함으로써, 절연체(580) 내의 산소를 산화물(530)에 효율적으로 공급할 수 있다. 또한 절연체(580) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0204] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이에 끼워진 영역에 매립되도록 형성된다.
- [0205] 반도체 장치를 미세화하기 위하여 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 저하되지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 중형비가 높은 형상을 가질 수 있다. 본 실시형태에서는 절연체(580)의 개구에 매립되도록 도전체(560)를 제공하기 때문에, 도전체(560)를 중형비가 높은 형상으로 하여도, 공정 중에 무너지는 일 없이 도전체(560)를 형성할 수 있다.
- [0206] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(545)의 상면과 접하여 제공되는 것이 바람직하다.

직하다. 절연체(574)를 스퍼터링법에 의하여 성막함으로써, 절연체(545) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이로써, 이 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.

- [0207] 예를 들어 절연체(574)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함되는 금속 산화물을 사용할 수 있다.
- [0208] 특히 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서 스퍼터링법에 의하여 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.
- [0209] 또한 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0210] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 사이에 두고 마주 보고 제공된다. 도전체(540a) 및 도전체(540b)는 후술하는 도전체(546) 및 도전체(548)와 같은 구성을 가진다.
- [0211] 절연체(581) 위에는 절연체(582)가 제공되어 있다. 절연체(582)에는 산소, 수소 등에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다. 따라서 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0212] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.
- [0213] 또한 절연체(582) 위에는 절연체(586)가 제공되어 있다. 절연체(586)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(586)로서 산화 실리콘막, 산화질화 실리콘막 등을 사용할 수 있다.
- [0214] 또한 절연체(520), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(546) 및 도전체(548) 등이 매립되어 있다.
- [0215] 도전체(546) 및 도전체(548)는 용량 소자(600), 트랜지스터(500), 또는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(546) 및 도전체(548)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0216] 또한 트랜지스터(500)를 형성한 후, 트랜지스터(500)를 둘러싸도록 개구를 형성하고, 상기 개구를 덮도록 수소 또는 물에 대한 배리어성이 높은 절연체를 형성하여도 좋다. 상술한 배리어성이 높은 절연체로 트랜지스터(500)를 감싸므로써, 외부로부터 수분 및 수소가 들어가는 것을 방지할 수 있다. 또는 복수의 트랜지스터(500)를 함께 수소 또는 물에 대한 배리어성이 높은 절연체로 감싸도 좋다. 또한 트랜지스터(500)를 둘러싸도록 개구를 형성하는 경우, 예를 들어 절연체(522) 또는 절연체(514)에 도달하는 개구를 형성하고, 절연체(522) 또는 절연체(514)와 접하도록 상술한 배리어성이 높은 절연체를 형성하면, 트랜지스터(500)의 제작 공정의 일부를 겸할 수 있기 때문에 적합하다. 또한 수소 또는 물에 대한 배리어성이 높은 절연체에는, 예를 들어 절연체(522) 또는 절연체(514)와 같은 재료를 사용하면 좋다.
- [0217] 다음으로, 트랜지스터(500) 위쪽에는 용량 소자(600)가 제공되어 있다. 용량 소자(600)는 도전체(610)와, 도전체(620)와, 절연체(630)를 가진다.
- [0218] 또한 도전체(546) 및 도전체(548) 위에 도전체(612)를 제공하여도 좋다. 도전체(612)는 트랜지스터(500)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(610)는 용량 소자(600)의 전극으로서의 기능을 가진다. 또한 도전체(612) 및 도전체(610)는 동시에 형성할 수 있다.
- [0219] 도전체(612) 및 도전체(610)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 중에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는 인듐 주석 산화물, 산화

텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.

- [0220] 본 실시형태에서는 도전체(612) 및 도전체(610)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.
- [0221] 절연체(630)를 개재하여 도전체(610)와 중첩되도록 도전체(620)를 제공한다. 또한 도전체(620)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한 도전체 등의 다른 구성과 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리), Al(알루미늄) 등을 사용하면 좋다.
- [0222] 도전체(620) 및 절연체(630) 위에는 절연체(640)가 제공되어 있다. 절연체(640)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한 절연체(640)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.
- [0223] 본 구성을 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치를 미세화 또는 고집적화할 수 있다.
- [0224] 본 발명의 일 형태의 반도체 장치에 사용할 수 있는 기판으로서, 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 금속 기판(예를 들어 스테인리스·스틸 기판, 스테인리스·스틸·포일을 가지는 기판, 텅스텐 기판, 텅스텐·포일을 가지는 기판 등), 반도체 기판(예를 들어 단결정 반도체 기판, 다결정 반도체 기판, 또는 화합물 반도체 기판 등), SOI(Silicon on Insulator) 기판 등을 사용할 수 있다. 또한 본 실시형태의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판을 사용하여도 좋다. 유리 기판의 일례로서는, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 그 외에도, 결정화 유리 등을 사용할 수 있다.
- [0225] 또는 기판으로서 가요성 기판, 접합 필름, 섬유상 재료를 포함하는 종이, 또는 기재 필름 등을 사용할 수 있다. 가요성 기판, 접합 필름, 기재 필름 등의 일례로서는 이하의 것을 들 수 있다. 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES), 폴리테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱이 있다. 또는 일례로서는, 아크릴 등의 합성 수지 등이 있다. 또는 일례로서는, 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 또는 폴리염화 바이닐 등이 있다. 또는 일례로서는, 폴리아미드, 폴리이미드, 아라미드 수지, 에폭시 수지, 무기 증착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 크기, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 크기가 작은 트랜지스터를 제조할 수 있다. 이와 같은 트랜지스터로 회로를 구성하면, 회로를 저소비 전력화 또는 고집적화할 수 있다.
- [0226] 또한 기판으로서 가요성 기판을 사용하고, 가요성 기판 위에 트랜지스터, 저항 소자, 및/또는 용량 소자 등을 직접 형성하여도 좋다. 또는 기판과, 트랜지스터, 저항 소자, 및/또는 용량 소자 등 사이에 박리층을 제공하여도 좋다. 박리층은, 그 위에 반도체 장치를 일부 또는 전부 완성시킨 후에, 기판으로부터 분리하고 다른 기판에 전재하기 위하여 사용될 수 있다. 이때, 트랜지스터, 저항 소자, 및/또는 용량 소자 등은 내열성이 낮은 기판, 가요성 기판 등에도 전재될 수 있다. 또한 상술한 박리층으로서, 예를 들어 텅스텐막과 산화 실리콘막의 무기막의 적층, 기판 위에 형성된 폴리이미드 등의 유기 수지막, 수소를 포함하는 실리콘막 등을 사용할 수 있다.
- [0227] 즉 어떤 기판 위에 반도체 장치를 형성하고, 그 후에 다른 기판으로 반도체 장치를 전치하여도 좋다. 반도체 장치가 전치되는 기판의 일례로서는, 상술한 트랜지스터가 형성될 수 있는 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(絹(絹), 면(綿), 마(麻)), 합성 섬유(나일론, 폴리우레탄, 폴리에스터), 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 피혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 가요성을 가지는 반도체 장치의 제조, 파괴되기 어려운 반도체 장치의 제조, 내열성의 부여, 경량화, 또는 박형화가 가능하다.
- [0228] 가요성을 가지는 기판 위에 반도체 장치를 제공함으로써, 중량의 증가가 억제되고, 또한 파손되기 어려운 반도체 장치를 제공할 수 있다.

- [0229] 또한 도 10에 나타낸 트랜지스터(550)는 일레이고, 그 구성에 한정되지 않고, 회로 구성, 구동 방법 등에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어, 반도체 장치가 OS 트랜지스터만으로 이루어진 단극성 회로(n 채널형 트랜지스터만 등, 극성이 동일한 트랜지스터를 의미함)인 경우, 트랜지스터(550)의 구성을 트랜지스터(500)와 같은 구성으로 하면 좋다.
- [0230] 본 실시형태에서 기재한 구성, 구조, 방법 등은 다른 실시형태 및 실시예 등에서 기재한 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0231] (실시형태 4)
- [0232] 본 실시형태에서는 DOSRAM 및 NOSRAM 등의 앞의 실시형태에서 설명한 OS 트랜지스터를 가지는 반도체 장치의 단면 구성예에 대하여 설명한다.
- [0233] 도 12에 DOSRAM의 회로 구성을 사용한 경우의 단면 구성예를 나타내었다. 도 12에서는 구동 회로층(701) 위에 소자층(700[1]) 내지 소자층(700[4])이 적층되어 있는 경우의 예를 나타내었다.
- [0234] 또한 도 12에서는 구동 회로층(701)이 가지는 트랜지스터(550)를 예시하였다. 트랜지스터(550)로서는 앞의 실시형태에서 설명한 트랜지스터(550)를 적용할 수 있다.
- [0235] 또한 도 12에 나타낸 트랜지스터(550)는 일레이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0236] 구동 회로층(701)과 소자층(700) 사이, 또는 k번째 층의 소자층(700)과 k+1번째 층의 소자층(700) 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 본 실시형태 등에서는 k번째 층의 소자층(700)을 소자층(700[k])으로 나타내고, k+1번째 층의 소자층(700)을 소자층(700[k+1])으로 나타내는 경우가 있다. 여기서 k는 1 이상 N 이하의 정수이다. 또한 본 실시형태 등에서 "k+a(a는 1 이상의 정수)" 또는 "k-a"로 나타낸 경우, "k+a" 및 "k-a" 각각의 해는 1 이상 N 이하의 정수로 한다.
- [0237] 또한 배선층은 설계에 따라 여러 개 제공할 수 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그는 일체가 되어 있어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0238] 예를 들어, 트랜지스터(550) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328) 등이 매립되어 있다. 또한 절연체(324) 및 절연체(326)에는 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 콘택트 플러그 또는 배선으로서 기능한다.
- [0239] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어, 절연체(320)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.
- [0240] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 12에서는 절연체(326) 및 도전체(330) 위에 절연체(350), 절연체(357), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 절연체(350), 절연체(357), 및 절연체(352)에는 도전체(356)가 형성되어 있다. 도전체(356)는 콘택트 플러그 또는 배선으로서 기능한다.
- [0241] 절연체(354) 위에는 소자층(700[1])이 가지는 절연체(514)가 제공되어 있다. 또한 절연체(514) 및 절연체(354)에는 도전체(358)가 매립되어 있다. 도전체(358)는 콘택트 플러그 또는 배선으로서 기능한다. 예를 들어, 비트선(BL)과 트랜지스터(550)는 도전체(358), 도전체(356), 및 도전체(330) 등을 통하여 전기적으로 접속된다.
- [0242] 도 13의 (A)에 소자층(700[k])의 단면 구조예를 나타내었다. 또한 도 13의 (B)에 도 13의 (A)의 등가 회로도들을 나타내었다. 도 13의 (A)에서는 하나의 비트선(BL)에 2개의 메모리 셀(MC)이 전기적으로 접속되는 예를 나타내었다.
- [0243] 도 12 및 도 13의 (A)에 나타낸 메모리 셀(MC)은 트랜지스터(M1) 및 용량 소자(C)를 가진다. 트랜지스터(M1)로서 예를 들어, 앞의 실시형태에서 설명한 트랜지스터(500)를 사용할 수 있다.
- [0244] 또한 본 실시형태에서는 트랜지스터(M1)로서 트랜지스터(500)의 변형예를 나타낸다. 구체적으로는 트랜지스터(M1)에서는 도전체(542a) 및 도전체(542b)가 금속 산화물(531)의 단부를 넘어 연장되어 있는 점이 트랜지스터

(500)와 다르다.

- [0245] 또한 도 12 및 도 13의 (A)에 나타난 메모리 셀(MC)은 용량 소자(C)의 한쪽의 단자로서 기능하는 도전체(156)와, 유전체로서 기능하는 절연체(153)와, 용량 소자(C)의 다른 쪽의 단자로서 기능하는 도전체(160)(도전체(160a) 및 도전체(160b))를 가진다. 도전체(156)는 도전체(542b)의 일부와 전기적으로 접속된다. 또한 도전체(160)는 배선(PL)(도 13의 (A)에 도시하지 않았음)과 전기적으로 접속된다.
- [0246] 용량 소자(C)는 절연체(574), 절연체(580), 및 절연체(554)의 일부를 제거하여 제공된 개구부에 형성되어 있다. 도전체(156), 절연체(153), 및 도전체(160a)는 상기 개구부의 측면을 따라 형성되기 때문에, ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하다.
- [0247] 또한 도전체(156) 및 도전체(160)는 도전체(505) 또는 도전체(560)에 사용할 수 있는 도전체를 사용하면 좋다. 예를 들어, 도전체(156)로서 ALD법을 사용하여 형성한 질화 타이타늄을 사용하면 좋다. 또한 도전체(160a)로서 ALD법을 사용하여 형성한 질화 타이타늄을 사용하고, 도전체(160b)로서 CVD법 등을 사용하여 형성한 텅스텐을 사용하면 좋다. 또한 절연체(153)에 대한 텅스텐의 밀착성이 충분히 높은 경우에는, 도전체(160)로서 CVD법을 사용하여 형성한 텅스텐의 단층막을 사용하여도 좋다.
- [0248] 절연체(153)에는 고유전율(high-k) 재료(비유전율이 높은 재료)의 절연체를 사용하는 것이 바람직하다. 예를 들어, 고유전율 재료의 절연체로서 알루미늄, hafnium, zirconium, 및 갈륨 등에서 선택된 금속 원소를 1종류 이상 포함하는 산화물, 산화질화물, 질화산화물, 또는 질화물을 사용할 수 있다. 또한 상기 산화물, 산화질화물, 질화산화물, 또는 질화물에 실리콘을 함유시켜도 좋다. 또한 상기 재료로 이루어지는 절연층을 적층시켜 사용할 수도 있다.
- [0249] 예를 들어, 고유전율 재료의 절연체로서 산화 알루미늄, 산화 hafnium, 산화 zirconium, 알루미늄 및 hafnium을 가지는 산화물, 알루미늄 및 hafnium을 가지는 산화질화물, 실리콘 및 hafnium을 가지는 산화물, 실리콘 및 hafnium을 가지는 산화질화물, 실리콘 및 zirconium을 가지는 산화물, 실리콘 및 zirconium을 가지는 산화질화물, hafnium 및 zirconium을 가지는 산화물, hafnium 및 zirconium을 가지는 산화질화물 등을 사용할 수 있다. 이러한 고유전율 재료를 사용함으로써, 누설 전류를 억제할 정도로 절연체(153)를 두껍게 하며, 용량 소자(C)의 정전 용량을 충분히 확보할 수 있다.
- [0250] 또한 상기 재료로 이루어지는 절연층을 적층시켜 사용하는 것이 바람직하고, 고유전율 재료와 상기 고유전율 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어, 절연체(153)로서는 산화 zirconium, 산화 알루미늄, 산화 zirconium이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어, 산화 zirconium, 산화 알루미늄, 산화 zirconium, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어, hafnium zirconium 산화물, 산화 알루미늄, hafnium zirconium 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같은 비교적 절연 내력이 큰 절연체를 적층시켜 사용함으로써, 절연 내력이 향상되어 용량 소자(C)의 정전 파괴를 억제할 수 있다.
- [0251] 도 14에 NOSRAM의 메모리 셀의 회로 구성을 사용한 경우의 단면 구성예를 나타내었다. 또한 도 14는 도 12의 변형예이기도 하다. 또한 도 15의 (A)에 소자층(700[k])의 단면 구조예를 나타내었다. 또한 도 15의 (B)에 도 15의 (A)의 등가 회로도를 나타내었다.
- [0252] 도 14 및 도 15의 (A)에 나타난 메모리 셀(MC)은 절연체(514) 위에 트랜지스터(M1), 트랜지스터(M2), 및 트랜지스터(M3)를 가진다. 또한 절연체(514) 위에 도전체(215)가 제공되어 있다. 도전체(215)는 도전체(505)와 같은 재료, 같은 공정으로 동시에 형성할 수 있다.
- [0253] 또한 도 14 및 도 15의 (A)에 나타난 트랜지스터(M2) 및 트랜지스터(M3)는 하나의 섬 형상의 금속 산화물(531)을 양쪽이 공용하고 있다. 바꿔 말하면, 하나의 섬 형상의 금속 산화물(531)의 일부가 트랜지스터(M2)의 채널 형성 영역으로서 기능하고, 다른 일부가 트랜지스터(M3)의 채널 형성 영역으로서 기능한다. 또한 트랜지스터(M2)의 소스와 트랜지스터(M3)의 드레인, 또는 트랜지스터(M2)의 드레인과 트랜지스터(M3)의 소스가 공용된다. 따라서 트랜지스터(M2)와 트랜지스터(M3)를 각각 독립적으로 제공하는 경우보다 트랜지스터의 점유 면적이 적다.
- [0254] 또한 도 14 및 도 15의 (A)에 나타난 메모리 셀(MC)은 절연체(581) 위에 절연체(287)가 제공되고, 절연체(287)에 도전체(161)가 매립되어 있다. 또한 절연체(287) 및 도전체(161) 위에 소자층(700[k+1])의 절연체(514)가 제공되어 있다.

- [0255] 도 14 및 도 15의 (A)에서 소자층(700[k+1])의 도전체(215)가 용량 소자(C)의 한쪽의 단자로서 기능하고, 소자층(700[k+1])의 절연체(514)가 용량 소자(C)의 유전체로서 기능하고, 도전체(161)가 용량 소자(C)의 다른 쪽 단자로서 기능한다. 또한 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽은 콘택트 플러그를 통하여 도전체(161)와 전기적으로 접속되고, 트랜지스터(M2)의 게이트는 다른 콘택트 플러그를 통하여 도전체(161)와 전기적으로 접속된다.
- [0256] 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0257] (실시형태 5)
- [0258] 본 실시형태에서는 채널 형성 영역에 산화물 반도체를 가지는 트랜지스터(OS 트랜지스터)에 대하여 설명한다. 또한 OS 트랜지스터의 설명에서, 채널 형성 영역에 실리콘을 가지는 트랜지스터(Si 트랜지스터라고도 함)과의 비교에 대해서도 간단하게 설명한다.
- [0259] [OS 트랜지스터]
- [0260] OS 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{17} \text{ cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{13} \text{ cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고, $1 \times 10^{-9} \text{ cm}^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.
- [0261] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다. 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0262] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소 등이 있다. 또한 산화물 반도체 내의 불순물이란, 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만의 원소는 불순물이라고 할 수 있다.
- [0263] 또한 OS 트랜지스터는 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동되기 쉽고 신뢰성이 악화되는 경우가 있다. 또한 OS 트랜지스터에서는 산화물 반도체 내의 산소 결손에 수소가 들어간 결합(이하, V_{OH} 라고 부르는 경우가 있음)이 형성되고, 캐리어가 되는 전자가 생성되는 경우가 있다. 또한 채널 형성 영역에 V_{OH} 가 형성되면, 채널 형성 영역 내의 도너 농도가 증가되는 경우가 있다. 채널 형성 영역 내의 도너 농도가 증가함에 따라 문턱 전압에 편차가 생기는 경우가 있다. 그러므로 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)이 되기 쉽다. 따라서 산화물 반도체 내의 채널 형성 영역에서는 불순물, 산소 결손, 및 V_{OH} 는 가능한 한 저감되어 있는 것이 바람직하다.
- [0264] 또한 산화물 반도체의 밴드 갭은 실리콘의 밴드 갭(대표적으로는 1.1eV)보다 큰 것이 바람직하고, 바람직하게는 2eV 이상, 더 바람직하게는 2.5eV 이상, 더 바람직하게는 3.0eV 이상이다. 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류(I_{off} 라고도 부름)를 저감할 수 있다.
- [0265] 또한 Si 트랜지스터에서는 트랜지스터의 미세화가 진행됨에 따라 단채널 효과(쇼트 채널 효과: Short Channel Effect: SCE라고도 함)가 발현한다. 그러므로 Si 트랜지스터는 미세화가 어렵다. 단채널 효과가 발현하는 요인의 하나로서 실리콘의 밴드 갭이 작은 것을 들 수 있다. 한편, OS 트랜지스터는 밴드 갭이 큰 반도체 재료인 산화물 반도체를 사용하기 때문에 단채널 효과를 억제할 수 있다. 바꿔 말하면, OS 트랜지스터는 단채널 효과가 없거나 단채널 효과가 매우 적은 트랜지스터이다.
- [0266] 또한 단채널 효과란, 트랜지스터의 미세화(채널 길이의 축소)에 따라 현재화되는 전기 특성의 열화이다. 단채

널 효과의 구체적인 예로서는 문턱 전압의 저하, 서브스레숄드 스윙값(S값이라고 표기하는 경우가 있음)의 증대, 누설 전류의 증대 등이 있다. 여기서 S값이란, 드레인 전압이 일정한 상태에서 드레인 전류를 한 자릿수 변화시키는 서브스레숄드 영역에서의 게이트 전압의 변화량을 말한다.

- [0267] 또한 단채널 효과에 대한 내성의 지표로서 특성 길이(Characteristic Length)가 널리 사용되고 있다. 특성 길이란, 채널 형성 영역의 퍼텐셜의 굴곡성의 지표이다. 특성 길이가 작을수록 퍼텐셜이 가파르게 상승되기 때문에 단채널 효과에 강하다고 할 수 있다.
- [0268] OS 트랜지스터는 축적형 트랜지스터이고, Si 트랜지스터는 반전형 트랜지스터이다. 따라서 Si 트랜지스터에 비하여 OS 트랜지스터는 소스 영역-채널 형성 영역 사이의 특성 길이 및 드레인 영역-채널 형성 영역 사이의 특성 길이가 작다. 따라서 OS 트랜지스터는 Si 트랜지스터보다 단채널 효과에 강하다. 즉 채널 길이가 짧은 트랜지스터를 제작하고자 하는 경우에는, OS 트랜지스터가 Si 트랜지스터보다 적합하다.
- [0269] 채널 형성 영역이 i형 또는 실질적으로 i형이 될 때까지 산화물 반도체의 캐리어 농도를 낮춘 경우에도, 단채널 트랜지스터에서는 Conduction-Band-Lowering(CBL) 효과에 의하여 채널 형성 영역의 전도대 하단이 낮아지기 때문에, 소스 영역 또는 드레인 영역과 채널 형성 영역 사이의 전도대 하단의 에너지 차이는 0.1eV 이상 0.2eV 이하까지 작아질 가능성이 있다. 이에 의하여, OS 트랜지스터는 채널 형성 영역이 n⁻형 영역이 되고, 소스 영역 및 드레인 영역이 n⁺형 영역이 되는 n⁺/n⁻/n⁺의 축적형 junction-less 트랜지스터 구조 또는 n⁺/n⁻/n⁺의 축적형 non-junction 트랜지스터 구조를 가지는 것으로 간주할 수도 있다.
- [0270] OS 트랜지스터를 상기 구조로 하면, 반도체 장치를 미세화 또는 고집적화한 경우에도 양호한 전기 특성을 얻을 수 있다. 예를 들어 OS 트랜지스터의 게이트 길이가 20nm 이하, 15nm 이하, 10nm 이하, 7nm 이하, 또는 6nm 이하이며, 1nm 이상, 3nm 이상, 또는 5nm 이상인 경우에도 양호한 전기 특성을 얻을 수 있다. 한편, Si 트랜지스터에서는 단채널 효과가 발생하기 때문에, 20nm 이하 또는 15nm 이하의 게이트 길이로 하기 어려운 경우가 있다. 따라서 OS 트랜지스터는 Si 트랜지스터에 비하여 채널 길이가 짧은 트랜지스터에 적합하게 사용할 수 있다. 또한 게이트 길이란, 트랜지스터 동작 시에 캐리어가 채널 형성 영역 내부를 이동하는 방향에서의 게이트 전극의 길이이고, 트랜지스터를 평면에서 볼 때의 게이트 전극의 바닥면의 폭을 말한다.
- [0271] 또한 OS 트랜지스터를 미세화함으로써 트랜지스터의 고주파 특성을 향상시킬 수 있다. 구체적으로는 트랜지스터의 차단 주파수를 향상시킬 수 있다. OS 트랜지스터의 게이트 길이가 상기 범위 내에 있는 경우, 예를 들어 실온 환경에서 트랜지스터의 차단 주파수를 50GHz 이상, 바람직하게는 100GHz 이상, 더 바람직하게는 150GHz 이상으로 할 수 있다.
- [0272] 상술한 바와 같이 OS 트랜지스터는 Si 트랜지스터에 비하여 오프 전류가 작은 것, 채널 길이가 짧은 트랜지스터의 제작이 가능한 것 등의 뛰어난 효과를 가진다.
- [0273] 본 실시형태에서 기재된 구성, 구조, 방법 등은 다른 실시형태 등에서 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0274] (실시형태 6)
- [0275] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치를 사용할 수 있는 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터(Data Center: DC라고도 부름)에 대하여 설명한다. 본 발명의 일 형태의 반도체 장치를 사용한 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터는 저소비 전력화 등의 고성능화에 유효하다.
- [0276] [전자 부품]
- [0277] 전자 부품(709)이 실장된 기관(실장 기관(704))의 사시도를 도 16의 (A)에 나타내었다. 도 16의 (A)에 나타낸 전자 부품(709)은 몰드(711) 내에 반도체 장치(710)를 가진다. 도 16의 (A)는 전자 부품(709)의 내부를 나타내기 위하여 일부의 기재를 생략하였다. 전자 부품(709)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)를 통하여 반도체 장치(710)와 전기적으로 접속되어 있다. 전자 부품(709)은 예를 들어 인쇄 기관(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기관(702) 위에서 전기적으로 접속됨으로써 실장 기관(704)이 완성된다.
- [0278] 또한 반도체 장치(710)는 구동 회로층(715)과 기억층(716)을 가진다. 또한 기억층(716)은 복수의 메모리 셀 어레이가 적층된 구성을 가진다. 구동 회로층(715)과 기억층(716)이 적층된 구성은 모놀리식 적층의 구성으로 할

수 있다. 모놀리식 적층의 구성에서는 TSV(Through Silicon Via) 등의 관통 전극 기술 및 Cu-Cu 직접 접합 등의 접합 기술을 사용하지 않고 층들을 접속시킬 수 있다. 구동 회로층(715)과 기억층(716)을 모놀리식 적층 구성으로 함으로써, 예를 들어 프로세서 위에 메모리가 직접 형성되는, 소위 온 칩 메모리의 구성으로 할 수 있다. 온 칩 메모리의 구성으로 함으로써, 프로세서와 메모리의 인터페이스 부분의 동작을 고속으로 할 수 있다.

[0279] 또한 온 칩 메모리의 구성으로 함으로써, TSV 등의 관통 전극을 사용하는 기술에 비하여, 접속 배선 등의 크기를 작게 할 수 있기 때문에 접속 핀의 개수를 늘릴 수도 있다. 접속 핀의 개수를 늘림으로써 병렬 동작이 가능해지기 때문에 메모리의 밴드 폭(메모리 밴드 폭이라고도 함)을 향상시킬 수 있다.

[0280] 또한 기억층(716)이 가지는 복수의 메모리 셀 어레이를 OS 트랜지스터를 사용하여 형성하고, 상기 복수의 메모리 셀 어레이를 모놀리식으로 적층하는 것이 바람직하다. 복수의 메모리 셀 어레이를 모놀리식 적층의 구성으로 함으로써, 메모리의 밴드 폭 및 메모리의 액세스 레이턴시 중 어느 한쪽 또는 양쪽을 향상시킬 수 있다. 또한 밴드 폭이란 단위 시간당 데이터 전송량을 가리키고, 액세스 레이턴시란 액세스 후 데이터의 송수신이 시작되는 데 걸리는 시간을 가리킨다. 또한 기억층(716)에 Si 트랜지스터를 사용하는 구성의 경우, OS 트랜지스터에 비하여 모놀리식 적층의 구성으로 하는 것은 어렵다. 그러므로 모놀리식 적층의 구성에서 OS 트랜지스터는 Si 트랜지스터보다 뛰어난 구조라고 할 수 있다.

[0281] 또한 반도체 장치(710)를 다이라고 불러도 좋다. 또한 본 명세서 등에서 다이란, 반도체 칩의 제조 공정에서 예를 들어 원반상 기판(웨이퍼라고도 함) 등에 회로 패턴을 형성하고, 주사위 모양으로 잘라서 얻은 칩 조각을 나타낸다. 또한 다이에 사용할 수 있는 반도체 재료로서는 예를 들어 실리콘(Si), 탄소화 실리콘(SiC), 또는 질화 갈륨(GaN) 등이 있다. 예를 들어 실리콘 기판(실리콘 웨이퍼라고도 함)에서 얻은 다이를 실리콘 다이라고 하는 경우가 있다.

[0282] 다음으로 전자 부품(730)의 사시도를 도 16의 (B)에 나타내었다. 전자 부품(730)은 SiP(System in Package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 반도체 장치(710)가 제공되어 있다.

[0283] 전자 부품(730)에서는 반도체 장치(710)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)는 CPU(Central Processing Unit), GPU(Graphics Processing Unit), 또는 FPGA(Field Programmable Gate Array) 등의 집적 회로에 사용할 수 있다.

[0284] 패키지 기판(732)으로서의 예를 들어 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판을 사용할 수 있다. 인터포저(731)로서는 예를 들어 실리콘 인터포저 또는 수지 인터포저를 사용할 수 있다.

[0285] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 부르는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV를 사용할 수도 있다.

[0286] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0287] 또한 실리콘 인터포저를 사용한 SiP 및 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량 발생하기 어렵다. 특히 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0288] 한편, 실리콘 인터포저 및 TSV 등을 사용하여 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 경우, 상기 단자 피치의 폭 등의 스페이스가 필요하다. 그러므로 전자 부품(730)의 크기를 작게 하고자 한 경우, 상기 단자 피치의 폭이 문제가 되어, 넓은 메모리 밴드 폭의 실현에 필요한 많은 배선의 제공이 어려워지는 경우가 있다. 그래서 상술한 바와 같이 OS 트랜지스터를 사용한 모놀리식 적층의 구성이 적합하다. TSV를 사용하여 적층된 메모리 셀 어레이와 모놀리식 적층된 메모리 셀 어레이를 조합한 복합화 구조로 하여도 좋다.

- [0289] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(730)에서는 반도체 장치(710)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.
- [0290] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 16의 (B)에서는 전극(733)을 뿔뿔로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 뿔뿔로 배열된 전극(733)을 매트릭스상으로 제공함으로써 BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.
- [0291] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 및 QFN(Quad Flat Non-leaded package)이 있다.
- [0292] [전자 기기]
- [0293] 다음으로 전자 기기(6500)의 사시도를 도 17의 (A)에 나타내었다. 도 17의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다. 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 광원(6508), 및 제어 장치(6509) 등을 가진다. 또한 제어 장치(6509)로서는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6502), 제어 장치(6509) 등에 적용할 수 있다.
- [0294] 도 17의 (B)에 나타낸 전자 기기(6600)는 노트북형 퍼스널 컴퓨터로서 사용할 수 있는 정보 단말기이다. 전자 기기(6600)는 하우징(6611), 키보드(6612), 포인팅 디바이스(6613), 외부 접속 포트(6614), 표시부(6615), 제어 장치(6616) 등을 가진다. 또한 제어 장치(6616)로서는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6611), 제어 장치(6616) 등에 적용할 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 상술한 제어 장치(6509) 및 제어 장치(6616)에 사용함으로써 소비 전력을 저감시킬 수 있어 적합하다.
- [0295] [대형 컴퓨터]
- [0296] 다음으로 대형 컴퓨터(5600)의 사시도를 도 17의 (C)에 나타내었다. 도 17의 (C)에 나타낸 대형 컴퓨터(5600)에서는 랙(5610)에 복수의 랙 마운트형 컴퓨터(5620)가 격납되어 있다. 또한 대형 컴퓨터(5600)를 슈퍼컴퓨터라고 불러도 좋다.
- [0297] 컴퓨터(5620)는 예를 들어 도 17의 (D)에 나타낸 사시도의 구성을 가질 수 있다. 도 17의 (D)에서 컴퓨터(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631), 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속되어 있다.
- [0298] 도 17의 (E)에 나타낸 PC 카드(5621)는 CPU, GPU, 기억 장치 등이 제공된 처리 보드의 일례를 나타낸 것이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623)와, 접속 단자(5624)와, 접속 단자(5625)와, 반도체 장치(5626)와, 반도체 장치(5627)와, 반도체 장치(5628)와, 접속 단자(5629)를 가진다. 또한 도 17의 (E)에는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 외의 반도체 장치를 나타내었지만, 이들 반도체 장치에 대해서는 이하의 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)에 대한 설명을 참조하면 좋다.
- [0299] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.
- [0300] 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.

- [0301] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시하지 않았음)를 가지고, 상기 단자를 보드(5622)의 소켓(도시하지 않았음)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.
- [0302] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA, GPU, CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(730)을 사용할 수 있다.
- [0303] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서 예를 들어 기억 장치 등이 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(709)을 사용할 수 있다.
- [0304] 대형 컴퓨터(5600)는 병렬 컴퓨터로서 기능할 수도 있다. 대형 컴퓨터(5600)를 병렬 컴퓨터로서 사용함으로써 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모 계산을 수행할 수 있다.
- [0305] [우주용 기기]
- [0306] 본 발명의 일 형태의 반도체 장치는 정보를 처리 및 기억하는 기기 등의 우주용 기기에 적합하게 사용할 수 있다.
- [0307] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함할 수 있다. 상기 OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다.
- [0308] 도 18에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 18에서는 우주 공간에 행성(6804)을 예시하였다. 또한 우주 공간이란 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권을 포함하여도 좋다.
- [0309] 또한 도 18에는 도시하지 않았지만, 이차 전지(6805)에 배터리 매니지먼트 시스템(BMS라고도 함) 또는 배터리 제어 회로를 제공하여도 좋다. 상술한 배터리 매니지먼트 시스템 또는 배터리 제어 회로에 OS 트랜지스터를 사용하면, 소비 전력이 낮고 우주 공간에서도 신뢰성이 높기 때문에 적합하다.
- [0310] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 높은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.
- [0311] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 하지만, 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 광량이 적은 상황에서는 생성되는 전력이 낮아진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 낮은 상황에서도 인공위성(6800)을 동작시키기 위하여, 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.
- [0312] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 설치된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이상에 의하여 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.
- [0313] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 반도체 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높아 적합하게 사용할 수 있다.
- [0314] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어, 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 설치된 물체에서 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이상에 의하여, 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.
- [0315] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만 이에 한정되지 않는다. 예를

들어 본 발명의 일 형태의 반도체 장치는 우주선, 우주 캡슐, 우주 탐사선 등의 우주용 기기에 적합하게 사용할 수 있다.

- [0316] 앞에서 설명한 바와 같이, OS 트랜지스터는 Si 트랜지스터에 비하여 넓은 메모리 밴드 폭을 실현할 수 있다는 것, 방사선 내성이 높다는 것 등 뛰어난 효과를 가진다.
- [0317] [데이터 센터]
- [0318] 본 발명의 일 형태의 반도체 장치는 예를 들어 데이터 센터 등에 적용되는 저장 시스템에 적합하게 사용할 수 있다. 데이터 센터는 데이터의 불변성을 보장하는 등 데이터를 장기적으로 관리하는 것이 요구된다. 데이터를 장기적으로 관리하는 경우, 방대한 데이터를 기억하기 위한 스토리지 및 서버의 설치, 데이터를 유지하기 위한 안정적인 전원의 확보, 또는 데이터의 유지에 필요한 냉각 설비의 확보 등을 위하여 보다 큰 건물이 필요하다.
- [0319] 데이터 센터에 적용되는 저장 시스템에 본 발명의 일 형태의 반도체 장치를 사용함으로써, 데이터의 유지에 필요한 전력을 저감하고, 데이터를 유지하는 반도체 장치를 소형화할 수 있다. 그러므로 저장 시스템의 소형화, 데이터를 유지하기 위한 전원의 소형화, 냉각 설비의 소규모화 등이 가능하다. 그러므로 데이터 센터의 공간 절약이 가능하다.
- [0320] 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 사용함으로써, 고온 환경에서도 동작이 안정된 데이터 센터를 실현할 수 있다. 따라서 데이터 센터의 신뢰성을 높일 수 있다.
- [0321] 데이터 센터에 적용할 수 있는 저장 시스템을 도 19에 나타내었다. 도 19에 나타낸 저장 시스템(7000)은 호스트(7001)(Host Computer라고 도시함)로서 복수의 서버(7001sb)를 가진다. 또한 스토리지(7003)(Storage라고 도시함)로서 복수의 기억 장치(7003md)를 가진다. 호스트(7001)와 스토리지(7003)는 스토리지 에어리어 네트워크(7004)(SAN: Storage Area Network라고 도시함) 및 스토리지 제어 회로(7002)(Storage Controller라고 도시함)를 통하여 접속되어 있다.
- [0322] 호스트(7001)는 스토리지(7003)에 기억된 데이터에 액세스하는 컴퓨터에 상당한다. 호스트(7001)들은 네트워크를 통하여 서로 접속되어도 좋다.
- [0323] 플래시 메모리를 사용함으로써 스토리지(7003)의 데이터의 액세스 속도, 즉 데이터의 저장 및 출력에 필요한 시간이 단축되지만, 이 시간은 스토리지 내의 캐시 메모리로서 사용될 수 있는 DRAM에서 필요한 시간보다 상당히 길다. 저장 시스템에서는 스토리지(7003)의 액세스 속도가 느리다는 문제를 해결하기 위하여, 일반적으로는 스토리지 내에 캐시 메모리를 제공하여 데이터의 기억 및 출력에 걸리는 시간을 단축한다.
- [0324] 상술한 캐시 메모리는 스토리지 제어 회로(7002) 및 스토리지(7003) 내에 사용된다. 호스트(7001)와 스토리지(7003) 사이에서 송수신되는 데이터는 스토리지 제어 회로(7002) 및 스토리지(7003) 내의 상기 캐시 메모리에 기억된 후, 호스트(7001) 또는 스토리지(7003)에 출력된다.
- [0325] 상술한 캐시 메모리의 데이터를 기억하기 위한 트랜지스터로서 OS 트랜지스터를 사용하여 데이터에 따른 전위를 유지하는 구성으로 함으로써, 리프래시 빈도를 줄이고 소비 전력을 저감할 수 있다. 또한 메모리 셀 어레이를 적층시키는 구성으로 함으로써 소형화가 가능하다.
- [0326] 또한 본 발명의 일 형태의 반도체 장치를 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터 중에서 선택되는 어느 하나 또는 복수에 적용함으로써, 소비 전력을 저감시키는 효과가 기대된다. 그러므로 반도체 장치의 고성능화 또는 고집적화에 따른 에너지 수요의 증가가 예상되는 가운데, 본 발명의 일 형태의 반도체 장치를 사용함으로써 이산화 탄소(CO₂)로 대표되는 온실 효과 가스의 배출량을 저감시킬 수도 있다. 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 지구 온난화에 대한 대책으로서도 유효하다.
- [0327] 본 실시형태에서 기재된 구성, 구조, 방법 등은 다른 실시형태 등에서 기재된 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0328] <본 명세서 등의 기재에 관한 부기>
- [0329] 앞의 실시형태, 및 실시형태에서의 각 구성의 설명에 대하여 이하에서 부기한다.
- [0330] 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수

있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 적절히 조합할 수 있다.

- [0331] 또한 어느 하나의 실시형태에 기재되는 내용(일부의 내용이어도 좋음)은 그 실시형태에 기재되는 다른 내용(일부의 내용이어도 좋음) 및/또는 하나 또는 복수의 다른 실시형태에 기재되는 내용(일부의 내용이어도 좋음)에 대하여 적용, 조합, 또는 치환 등을 수행할 수 있다.
- [0332] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0333] 또한 어느 하나의 실시형태에서 설명한 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 설명한 다른 도면(일부이어도 좋음), 및/또는 하나 또는 복수의 다른 실시형태에서 설명한 도면(일부이어도 좋음)을 조합함으로써 더 많은 도면을 구성할 수 있다.
- [0334] 또한 본 명세서 등에서 블록도에서는 구성 요소를 기능마다 분류하고 서로 독립된 블록으로서 나타내었다. 그러나 실제의 회로 등에서는 구성 요소를 기능마다 분류하기가 어렵고, 하나의 회로에 복수의 기능이 관련되는 경우, 또는 복수의 회로에 하나의 기능이 관련되는 경우가 있을 수 있다. 그러므로 블록도의 블록은 명세서에서 설명한 구성 요소에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0335] 또한 도면에서 크기, 층의 두께, 또는 영역은 설명의 편의상 임의의 크기로 나타낸 것이다. 따라서 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 명확성을 위하여 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0336] 본 명세서 등에서 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 이는 트랜지스터의 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한 트랜지스터의 소스와 드레인이라는 호칭은 소스(드레인) 단자 또는 소스(드레인) 전극 등, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0337] 또한 본 명세서 등에서 "전극" 또는 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 또는 "배선"이라는 용어는 복수의 "전극" 또는 "배선"이 일체가 되어 형성되는 경우 등도 포함한다.
- [0338] 또한 본 명세서 등에서 전압과 전위는 적절히 바꿔 말할 수 있다. 전압은 기준이 되는 전위로부터의 전위차를 말하고, 예를 들어, 기준이 되는 전위가 그라운드 전압(접지 전압)인 경우, 전압을 전위라고 바꿔 말할 수 있다. 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 인가되는 전위를 변화시키는 경우가 있다.
- [0339] 또한 본 명세서 등에서 "막", "층" 등의 어구는 경우에 따라 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어, "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.
- [0340] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다.
- [0341] 본 명세서 등에서 채널 길이란, 예를 들어, 트랜지스터를 상면에서 보았을 때 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트가 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다.
- [0342] 본 명세서 등에서 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 대향하는 부분의 길이를 말한다.
- [0343] 또한 본 명세서 등에서 노드는 회로 구성, 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.
- [0344] 본 명세서 등에서, A와 B가 접속되어 있다는 것은 A와 B가 전기적으로 접속되는 경우를 말한다. 여기서, A와 B가 전기적으로 접속되어 있다는 것은 A와 B 간에 대상물(스위치, 트랜지스터 소자, 또는 다이오드 등의 소자,

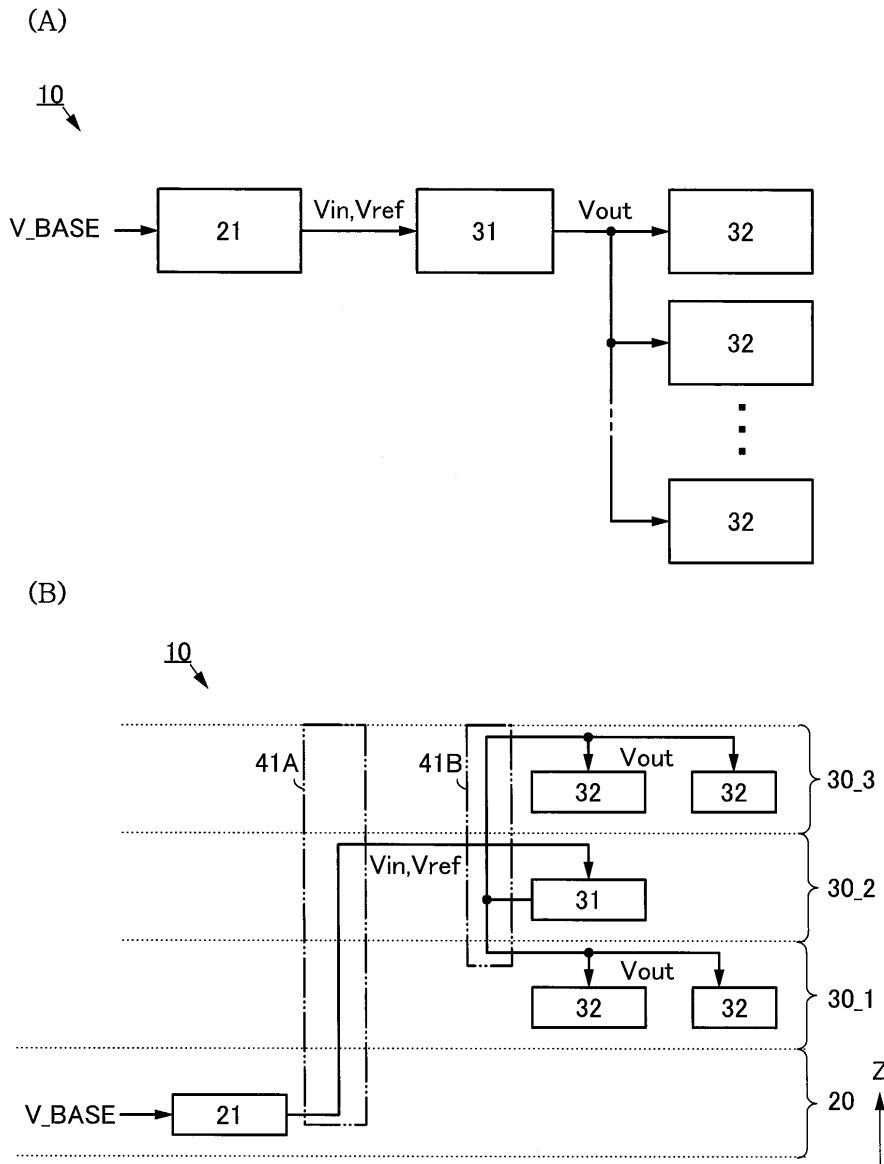
혹은 상기 소자 및 배선을 포함하는 회로 등을 가리킴)이 존재하는 경우에 A와 B 간에서 전기 신호를 전달할 수 있는 접속을 말한다. 또한 A와 B가 전기적으로 접속되어 있는 경우에는 A와 B가 직접 접속되어 있는 경우가 포함된다. 여기서 A와 B가 직접 접속되어 있다는 것은 상기 대상물을 통하지 않고, 배선(또는 전극) 등을 통하여 A와 B 간에서 전기 신호를 전달할 수 있는 접속을 말한다. 바꿔 말하면, 직접 접속이란, 등가 회로로 나타낸 경우에 같은 회로도도 간주할 수 있는 접속을 말한다.

부호의 설명

[0345] 10: 반도체 장치, 20: 베이스 다이, 21: 전원 회로, 30_1: 다이, 30_2: 다이, 30_3: 다이, 30: 다이, 31: 전원 회로, 32: 기능 회로, 33: 증폭 회로, 34: 트랜지스터, 40: 소자층, 41A: 관통 전극, 41B: 관통 전극, 41C: 관통 전극, 41D: 관통 전극, 42: 금속 범프, 47: 전극, 48: OS 트랜지스터, 49: Si 트랜지스터, 50: 열 확산층, 52: 방열층

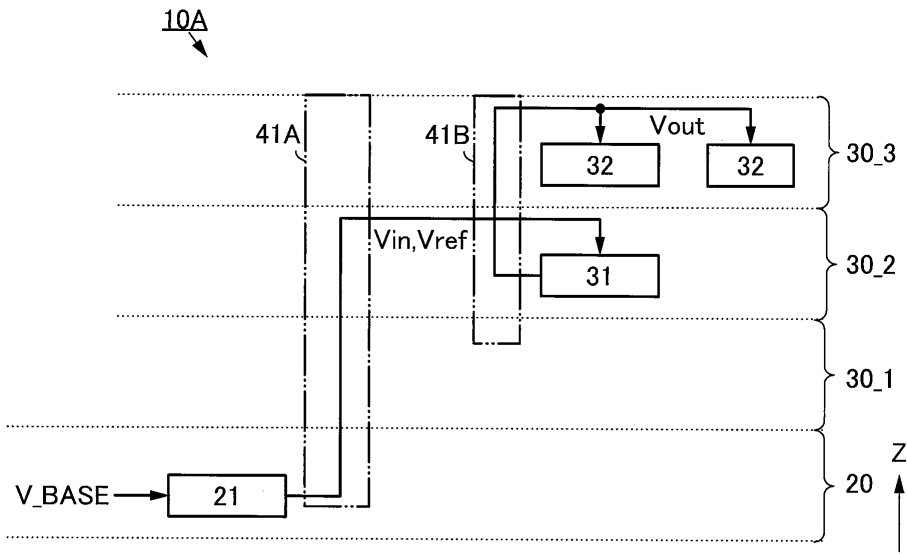
도면

도면1

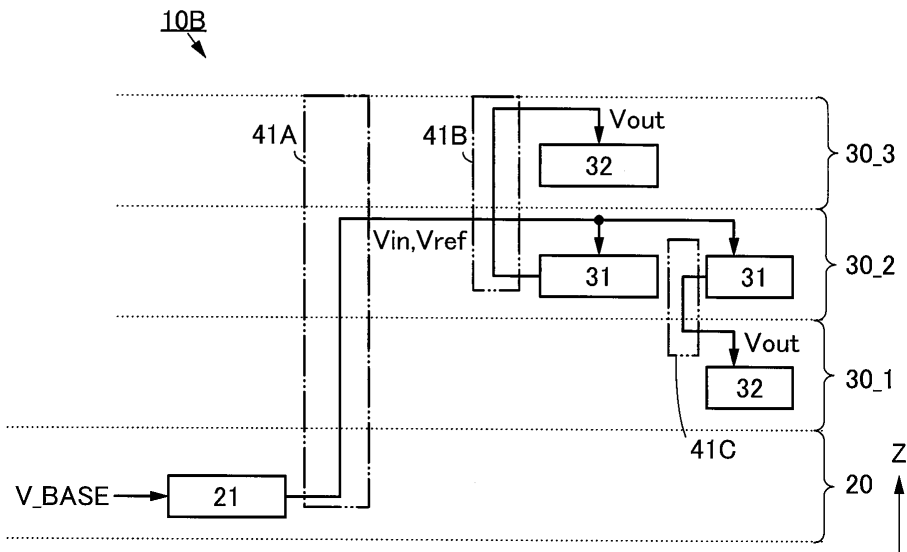


도면2

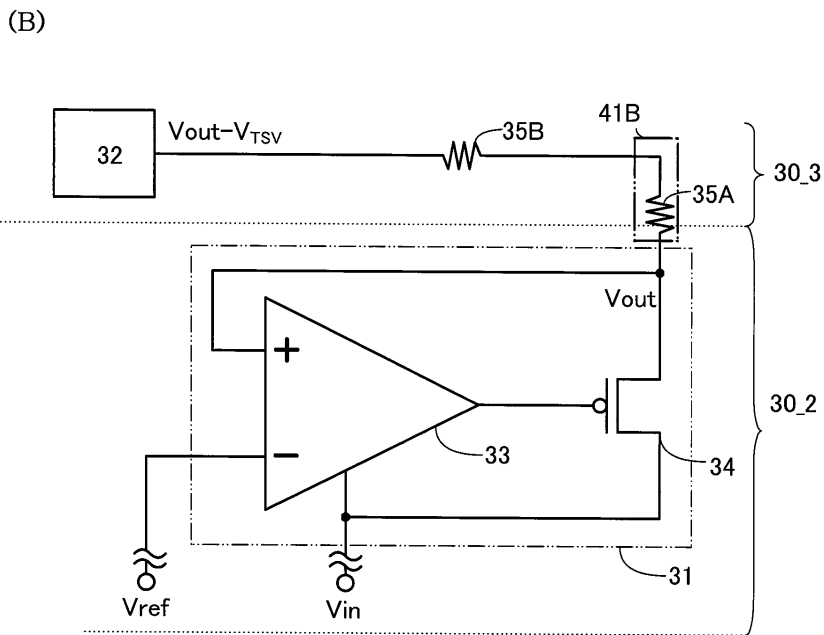
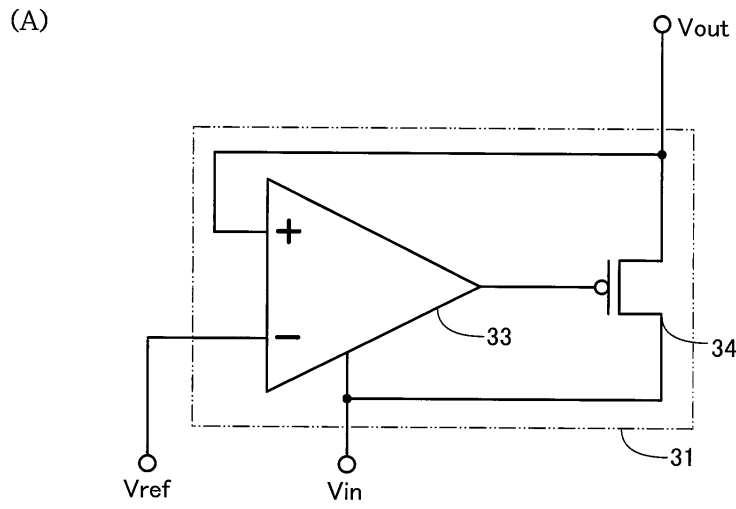
(A)



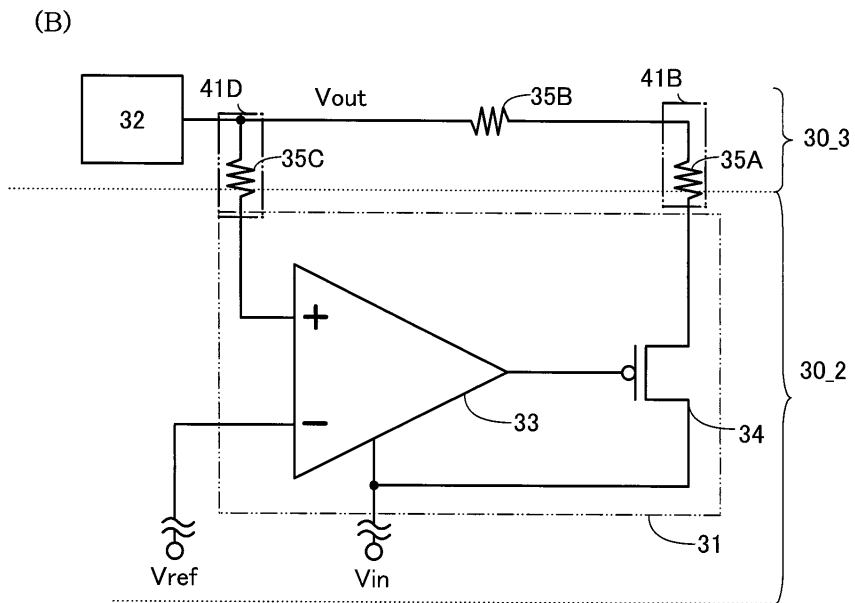
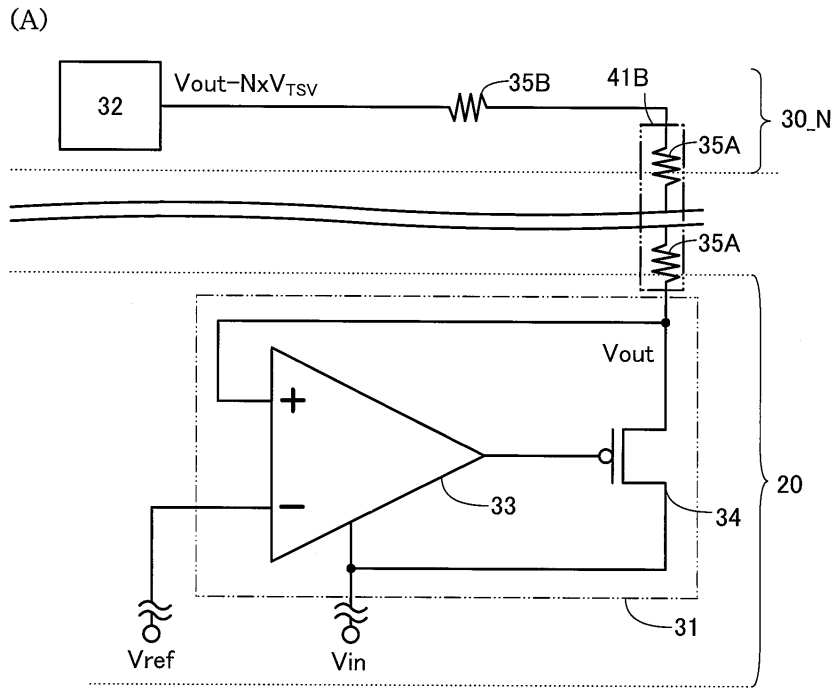
(B)



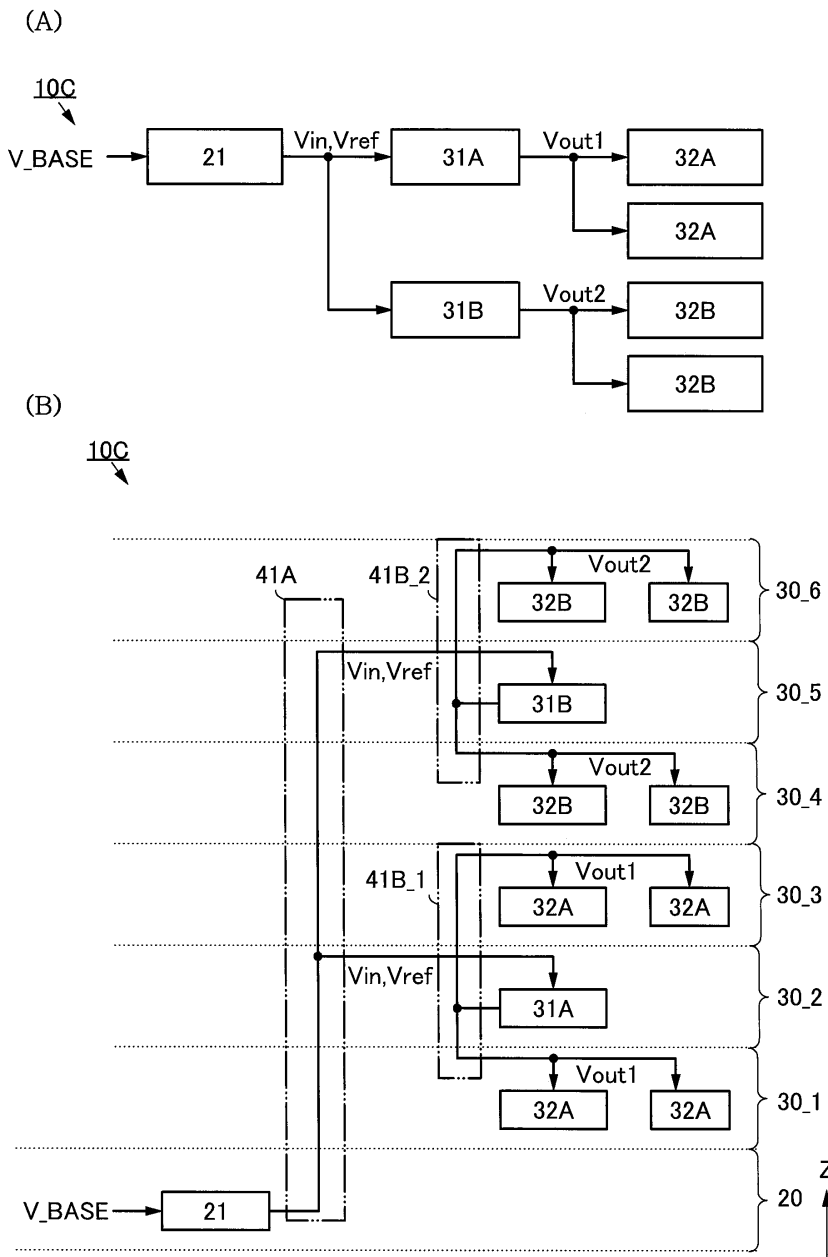
도면3



도면4

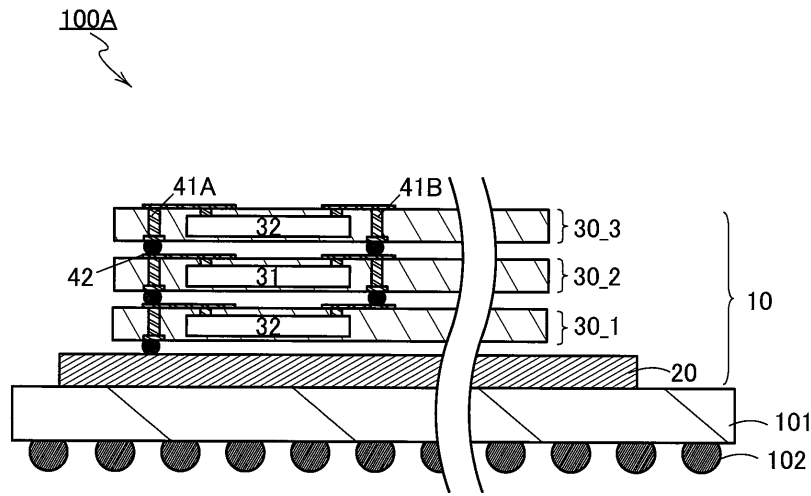


도면5

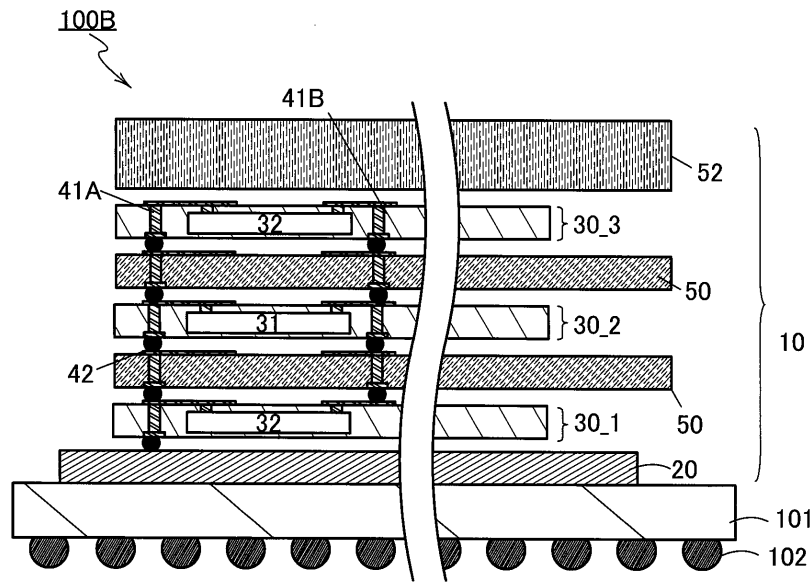


도면6

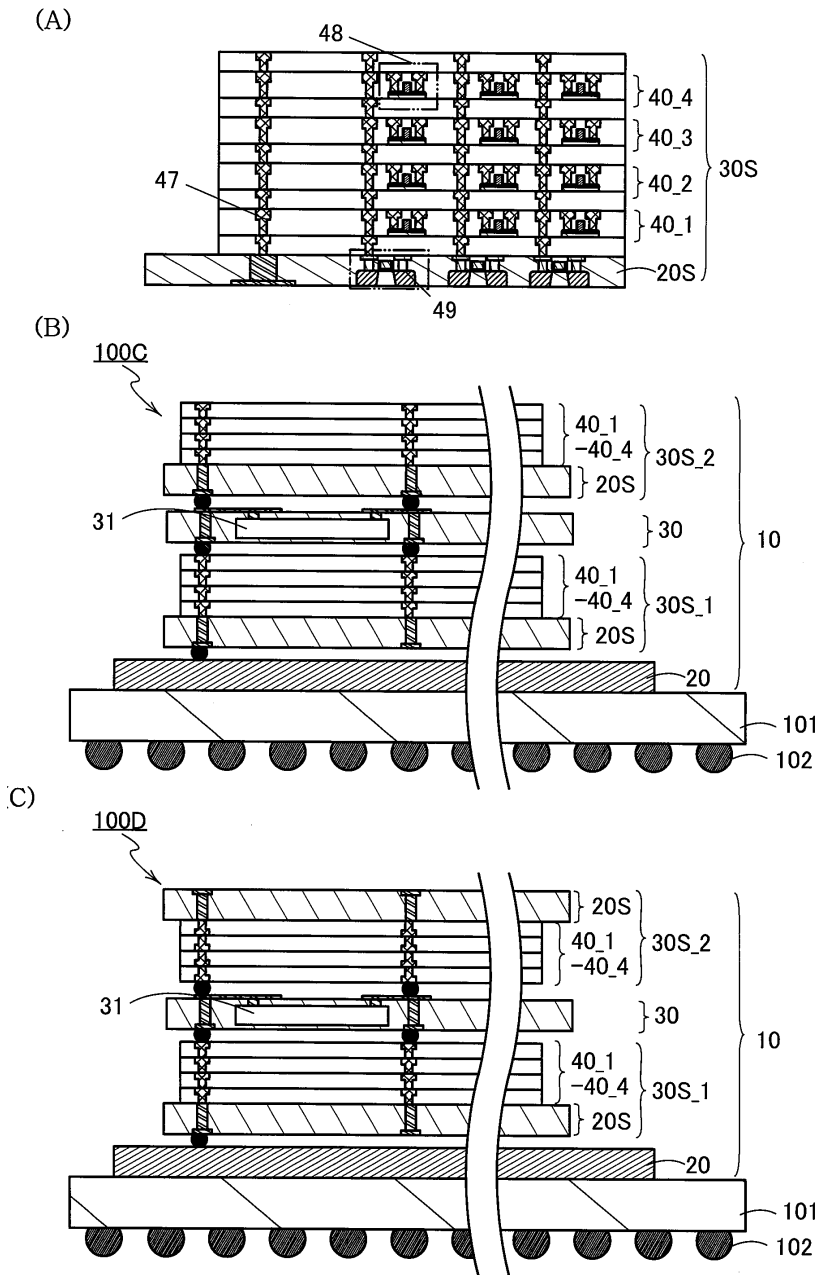
(A)



(B)

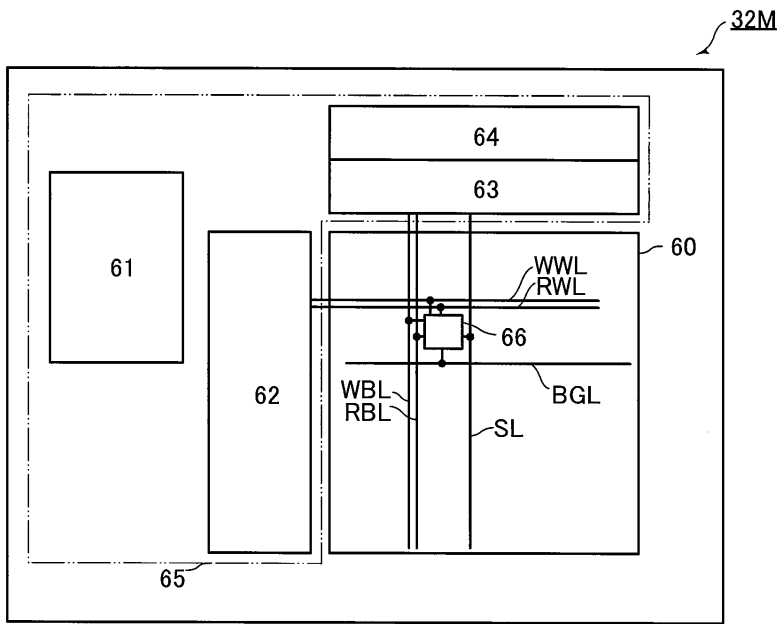


도면7

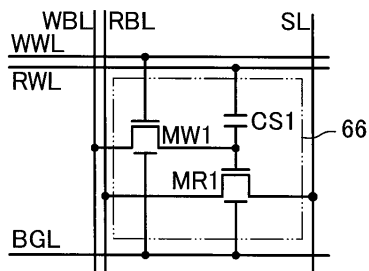


도면8

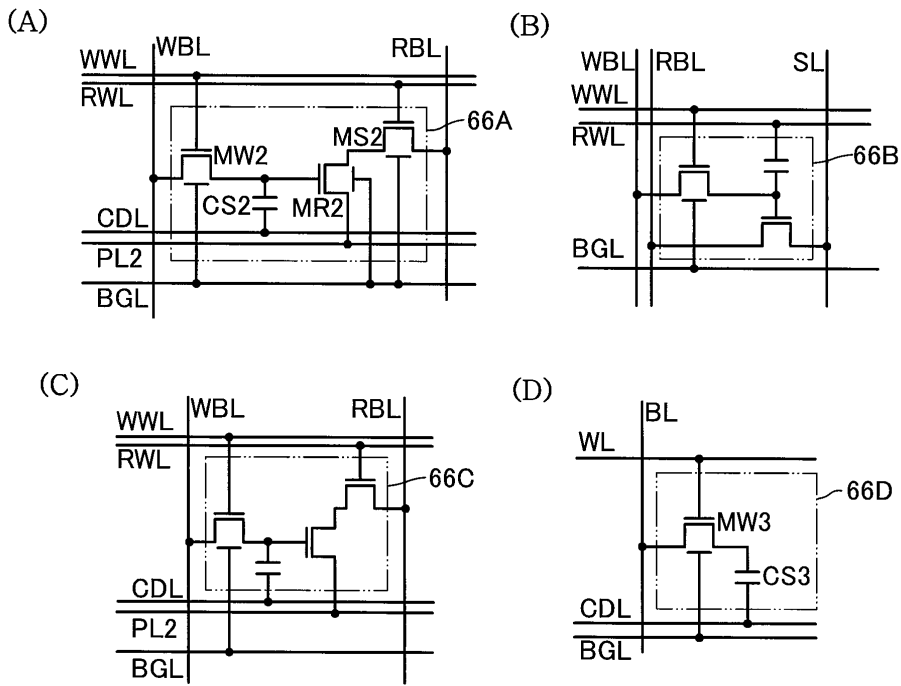
(A)



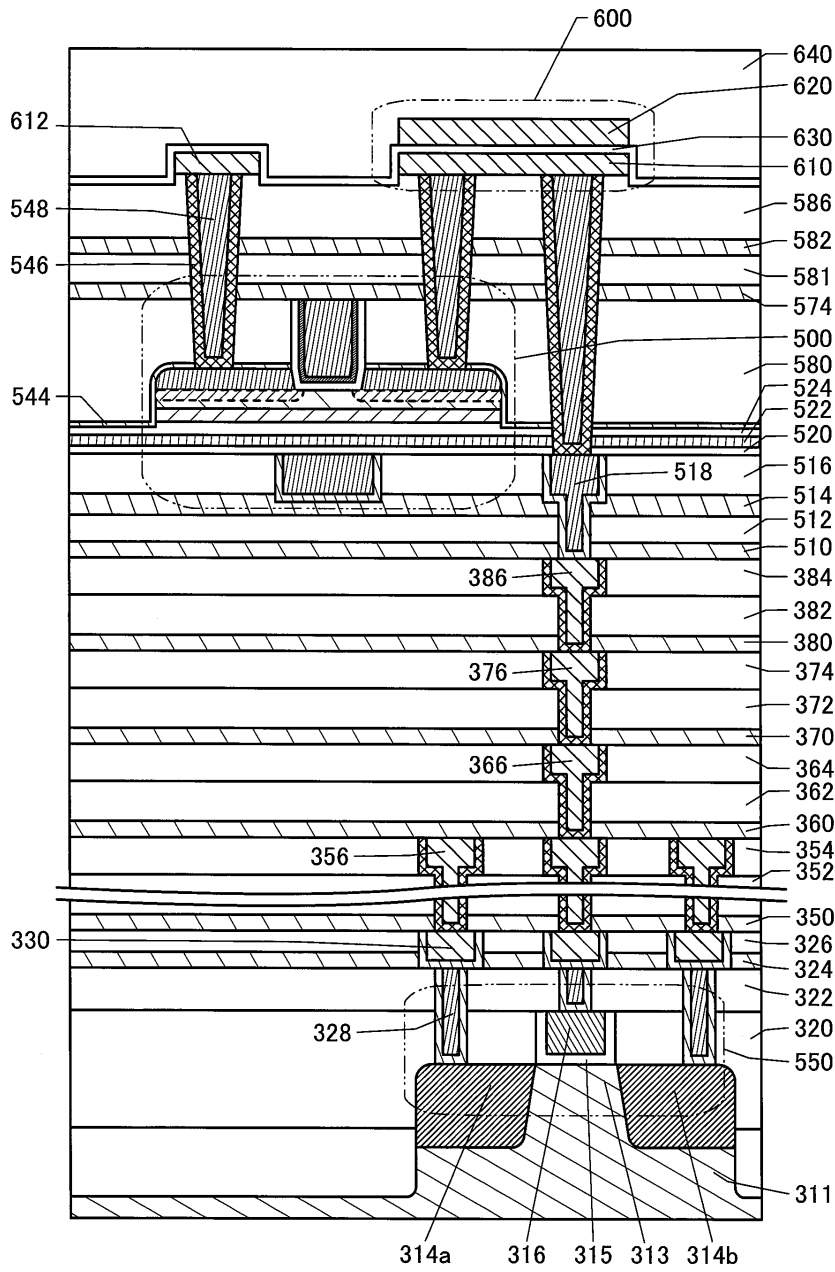
(B)



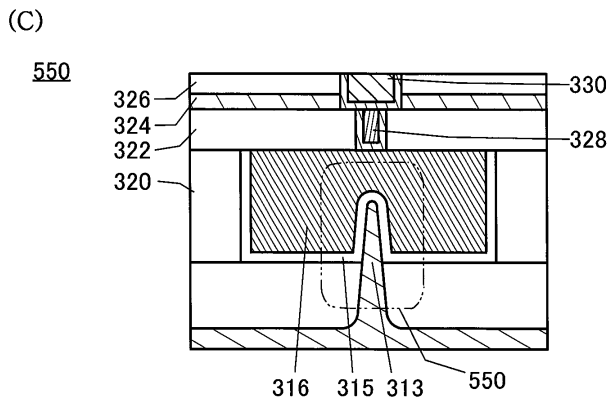
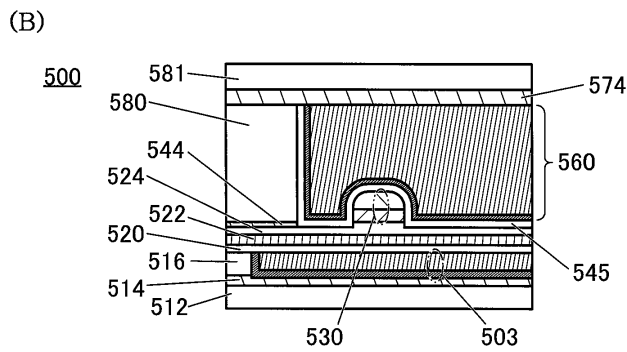
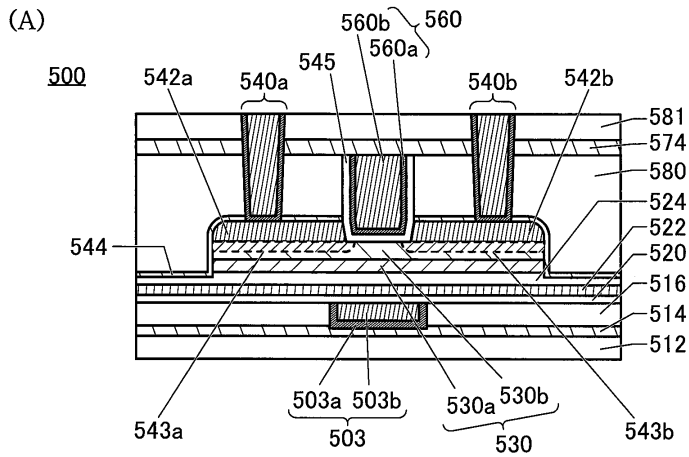
도면9



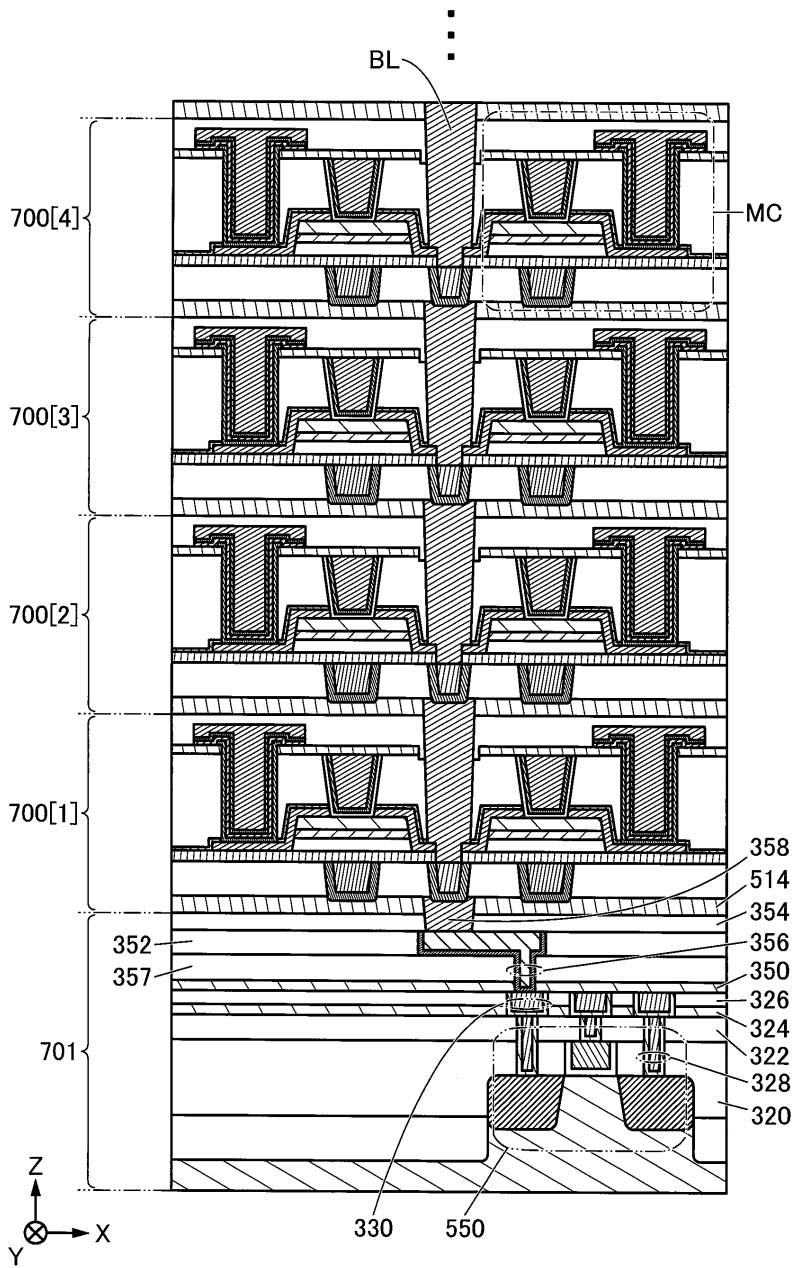
도면10



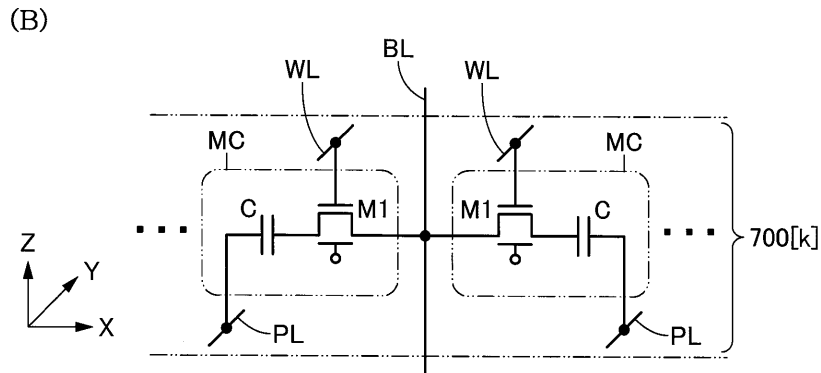
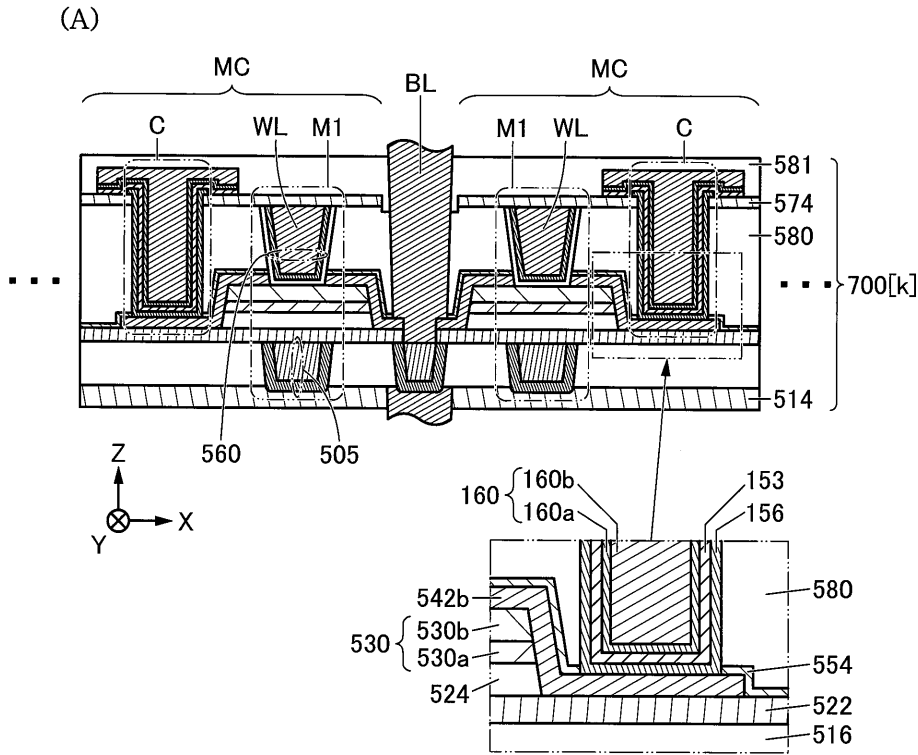
도면11



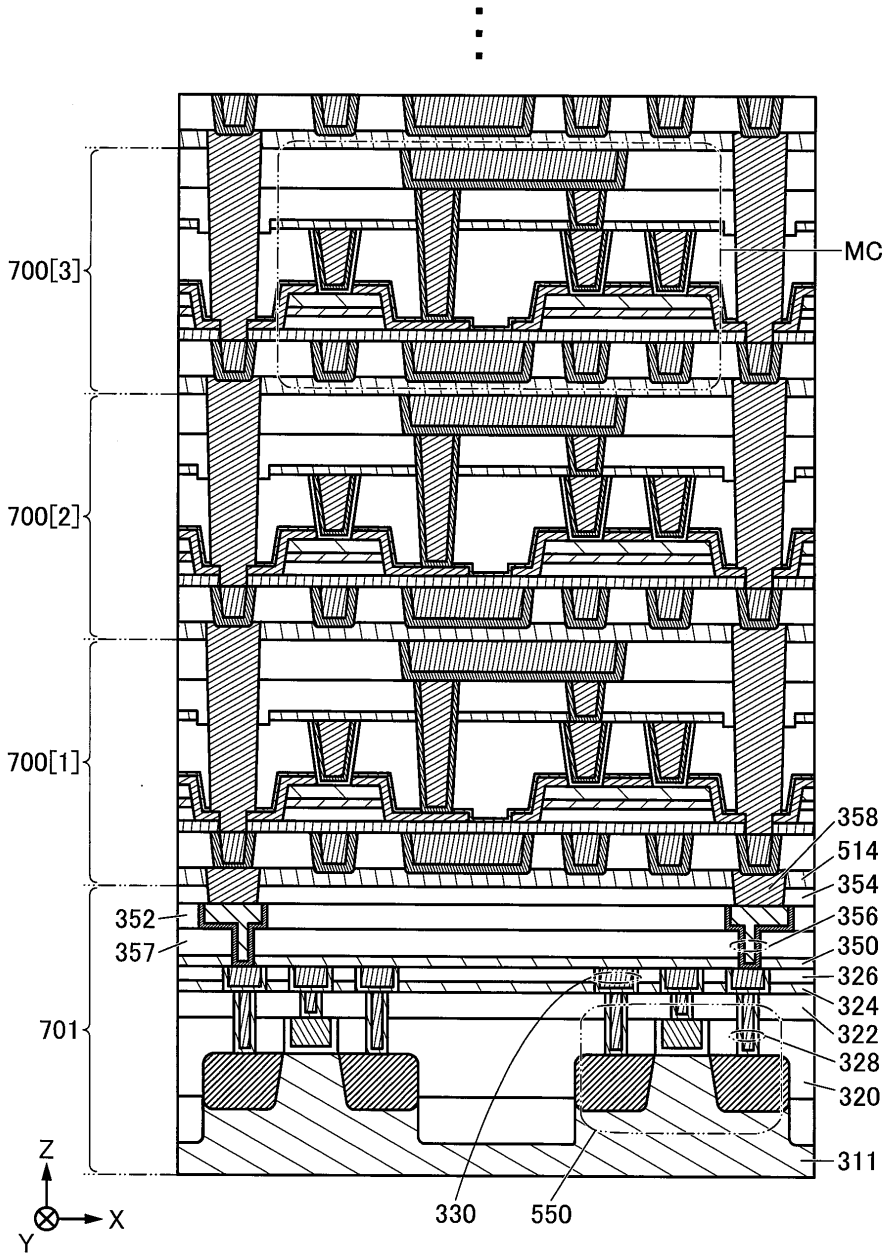
도면12



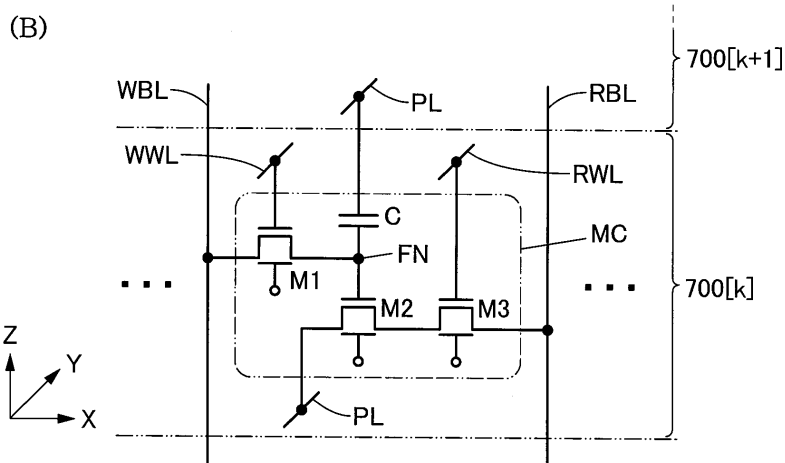
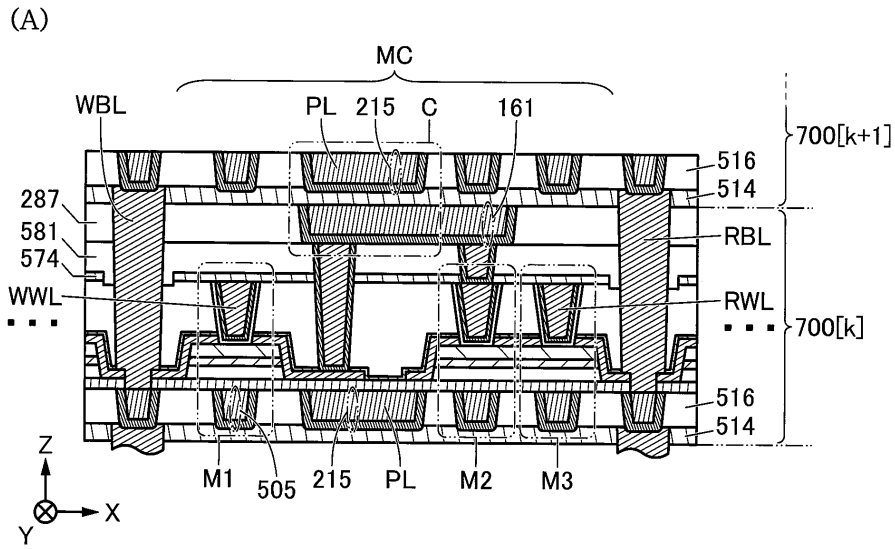
도면13



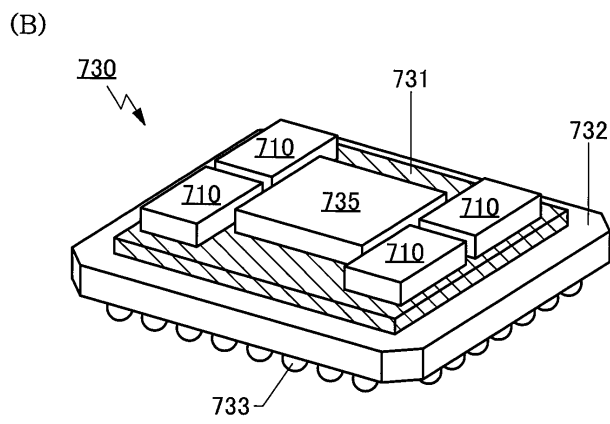
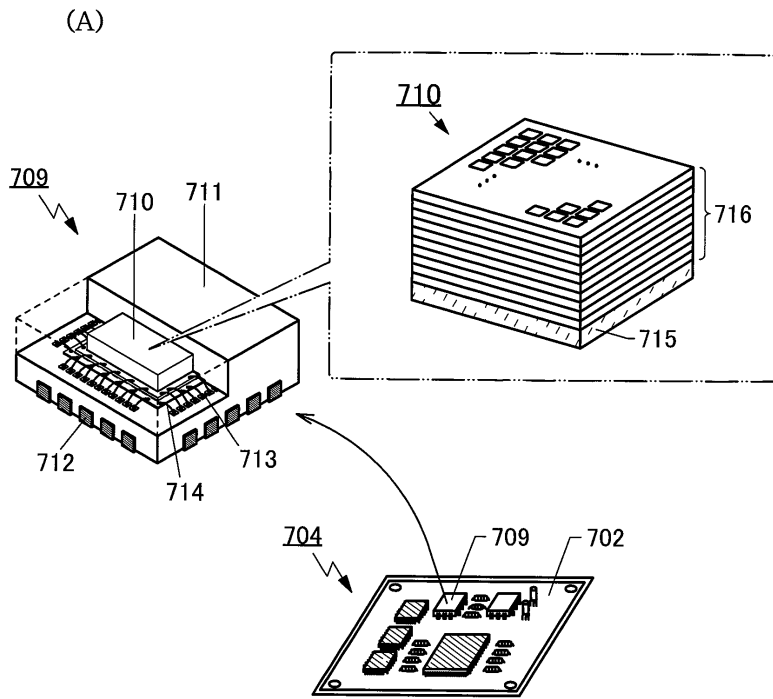
도면14



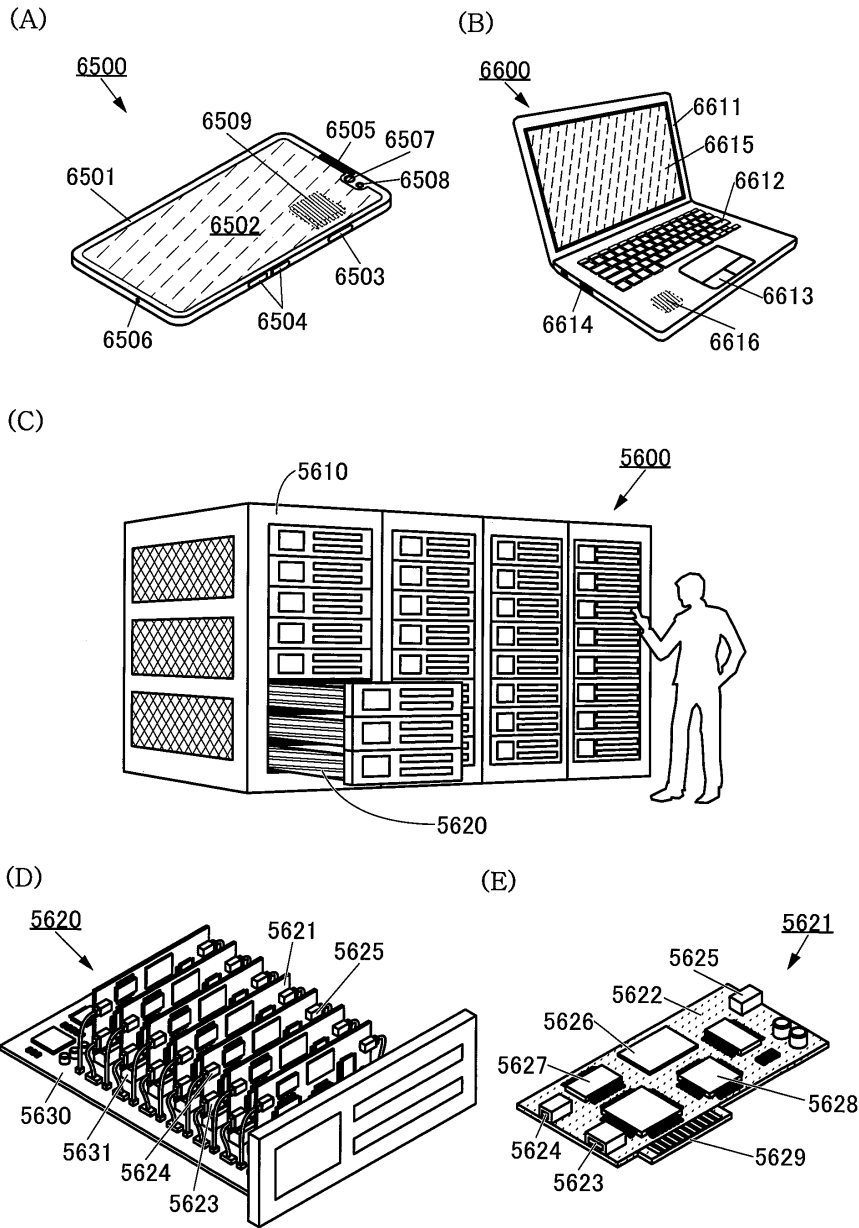
도면15



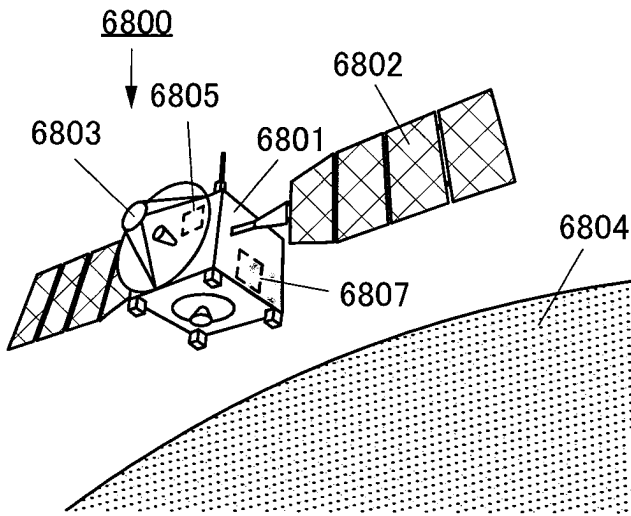
도면16



도면17



도면18



도면19

