



# [12] 发明专利说明书

[21] ZL 专利号 95117959.4

[43] 授权公告日 2003 年 2 月 5 日

[11] 授权公告号 CN 1101062C

[22] 申请日 1995.10.10 [21] 申请号 95117959.4

[30] 优先权

[32] 1994.10.11 [33] JP [31] 245312/1994

[71] 专利权人 松下电器产业株式会社

地址 日本大阪

[72] 发明人 森俊树 中尾一郎 藤田勉

濑川礼二

审查员 洪 岩

[74] 专利代理机构 永新专利商标代理有限公司

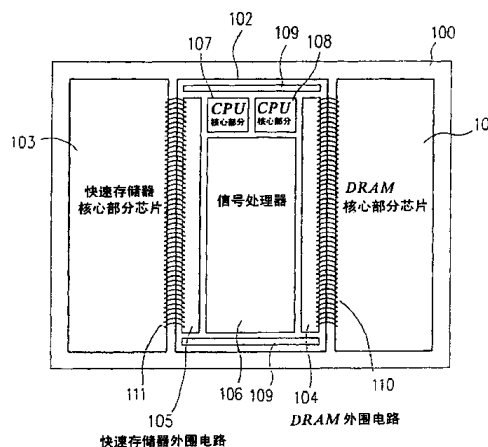
代理人 蹇 炜

权利要求书 7 页 说明书 37 页 附图 20 页

[54] 发明名称 半导体装置及其制造方法, 存储器  
核心部及外围电路芯片

[57] 摘要

本发明的半导体装置包括多个电路块, 该多个电路块包括一个第一电路块和一个第二电路块, 该第一电路块的一个块参数与该第二电路块的一个块参数不同。在该半导体装置中, 该第一电路块是形成在第一半导体芯片上的, 而该第二电路块是形成在第二半导体芯片上的并与该第一电路块电连接。



ISSN 1008-4274

1、一种半导体装置，包括多个电路块，该多个电路块包含有一个第一电路块及一个第二电路块，该第一电路块的一个块参数与该第二电路块的一个块参数不同，

其中该第一电路块形成在第一半导体芯片上，而该第二电路块形成在一个第二半导体芯片上且与该第一电路块电连接，

并且所述块参数是从由以下各项构成的组中选出的一个参数：  
一工作时钟频率；一设计规则；一晶体管阈值（ $V_t$ ）；一电源电压；  
该电路块是否是由数字电路或模拟电路构成；该电路块是否是一个普通 MOS 电路、一 CMOS 电路、一双极型电路或一双 CMOS 电路；  
该电路块是否是一个 ROM 或 RAM；以及该电路是否是一个逻辑电路或存储器。

2、如权利要求 1 所述的半导体装置，其中该第一电路块包括多个电路，而第二电路块包括其它多个电路，并且两个电路块上的所有多个电路可集成在一个相同的半导体芯片上。

3、一种半导体装置，包括多个电路块，该多个电路块包含有一个第一电路块及一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与该第二电路块的块参数不同，

其中该第一电路块形成在第一半导体芯片上，而该第二电路块形成在一个第二半导体芯片上且与该第一电路块电连接，

并且其中所述第一电路块是包括多个存储单元的一存储单元块，而该第二电路块是用于对该存储单元块中的所选存储单元进行存取的一个存储器外围电路块。

4、如权利要求 3 所述的半导体设备，其中第一电路块包括多个电路，第二电路块包括其它多个电路，并且两个电路块上的所有电路

可集成在一个相同的半导体芯片上。

5、一种半导体装置，包括多个电路块，该多个电路块包含有一个第一电路块及一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与该第二电路块的块参数不同，

其中该第一电路块形成在第一半导体芯片上，而该第二电路块形成在一个第二半导体芯片上且与该第一电路块电连接，

并且其中所述第一电路块是一个 CPU 核心部分，而该第二电路块是一个外围电路块。

6、如权利要求 5 所述的半导体设备，其中第一电路块包括多个电路，第二电路块包括其它多个电路，并且两个电路块上的所有电路可集成在一个相同的半导体芯片上。

7、一种用于制造一半导体装置的方法，包括以下步骤：

将多个可集成在同一半导体芯片上的多个电路分组为一个第一电路块和一个第二电路块，该第一电路块的一个块参数与该第二电路块的一个块参数不同；

在一个第一半导体芯片上形成该第一电路块；

在一个第二半导体芯片上形成该第二电路块；

将该第一电路块与该第二电路块电连接；

其中该块参数是从由以下各项构成的组中选出的一个参数：一工作时钟频率；一设计规则；一晶体管阈值 ( $V_t$ )；一电源电压；该电路块是否是由数字电路或模拟电路构成；该电路块是否是一个普通 MOS 电路、一 CMOS 电路、一双极型电路或一双 CMOS 电路；该电路块是否是一个 ROM 或 RAM；以及该电路是否是一个逻辑电路或存储器。

8、一种用于制造一半导体装置的方法，包括以下步骤：

将多个可集成在同一半导体芯片上的多个电路分组为一个第一

电路块和一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与第二电路块的块参数不同；

在一个第一半导体芯片上形成该第一电路块；

在一个第二半导体芯片上形成该第二电路块；

将该第一电路块与该第二电路块电连接；

其中第一电路块是包括多个存储单元的一存储单元块，而该第二电路块是用于对该存储单元块的所选存储单元进行存取的一个存储器外围电路块。

9、一种用于制造一半导体装置的方法，包括以下步骤：

将多个可集成在同一半导体芯片上的多个电路分组为一个第一电路块和一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与第二电路块的块参数不同；

在一个第一半导体芯片上形成该第一电路块；

在一个第二半导体芯片上形成该第二电路块；

将该第一电路块与该第二电路块电连接；

其中第一电路块是一个 CPU 核心部分，而该第二电路块是一个外围电路块。

10、一种半导体装置，包括一个具有多个电路块用于执行至少一第一功能的第一电路部分，以及一个具有一电路块用于执行一与第一功能不同的第二功能的第二电路部分，

其中该第一电路部分的该多个电路块中的至少一个电路块与该第二电路部分的该电路块一起形成在一个第一半导体芯片，

且该第一电路部分的其它电路块形成在一个与该第一半导体芯片不同的第二半导体芯片上，且该其它电路块与形成在该第一半导体芯片上的该电路块电连接，

且关于形成在该第一半导体芯片上的该第一电路部分的该至少一个电路块的一个块参数与关于形成在该第二半导体芯片上的该第一电路部分的该其它电路块的一个块参数相比更接近于关于该第二电路部分的该电路块的一个块参数。

11、如权利要求 10 的半导体装置，其中该第一电路部分至少包含一个存储单元块和一个存储器外围电路块，作为用于执行该第一功能的多个电路块，

而该第二电路部分包含一个信号处理器，作为用于执行该第二功能的该电路块，

且该信号处理器及该存储器外围电路块形成在该第一半导体芯片上而该存储单元块形成在该第二半导体芯片上。

12、如权利要求 10 的半导体装置，其中该块参数是从由以下各项构成的组中选出的一个参数：一工作时钟频率；一设计规则；一晶体管阈值 ( $V_t$ )；一电源电压；该电路块是否是由数字电路或模拟电路构成；该电路块是否是一个普通 MOS 电路、一 CMOS 电路一双极型电路或一双 CMOS 电路；该电路块是否是一个 ROM 或 RAM；以及该电路是否是一个逻辑电路或存储器。

13、一种存储器外围电路部分芯片，包括：

一输入/输出端子，用于向/从另一个具有存储单元阵列的半导体存储器核心部分芯片发送/接收信号，及

一存储器外围电路，用于根据给定的地址指定在该半导体存储器核心部分芯片中的该存储单元阵列的一个存储单元以从/向该存储单元读/写数据。

14、一种存储器核心部分芯片，包括：

一输入/输出端子，用于向/从另一个具有存储器外围电路的半导体芯片发送/接收信号，及

一存储单元阵列，

其中由该另一半导体芯片的存储器外围电路根据一给定的地址指定一存储单元以从/向该存储单元读/写数据。

15、一种半导体存储器装置，包括：

通过进行一个第一半导体制造过程形成的至少一个存储器核心部分芯片；

通过进行一个与该第一半导体制造过程不同的第二半导体制造过程而形成的一个存储器外围电路部分芯片；以及

用于连接该存储器核心部分芯片和该存储器外围电路部分芯片的装置。

16、如权利要求 15 的半导体存储器装置，其中该存储器核心部分芯片包括用于在其中存储数据的存储单元，

且该存储器外围电路部分芯片根据给定的地址指定在该存储器核心部分芯片中的存储单元以从/向该存储单元读/写数据。

17、如权利要求 15 的半导体存储器装置，其中半导体存储器设备包括通过执行第一半导体制造过程而形成的多个存储器核心部分芯片；

并且其中该多个存储器核心部分芯片共同使用包括在该存储器外周电路部分芯片中的至少一部分电路。

18、一种半导体装置，包括：

至少一个包含存储单元的一个存储器核心部分芯片，其通过进行一个第一半导体制造过程而形成，用于在其中存储数据；

一个信号处理芯片，包含通过进行一个与该第一半导体制造过程不同的第二半导体过程而形成的一存储器外围电路部分以及一个用于利用存储在存储器核心部分芯片中的数据处理的信号处理器；以及

用于连接该存储器核心部分芯片和该信号处理芯片的装置。

19、如权利要求 18 的半导体装置，其中该存储器外围电路部分

根据一给定的地址指定该存储器核心部分芯片中的一存储单元以从/向该存储单元读/写数据。

20、如权利要求 18 的半导体装置，其中设有多个存储器核心部分芯片，且共用该存储器外围电路部分的至少一部分电路。

21、一种半导体装置，包括安装在同一基板上的一存储器芯片和一信号处理芯片，

其中该存储器芯片包括：一存储单元阵列部分，其包含多个用于在其中存储数据的存储单元；一存取装置，用于根据一给定的地址指定该存储单元阵列部分中的一存储单元以向/从其中输入/输出数据；以及一数据端子，用于并行地输入/输出多个数据，

且该信号处理芯片包括一用于并行地输入/输出多个数据的数据端子，

还设置了用于在该存储器芯片和该信号处理芯片之间并行地传送多个数据的装置。

22、如权利要求 21 的半导体装置，其中该存储器芯片通过进行一个第一半导体制造过程而形成，

而该信号处理芯片通过进行一个与该第一半导体制造过程不同的第二半导体制造过程而形成。

23、如权利要求 21 的半导体装置，其中该信号处理芯片还包括多个信号处理器。

24、一种半导体装置，包括通过多芯片模块安装技术安装的一个存储器核心部分芯片和一个信号处理芯片，

其中该存储器核心部分芯片包括：包含多个用于在其中存储数据的存储单元的一个存储单元阵列；以及用于并行地输入/输出多个数据的一数据端子，

而该信号处理芯片包括：一数据端子，用于根据一给定地址指定该存储器核心部分芯片中的一个存储单元以从/向该存储单元读/写

一数据及并行地输入/输出多个数据；以及多个信号处理器，

还设有一个用于在该存储器核心部分芯片和该信号处理芯片之间传送多个数据的装置。

25、如权利要求 24 的半导体装置。其中该存储器芯片通过进行一个第一半导体制造过程而形成，

而该信号处理芯片通过进行一个与该第一半导体制造过程不同的第二半导体制造过程而形成。

半导体装置及其制造方法，存储器核心部分及外围电路芯片

### 技术领域

本发明涉及一种半导体存储器装置以及一种包括一半导体存储器装置的半导体设备。更具体地说，本发明涉及一种能够利用多芯片模块（以后简称为“MCM”）技术有效地制造的半导体存储器装置以及包含该半导体存储器装置的半导体设备。

### 背景技术

动态随机存取存储器（DRAM）装置是一种广泛使用的半导体存储器装置。一个DRAM通常包括一个存储单元阵列，该阵列包含多个作为一存储部分设置在一个阵列中的存储单元。为了减少用于DRAM的外壳的管脚数量，通常形成具有示于图1的电路结构的一个芯片。如图1所示，DRAM95包括一个电路块50，其中作为一个中核心部分提供有一个包含设置在一阵列中的存储单元的存储单元阵列1，且以下电路也以与用于存储单元阵列1内的多个存储单元的间距相同间距布线：一行解码器5以及一用于选择一字线的字驱动器6；用于放大在一位线上的信号的读出放大器4；用于选择在由读出放大器4放大的信号的一任意位置的一位数据以向一数据线输出所选数据的列选择器3；以及用于生成一提供给列选择器3的选择信号的列解码器2。以后将包括该存储单元阵列1以及上述以与用于存储单元1内的多个存储单元的间距相同的间距布线的电路的电路块50称为“存储器核心部分”，另外，以下电路不按照存储单元阵列1的存储单元的间距布线：用于接收来自一个地址信号A（10：0）输入端子32的行地址的行地址缓存器10；用于接收亦通过该端子32的列地址的列地址缓存器9；用于生成一个刷新地址的行地址计数

器 1 1；用于预先解码一个输入地址信号以将从行地址缓存器 1 0 输出的信号转换为一个施加到行解码器 5 上的信号的行预解码器 8；用于预先解码一个输入地址信号以将从列地址缓存器 9 输出的信号转换为一个施加到列解码器 2 上的信号的列预解码器 7；用于输入一个数据给数据 D Q ( 7 : 0 ) 输入端子 3 6 的数据输入缓存器 1 2；用于输出来自数据 D Q ( 7 : 0 ) 输出端子 3 6 的数据的数据输出缓存器 1 3；用于将一数据写入一存储单元的写放大器 1 4；用于读出一存储单元的数据的读放大器 1 5；一 R A S / C A S 时钟发生器 1 6，用于基于分别通过一 R A S 信号输入端子 3 0 及一 C A S 信号输入端子 3 1 输入的 R A S 信号及 C A S 信号生成一个用于 D R A M 内的定时信号；一 W E 时钟发生器 1 7，用于基于通过一 W E 信号输入端子 3 5 输入的一 W E 信号生成一写定时信号；一 O E 时钟发生器 1 8，用于基于通过一 O E 信号输入端子 3 7 输入的一 O E 信号生成一个用于一输出数据的定时信号；一升压电位发生器 1 9，用于生成一个该 D R A M 内部需要的电压以升高一字线电位；一基板电位发生器 2 0，用于生成一个施加给一基板的电位；以及一个  $1 / 2 V C C$  发生器 2 1，用于生成  $1 / 2 V C C$ ，该  $1 / 2 V C C$  用作施加给一个位线预充电及一个单元板的电位。此后，上述不按照存储单元阵列 1 内的存储单元间距布线的电路将整体被称为“存储器外围电路部分”。

由于 D R A M 9 5 在一个芯片上包括示于图 1 的上述电路，只需要地址管脚、数据管脚、几个控制信号管脚及电源管脚作为用于将该 D R A M 安装在一外壳上的外部管脚。因此，该 D R A M 可被安装在小的外壳上。例如，在一个 8 位数据 I / O 1 6 兆比特 D R A M 中，1 1 个地址管脚、8 个数据输入 / 输出管脚、4 个控制信号管脚及 2 个电源管脚，即总共 2 5 个管脚被使用。相应地，这种 D R A M 可被安装在具有 2 8 个管脚的外壳中。

图 2 示出了用于一个具有示于图 1 的电路结构的 D R A M ( 这里

为 16 兆比特的 D R A M) 的一示例性布线。如图 2 所示, 该存储单元阵列 1 被分为四个 4 兆比特的板, 且各 4 兆比特的板又被分为 16 个 256 千比特的存储单元块。各 256 千比特的存储单元块 96 包括 256 行  $\times$  1024 列个存储单元。为各存储单元块提供的读放大器 4 和列选择器 3 的数目与存储单元的列的数目相同, 即为 1024。行解码器 5 和字驱动器 6 为各存储单元块设置; 列解码器 2 为各板设置; 而存储器外围电路部分设于位于芯片中部的右和左侧列解码器 2 之间且在芯片边沿部分的部分 94 中。在此例中, 从列解码器 2 向列选择器 3 输出的选择信号是为右和左侧的板共同使用的一个信号。由于选择信号线不能跨过在中核心部分分的存储器外围电路部分 94, 故列解码器 2 分别设于右和左板上。用于连接该芯片与外部管脚的焊盘设于芯片的中核心部分分 94 中的焊盘形成部分 40 中。这些焊盘与外壳的外部管脚以导线焊接相连。

在此例中, 当该芯片被安装于外壳上时, 用于输入 / 输出数据的输入 / 输出端子 36 的端子电容在各信号端子 30 - 32 及 35 - 37 的端子电容中是最大的。通过将一输入晶体管的门电容、从端子到该输入晶体管的线电容、用于保护该输入晶体管不受到电冲击的一个装置的电容、一信号输出晶体管的扩散电容、一用于保护该输出晶体管不受到电冲击的装置的电容以及一导线及该外壳的导线焊接的电容相加而得到的一个总端子电容大约为 5 p F。通常为一个系统设置多个存储装置, 且这多个存储装置各端子都公共地经由总线彼此连接。因此, 通常假设 50 p F 的负载电容与各管脚相连接来估算一个 D R A M 的特性。不仅考虑到外壳管脚的数目限制并且考虑到功耗的增加及由负载电容工作引起的噪声, 目前实际使用具有 8 至 16 位的位宽的数据 I / O。

图 3 示出了使用一个 D R A M 的系统的实例。在图 3 中, 一个封装好的 D R A M 72 和诸如一 C P U 的信号处理 L S I (大规模集成

电路) 7 1 以一个印刷电路板 7 0 连接在一起。该 D R A M 7 2 和信号处理 L S I 7 1 通过印刷线路 7 3 彼此相连接。图 3 示出了利用一个 D R A M 的系统的结构, 但是, 大量的系统使用多个 D R A M。

D R A M 通过执行一个具有很多处理步骤的复杂的半导体制造过程来制造, 以便制造小面积和大电容的存储单元电容器或具有小泄漏电流的存储单元晶体管。因此, 使用  $0.5 \mu\text{m}$  设计规则的 D R A M 的制造成本大约为用于形成一个使用相同设计规则的逻辑 L S I 的逻辑 L S I 制造处理的成本的 1.5 倍。

在具有示于图 1 的电路结构的 D R A M 中, 该 D R A M 制造过程仅对存储单元阵列 1 是必要的, 而该芯片上存储单元阵列 1 之外的其它元件可以用用于形成一逻辑 L S I 的逻辑 L S I 过程来制造。然而, 如图 2 所示, 具有图 1 所示的电路结构的 D R A M 的所有元件都是利用该 D R A M 制造过程制造的, 使得 D R A M 的制造成本变得较高, 这是不利的。

这一点对 D R A M 之外的其它半导体存储装置也是一样的。在 S R A M (静态存储器)、E E P R O M (电可擦可编程只读存储器)、快速存储器等中, 包括存储单元阵列之外的外围电路部分的部分都是利用成本高于逻辑 L S I 制造过程的过程形成在一块芯片上的, 因而提高了半导体存储器装置的成本。

另外, 如上所述, 用于存储器装置的数据 I / O 的位宽通常小到 8 到 16 位。因此, 在用于传递具有大位宽的数据的系统中, 具有大位宽的数据 I / O 是利用大量的具有小容量的存储器装置构成的。其结果, 这种系统的尺寸变大且成本较高。

另一方面, 由于小型及快速响应系统已被开发, 用于将包括存储器装置的多个裸芯片安装在同一基板上并以最短的连线连接这些芯片的 M C M 技术已被开发。然而, 在用于这种 M C M 的存储器芯片中, 使用的是以示于图 2 的传统结构制造的高成本存储器装置, 在一个存

存储器芯片上的数据 I / O 的位宽是有限的。因此，为了实现大位宽数据 I / O，需要使用大量的具有小存储容量的存储装置。

另外，为了提高存储单元的数据存储特性及加快存取速度，D R A M 的半导体基板的电位被设为负。该负电位由集成在该 D R A M 芯片上的基板电位发生器 20 生成。另一方面，用于逻辑 L S I 的半导体基板通常接地。因此，用于 D R A M 的半导体基板的阻抗比用于逻辑 L S I 的半导体基板的阻抗高，使得 D R A M 的封闭性和抗电冲击性降低。其结果，需要较大面积的部分用于保护输入不受电冲击，且对由一精细形成图案处理制造的 D R A M 需要一个三重井结构处理，其中只有基板上的存储单元区被设置为负电位。

此外，在利用存储器装置的系统，不仅是 D R A M，而且还有 S R A M、E E P R O M、快速存储器等多种存储器装置经常被使用。在所有这些存储装置中，外围电路安装在安装有存储单元的同一芯片上，使得各存储芯片包括以同样方式工作的电路。

#### 发明内容

本发明的半导体装置包括多个电路块，该多个电路块包含有一个第一电路块及一个第二电路块，该第一电路块的一个块参数与该第二电路块的一个块参数不同，其中该第一电路块形成在第一半导体芯片上，而该第二电路块形成在一个第二半导体芯片上且与该第一电路块电连接，并且所述块参数是从由以下各项构成的组中选出的一个参数：一工作时钟频率；一设计规则；一晶体管阈值 ( $V_t$ )；一电源电压；该电路块是否是由数字电路或模拟电路构成；该电路块是否是一个普通 MOS 电路、一 CMOS 电路、一双极型电路或一双 CMOS 电路；该电路块是否是一个 ROM 或 RAM；以及该电路是否是一个逻辑电路或存储器。

在另一个实施例中，该第一电路块包括多个电路，而第二电路块包括其它多个电路，并且两个电路块上的所有多个电路可集成在一

个相同的半导体芯片上。

根据本发明的另一方面，提供了一种半导体装置，包括多个电路块，该多个电路块包含有一个第一电路块及一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与该第二电路块的块参数不同，其中该第一电路块形成在第一半导体芯片上，而该第二电路块形成在一个第二半导体芯片上且与该第一电路块电连接，并且其中所述第一电路块是包括多个存储单元的一存储单元块，而该第二电路块是用于对该存储单元块中的所选存储单元进行存取的一个存储器外围电路块。

在一个实施例中，该第一电路块包括多个电路，第二电路块包括其它多个电路，并且两个电路块上的所有电路可集成在一个相同的半导体芯片上。

根据本发明的另一方面，本发明提供一种半导体装置，包括多个电路块，该多个电路块包含有一个第一电路块及一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与该第二电路块的块参数不同，其中该第一电路块形成在第一半导体芯片上，而该第二电路块形成在一个第二半导体芯片上且与该第一电路块电连接，并且其中所述第一电路块是一个 CPU 核心部分，而该第二电路块是一个外围电路块。

在另一个实施例中，该第一电路块包括多个电路，第二电路块包括其它多个电路，并且两个电路块上的所有电路可集成在一个相同的半导体芯片上。

根据本发明的又一方面，一种用于制造一半导体装置的方法，包括以下步骤：将多个可集成在同一半导体芯片上的多个电路分组为一个第一电路块和一个第二电路块，该第一电路块的一个块参数与该

第二电路块的一个块参数不同；在一个第一半导体芯片上形成该第一电路块；在一个第二半导体芯片上形成该第二电路块；将该第一电路块与该第二电路块电连接；其中该块参数是从由以下各项构成的组中选出的一个参数：一工作时钟频率；一设计规则；一晶体管阈值 ( $V_t$ )；一电源电压；该电路块是否是由数字电路或模拟电路构成；该电路块是否是一个普通 MOS 电路、一 CMOS 电路、一双极型电路或一双 CMOS 电路；该电路块是否是一个 ROM 或 RAM；以及该电路是否是一个逻辑电路或存储器。

根据本发明的另一方面，提供了一种用于制造一半导体装置的方法，包括以下步骤：将多个可集成在同一半导体芯片上的多个电路分组为一个第一电路块和一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与第二电路块的块参数不同；在一个第一半导体芯片上形成该第一电路块；在一个第二半导体芯片上形成该第二电路块；将该第一电路块与该第二电路块电连接；其中第一电路块是包括多个存储单元的一存储单元块，而该第二电路块是用于对该存储单元块的所选存储单元进行存取的一个存储器外围电路块。

根据本发明的另一方面，提供一种用于制造一半导体装置的方法，包括以下步骤：将多个可集成在同一半导体芯片上的多个电路分组为一个第一电路块和一个第二电路块，第一电路块和第二电路块中的每一个都包括预先安排到依据相应的块参数而被制造和操作的至少一个电路块上的电路，第一电路块的块参数与第二电路块的块参数不同；在一个第一半导体芯片上形成该第一电路块；在一个第二半导体芯片上形成该第二电路块；将该第一电路块与该第二电路块电连接；其中第一电路块是一个 CPU 核心部分，而该第二电路块是一个外围电路块。

根据本发明的另一方面，提供一种半导体装置，包括一个具有多个电路块用于执行至少一第一功能的第一电路部分，以及一个具有一电路块用于执行一与第一功能不同的第二功能的第二电路部分，其中该第一电路部分的该多个电路块中的至少一个电路块与该第二电路部分的该电路块一起形成在一个第一半导体芯片，且该第一电路部分的其它电路块形成在一个与该第一半导体芯片不同的第二半导体芯片上，且该其它电路块与形成在该第一半导体芯片上的该电路块电连接，且关于形成在该第一半导体芯片上的该第一电路部分的该至少一个电路块的一个块参数与关于形成在该第二半导体芯片上的该第一电路部分的该其它电路块的一个块参数相比更接近于关于该第二电路部分的该电路块的一个块参数。

在一个实施例中，该第一电路部分至少包含一个存储单元块和一个存储器外围电路块，作为用于执行该第一功能的多个电路块，而该第二电路部分包含一个信号处理器，作为用于执行该第二功能的该电路块，且该信号处理器及该存储器外围电路块形成在该第一半导体芯片上而该存储单元块形成在该第二半导体芯片上。

在另一实施例中，该块参数是从以下组中选出的一个参数，该组由以下各项组成：一工作时钟频率；一设计规则；一晶体管的阈值（ $V_t$ ）；一电源电压；该电路块是否由数字电路或模拟电路组成；该电路块是否是一普通的MOS电路、CMOS电路、双极型电路或双COMS（bi-CMOS）电路；该电路块是否是一ROM或RAM；以及该电路块是否是一逻辑电路或一存储器。

根据本发明的另一方面，提供了一种存储器外围电路部分芯片。该存储器外围电路部分芯片包括：一输入/输出端子，用于向/从另一个具有一存储单元阵列的半导体存储器核心部分芯片发送/接收信号；以及一存储器外围电路，用于基于所给的地址指定该半导体存储器核心部分芯片中的该存储单元阵列的一个存储单元以从/向该存储

单元上读 / 写一个数据。

根据本发明的另一方面，提供了一种存储器核心部分芯片。该存储器核心部分芯片包括：一输入 / 输出端子，用于向 / 从另一个具有一存储器外围电路的半导体芯片发送 / 接收一个信号；以及一存储单元阵列。在该存储器核心部分芯片中，一存储单元由该半导体芯片的存储器外围电路根据一给定地址指定以从 / 向该存储单元读 / 写一个数据。

根据本发明的又一方面，提供了一种半导体存储器装置。该半导体存储器装置包括：由进行一个第一半导体制造过程形成的至少一个存储器核心部分芯片；由进行一个与该第一半导体制造过程不同的一个第二半导体制造过程形成的一个存储器外围电路部分芯片；以及用于连接该存储器核心部分芯片与该存储器外围电路部分芯片的装置。

在一个实施例中，该存储器核心部分芯片包括用于在其中存储数据的存储单元，而该存储器外围电路部分芯片根据一给定的地址指定该存储器核心部分芯片中的存储单元以从 / 向该存储单元读 / 写数据。

在另一个实施例中，半导体存储器设备包括通过执行第一半导体制造过程而形成的多个存储器核心部分芯片；并且其中该多个存储器核心部分芯片共同使用包括在该存储器外周电路部分芯片中的至少一部分电路。

根据本发明的又一方面，提供了一种半导体装置。该半导体装置包括：通过进行一个第一半导体制造过程形成的包含有存储单元的至少一个存储器核心部分芯片，用于在其中存储数据；包含有通过进行一个与该第一半导体制造过程不同的第二半导体制造过程形成的一个存储器外围电路部分以及一个用于利用存储在存储器核心部分芯片中的数据的一信号的信号处理器的信号处理芯片；以及用于将该存储器核心部分芯片与该信号处理芯片相连接的装置。

在一个实施例中，该存储器外围电路部分根据一给定地址指定该存储器核心部分芯片中的存储单元以便从 / 向该存储单元读 / 写数据。

在另一实施例中，提供有多个该存储器核心部分芯片，且共同使用该存储器外围电路部分的至少一部分电路。

根据本发明的另一方面，提供了一种半导体装置。该半导体装置包括安装在同一基板上的一个存储器芯片和一个信号处理芯片。在该半导体装置中，该存储器芯片包括：包含多个用于存储数据的存储单元的一个存储单元阵列部分；一个根据一给定地址指定该存储单元阵列部分中的一个存储单元以向其 / 自其输入 / 输出数据的存取装置；以及一个用于并行地输入 / 输出多个数据的数据端子；该信号处理芯片包括用于并行地输入 / 输出多个数据的一个数据端子；该半导体装置并且设有用于在该存储器芯片和该信号处理芯片之间并行地传送多个数据的装置。

在一个实施例中，该存储器芯片通过进行一个第一半导体制造过程而形成，而该信号处理芯片通过进行一个与该第一半导体制造过程不同的第二半导体制造过程而形成。

在另一个实施例中，该信号处理芯片还包括多个信号处理器。

根据本发明的另一方面，提供了一种半导体装置。该半导体装置包括以多芯片模块安装技术安装的一个存储器核心部分芯片和一个信号处理芯片。在该半导体装置中，该存储器核心部分芯片包括：包含多个用于存储数据的存储单元的一个存储单元阵列；以及一个用于并行地输入 / 输出多个数据的数据端子；该信号处理芯片包括一个用于根据一给定地址指定该存储器核心部分芯片中的一个存储单元以从 / 向该存储单元读 / 写数据及并行地输入 / 输出多个数据的数据端子以及多个信号处理器；该半导体装置中还设置了用于在存储器核心部分芯片及信号处理芯片之间并行地传送多个数据的装置。

在一个实施例中，该存储器核心部分芯片是通过进行一个第一半导体制造过程形成的，而该信号处理芯片是通过进行一个与该第一半导体制造过程不同的第二半导体制造过程形成。

因此，本发明使得以低成本提供高性能的半导体装置成为可能。

对于本领域的技术人员，在参照附图阅读和理解了以下详细说明后，本发明的上述及其它优点将是很清楚的。

附图说明

图 1 是显示用于一传统 D R A M 的一示例性电路结构的方框图。

图 2 是显示图 1 中的 D R A M 的一个示例性布线的平面图。

图 3 是显示于一利用了一个半导体存储器装置的已有系统的示例性结构的透视图。

图 4 A 显示了根据一般使用的功能规则分组的多个电路块；

图 4 B 概略地示出了一个包含这些集成在同一芯片上的电路块的一个半导体装置布局；

图 4 C 概略地示出了一个半导体装置的布局，其中根据各电路块是否是数字的或模拟的块参将这些电路块分为两组，且各电路块被重新布置在两个不同的半导体芯片上。

图 5 A 是显示一个 M C M 的平面图；图 5 B 是该 M C M 的一剖视图；图 5 C 是该 M C M 的透视图。

图 6 A 及 6 B 是说明用于分配多个电路块的一个第一方法的平面图。

图 7 A 和 7 B 是说明用于分配多个电路块的一个第二方法的平面图。

图 8 显示用于制造根据本发明的一半导体装置的一个方法的流程图。

图 9 是显示用于根据本发明的第一例的半导体装置的一个示例性结构的方框图。

图 1 0 是显示用于图 9 的半导体装置的一个示例性布线的平面图。

图 1 1 是显示用于根据本发明的第二例的一半导体装置的示例性结构的方框图。

图 1 2 是显示用于图 1 1 的该半导体装置的一个示例性布线的平面图。

图 1 3 是显示用于根据本发明的第三例的一半导体装置的一个示例性结构的平面图。

图 1 4 是显示用于根据本发明的第四例的一半导体装置的一个示例性结构的平面图。

图 1 5 是显示用于根据本发明的第五例的一半导体装置的一个示例性结构的平面图。

图 1 6 A 是显示逻辑门延时对电源电压的依赖关系曲线，而图 1 6 B 为显示一个 D R A M 的存取时间对电源电压的依赖关系曲线。

图 1 7 是比较各示例性系统的特征的一个表。

图 1 8 是显示用于根据本发明的第六例的一个半导体装置的一示例性结构的平面图。

图 1 9 A 及 1 9 B 显示了用于根据本发明的第六例的该半导体装置的另一示例性结构的平面图。

图 2 0 A 是概略地显示用于控制器 M C U 的结构方框图，而图 2 0 B 是概略地显示用于一视频处理 M C U 的结构方框图。

图 2 1 A 示出了一种用于分组关于该控制器 M C U 和该视频处理 M C U 的电路块的方法，而图 2 1 B 是示意性地显示在其上形成有被分组的电路块的两个半导体芯片的连接的一个剖视图。

图 2 2 A 示出了一种用于分组关于该控制器 M C U 和该视频处理 M C U 的电路块的方法，而图 2 2 B 是示意性地显示在其上形成有被分组的电路块的两个半导体芯片的连接的一个剖视图。

## 具体实施方式

本发明的半导体装置包括至少包含有具有不同块参数的一个第一电路块和一个第二电路块的多个电路块。该第一电路块形成在一个第一半导体基板上，而该第二电路块形成在一个第二半体基板上。这种“块参数”指该两个电路块之间的各种差异，例如工作时钟频率；设计规则；晶体管的阈值（ $V_t$ ）；电源电压；电路块是否由数字电路或模拟电路构成；电路是否是普通MOS电路、CMOS电路、双极型电路或双CMOS电路等。该块参数还包括逻辑特征的差异：电路是否是一个ROM或RAM；电路是一个逻辑电路还是一个存储器等。

近年来，所谓的“芯片上系统”已成为在芯片上制造半导体装置的主流思想。在该芯片上系统中，大规模系统形成在同一芯片上，由此提高系统的如工作速度等的各种特性，并降低系统的生产成本。在这种芯片上系统型的半导体装置中，多个电路块集成在同一半导体芯片上，且该半导体装置如此设计以使该多个电路块以最优布局排列。在有些情况中，欲被集成的多个电路块具有不同的参数。然而，被确认为最优的方式仍是将多个电路块集成在同一半导体芯片上。本发明人认为现有技术中的这种常识是有问题的，并发现通过将多个电路块依据各种参数分为几组并将各组电路块分布到不同的半导体芯片上能够有效地降低生产成本，与上述的常识恰恰相反。

在分组及分布该多个电路块时，重要的是确定用于分组电路块和将电路块形成在各半导体芯片上的规则。这一点将参照图4A至4C描述。

图4A显示了按照一般使用的功能规则分组的多个电路；图4B示意性地示出了包含这些集成在同一半导体芯片上的电路块的半导体装置的布局；图4C示意性地示出了一半导体装置的布局，其中这些电路块被根据各电路块是数字的或是模拟的这样一个块参数分为两

组，且各电路块被重新布置在两块不同的半导体芯片上。

如图4A所示，一个可用于一家用游戏装置等上的视频处理系统包括：一个CPU；一个用于计算图形（CG）的视频处理LSI；以及一个NTSC编码器。该NTSC编码器包括一个逻辑电路（LOGIC）部分和一个D/A转换器（DAC）部。这两部分作为一整体起一个NTSC编码器的功能。该LOGIC部分根据RGB（红绿兰）数字信号控制该DAC部分的输出电平。该DAC部分包括一个用于编码数字信号的解码器部分（DAC-DEC），以及一个用于根据由该解码器部分提供的信号输出一模拟信号的电流单元阵列部分（DAC-ARRAY）。该DAC-DEC由数字电路组成而该DAC-ARRAY由模拟电路组成。其结果，该NTSC编码器可以由RGB数字信号生成一个NTSC复合信号。该CPU、视频处理LSI及该NTSC编码器分别形成在不同的半导体芯片上。各半导体芯片被置于一电路板上，且各半导体芯片经由设于该电路板上的线路彼此连接。利用电路板上的线的相互连接被认为是对系统高速工作的障碍。因此，由于大规模LSI制造技术及利用CAD系统的辅助设计工具的发展，示于图4A的系统趋向于被集成在同一半导体芯片上，如图4B所示。

根据本发明的一个实施例，系统的电路块是根据电路块是数字的或模拟的这一参数被分组的，并且然后被分布在不同的半导体芯片上。更具体地，该NTSC编码器中的LOGIC部分和DAC部分的数字电路被与DAC部分的模拟电路分开，且与CPU块和CG块一起集成在同一个半导体芯片（用于数字电路的）上。另一方面，该NTSC编码器中的DAC部分的模拟电路被形成在另一半导体芯片（用于模拟电路的）上。通过以这种方式设置各电路块，可以达到以下效果。NTSC中的DAC部分的模拟电路对噪声是敏感的并且易于受到噪声的不利影响。因此，如果该DAC部分形成在形成有由数

字电路构成的 L O G I C 部分的同一半导体芯片上，则由数字电路的工作引起的噪声有可能经由该半导体芯片到达该 D A C 部分。为了完全利用 N T S C 编码器的功能，通过上述方式将各电路块分组并将分组的电路块分别形成在两个不同的半导体芯片上，有可能消除这种由噪声引起的问题。另外，形成模拟电路的处理步骤与形成数字电路的处理步骤利用不同的半导体制造过程且具有不同的设计规则。因此，如果形成用于数字电路的一半导体芯片的制造过程与形成另一用于模拟电路的半导体芯片的制造过程被分开进行，则有可能遵从一优选的设计规则和进行省略了不必要步骤的一简化的生产过程而形成各半导体芯片。一般地，一具有严格设计规则的处理需要相对较高的成本用于执行一单一处理步骤。因此，如果一个能够遵从一灵活的设计规则形成的电路块被发现和与其它电路块分开以形成在另一半导体芯片上，则整体的制造成本可被降低。

在各电路块被分开地形成在多个半导体芯片上之后，通过连接该多个半导体芯片形成一 M C M。例如，通配置及经焊凸 ( s o l d e r b u m p ) 相互连接两个 L S I 芯片形成一 M C M，如图 5 A 至 5 C 所示。用于本发明的半导体装置的 M C M 与传统的 M C M 的不同在于本发明的半导体装置不包括通过简单地组含多个传统的半导体芯片而形成一个模块，本发明的模块由根据多个块参数分组的半导体装置构成。更具体地，根据本发明，在包含多个电路块的一个系统被形成后，该多个电路即被划分为多个组，各组包括具有共同或相似的块参数的电路块且各组被形成在不同的半导体芯片上以构成一模块。

在本发明的另一实施例中，包括多个存储单元的存储单元块和用于对该存储单元块的选定存储单元进行存取的存储器外围电路块形成在不同的半导体芯片上。该存储单元块和存储器外围电路块具有不同的设计规则 ( 最小尺寸 ) 及不同的制造处理序列。然而，传统上认为，为充分利用 D R A M 的功能，这些块应被集成在同一半导体芯片上。

根据本发明，该存储单元块和该外围电路块是基于设计规则的块参数而分组的，且然后被形成在不同的半导体芯片上。本发明此方面将在例子中详细地描述。

在另一个优选实施中，一个CPU核心部分和一个外围外路块分别地形成在不同的半导体芯片上。

粗略地说有两种用于分布多个电路块的方法。第一种方法适用于多个电路块A、B及C形成在单一半导体芯片700上以完成一个功能的情况，如图6A所示。根据该第一方法，如图6B所示，一个具有与其它电路块不同的块参数的电路块被找出，然后块A和B被形成一个半导体芯片710上而块C则被形成在另一半导体芯片720上。这两半导体芯片710和720被彼此相连接。

该第二种方法适用于多种电路块A、B和C形成在第一半导体芯片800上以完成一个第一功能而另外多个电路块D和E形成在第二半导体芯片810上以完成一个第二功能的情形，如图7A所示。根据该第二种方法，如图7B所示，一个具有与其它电路块A和B不同的功参数的电路块C被找出，然后形成在另一半导体芯片830上。剩下的电路块A和B形成在一半导体芯片820上。这两个半导体芯片820和830被彼此连接。

下面，将参考图8说明根据本发明的一种用于制造一个半导体装置的一种方法。

首先，在图8中的步骤1，利用CAD系统确定一个网表，读取一个块参数，然后划分各电路块的级别。接着，在步骤2，根据一特定的块参数将各电路块分组。接着，在步骤3，一个组级别被加到该网表中，由此完成各电路块在多个半导体芯片间的分布。

从步骤4起，执行已知的制造半导体芯片的处理步骤。具体地，在步骤4确定将被形成在各半导体芯片上的布线；在步骤5检验该布线；在步骤6生成一掩膜数据；在步骤7形成一掩膜；然后在步骤8

和 9 利用该掩膜在各半导体芯片上形成各电路。步骤 8 和 9 包括多个子步骤，诸如薄膜沉积处理步骤及光刻处理步骤。

如此形成的该两个半导体芯片最好利用 M C M 技术彼此连接，以形成一个半导体装置。

下面，将参照表 1 至 5 说明通过基于一特定类型的块参数分组各电路块可以达到哪些效果。表 1 至 5 示出了根据各块参数划分为两个不同电路块组并形成在第一半导体芯片（L S I - 1）和第二半导体芯片（L S I - 2）上的各电路。

表 1：块参数为设计规则

L S I - 1	L S I - 2
1 外围电路	存储器核心部分
2 数字电路	模拟电路
3 高速电路	低速电路
4 C M O S 电路	双极型电路
5 用户电路	C P U 核心部分
6 检测电路	非检测电路

表 2：块参数为阈值（V t）

L S I - 1	L S I - 2
1 高速电路	低速电路
2 外围电路	存储器核心部分
3 数字电路	模拟电路

表 3：块参数为电源电压

L S I - 1	L S I - 2
1 外围电路	存储器核心部分

2 用户电路	M C U核心部分
3 数字电路	模拟电路
4 用户电路	M C U核心部分

表 4：块参数是工作频率

L S I - 1	L S I - 2
1 用户电路	M C U核心部分
2 存储器	M C U核心部分
3 高速电路	低速电路
4 检测电路	非检测电路

表 5：块参数是逻辑电路特性

L S I - 1	L S I - 2
1 用户电路	M C U核心部分
2 计算器 ( F P U等)	M C U核心部分
3 存储器	M C U核心部分
4 用户电路	计算器 ( F P U等)
5 用户电路	存储器
6 数字电路	模拟电路
7 C M O S 电路	双极型电路
8 检测电路	非检测电路

如表 1 的第一行所示，当设计规则被选为块参数时，诸如行解码器及列解码器等外围电路被形成在第一半导体芯片上，而包括设于一阵列中的大量存储单元的存储器核心部分电路部分被形成在第二半导体芯片上。该两个半导体芯片被彼此电连接以构成一个半导体存储器装置。

在示于表 1 的实施例中，该装置的制造成本可被降低。如果具有

不同设计规则的多个电路块被形成在同一半导体芯片上，则具有灵活设计规则的电路块与具有严格设计规则的电路块共存于同一芯片上。在许多情况中，需要相对较贵的制造设备用于制造具有严格设计规则的电路块，且为形成一精细结构还需要执行特殊的制造处理步骤。但是，如果将具有相对灵活的设计规则的电路块被单独形成在一个与形成有具有相对严格的设计规则的电路块的芯片不同的半导体芯片上，则该芯片可以通过执行相对便宜的处理步骤来形成，且生产率提高。其结果，这种包括两个半导体芯片的半导体装置整体上能够以较低的成本和较高的生产率制造。

在示于表 2 的实施例中，可以得到具有低功耗高速工作的半导体装置。一般地，在以高速工作的半导体装置中易于生成大的漏电流而使该半导体装置消耗较大的功率。具有低晶体管阈值的电路块能以相对高的速度工作，但其中生成的漏电流的量也相对较大。如果根据晶体管的阈值将电路块分组为以相对高的速度工作的电路块和以相对低的速度工作的电路块，则有可能通过执行适于各半导体芯片的半导体制造处理形成各半导体芯片。其结果，可以以相对较低的成本形成具有低功耗高速工作的半导体装置。

在示于图 3 的实施例中，可为各半导芯片设置一最优的电源电压以使得可以以与示于表 2 的实施例相同的方式以相对较低的成本形成一个具有低功耗高速工作的半导体装置。一般地，大规模集成电路（LSI）的工作速度是与电源电压成比例地增加的。换句话说，如果电源电压减小，则最大工作频率降低。另一方面，功耗是与电源电压的平方成比例的。当一个 LSI 以同样的频率工作时，当其被以 3 伏的电源电压驱动时消耗的功率约为其被以 5 伏的电源电压驱动时消耗的功率的 40%。如果一个对 3 伏电源电压以 25 MHz 频率工作的视频处理 MCU 被通过利用对 3 伏电源电压以 50 MHz 的频率和对 2 伏电源电压以 25 MHz 的频率工作的 MCU 核心部分而形成，则该

视频处理MCU成为对其工作频率以相对较高的电源电压工作，从而使得能量被浪费。在有些情况，该MCU最高以2伏的电源电压工作而其外围电路最好以3伏的电源电压工作。在该情况中，如果MCU核心部分和外围电路形成在不同的半导体芯片上且将不同的电压供给各半导体芯片，则可以通过用最优的电源电压使该半导体装置工作而以低功耗实现该半导体装置的高速工作。

在示于表4的实施例中，装置的制造成本可以被降低。以相对较高的工作频率工作的电路块和以相对较低的工作频率工作的电路块具有不同的结构，这些结构通过进行不同的半导体制造过程而制造出来。因此，通过将各电路块形成在不同的半导体芯片上，装置的整体制造成本可被降低。另外，在示于表2的实施例中得到的效果也能在示于表4的实施例中得到。

在示于表5的第一至第五行的实施例中，包括设计成本的制造成本可被降低。在这些实施例中，可被广泛应用的电路块被形成在同一半导体芯片上，而形成在另一半导体芯片上的电路的设置则可由用户选择。因此，后一半导体芯片可以根据用户的选择设计和制造以便以不同的设置形成。然而，该广泛使用的半导体芯片可以为多种如此形成的半导体芯片共同使用。因此，在制造多种半导体装置或改变其设计的情况中，制造成本可被降低。

在示于表5的第六行的实施例中，如上所述，由噪声引起的装置性能的下降可被防止。在示于表5的第七和第八行的实施例中，在各半导体芯片上的电路可以通过进行对其最优的半导体制造过程制造，从而可以降低制造成本。

下面将通过参照附图描述解释性的例子来说明本发明。

### 【例1】

图9示出了用于根据本发明的第一例的一个半导体装置的结构。

在图9中,该半导体装置利用了一个用于DRAM的结构,且与图1所示的相同的电路被使用并被以同样的参考数字标识。在DRAM80中,一个存储器核心部分50和一个存储器外围电路部分60被形成在两个不同的半导体芯片上。该存储器核心部分芯片50包括:一存储单元阵列,以及以与用于存储阵列1内的存储单元的间距相同的间距布线的读放大器4、列选择器3、列解码器2、字驱动器6和行解码器5。向/从该存储器核心部分芯片50输入/输出的信号包括:通过输入端子53向行解码器5输入的一个预解码地址输入信号 $XA_i(27:0)$ ;通过输入端子52向列解码器2输入的一个预解码地址输入信号 $YA_i(23:0)$ ;通过端子51向/从列选择器3输入/输出的一个数据输入/输出信号 $D_{攪c o 攪}(7:0)$ ;通过端子56输入的一个基板电位输入 $V_{BB}$ ;通过端子55输入的一个升压电位输入 $V_{PP}$ ;通过端子54输入的一单元板电位及位线预充电电位输入 $V_{BP}$ 、 $V_{CP}$ ;通过端子57和58输入的电源输入 $V_{CC}$ 和 $V_{SS}$ ;以及几个控制信号输入(未示)。

该存储器外围电路部分芯片60包括:行地址缓存器10列地址缓存器9;行地址计数器11;行预解码器8;列预解码器7;;数据输入/输出缓存器12及13;写放大器14;读放大器15;RAS/CAS时钟发生器16;WE时钟发生器17;OE时钟发生器18;升压电位发生器19;基板电位发生器20;以及1/2VCC发生器21。向/从该存储器外围电路部芯片输入/输出的信号包括:通过端子32输入的一个地址输入信号 $A(10:0)$ ,用作向DRAM80输入的一个外来信号;通过端子36输入的一个数据输入/输出信号 $DQ(7:0)$ ;通过端子30输入的一个RAS信号;通过端子31输入的一个CAS信号;通过端子35输入的一个WE输入信号;通过端子37输入的一个OE输入信号;以及通过端子33及34输入的电源信号 $V_{CC}$ 及 $V_{SS}$ 。提供给该存储器核心

部分芯片 5 0 的信号包括：通过端子 6 3 从行预解码器 8 输出的一个预解码地址输出信号 X A 攬 0 攏 ( 2 7 : 0 )；通过端子 6 2 从列预解码器 7 输出的一个预解码地址输出信号 Y A 攬 0 攏 ( 2 3 : 0 )；经由端子 6 1 通过数据线输入 / 输出的一个数据输入 / 输出信号 D 攬 p e 攏 ( 7 : 0 )；通过端子 6 6 输出的一个基板电位发生器输出信号 V B B；通过端子 6 5 输出的一个升压电位发生器输出信号 V P P；通过端子 6 4 输出的一个 1 / 2 V C C 发生器输出信号 V C P 和 V B P；以及几个控制信号输出（未示）。

通过彼此连接需要在存储器核心部分芯片 5 0 及存储器外围电路部分芯片 5 0 之间提供的各信号，有可能构成一个与示于图 1 中的 D R A M 9 5 同样方式工作的 D R A M 8 0。

图 1 0 示出了如图 9 所示的分为存储器核心部分芯片 5 0 及存储器外围电路部分芯片 6 0 的 D R A M 8 0 的存储器核心部分芯片 5 0 的一个示例性布局以及用于该两个安装的芯片的一示例性结构。该存储器核心部分芯片 5 0 通过进行该 D R A M 制造过程制造，并包括：存储单元阵列 1；读放大器 4；列选择器 3；行解码器 5；以及字驱动器 6。该存储单元阵列 1 的四个分开的存储器板、行解码器 5 以及字驱动器 6 以与图 2 中相同的方式布置。但是，列解码器 2 被置于相对于位于右和左侧的一对存储器板的中央部分中，则从列解码器 2 输出的该列选择器选择信号被公用地提供给位于右和左侧的存储器板内的列选择器。

在存储器外围电路部分芯片 6 0，设置了包括在示于图 9 中的该存储器外围电路部分 6 0 中的各电路，且该存储器外围电路部分芯片 6 0 是通过进行一个与用于制造该存储器核心部分芯片 5 0 的 D R A M 制造过程不同的制造过程（诸如一个逻辑 L S I 制造过程）而制造的。通过将该存储器外围电路部分芯片 6 0 和该存储器核心部分芯片 5 0 安置在一个公共基板 8 1 上并以线接导线 8 2 连接这两个芯

片，即形成了示于图9中的DRAM 80。用于连接芯片60及外部管脚的焊盘83设于该存储器外围电路部分芯片60上，由此将具有示于图10的结构的DRAM安装在一个用于安装一传统DRAM的外壳上并将在该存储器外围电路部分芯片60的焊盘形成部分83中的焊盘与外部管脚相连接。

在使用具有示于图9的16兆比特的DRAM的情况下，在存储器外围电路部分芯片60和存储器核心部分芯片50之间的连接信号线的数目变为约60条。因此，通过使用示于图10中的线连接导线82以低成本实现这一连接。使用更大数量的连接信号线的片间连接可通过使用一印刷线路板及将芯片安装在具有一焊凸(bump)的板上而容易地实现。

通过上述方式形成该存储装置，有可能仅为存储器核心部分芯片50使用一较贵的存储器制造过程而为存储器外围电路部分芯片60使用一较低廉的逻辑LSI制造过程，从而制造出较低廉的DRAM。

另外，仅将用于存储器核心部分芯片50的半导体基板的电位设为基板电位VBB以提高DRAM的性能，而用于存储器外围电路部分芯片60的半导体基板的电位则可如逻辑LSI一样被设为地电位。另外，与外壳的外部管脚直接连接的电路仅存在于存储器外围电路部分芯片60上。其结果，该DRAM的封闭性及抗电冲击性可以与逻辑LSI一样；保护电路的面积可被减小；因而在由精细形成图案的处理制造的DRAM中封闭性及抗电冲击性可被容易地处理。

在图10中，示于图9的各电路形成在存储器核心部分芯片50和存储器外围电路部分芯片60上。但是，存储器核心部分芯片50和存储器外围电路部分芯片60的电路结构取决于用于将一存储器装置划分为块的方法和芯片间的连线的数量。在存储器核心部分芯片50和存储器外围电路部分芯片60上的电路元件的最优布线取决于欲

制造的存储器装置的所需具体条件。在前面的描述中，说明了根据本发明的较低廉的D R A M的一个实施例，其中存储器核心部分芯片50和存储器外围电路部分芯片60通过进行不同的半导体制造过程而被制造。如可被容易地理解的，通过将示于图9至10的示例性存储器结构应用于D R A M之外的存储器装置（例如S R A M、E E P R O M、快速存储器等）上，可以得到同样的效果。

### 【例2】

在图9和图10中，显示了仅具有一个存储器核心部分的存储器装置的实施例。但是，如果具有系统所需的容量的存储器装置不能利用一个芯片构成，则需要使用多个芯片用以构成该系统。图11示出用于根据本发明的第二例的半导体装置的结构。在图11中，提供了多个存储器核心部分（在本例中是两个存储器核心部分芯片）且这些存储器核心部分与存储器外围电路部分形成在不同的芯片上。存储器核心部分芯片121-1和121-2包括与示于图9中的该存储器核心部分芯片50提供的电路元件相同的电路元件。为向/从存储器核心部分芯片121-1和121-2输入/输出的信号设置了缓存器67至69，且各信号被控制以被分别向/从端子59-1和59-2输入/输出的芯片选择信号CS激活。除了通过端子38和39输入/输出的两个芯选择信号CS1和CS2分别跨过芯片之外，外围电路部分芯片122具有与示于图9的外围电路部分芯片60相同的结构。图12示出了用于一半导体装置的示例性布线，其中存储器核心部分芯片121-1和121-2以及外围电路部分芯片122被安装在一个基板120上且各芯片彼此相连。如图12所示，各信号焊盘通过线连接82与该基板120相连；除了芯片选择信号CS外，存储器核心部分芯片121-1和121-2的各信号线经由基板120上的导线131公同地彼此连接，并与外围电路部分芯片

1 2 2 相连接。存储器核心部分芯片 1 2 1 - 1 和 1 2 1 - 2 的各芯片选择信号 C S 分别单独连接到外围电路部分芯片 1 2 2 的经由端子 3 8 和 3 9 输入 / 输出的两个芯片选择信号 C S 1 和 C S 2 上。

在对存储器核心部分芯片 1 2 1 - 1 进行外部存取时，必要的信号被提供给 R A S 信号输入端子 3 0、C A S 信号输入端子 3 1、W E 信号输入端子 3 5 以及 O E 信号输入端子 3 7，且一个选择信号被提供给 C S 1 输入端子 3 8，从而激活存储器核心部分芯片 1 2 1 - 1 的信号线缓存器 6 7 至 6 9，向该存储器核心部分提供必要的信号并执行存取。在此情况中，由于选择信号未提供给 C S 2 输入端子 3 9，存储器核心部分芯片 1 2 1 - 2 的信号线缓存器 6 7 至 6 9 未被激活，且不对该存储器核心部分进行存储。因此，通过由用于存储器的地址的一位生成芯片选择信号 C S 1 和 C S 2 并将剩余的地址提供给地址端子 3 2，即可实现对由存储器核心部分芯片 1 2 1 - 1 和 1 2 1 - 2 构成的整个存储空间的存取。

在图 1 1 和 1 2 中，使用了两个存储器核心部分芯片。然而，可以容易地理解，即使当使用更大数量的存储器核心部分芯片时，通过给存储器外围电路提供与存储器核心部分芯片数目相同的芯片选择信号，即可实现同样的功能。

通过利用示于图 1 1 和 1 2 的结构，可以使多个存储器核心部分芯片共同地使用该存储器外围电路。

### 【例 3】

如上所述，通过将一个半导体存储器装置分为存储器核心部分芯片和存储器外围电路部分芯片并用一些安装部件将两者连接起来，则可以制造相对低廉的半导体存储器装置。

这种存储器装置和另一个诸如信号处理 L S I 的 L S I 构成一个系统。下面将在系统的水平上介绍一种用于实现一包括一存储器装置

和一信号处理 L S I 的优化半导体装置的方法。

为了构成一个信号处理系统，最好利用集成的信号处理芯片和半导体存储器芯片。因此，一信号处理系统由组合多个信号处理芯片和多个存储器芯片构成。

另一方面，已经开发了 M C M 裸芯片安装技术用来减小诸如便携设备的系统的尺寸。根据该 M C M 裸芯片安装技术，一个裸 L S I 芯片被安装在一基板上且各 L S I 芯片被利用各种方法相互连接起来。

图 1 3 示出了用于一个根据本发明的第三例的使用了一个半导体存储器芯片和一个信号处理芯片的半导体装置的一示例性结构。在图 1 3 中，一个 D R A M 被用作该半导体存储器芯片。如图 1 3 所示，一个 D R A M 核心部分芯片 2 0 1 和一个信号处理芯片 2 0 2 被安装在一个电路板 2 0 0 上。该 D R A M 核心部分芯片 2 0 1 具有与示于图 9 的存储器核心部分芯片 5 0 相同的电路结构并且通过进行一个存储器制造过程而制造。该信号处理芯片 2 0 2 包括：一个用于执行逻辑运算等的信号处理器 2 0 6；一个 D R A M 外围电路部分 2 0 3；以及用于连接焊盘与外部管脚的一个焊盘形成部分 2 0 4。在该信号处理芯片 2 0 2 中，该信号处理器 2 0 6 能够执行一逻辑运算而该 D R A M 外围电路部分 2 0 3 具有与示于图 9 的该存储器的外围电路部分 6 0 相同的电路结构。因此，该信号处理芯片 2 0 2 通过进行逻辑 L S I 制造过程而制造。该 D R A M 外围电路部分 2 0 3 和该 D R A M 核心部分芯片 2 0 1 通过线连接导线 2 0 8 相连接。在此例中，如果该系统要求 2 兆字节的存储容量，则该 D R A M 核心部分芯片 2 0 1 的存储容量为 1 6 兆比特。因此，该系统能够按照当前的半导体制造技术利用一个芯片制造。在以 8 位的位宽在信号处理器 2 0 6 和该存储器之间传送数据的情形中，连接于 D R A M 外围电路部分 2 0 3 和 D R A M 核心部分芯片 2 0 1 之间的信号线的数目变为约 7 0 条，如上参照图 1 0 所描述的。因此，该 D R A M 外围电路部分 2 0 3 和

该D R A M核心部分芯片2 0 1可以由如示于图1 3的线连接方法连接。

在这种结构中，当在信号处理芯片2 0 2中的信号处理器2 0 6对该D R A M进行存取时，该信号处理器2 0 6通过向设于同一芯片上的D R A M外围电路部分2 0 3提供地址和控制信号而输入及输出数据。

利用这种结构，只有以存储单元的间距布线的D R A M核心部分芯片2 0 1的存储器核心部分是通过进行较贵的存储器制造过程而制造的，而D R A M外围电路部分2 0 3和信号处理器一起可以通过进行低廉的半导体制造过程来制造。在一个大规模信号处理器2 0 6形成在该信号处理芯片2 0 2上的情形中，该信号处理芯片2 0 2的尺寸的增加与不设该D R A M外围电路部分2 0 3的情形相比可以显著地减小。因此，即使设置了设D R A M外围电路部分2 0 3，生产该芯片的生产率的下降及所需费用的增加都是很小的，因而可以制造出低廉的系统。

如上所述，根据M C M技术，信号处理芯片及存储器芯片可以经由大量的导线连接。因此，可以通过利用M C M技术以低成本实现一个高性能的信号处理系统。

#### 【例4】

图1 4示出了用于根据本发明第四例的一个半导体装置的一种结构。在图1 4中，该半导体装置包括一个信号处理系统，该系统是由利用M C M技术制造的一个半导体存储器芯片和一个信号处理芯片构成的。在此例中，一个D R A M被用作该半导体存储器芯片。该信号处理芯片3 0 2包括：一个用于执行一个运算的C P U核心部分3 0 3；用于实现对存储器快速存取的一个数据超高速缓冲存储器3 0 4以及一个用指令存储器3 0 5。当从C P U核心部分3 0 3向数据超

高速缓冲存储器 3 0 4 和指令存储器 3 0 5 的存取是一个未击中操作 ( m i s h i t ) 时, 需要大量的数据在 D R A M 芯片 3 0 1 和该数据超高速缓冲存储器 3 0 4 及在 D R A M 芯片 3 0 1 和该指令存储器 3 0 5 之间传送, 以用该 D R A M 芯片 3 0 1 的数据代替该数据超高速缓冲存储器 3 0 4 和该指令存储器 3 0 5 中的块数据。由于用于传送数据的时间影响系统的处理性能, 要求数据在一个短的时间周期内传送。

在此例中, 如果该系统需要 2 兆字节的存储容量, 则该 D R A M 芯片 3 0 1 的存储容量为 1 6 兆比特。因此, 这一系统可通过按照当前半导体制造技术利用一个芯片制造。在一个已有的 1 6 兆比特的 D R A M 中, 用于输入 / 输出数据的位宽在大约 8 至 1 6 位的范围内, 这是因为考虑到功耗的增加及由负载电容驱动引起的噪声, 如上所述。另一方面, 如上所述, 示于图 3 的封装好的 D R A M 的数据管脚的电容变为约 5 p F, 且信号处理 L S I 的数据管脚的电容与 D R A M 大约相同。因此, 在该将信号处理 L S I 及该 D R A M 安装在一个示于图 3 的印刷电路板上时连接该信号处理 L S I 和该 D R A M 的数据线的电容变为等于各端子电容和该印刷电路板的电容的总和, 例如, 约 1 5 p F。另一方面, 在示于图 1 4 的结构中, 假设各芯片是通过利用 M C M 安装技术制造的。因此, 由于用于该信号处理 L S I 和该 D R A M 的数据管脚的外部负载电容是有限的, 输入 / 输出缓存器的晶体管尺寸不需要增大。另外, 由于数据管脚不直接与外部管脚连接, 不需要提供电冲击保护装置, 数据管脚的端子电容可设为约 1 p F。因此, 由于与信号处理 L S I 和 D R A M 相连的数据线的电容变为约 2 p F, 即便当该数据管脚的数目为 6 0 至 1 2 0 位的范围内, 用于驱动数据管脚电容的功耗变为等于示于图 3 中的安装所需的功耗。

因而, 通过利用示于图 1 4 的系统结构, 可以为信号处理芯片 3

0 2 和 D R A M 芯片 3 0 1 提供多个数据端子以便以较高的速度在信号处理芯片 3 0 2 和 D R A M 芯片 3 0 1 之间传送数据。其结果，可以在这些芯片之间同时传送多个数据。另外，即使当从 C P U 核心部分 3 0 3 向该数据超高速缓冲存储器 3 0 4 和该指令存储器 3 0 5 的存取是一个未击中操作时，用于在信号处理芯片 3 0 2 和 D R A M 芯片 3 0 1 之间传送数据的速率可以设为较高，从而实现高性能系统。

如上所述，当通过利用 M C M 技术以示于图 1 4 的系统结构制造一 L S I 时，该信号处理芯片和该存储器芯片可以通过大量的导线彼此连接。因此，通过分别为信号处理芯片 3 0 2 和 D R A M 芯片 3 0 1 提供多个数据端子，多个数据可以同时传送，从而可以实现高速数据传送。

#### 【第 5 例】

下面将描述具有根据本发明第五例的系统结构的一个半导体装置。该第五例的半导体装置可以通过利用 M C M 技术同时传送多个数据，从而以较低功耗实现装置的低电压工作。

图 1 5 示出了用于根据本发明第五例的该半导体装置的一种结构。该半导体装置具有允许在一半导体存储器和一信号处理 L S I 之间传送多个数据及在信号处理 L S I 并行处理数据的系统结构。在此例中，一个 D R A M 被用作该半导体存储器。该信号处理芯片 4 0 2 包括用于执行并行处理的两个 C P U 核心部分 4 0 3 和 4 0 4。D R A M 芯片 4 0 1 和信号处理芯片 4 0 2 都包括多个数据端子，以通过这些数据端子在 D R A M 芯片 4 0 1 和信号处理芯片 4 0 2 之间传送数据。D R A M 芯片 4 0 1 和信号处理芯片 4 0 2 经由大量的线连接导线 4 0 6 彼此相连接。

在信号被具有 8 位结构及包括用于执行 8 位处理的 C P U 核心部分 4 0 3 和 4 0 4 的信号处理系统处理的情形中，如果数据在 D R A

M芯片401和信号处理芯片402之间被以16位传送,则可由CPU核心部分403和404同时处理两个数据。因此,与示于图3的系统相比,示于图15的信号处理能使被处理的数据量加倍,在图3的系统中,在信号处理LSI和DRAM之间数据以8位传送且信号处理LSI以8位处理数据。

另外,在由示于图15的系统处理与由示于图3的系统处理的数据量相同的数据量时,功耗可以显著地降低。图16A是显示用于信号处理芯片402中的逻辑门的门延时对电源电压的依赖关系的曲线图,而图16B是显示在DRAM芯片401中取存时间对电源电压的依赖关系的曲线图。与在传统使用的3.3V电压时的延时相比,在电源电压为1.9V时逻辑门(图16A)及DRAM(图16B)中的延时量都增大了一倍。因此,通过利用示于图15的系统(其中在DRAM芯片401和信号处理芯片402之间进行两字数据传送且信号由信号处理芯片402的两个CPU核心部分403和404并行地处理),与由示于图3的系统在3.3V电源电压下处理的数据量相同的数据量能在1.9V的电源电压下被处理。

图17是用于比较传统系统与根据本发明的第五例的示于图15的系统的一个表。在图17中,该离散系统(系统1)是指包装好的存储器和信号处理LSI被安装在一个如图3所示的印刷电路板上的系统;该广泛使用的芯片(MCM;系统2)是指通过利用MCM技术安装一传统的存储器芯片和信号处理芯片而得到的系统;系统3是根据本发明第五例的半导体装置的示于图15的系统。系统3的主要特征在于多个数据在信号处理芯片和存储器芯片之间被同时传送及被并行地处理。系统1和2以20MHz的时钟工作,而系统3以10MHz的时钟工作。然而,由于在系统3中进行并行处理,可由系统3实现与系统1和2相同的性能。因此,运行系统1和2需要3.3V的电源电压,而运行系统3只需要1.9V的电源电压。运动系统

1 和 2 需要约 1 W 的功耗，而运行系统 3 只需约 250 mW 的功耗。因此系统 3 只消耗系统 1 和 2 所需的功率的四分之一即可完成同样的性能。

如上所述，通过按照本发明利用 MCM 技术并行地传送多个数据及处理数据，可以实现以较低电压和较低功耗工作的系统。

### 【例 6】

图 1 8 示出了根据本发明的第 6 例的用于实现一个系统的半导体装置，该系统中通过以较低的成本利用 MCM 技术而并行地传送和处理多个数据。图 1 8 示出了用于包含一 DRAM 芯片的一个便携式信息终端装置等的一示例性结构。如图 1 8 所示，信号处理芯片 102、DRAM 核心部分芯片 101 及快速存储器核心部分芯片 103 安装在一个公共基板 100 上。该信号处理芯片 102 包括：用于执行并行处理的 CPU 核心部分 107 和 108；一 DRAM 外围电路部分 104；以及一快速存储器外围电路部分 105。另外，为了在信号处理芯片 102、DRAM 核心部分芯片 101 及快速存储器核心部分芯片 103 之间传送多个数据，为 DRAM 核心部分芯片 101、快速存储器核心部分芯片 103 及信号处理芯片 102 内的 DRAM 外围电路部分 104 和快速存储器外围电路部分 105 设置了多个数据端子。该信号处理芯片 102、DRAM 核心部分芯片 101 及快速存储器核心部分芯片 103 经由大量的线连接导线 110 和 111 彼此连接。

在此种系统结构中，通过利用 MCM 技术并行传送多个数据及处理数据，实现了以低电压及低功耗运行的系统，如以上参照图 1 5 至 1 7 所述。另外，以与示于图 1 3 的系统相同的方式，只有在 DRAM 核心部分芯片 101 和快速存储器核心部分芯片 103 中存储器核心部分的以用于存储单元的间距的布线需要利用较贵的半导体制造过

程制造。可以通过进行与存储器制造过程相比成本较低的如逻辑 L S I 过程的半导体制造过程，将 D R A M 外围电路部分 1 0 4 和快速存储器外围电路部分 1 0 5 形成在其上具有信号处理器 1 0 6 和 C P U 1 0 7 和 1 0 8 的同一芯片上。因此，有可能实现以低的电压和低的功耗工作的低廉的系统。

如已参照图 1 1 和 1 2 描述的，在使用多个具有相同结构的存储器核心部分芯片的情形中，存储器外围电路可被共用。以同样的方式，通过为示于图 1 8 的由利用 M C M 技术制造的半导体装置中的 D R A M 核心部分芯片 1 0 1 和快速存储器核心部分芯片 1 0 3 采用同一字结构，可以如图 1 9 A 所示地在 D R A M 核心部分芯片和快速存储器核心部分芯片之间共用该存储器外围电路。如图 1 9 A 所示，该半导体装置包括：一个 D R A M 核心部分芯片 5 0 1；一个快速存储器核心部分芯片 5 0 3；以及一个信号处理芯片 5 0 2。该信号处理芯片 5 0 2 包括：一个信号处理器 5 0 6；C P U 核心部分 5 0 7 和 5 0 8；以及一个存储器外围电路 5 0 4。

图 1 9 B 示出了用于存储器外围电路 5 0 4 的一个详细结构。由于该 D R A M 核心部分芯片 5 0 1 和快速存储器核心部分芯片 5 0 3 是以不同的方式控制的，该存储器外围电路 5 0 4 包括一个 D R A M 控制器 5 2 0 和一个快速存储器控制器 5 2 3。该 D R A M 控制器 5 2 0 是根据一个 R A S 信号和一个 C A S 信号控制的而该快速存储器控制器 5 2 3 是根据一个芯片使能 ( C E ) 信号控制的。包括示于图 9 的列地址缓存器 9、行地址缓存器 1 0、行地址控制器 1 1、列预解码器 7 及行预解码器 8 的一个地址电路 5 2 1 以及包括亦示于图 9 的数据输入缓存器 1 2、数据输出缓存器 1 3、写放大器 1 4 及读放大器 1 5 的数据电路 5 2 2 被 D R A M 核心部分芯片 5 0 1 和快速存储器核心部分芯片 5 0 3 共同使用。

该 D R A M 核心部分芯片 5 0 1、信号处理芯片 5 0 2 及快速存

存储器核心部分芯片 5 0 3 安装在基板 5 0 0 上，用于彼此连接各芯片的信号端子通过线连接 5 1 0 与基板 5 0 0 连接，且各芯片通过基板上的导线 5 1 1 至 5 1 3 彼此连接。通过存储器外围电路 5 0 4 的信号端子，一 D R A M 核心部分控制信号经由导线 5 1 1 连接至 D R A M 核心部分芯片 5 0 1，一快速存储器控制信号经由导线 5 1 2 连接至快速存储器核心部分芯片 5 0 3，而用于地址及数据线路的信号经由导线 5 1 3 连接至 D R A M 核心部分芯片 5 0 1 和快速存储器核心部分芯片 5 0 3。

当信号处理芯片 5 0 2 从 D R A M 核心部分芯片 5 0 1 读出数据时，信号处理器 5 0 6 生成 R A S、C A S 及 O E 信号，且然后与地址一起送至存储器外围电路 5 0 4。在存储器外围电路 5 0 4，该 D R A M 控制器 5 2 0 根据该 R A S、C A S 及 O E 信号生成一个 D R A M 核心部分控制信号，且地址电路 5 2 1 生成一个预解码地址并将该地址送给 D R A M 核心部分芯片 5 0 1，从而从该 D R A M 核心部分读出数据并经由数据电路 5 2 2 将该数据输出给信号处理器 5 0 6。在此情形中，由于 C E 未供给快速存储器控制器 5 2 3，不生成存储器控制信号且快速存储器核心部分芯片 5 0 3 保持在等待状态。当信号处理芯片 5 0 2 从快速存储器核心部分芯片 5 0 3 读出数据时，该 C E 及 O E 信号由信号处理器 5 0 6 生成并和地址一起提供给存储器外围电路 5 0 4。在存储器外围电路 5 0 4，该快速存储器控制器 5 2 3 根据该 C E 及 O E 信号生成一个快速存储器核心部分控制信号，且该地址电路 5 2 1 生成一个预解码地址并将该地址提供给快速存储器核心部分芯片 5 0 3，从而从快速存储器核心部分中读出数据并经由数据电路 5 2 2 将该数据输出到信号处理器 5 0 6。在此情形中，由于 R A S 及 C A S 信号未提供给 D R A M 控制器 5 2 0，不生成 D R A M 控制信号且 D R A M 核心部分芯片 5 0 1 保持在等待状态。当从信号处理芯片 5 0 2 向 D R A M 核心部分芯片 5 0 1 或快速

存储器核心部分芯片 5 0 3 写数据时，通过提供 R A S 及 C A S 信号或 C E 信号给存储器外围电路 5 0 4，可以向 D R A M 核心部分芯片 5 0 1 或快速存储器核心部分芯片 5 0 3 上写数据。

在示于图 1 9 A 和 1 9 B 的半导体装置中，为 D R A M 核心部分芯片 5 0 1 和快速存储器芯片 5 0 3 的存储器核心部分使用了同样的字结构。然而，即使当为该两个芯片使用了不同的字结构时，地址电路 5 2 1 中的列地址缓存器、行地址缓存器、列预解码器及行预解码器的一部分及数据电路 5 2 2 的数据输入缓存器、数据输出缓存器、读放大器及写放大器的一部分也可被共同使用，这一点是易于理解的。

如上所述，即使当使用多个不同类的存储器时，通过将存储器核心部分和存储器外围电路部分形成在不同的芯片上，存储器外围电路的一部分就可被共用。

在前述的各例中，本发明是作为应用于 D R A M 被描述的。但是，如最先说明的，本发明不仅限于 D R A M。已详细描述了本发明应用于 D R A M 的实施例，这是因为，如果本发明的一个主要方面，即 D R A M 的一个存储器核心部分和一个存储器外围电路部分形成在不同的半导体芯片上被详尽地描述了，则有可能最恰当地说明本发明的主要特征之一并指出已有观念中的问题，即认为 D R A M 的存储器核心部分和存储器外围电路部分应形成在同一半导体芯片上。另外，本发明不限于 M C M。

#### 【例 7】

下面将参照附图说明一种用于将电路块分组为形成在不同半导体芯片上的组的方法。

图 2 0 A 是显示一个用于普遍使用的控制器 M C U 9 0 2 的结构方框图，而图 2 0 B 是显示一个用于普遍使用的视频处理 M C U 9 0 3 的结构方框图。

首先，控制器MCU 902的电路信息及表示各电路块的特征的块参数被提取出并读入一CAD系统。接着，各电路块的级别被区分，直到各块能被分组。例如，一个LSI-0被分类入以下电路块：一个MCU核心部分；一个串行I/F；一个ROM；一RAM；一中断控制；一D/A；以及一A/D。

接着，根据各电路块是否是一个“MCU核心部分”或一个“外围电路”这样一个参数，该分级地分类的电路块被分组。

在此例中，在MCU核心部分中的电路块被选作一LSI-1组，而在串行I/F的电路块、该ROM、该RAM、该计时器、该中断控制、该D/A及A/D被选作一LSI-2组，以使生成级LSI-1和LSI-2。

通过执行相同的程序，关于视频处理MCU也可生成级LSI-1和LSI-2。

图21A示意性地示出了一个状态，其中一个MCU核心部分905和外围电路904被从控制器MCU 902及视频处理MCU 903分离出来。图21B示意性地示出了一半导体装置的交叠部分，其中MCU核心部分芯片905和该外围电路部分芯片904或906通过利用MCM技术彼此相连接。

图22A示出了在分组各电路块时将MCU核心部分、ROM及RAM选作属于组LSI-1的电路块而将该串行I/F、计时器、中断控制、D/A及A/D选作属于组LSI-2的电路块的情形。图22B示意性地示出了一半导体装置的交叠部分，其中用MCU核心部分的芯片908及公共部分通过利用MCM技术而与外围电路芯片907或909相连接。

通过分组各电路以形成在该“MCU核心部分芯片”（或“用于MCU核心部分及公共部分的芯片”）及外围电路芯片上，可以得到以下优点。如果被两种MCU共同使用的电路块被形成在同一半导体

芯片上，由两个芯片构成的半导体装置的电路面积整体上减小了且生产率提高。另外，当重新设计MCU或更换MCU时，重新设计具有相对小的尺寸的外围电路或改变其设计而不改变MCU核心部分的设计就足够了。并且，只有重新设计的外围电路需要重新检测，因而不需要另提供检测电路。其结果，用于开发一半导体装置的成本整体上降低了。

根据本发明，通过在不同的半导体芯片上形成分别具有不同块参数的第一电路块和第二电路块并电连接这些电路块，有可能解决由于具有不同块参数的多个电路块集成在同一半导体芯片上形成的电路所带来的各种问题。

特别是，通过将电路块分类为两组并分别将两组电路块形成在一个通过进行一第一半导体制造过程而形成的存储器核心部分芯片上和一个通过进行一与该第一半导体制造过程不同的第二半导体制造过程而形成的存储器外围电路部分芯片上，只有存储器核心部分芯片需要由一较贵的存储器过程形成而该存储器外围电路部分芯片可以由较低廉的逻辑LSI过程形成，使得制造半导体存储器装置的成本可以降低。

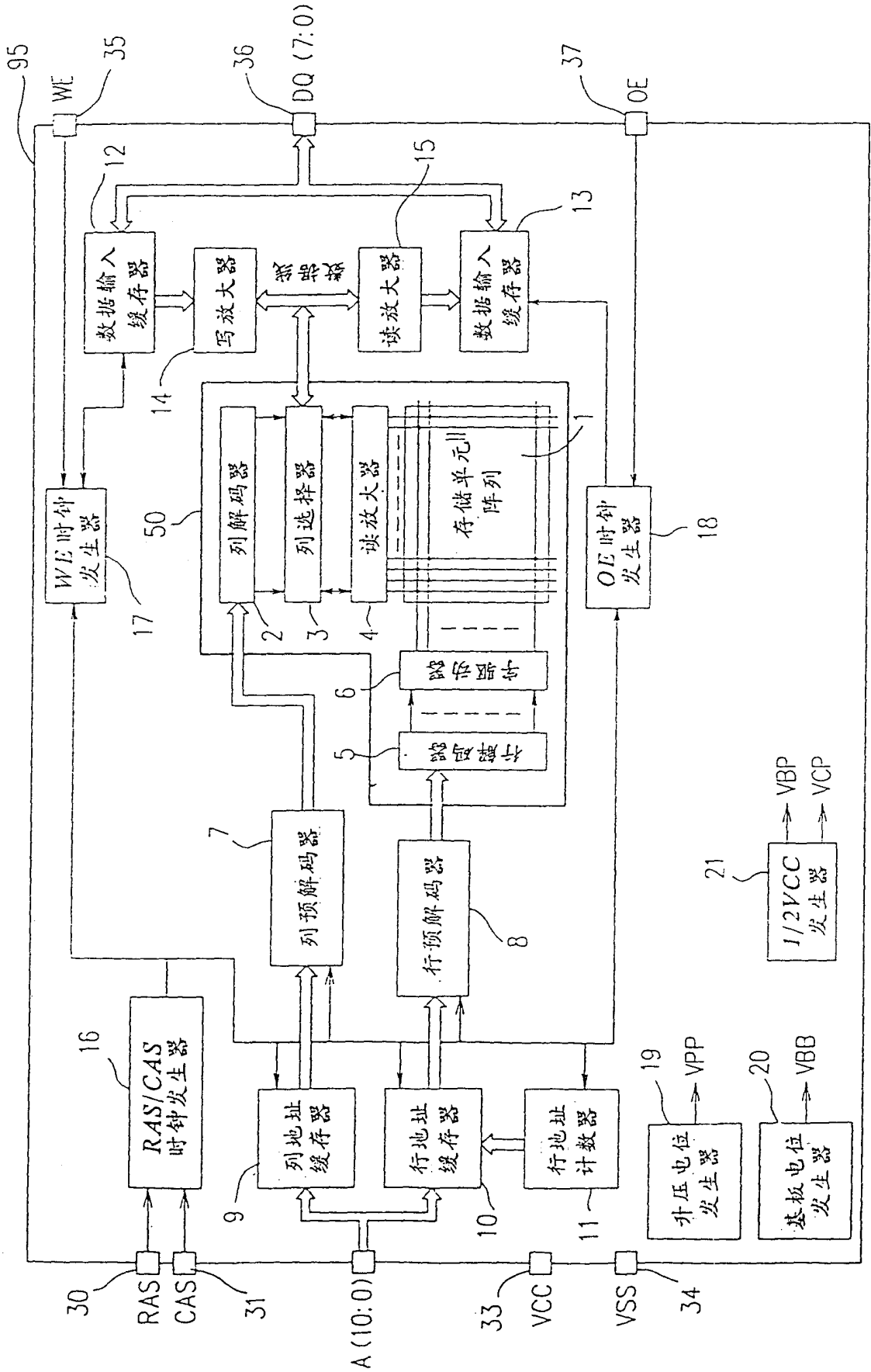
另外，该较贵的过程只对以存储器核心部分芯片中的存储单元的间距布线的存储器核心部分是必要的，因而该存储器外围电路部分及信号处理器可以通过进行一个与该较贵的存储器过程相比较低廉的半导体制造过程来制造。另外，当在该信号处理芯片上形成一大规模信号处理器时，该具有一存储器外围电路部分的信号处理芯片的尺寸的增加与不具有存储器外围电路部分的信号处理芯片相比可以显著地减小。并且设置存储器外围电路部分几乎不会降低该芯片的生产率且几乎不增加其成本，因而有效地降低了构成系统的半导体装置的成本。

另外，通过连接一个包括用于存储数据的存储单元且由进行一个第一半导体制造过程形成的半导体核心部分芯片及一个包括一存储器

外围电路部分和一个用于利用存储在该存储器核心部分芯片中的数据  
处理信号的信号处理器且由进行一个与该第一半导体制造过程不同的  
第二半导体制造过程形成的信号处理芯片，数据能够以高的速率在信  
号处理芯片和存储器核心部分芯片之间传送，从而有效地改进系统的  
性能。另外，通过并行地传送及处理多个数据，该系统可以以低电压  
和低功耗有效地工作，且系统可以以低成本制造。

对于本领域的技术人员，不脱离本发明的精神和范围，各种其它的  
变形将是易于想到的。因此，本发明的范围不仅限于上面的描述，  
而应由范围较宽的权利要求所限定。

图1



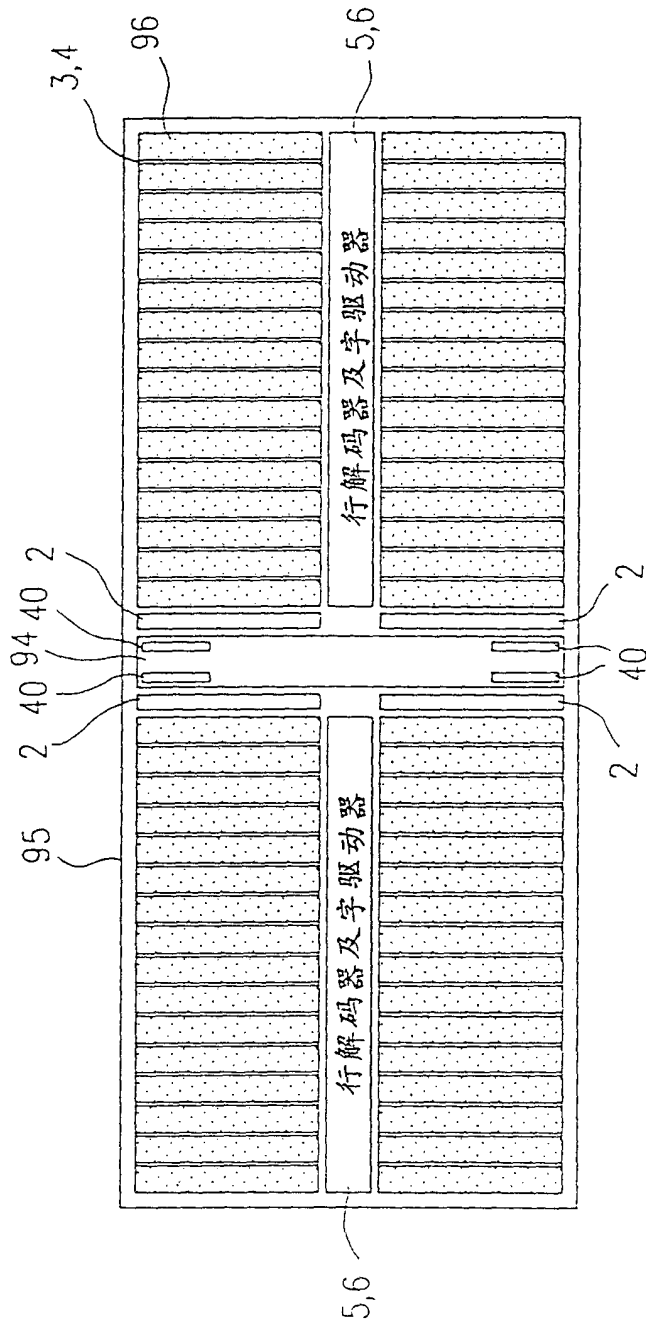


图2

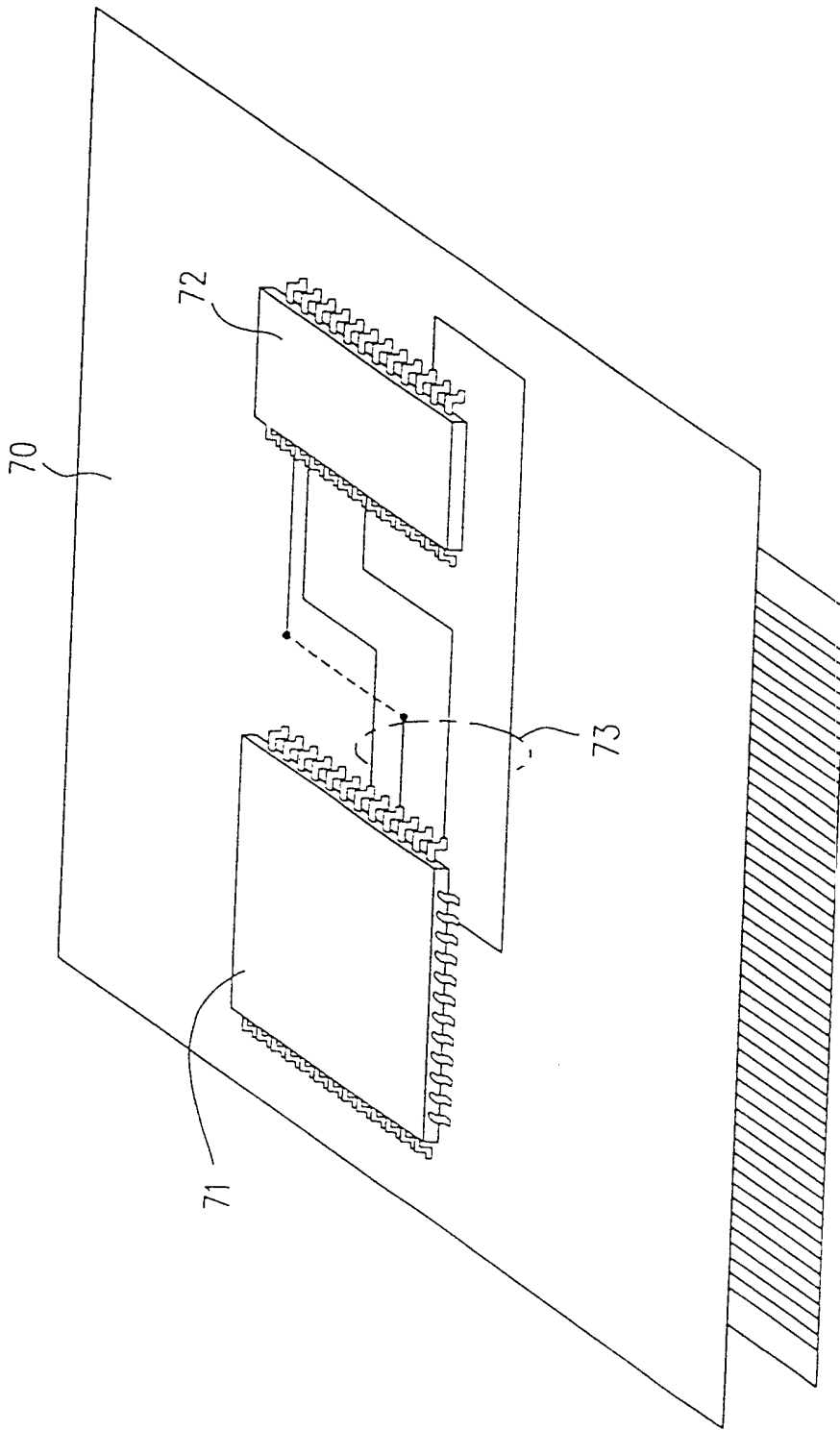


图3

图4A

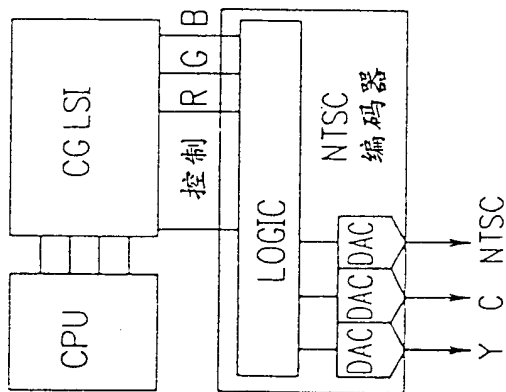


图4B

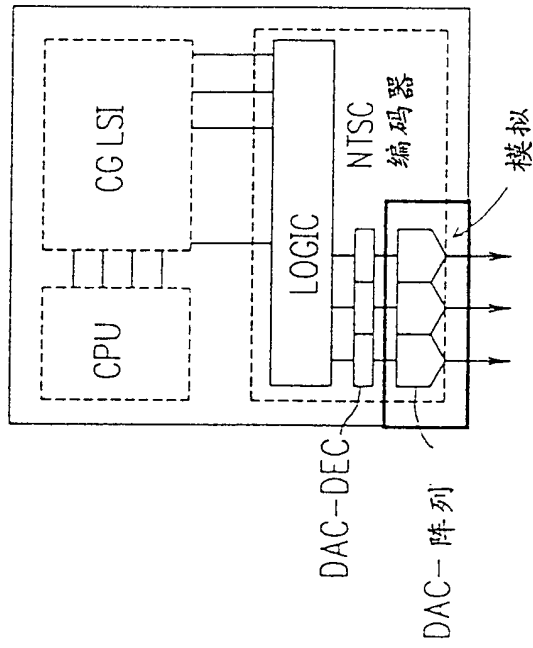
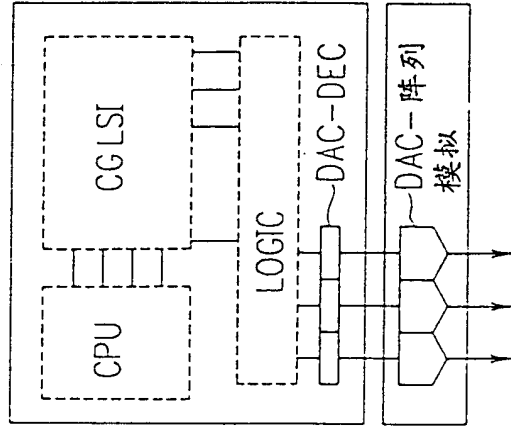


图4C



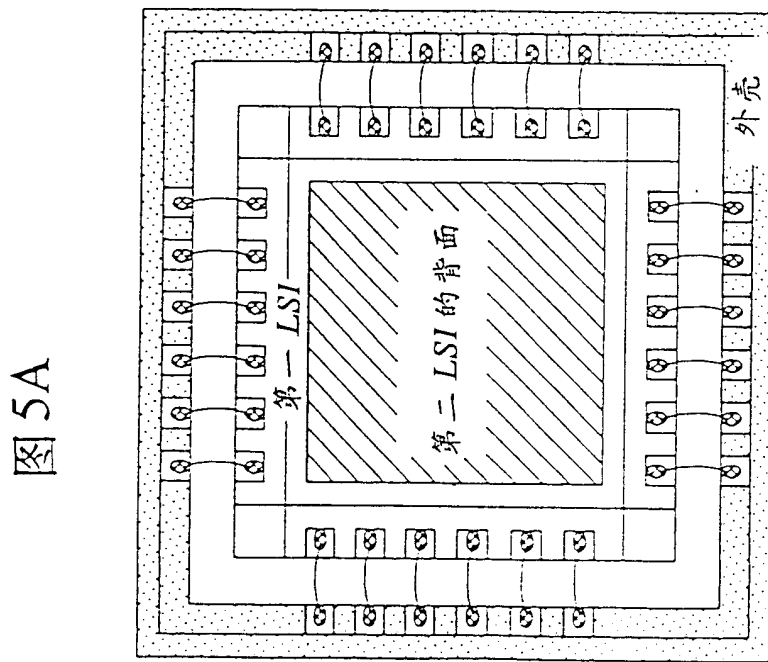
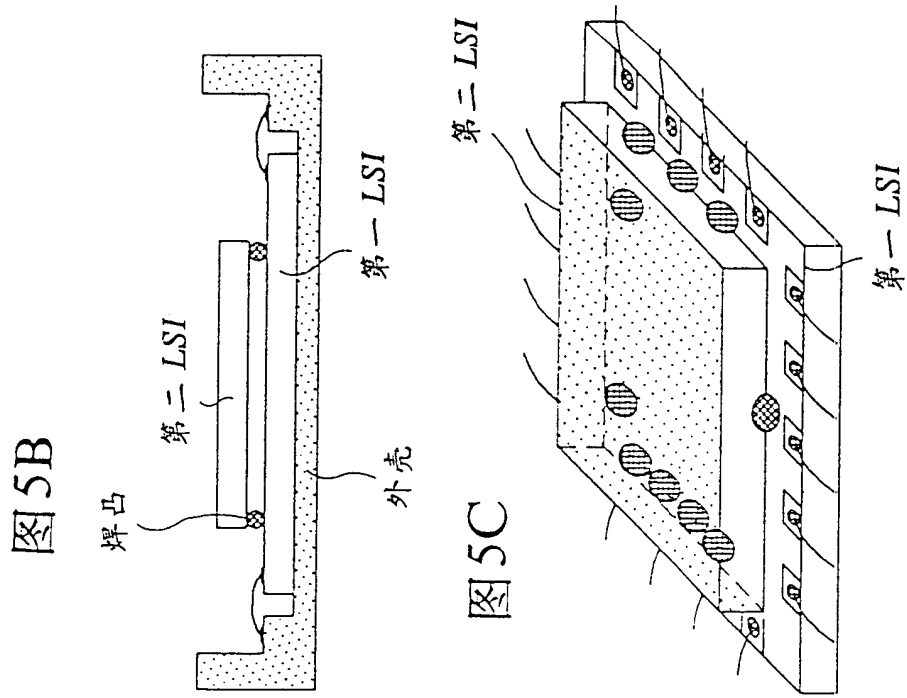


图6A

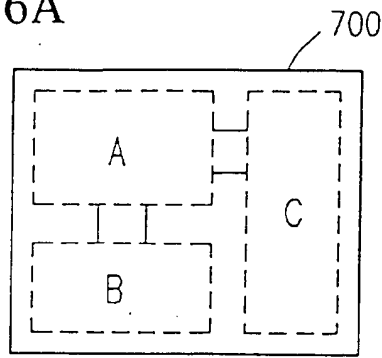


图6B

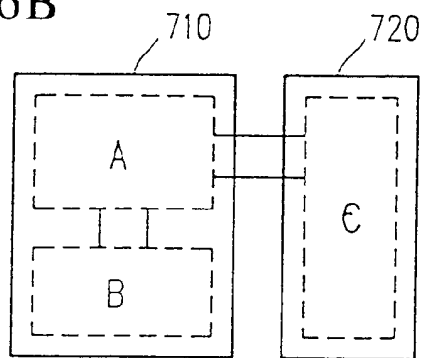


图7A

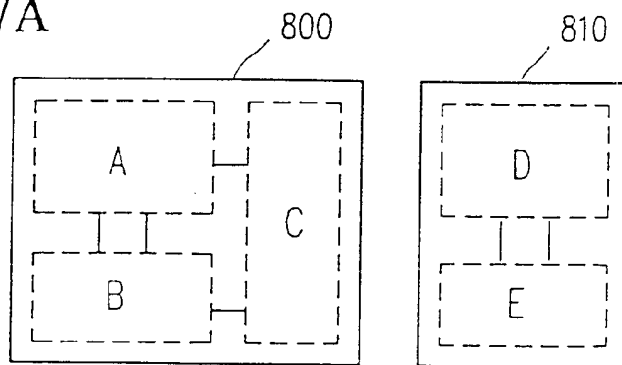


图7B

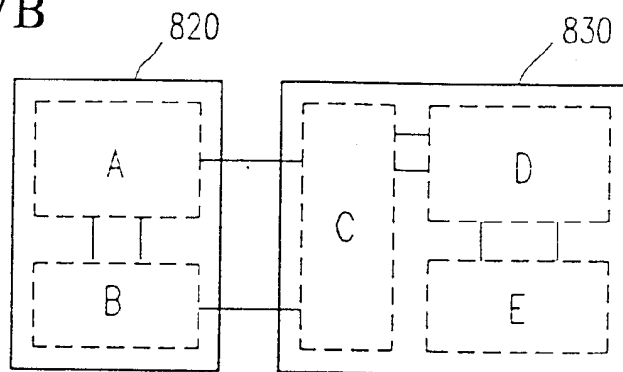


图8

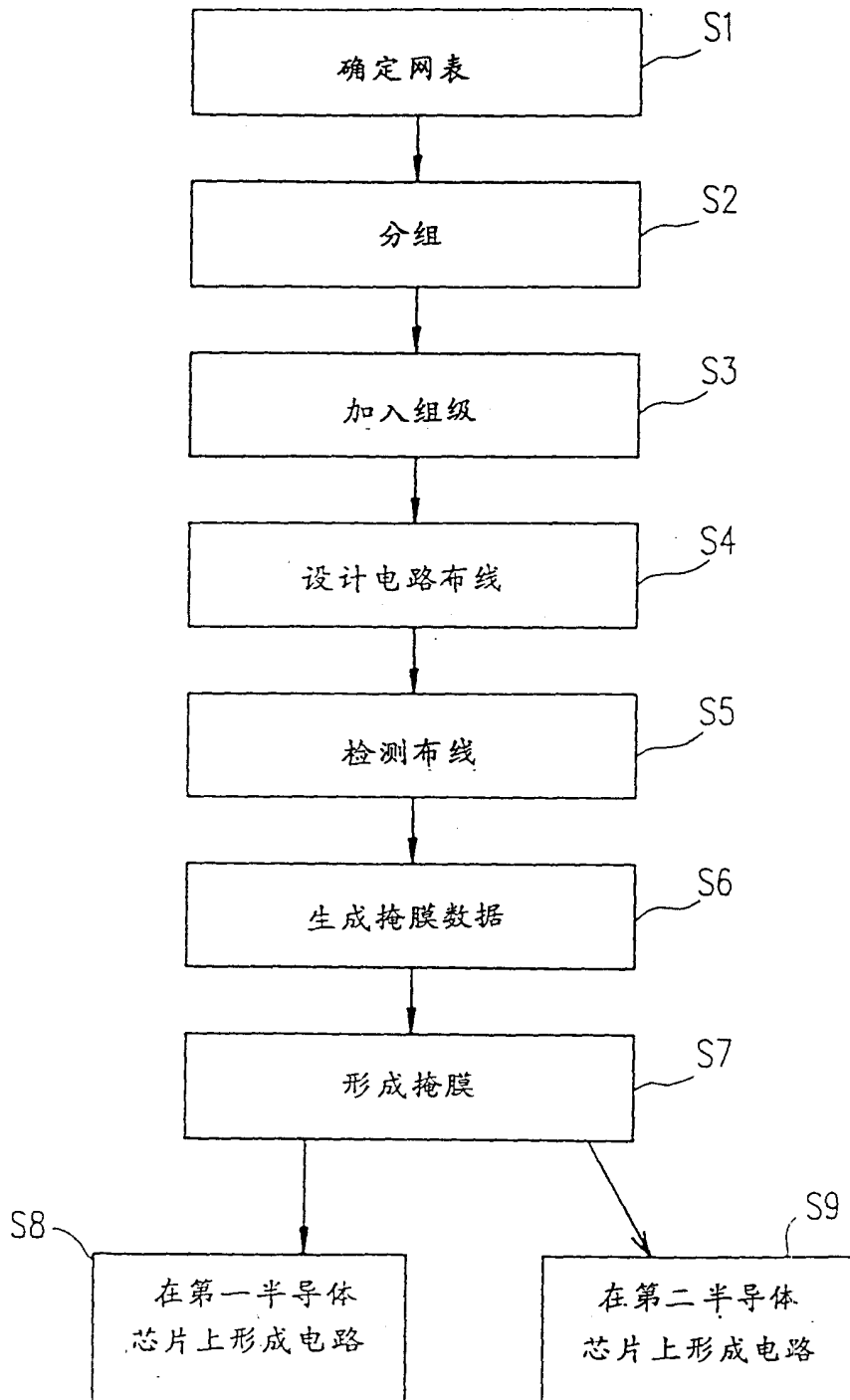
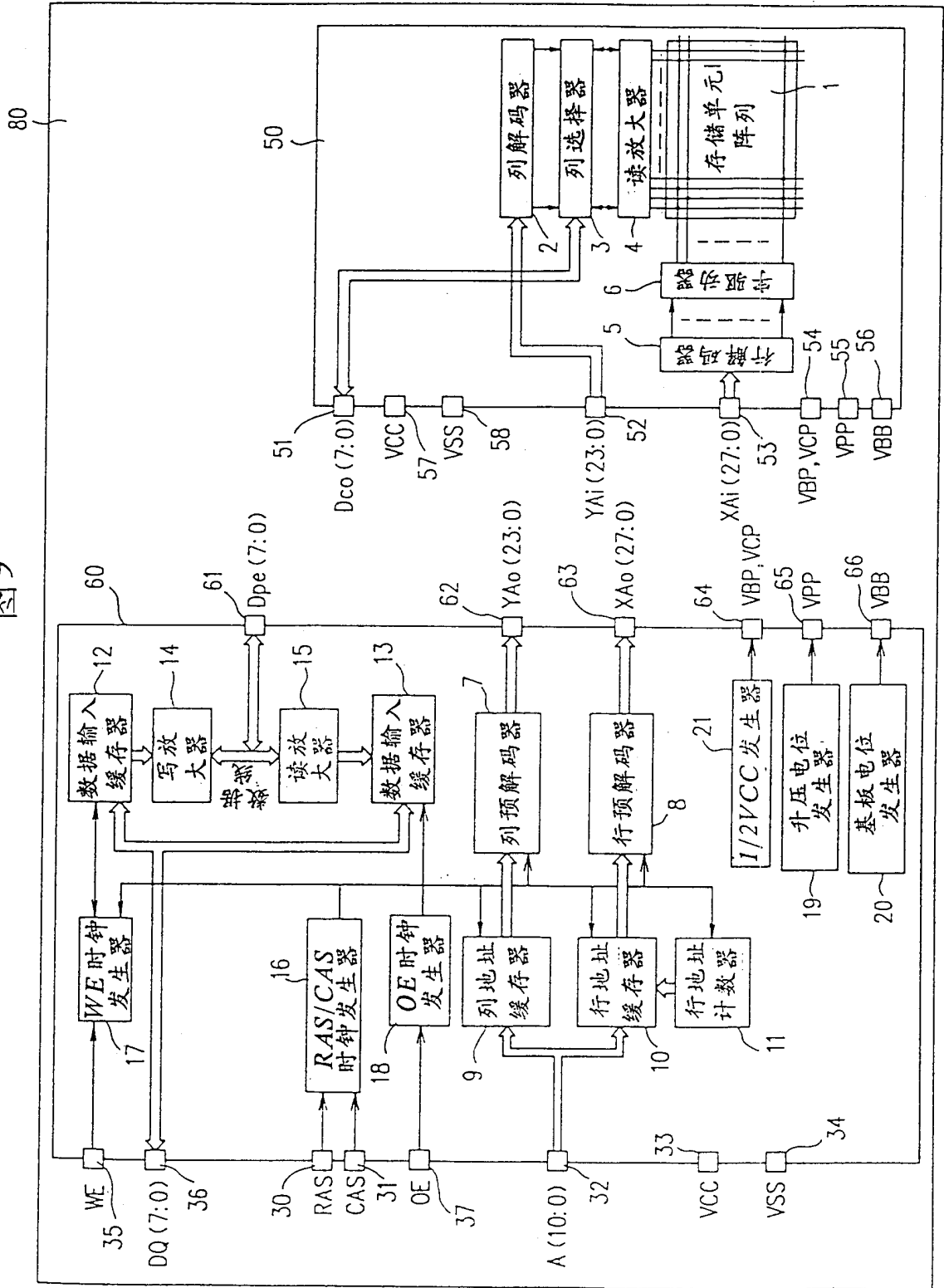


图9



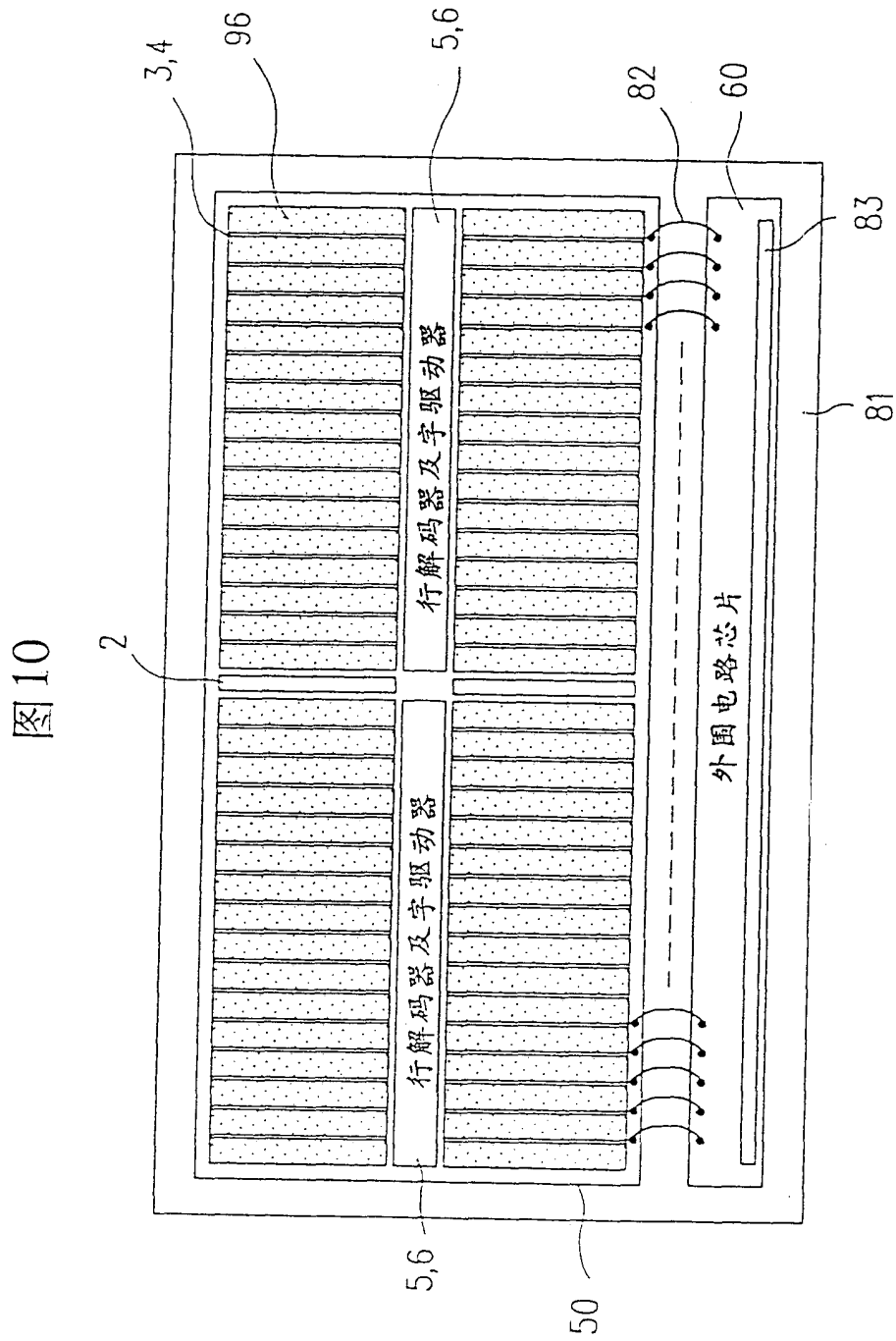
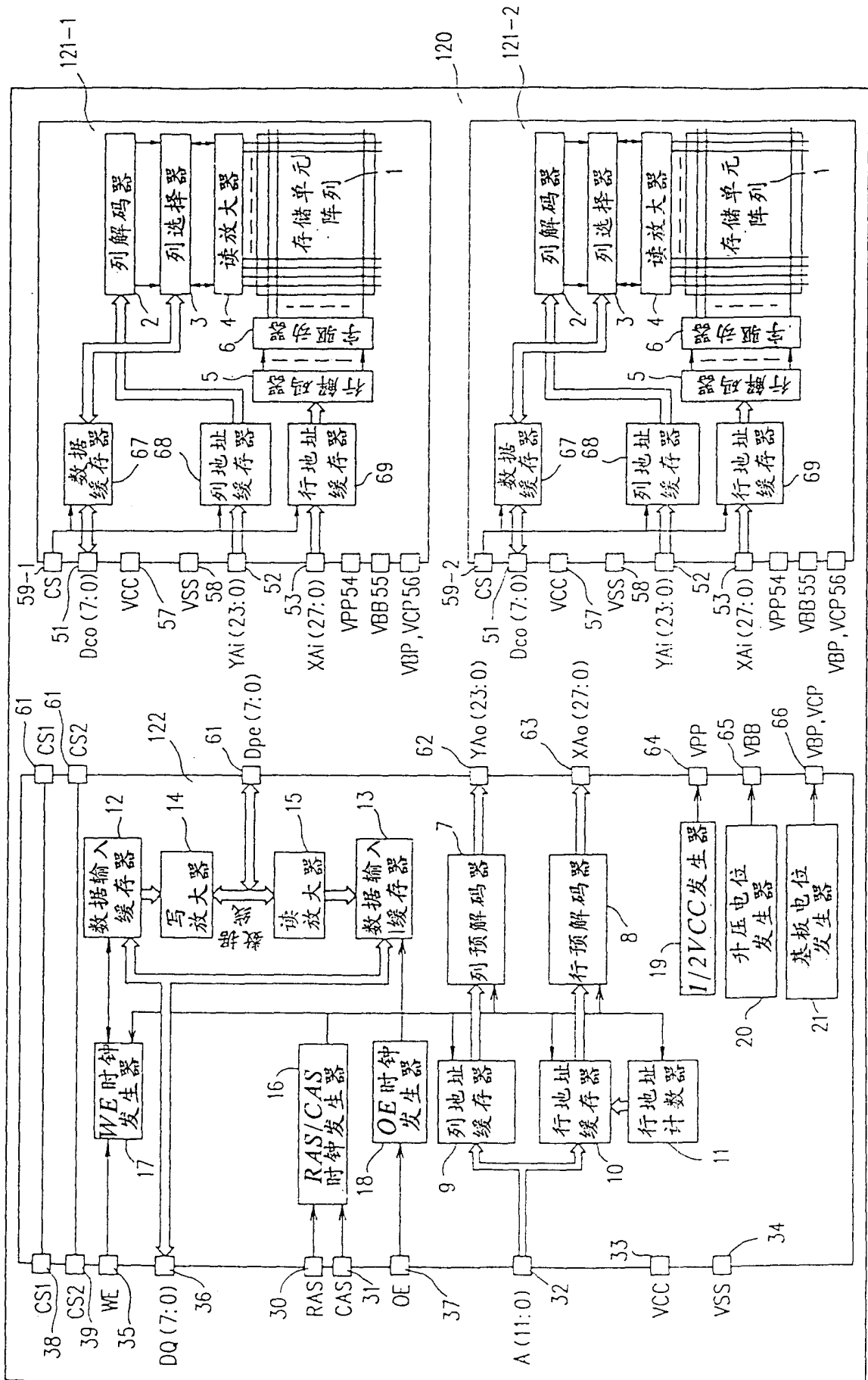


图11



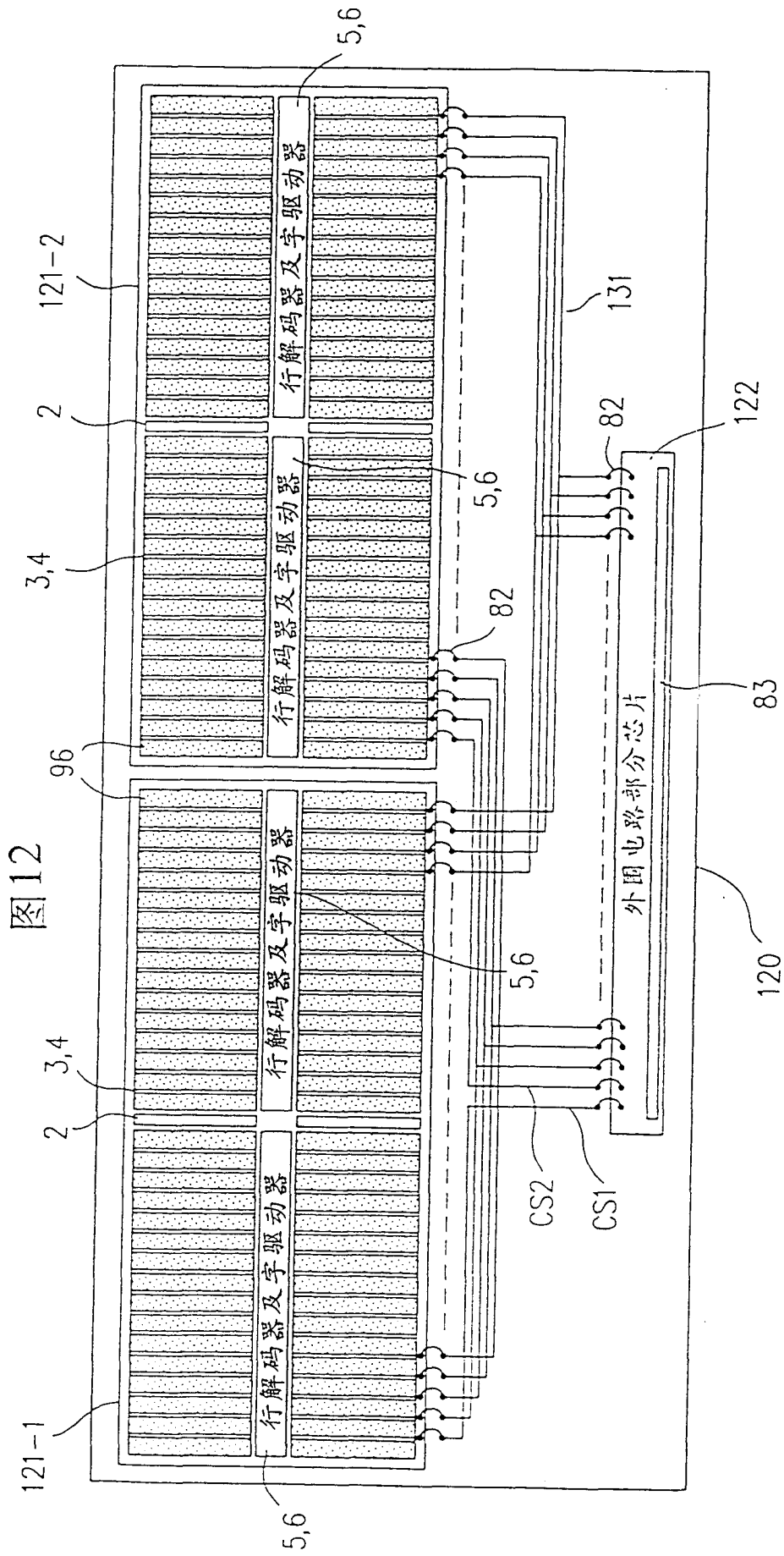


图12

图13

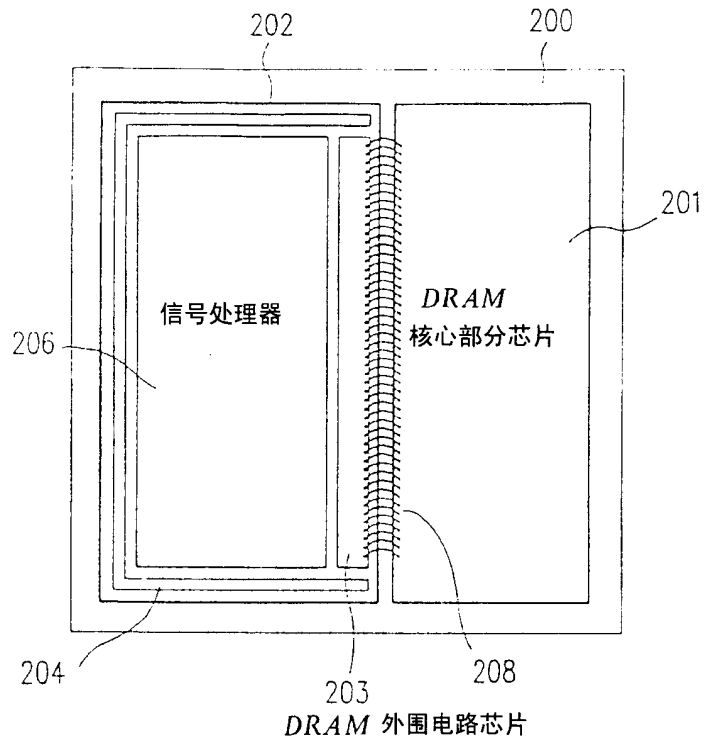
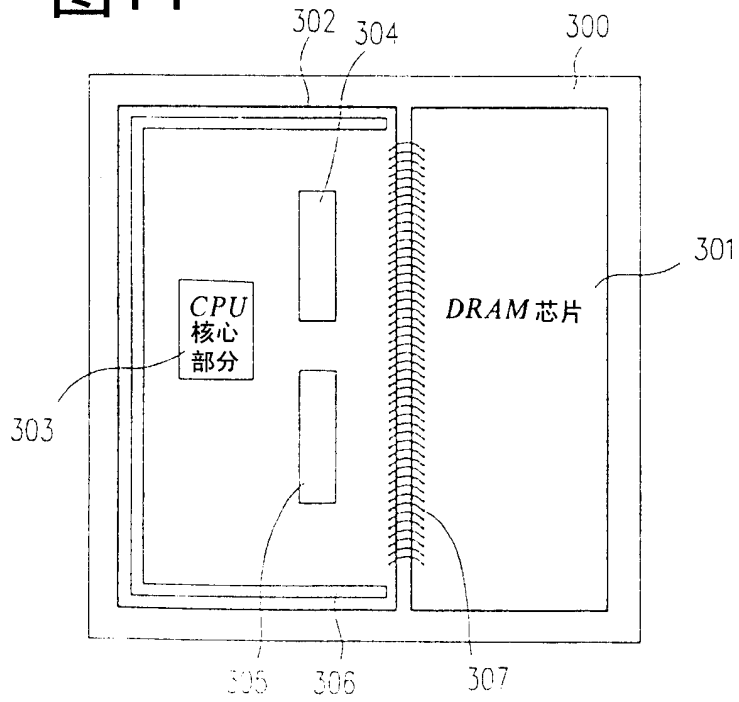


图14



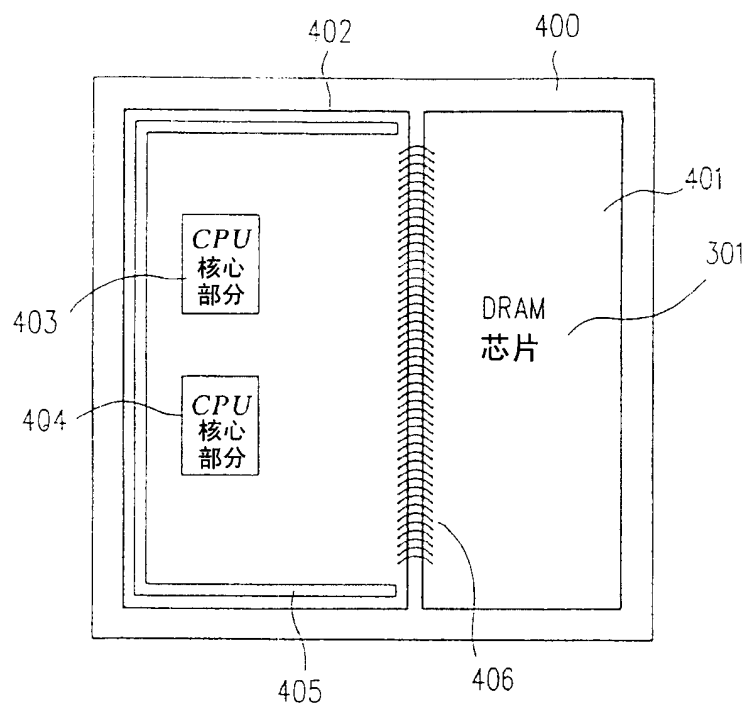


图15

图16A

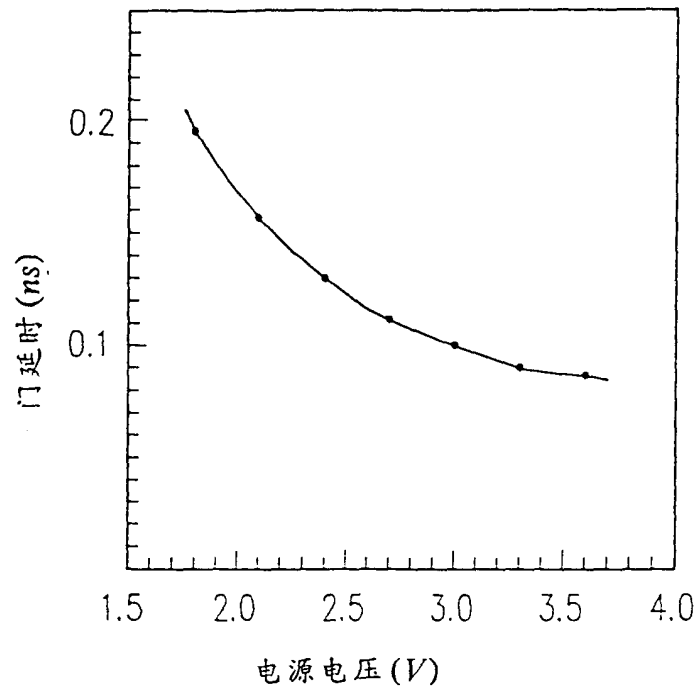
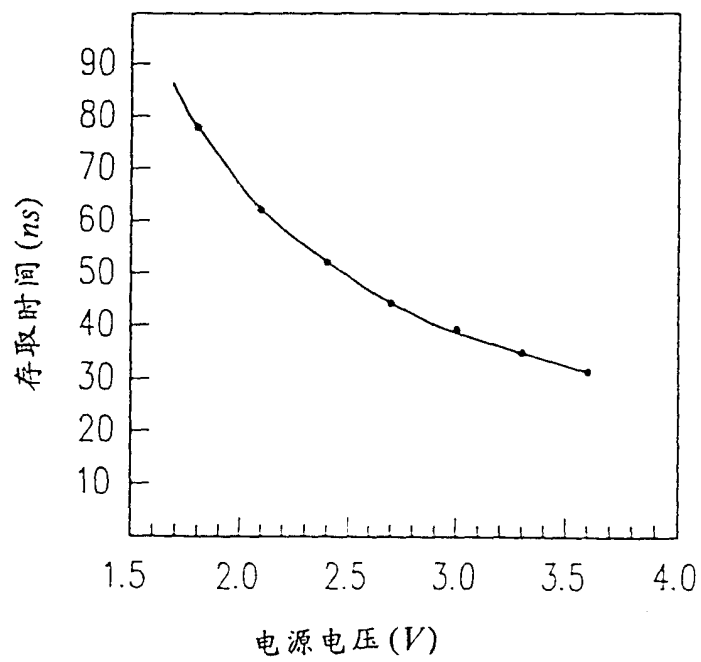


图16B



	系统 1	系统 2	系统 3
	离散	MCM 广泛使用的芯片	本发明
电源电压	3.3V (1.0)	3.3V (1.0)	1.9V (0.58)
功耗	957mW (1.0)	937mW (0.98)	244mW (0.26)
安装面积	2,770mm <sup>2</sup> (1.0)	1,450mm <sup>2</sup> (0.52)	1,110mm <sup>2</sup> (0.40)
芯片成本	¥4,660 (1.0)	¥4,370 (0.98)	¥4,430 (1.20)
时钟	20MHz (1.0)	20MHz (1.0)	10MHz (0.5)
系统成本	¥16,000 (1.00)	¥16,000 (1.00)	¥14,400 (0.9)
注	* 数据总线宽: 8 位		* 数据总线宽: 16 位 * 并行处理

图 17.

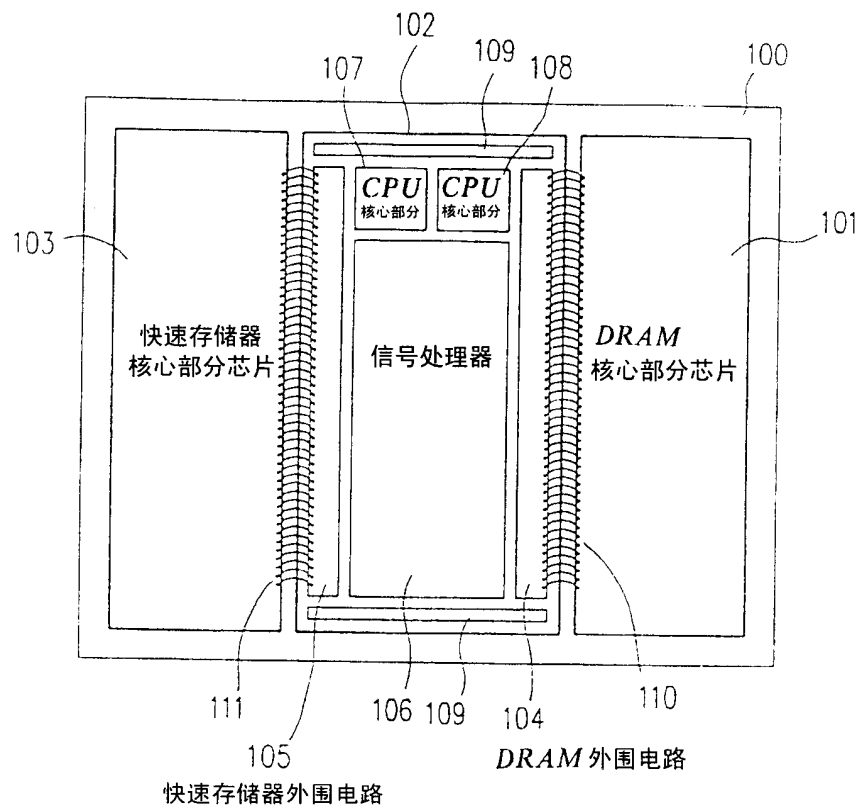


图18

图19A

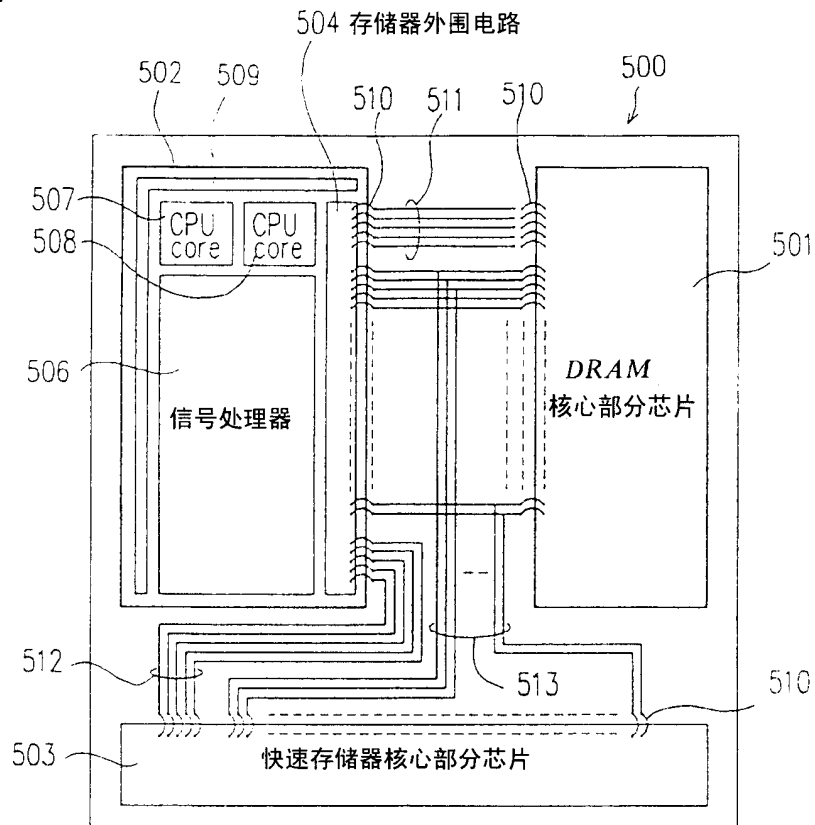


图19B

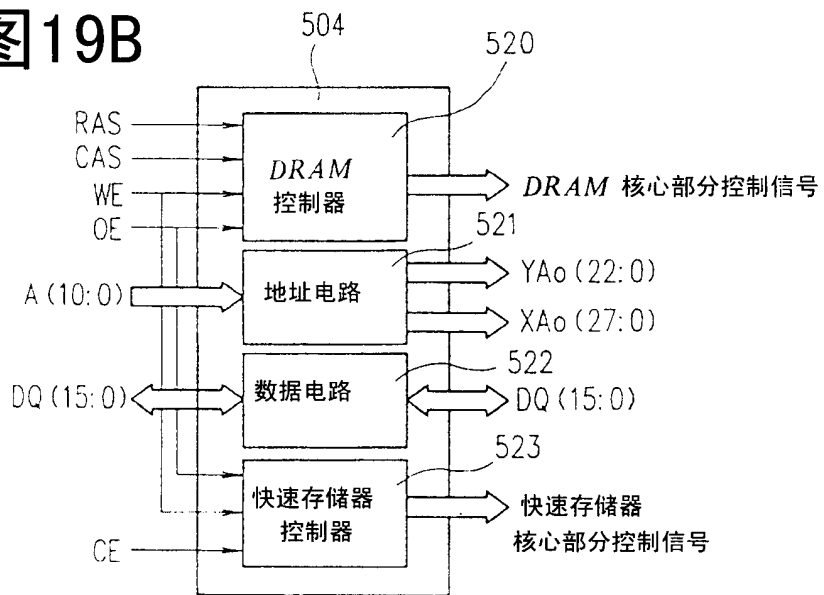


图 20A

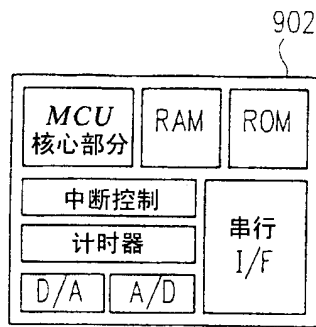


图 20B

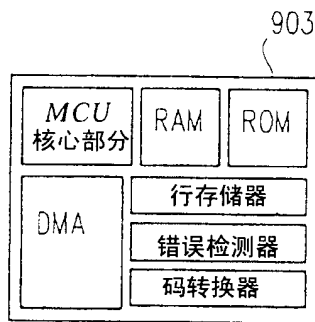


图21A

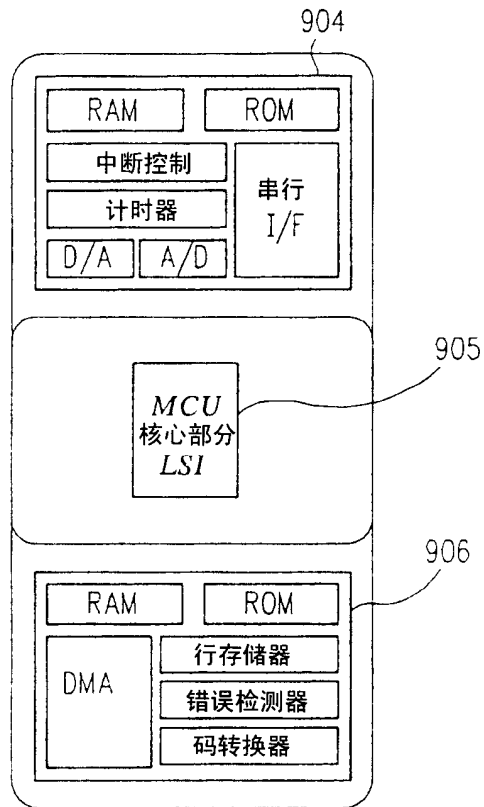


图21B

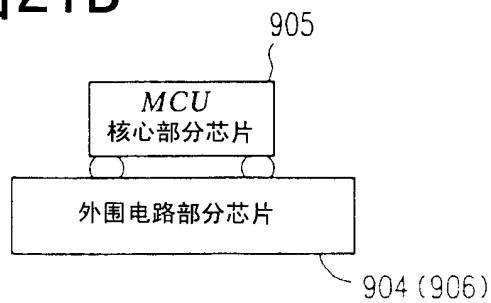


图22A

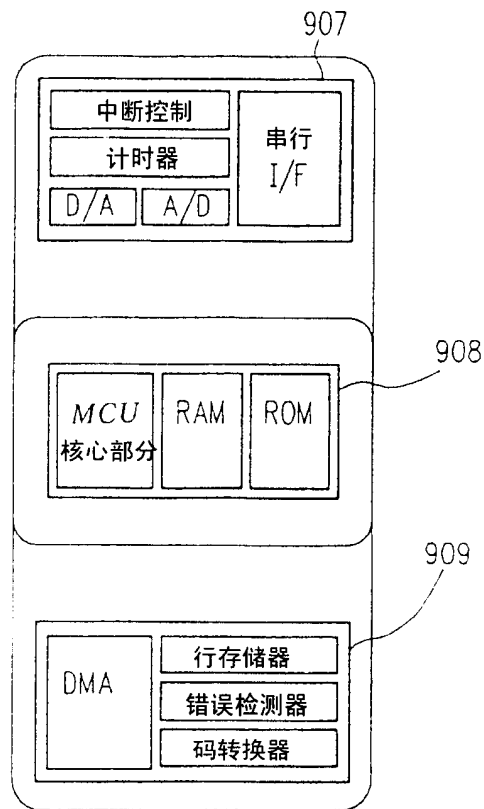


图22B

