

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月15日(15.05.2025)



(10) 国際公開番号

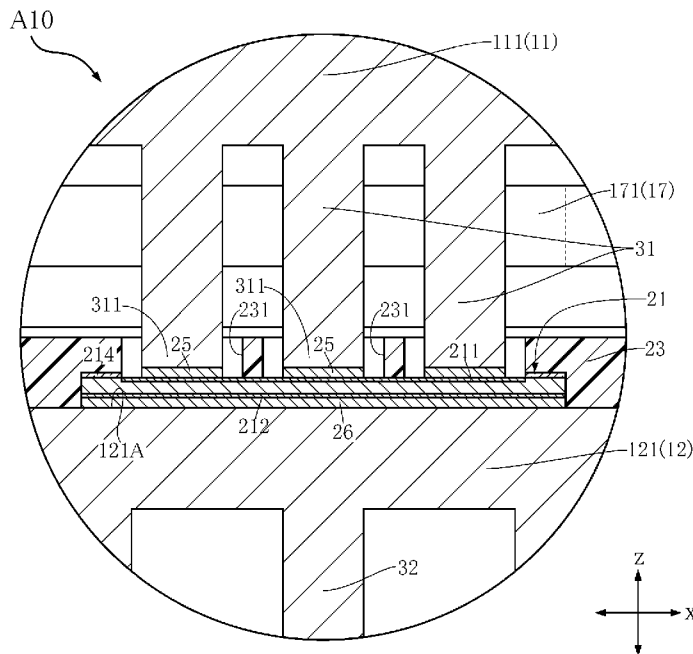
WO 2025/100355 A1

- (51) 国際特許分類:
H01L 23/473 (2006.01) *H01L 25/10* (2006.01)
H01L 25/07 (2006.01) *H01L 25/18* (2023.01)
- (21) 国際出願番号: PCT/JP2024/039059
- (22) 国際出願日: 2024年11月1日(01.11.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-191442 2023年11月9日(09.11.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 (JP).
- (72) 発明者: 林口 匡司 (HAYASHIGUCHI Masashi);
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 (JP). 塚本 美久 (TSUKAMOTO Yoshihisa); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 (JP). 安部 英俊 (ABE Hidetoshi); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 (JP). 澤田 秀喜 (SAWADA Hideki); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 (JP).

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND VEHICLE

(54) 発明の名称: 半導体装置、半導体装置の製造方法、および車両

FIG.10



(57) Abstract: This semiconductor device comprises a first semiconductor element including a first electrode, a first terminal facing the first electrode, a first heat dissipation member electrically connected to the first terminal, and a first protective layer covering a part of the first semiconductor element. The first heat dissipation member is electrically connected to the first electrode. The first protective layer is an insulator. A first flow path is provided between the first semiconductor element and the first terminal. The first heat dissipation member is accommodated in the first flow path. The



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

first protective layer is provided with a first opening through which the first electrode is exposed. The first heat dissipation member includes a first end inserted into the first opening. In the first opening, a gap is provided between the first end and the first protective layer.

(57) 要約: 半導体装置は、第1電極を有する第1半導体素子と、前記第1電極に対向する第1端子と、前記第1端子に電氣的につながる第1放熱部材と、前記第1半導体素子の一部を覆う第1保護層と、を備える。前記第1放熱部材は、前記第1電極に導通する。前記第1保護層は、絶縁体である。前記第1半導体素子と前記第1端子との間には、第1流路が設けられている。前記第1放熱部材は、前記第1流路に收容されている。前記第1保護層には、前記第1電極が露出する第1開口が設けられている。前記第1放熱部材は、前記第1開口に挿入された第1端部を有する。前記第1開口において、前記第1端部と前記第1保護層との間には、隙間が設けられている。

明 細 書

発明の名称：半導体装置、半導体装置の製造方法、および車両
技術分野

[0001] 本開示は、半導体装置およびその製造方法と、当該半導体装置が搭載された車両とに関する。

背景技術

[0002] 特許文献 1 には、半導体装置および冷却器を具備する半導体モジュールの一例が開示されている。冷却器は、中空領域を有する筐体と、放熱器とを備える。筐体には、中空領域に通じる開口が設けられている。放熱器は、開口を塞ぐように筐体に取り付けられている。放熱器の一部は、中空領域に収容されている。半導体装置は、中空領域から外部にはみ出した放熱器の部分に接合されている。中空領域に冷媒（冷却水など）を流すと、当該冷媒が放熱器に接触する。これにより、放熱器を介して半導体装置を効率よく冷却することができる。

[0003] しかし、特許文献 1 に開示されている半導体モジュールの構成においては、冷却器の規模に対して半導体装置の冷却効果が十分に発揮できていない。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2017／094370号

[0005] [概要]

本開示は従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、冷却効率のさらなる向上を図ることが可能な半導体装置を提供することを一の課題とする。

[0006] 本開示の第1の側面によって提供される半導体装置は、第1方向の一方側に位置する第1電極を有する第1半導体素子と、前記第1電極に対向する第1端子と、前記第1端子に電氣的につながり、かつ前記第1電極に導通する第1放熱部材と、前記第1半導体素子の一部を覆うとともに、絶縁体であ

る第1保護層とを備える。前記第1方向において、前記第1半導体素子と前記第1端子との間には、第1流路が設けられている。前記第1放熱部材は、前記第1流路に收容されている。前記第1保護層には、前記第1電極が露出する第1開口が設けられている。前記第1放熱部材は、前記第1開口に挿入された第1端部を有する。前記第1開口において、前記第1端部と前記第1保護層との間には、隙間が設けられている。

[0007] 本開示の第2の側面によって提供される半導体装置の製造方法は、第1端子の第1方向の一方側に第1放熱部材を導電接合する第1工程と、第2端子に第1半導体素子を導電接合する第2工程と、前記第1半導体素子の一部を覆うとともに、絶縁体である第1保護層を形成する第3工程と、前記第1放熱部材を前記第1半導体素子に導通させる第4工程とを備える。前記第1半導体素子は、前記第1方向において前記第2端子に対向する側とは反対側に位置する第1電極を有する。前記第1放熱部材は、前記第1方向において前記第1端子に対向する側とは反対側に位置する第1端部を有する。前記第3工程では、前記第1電極が露出する第1開口を前記第1保護層に設ける。前記第4工程では、前記第1端部を前記第1開口に挿入することにより前記第1放熱部材を前記第1電極に導通させる。前記第4工程では、前記第1方向において前記第1半導体素子と前記第1端子との間に位置しており、かつ前記第1放熱部材が收容される第1流路を設ける。前記第4工程では、前記第1開口において、前記第1端部と前記第1保護層との間に隙間を設ける。

[0008] 本開示の第3の側面によって提供される車両は、駆動源と、半導体装置とを備える。前記半導体装置は、前記駆動源に導通している。前記半導体装置は、本開示の第1の側面によって提供される半導体装置に対して、第2端子をさらに備える。前記第2端子は、前記半導体装置が具備する第1半導体素子を基準として、前記半導体装置が具備する第1端子とは反対側に位置する。前記第1半導体素子は、前記第2端子に導通する第2電極を有する。前記第2電極は、第1方向において前記第1半導体素子が有する第1電極とは反対側に位置する。

[0009] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0010] [図1]図1は、本開示の第1実施形態に係る半導体装置の平面図である。

[図2]図2は、図1に対応する平面図であり、筐体を透過している。

[図3]図3は、図2に対応する平面図であり、第3端子、および複数の第4放熱部材の図示を省略している。

[図4]図4は、図3に対応する平面図であり、第3信号端子、第4信号端子、複数の第2半導体素子、複数の第2保護層、複数の第3放熱部材、複数の第2ゲートピラー、複数の第2検出ピラー、複数の第3リード、および複数の第4リードの図示を省略している。

[図5]図5は、図4に対応する平面図であり、第1端子の図示を省略している。

[図6]図6は、図1に示す半導体装置の底面図である。

[図7]図7は、図3のVⅠⅠーVⅠⅠ線に沿う断面図である。

[図8]図8は、図3のVⅠⅠⅠーVⅠⅠⅠ線に沿う断面図である。

[図9]図9は、図3のⅠⅩーⅠⅩ線に沿う断面図である。

[図10]図10は、図7の部分拡大図である。

[図11]図11は、図8の部分拡大図であり、複数の第1半導体素子のいずれかと、その近傍とを示している。

[図12]図12は、図8の部分拡大図であり、複数の第2半導体素子のいずれかと、その近傍とを示している。

[図13]図13は、図1に示す半導体装置において冷媒が流下する状態を示す断面図である。

[図14]図14は、本開示の第1実施形態の変形例に係る半導体装置の部分拡大断面図である。

[図15]図15は、図1に示す半導体装置の製造工程のうち、第1工程を説明する断面図である。

[図16]図16は、図1に示す半導体装置の製造工程のうち、第2工程を説明する断面図である。

[図17]図17は、図1に示す半導体装置の製造工程のうち、第3工程を説明する断面図である。

[図18]図18は、図1に示す半導体装置の製造工程のうち、第4工程を説明する断面図である。

[図19]図19は、図1に示す半導体装置が搭載された車両の概要図である。

[図20]図20は、本開示の第2実施形態に係る半導体装置の平面図であり、図3に対応している。

[図21]図21は、図20に示す半導体装置の平面図であり、図5に対応している。

[図22]図22は、図20のXXII-XXII線に沿う断面図である。

[図23]図23は、本開示の第3実施形態に係る半導体装置の平面図であり、図3に対応している。

[図24]図24は、図23に示す半導体装置の平面図であり、図5に対応している。

[図25]図25は、図23のXXV-XXV線に沿う断面図である。

[図26]図26は、本開示の第4実施形態に係る半導体装置の平面図である。

[図27]図27は、図26に示す半導体装置の底面図である。

[図28]図28は、図26のXXVII-XXVII線に沿う断面図である。

[図29]図29は、図26のXXIX-XXIX線に沿う断面図である。

[図30]図30は、本開示の第5実施形態に係る半導体装置の平面図である。

[図31]図31は、図30に示す半導体装置の平面図であり、図2に対応している。

[図32]図32は、図30に示す半導体装置の平面図であり、図3に対応している。

[図33]図33は、図30に示す半導体装置の平面図であり、図5に対応して

いる。

[図34]図34は、図31のXXXI-V-XXXI-V線に沿う断面図である。

[図35]図35は、図31のXXXV-XXXV線に沿う断面図である。

[0011] [詳細な説明]

本開示の詳細について、添付図面に基づき説明する。

[0012] 第1実施形態：

図1～図13に基づき、本開示の第1実施形態に係る半導体装置A10について説明する。一般的に半導体装置A10は、インバータなどの電力変換回路に用いられる。半導体装置A10は、第1端子11、第2端子12、第3端子13、複数の第1半導体素子21、複数の第2半導体素子22、複数の第1保護層23、複数の第2保護層24、複数の第1放熱部材31、複数の第2放熱部材32、複数の第3放熱部材33、複数の第4放熱部材34、および筐体50を備える。半導体装置A10は、第1接合層25、第2接合層26、第3接合層27、第4接合層28、第5接合層29、複数の第1ゲートピラー43、複数の第1検出ピラー44、複数の第2ゲートピラー47、および複数の第2検出ピラー48を備える。さらに半導体装置A10は、第1信号端子16、第2信号端子17、第3信号端子18、第4信号端子19、複数の第1リード61、複数の第2リード62、複数の第3リード63、および複数の第4リード64を備える。ここで、図2～図5は、理解の便宜上、筐体50を透過している。図2～図5では、透過した筐体50を想像線（二点鎖線）で示している。図3では、理解の便宜上、図2に対して第3端子13、および複数の第4放熱部材34の図示を省略している。図4では、理解の便宜上、図3に対して第3信号端子18、第4信号端子19、複数の第2半導体素子22、複数の第2保護層24、複数の第3放熱部材33、複数の第2ゲートピラー47、複数の第2検出ピラー48、複数の第3リード63、および複数の第4リード64の図示を省略している。図5では、理解の便宜上、図4に対して第1端子11の図示を省略している。

[0013] 半導体装置A10の説明においては、便宜上、後述する第2端子12の第

1 搭載面 1 2 1 A の法線方向を「第 1 方向 z」と呼ぶ。第 1 方向 z に対して直交する方向を「第 2 方向 x」と呼ぶ。第 1 方向 z および第 2 方向 x の各々に対して直交する方向を「第 3 方向 y」と呼ぶ。

[0014] 半導体装置 A 1 0 においては、複数の第 1 半導体素子 2 1、および複数の第 2 半導体素子 2 2 を含むハーフブリッジ回路が構成されている。半導体装置 A 1 0 は、第 2 端子 1 2 および第 3 端子 1 3 に供給された直流電力を、複数の第 1 半導体素子 2 1、および複数の第 2 半導体素子 2 2 により交流電力に変換する。第 2 端子 1 2 は、P 端子（正極）である。第 3 端子 1 3 は、N 端子（負極）である。変換された交流電力は、第 1 端子 1 1 からモータなどの電力供給対象に入力される。

[0015] 筐体 5 0 は、図 7 ～図 9 に示すように、第 1 端子 1 1、第 2 端子 1 2、第 3 端子 1 3、第 1 信号端子 1 6、第 2 信号端子 1 7、第 3 信号端子 1 8 および第 4 信号端子 1 9 の各々を支持している。筐体 5 0 は、樹脂を含む絶縁体からなる。この他、筐体 5 0 は、アルミニウム（Al）など金属を含む導体からなる場合でよい。

[0016] 図 1 および図 6 に示すように、筐体 5 0 は、頂面 5 1、底面 5 2、第 1 側面 5 3 1、第 2 側面 5 3 2、第 3 側面 5 3 3 および第 4 側面 5 3 4 を有する。頂面 5 1 は、第 1 方向 z の一方側を向く。底面 5 2 は、第 1 方向 z において頂面 5 1 とは反対側を向く。第 1 側面 5 3 1 および第 2 側面 5 3 2 は、第 2 方向 x において互いに反対側を向く。第 3 側面 5 3 3 および第 4 側面 5 3 4 は、第 3 方向 y において互いに反対側を向く。

[0017] 図 7 ～図 9 に示すように、筐体 5 0 には、中空部 5 4 が設けられている。中空部 5 4 には、大気が流入している。この他、図 1 3 に示すように、中空部 5 4 が冷媒 7 0 に常時満たされた構成でよい。中空部 5 4 は、第 1 流路 5 4 1、第 2 流路 5 4 2 および第 3 流路 5 4 3 を含む。第 1 流路 5 4 1 は、第 1 方向 z において複数の第 1 半導体素子 2 1 と、第 1 端子 1 1 との間に設けられている。第 2 流路 5 4 2 は、第 1 方向 z において第 2 端子 1 2 と第 1 流路 5 4 1 との間に設けられている。第 2 流路 5 4 2 は、第 1 流路 5 4 1 につ

ながっている。第3流路543は、第1方向zにおいて第1端子11と第3端子13との間に設けられている。ここで、図13に示す冷媒70は、絶縁体であることが必須である。本開示において、冷媒70が絶縁体であれば、冷媒70の組成は限定されない。

[0018] 図1、図3、図4および図6に示すように、筐体50には、流入口55および流出口56が設けられている。流入口55は、第3側面533において開口しており、かつ中空部54に通じている。流出口56は、第4側面534において開口しており、かつ中空部54に通じている。筐体50においては、流入口55から図13に示す冷媒70が中空部54に流れ込む。中空部54に流れ込んだ冷媒70は、流出口56から排出される。図4に示すように、流入口55および流出口56は、第2方向xにおいて複数の第1放熱部材31を基準として互いに反対側に位置する。

[0019] 第1端子11は、図7～図9に示すように、複数の第1半導体素子21の第1方向zの一方側に位置する。第1端子11は、たとえば銅(Cu)を含む金属板である。第1端子11は、第1基部111および第1拡張部112を有する。第1基部111は、筐体50の中空部54に収容されており、かつ第1流路541および第3流路543に接している。第1基部111は、第2方向xに延びる帯状である。第1基部111は、第1方向zにおいて筐体50の頂面51と同じ側を向く第2搭載面111Aを有する。第1拡張部112は、第1基部111の第2方向xの一方側に導電接合されている。第1拡張部112は、筐体50に支持されている。第1拡張部112の一部は、筐体50の第2側面532から外部に突出している。

[0020] 第2端子12は、図7～図9に示すように、第1方向zにおいて複数の第1半導体素子21を基準として第1端子11とは反対側に位置する。第2端子12は、たとえば銅を含む金属板である。第2端子12は、第2基部121および第2拡張部122を有する。第2基部121は、筐体50の中空部54に収容されており、かつ第2流路542に接している。第2基部121は、第2方向xに延びる帯状である。第2基部121は、第1方向zにおい

て筐体50の頂面51と同じ側を向く第1搭載面121Aを有する。第2拡張部122は、第2基部121の第2方向xの一方側に導電接合されている。第2拡張部122は、筐体50に支持されている。第2拡張部122の一部は、筐体50の第1側面531から外部に突出している。

[0021] 第3端子13は、図7～図9に示すように、第1方向zにおいて複数の第2半導体素子22を基準として第1端子11とは反対側に位置する。第3端子13は、たとえば銅を含む金属板である。第3端子13は、第3基部131および第3拡張部132を有する。第3基部131は、筐体50の中空部54に收容されており、かつ第3流路543に接している。第3基部131は、第2方向xに延びる帯状である。第3拡張部132は、第3基部131の第2方向xの一方側に導電接合されている。第3拡張部132は、筐体50に支持されている。第3拡張部132の一部は、筐体50の第1側面531から外部に突出している。

[0022] 複数の第1半導体素子21は、図7～図9に示すように、第1方向zにおいて第1端子11の第1基部111と、第2端子12の第2基部121との間に位置する。複数の第1半導体素子21は、筐体50の中空部54の第2流路542に收容されている。複数の第1半導体素子21は、いずれも同一の素子である。複数の第1半導体素子21は、たとえばMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。この他、複数の第1半導体素子21は、MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) を含む電界効果トランジスタや、IGBT (Insulated Gate Bipolar Transistor) のようなバイポーラトランジスタでよい。半導体装置A10の説明においては、複数の第1半導体素子21は、nチャネル型であり、かつ縦型構造のMOSFETを対象とする。複数の第1半導体素子21は、化合物半導体基板を含む。当該化合物半導体基板の組成は、炭化ケイ素 (SiC) を含む。複数の第1半導体素子21は、第2方向xに沿って配列されている。

[0023] 図11に示すように、複数の第1半導体素子21の各々は、第1電極21

1、第2電極212、第1ゲート電極213および第1保護膜214を有する。

[0024] 図11に示すように、第1電極211は、第1端子11の第1基部111に対向している。第1電極211は、第1端子11に導通している。第1電極211には、第1半導体素子21により変換された後の電力に対応する電流が流れる。すなわち、第1電極211は、第1半導体素子21のソースに相当する。第1電極211は、筐体50の中空部54の第1流路541に接している。

[0025] 図11に示すように、第2電極212は、第2端子12の第2基部121の第1搭載面121Aに対向している。第2電極212は、第2端子12に導通している。第2電極212には、第1半導体素子21により変換される前の電力に対応する電流が流れる。すなわち、第2電極212は、第1半導体素子21のドレインに相当する。

[0026] 図11に示すように、第1ゲート電極213は、第1方向zにおいて第1電極211と同じ側に位置する。第1ゲート電極213には、第1半導体素子21を駆動するためのゲート電圧が印加される。図5に示すように、第1方向zに視て、第1ゲート電極213の面積は、第1電極211の面積より小さい。

[0027] 図11に示すように、第1保護膜214は、第1方向zにおいて第1電極211と同じ側に位置する。第1方向zに視て、第1保護膜214は、第1電極211および第1ゲート電極213の各々の周縁を囲んでいる。第1保護膜214は、絶縁体である。第1保護膜214は、たとえば二酸化ケイ素(SiO_2)層、窒化ケイ素(Si_3N_4)層、ポリベンゾオキサゾール(PBO)層の順に積層されたものである。なお、第1保護膜214においては、ポリベンゾオキサゾール層に代えてポリイミド層でよい。

[0028] 第2接合層26は、図10および図11に示すように、第2端子12の第2基部121の第1搭載面121Aと、複数の第1半導体素子21の各々の第2電極212とを導電接合している。これにより、複数の第1半導体素子

21の各々の第2電極212は、第2端子12に導通している。第2接合層26は、ハンダである。この他、第2接合層26は、銀（Ag）などを含む焼結金属でよい。

[0029] 複数の第1保護層23の各々は、図5、および図7～図9に示すように、複数の第1半導体素子21のいずれかの一部を覆っている。複数の第1保護層23は、絶縁体である。複数の第1保護層23は、たとえばエポキシ樹脂を含む材料からなる。図5に示すように、第1方向zに視て、複数の第1保護層23の各々は、複数の第1半導体素子21のいずれかの周縁の全体を覆っている。図10および図11に示すように、複数の第1保護層23の各々は、複数の第1半導体素子21のいずれかの第1保護膜214の一部を覆っている。

[0030] 図5、図10および図11に示すように、複数の第1保護層23の各々には、複数の第1開口231が設けられている。複数の第1開口231は、第1方向zにおいて第2端子12の第2基部121の第1搭載面121Aに対向する側とは反対側に設けられている。複数の第1開口231の各々から、複数の第1半導体素子21のいずれかの第1電極211が露出している。

[0031] 図10および図11に示すように、複数の第1保護層23の各々は、第2端子12の第2基部121の第1搭載面121Aに接している。第2接合層26は、複数の第1保護層23のいずれかに接している。

[0032] 複数の第2半導体素子22は、図7～図9に示すように、第1方向zにおいて第1端子11を基準として複数の第1半導体素子21とは反対側に位置する。あわせて、複数の第2半導体素子22は、第1方向zにおいて第1端子11の第1基部111と、第3端子13の第3基部131との間に位置する。複数の第2半導体素子22は、筐体50の中空部54の第3流路543に収容されている。第1方向zに視て、複数の第2半導体素子22は、複数の第1半導体素子21に個別に重なっている。複数の第2半導体素子22は、複数の第1半導体素子21と同一の素子である。したがって、複数の第2半導体素子22は、nチャネル型であり、かつ縦型構造のMOSFETであ

る。複数の第2半導体素子22は、第2方向xに沿って配列されている。

[0033] 図12に示すように、複数の第2半導体素子22の各々は、第3電極221、第4電極222、第2ゲート電極223および第2保護膜224を有する。

[0034] 図12に示すように、第3電極221は、第3端子13の第3基部131に対向している。第3電極221は、第3端子13に導通している。第3電極221には、第2半導体素子22により変換された後の電力に対応する電流が流れる。すなわち、第3電極221は、第2半導体素子22のソースに相当する。第3電極221は、筐体50の中空部54の第3流路543に接している。

[0035] 図12に示すように、第4電極222は、第1端子11の第1基部111の第2搭載面111Aに対向している。第4電極222は、第1端子11に導通している。第4電極222には、第2半導体素子22により変換される前の電力に対応する電流が流れる。すなわち、第4電極222は、第2半導体素子22のドレインに相当する。

[0036] 図12に示すように、第2ゲート電極223は、第1方向zにおいて第3電極221と同じ側に位置する。第2ゲート電極223には、第2半導体素子22を駆動するためのゲート電圧が印加される。図3に示すように、第1方向zに視て、第2ゲート電極223の面積は、第3電極221の面積より小さい。

[0037] 図12に示すように、第2保護膜224は、第1方向zにおいて第3電極221と同じ側に位置する。第1方向zに視て、第2保護膜224は、第3電極221および第2ゲート電極223の各々の周縁を囲んでいる。第2保護膜224は、絶縁体である。第2保護膜224の組成は、複数の第1半導体素子21の各々の第1保護膜214の組成と同一である。

[0038] 第4接合層28は、図12に示すように、第1端子11の第1基部111の第2搭載面111Aと、複数の第2半導体素子22の各々の第4電極222とを導電接合している。これにより、複数の第2半導体素子22の各々の

第4電極222は、第1端子11に導通している。第4接合層28は、ハンダである。この他、第4接合層28は、銀などを含む焼結金属でよい。

[0039] 複数の第2保護層24の各々は、図3、および図7～図9に示すように、複数の第2半導体素子22のいずれかの一部を覆っている。複数の第2保護層24は、絶縁体である。複数の第2保護層24は、たとえばエポキシ樹脂を含む材料からなる。図3に示すように、第1方向zに視て、複数の第2保護層24の各々は、複数の第2半導体素子22のいずれかの周縁の全体を覆っている。図12に示すように、複数の第2保護層24の各々は、複数の第2半導体素子22のいずれかの第2保護膜224の一部を覆っている。

[0040] 図3および図12に示すように、複数の第2保護層24の各々には、複数の第2開口241が設けられている。複数の第2開口241は、第1方向zにおいて第1端子11の第1基部111の第2搭載面111Aに対向する側とは反対側に設けられている。複数の第2開口241の各々から、複数の第2半導体素子22のいずれかの第3電極221が露出している。

[0041] 図12に示すように、複数の第1保護層23の各々は、第1端子11の第1基部111の第2搭載面111Aに接している。第4接合層28は、複数の第2保護層24のいずれかに接している。

[0042] 複数の第1ゲートピラー43は、図11に示すように、複数の第1半導体素子21の各々の第1ゲート電極213に個別かつ電氣的につながっている。複数の第1ゲートピラー43は、たとえば銅を含む。複数の第1ゲートピラー43は、たとえばメッキにより形成される。複数の第1ゲートピラー43の各々の第1方向zの一方側は、複数の第1保護層23のいずれかから露出している。

[0043] 複数の第1検出ピラー44は、図5に示すように、複数の第1半導体素子21の各々の第1電極211に個別かつ電氣的につながっている。複数の第1検出ピラー44は、たとえば銅を含む。複数の第1検出ピラー44は、たとえばメッキにより形成される。複数の第1検出ピラー44の各々の第1方向zの一方側は、複数の第1保護層23のいずれかから露出している。

[0044] 複数の第2ゲートピラー47は、図12に示すように、複数の第2半導体素子22の各々の第2ゲート電極223に個別かつ電氣的につながっている。複数の第2ゲートピラー47は、たとえば銅を含む。複数の第2ゲートピラー47は、たとえばメッキにより形成される。複数の第2ゲートピラー47の各々の第1方向zの一方側は、複数の第2保護層24のいずれかから露出している。

[0045] 複数の第2検出ピラー48は、図3に示すように、複数の第2半導体素子22の各々の第3電極221に個別かつ電氣的につながっている。複数の第2検出ピラー48は、たとえば銅を含む。複数の第2検出ピラー48は、たとえばメッキにより形成される。複数の第2検出ピラー48の各々の第1方向zの一方側は、複数の第2保護層24のいずれかから露出している。

[0046] 第1信号端子16は、図4および図5に示すように、第1端子11および第2端子12の第3方向yの一方側に位置する。第1信号端子16は、筐体50に支持されている。第1信号端子16は、複数の第1半導体素子21の各々の第1ゲート電極213に導通している。第1信号端子16には、複数の第1半導体素子21を駆動するためのゲート電圧が印加される。第1信号端子16は、たとえば銅を含む金属リードである。第1信号端子16は、インナ部161およびアウト部162を有する。インナ部161は、筐体50に収容されている。さらにインナ部161の一部は、筐体50の中空部54に収容されている。インナ部161は、第2方向xに延びる部分を含む。アウト部162は、インナ部161につながっている。図8に示すように、アウト部162は、筐体50の第3側面533から外部に突出している。

[0047] 複数の第1リード61の各々は、複数の第1半導体素子21の各々の第1ゲート電極213のいずれかと、第1信号端子16とに導通している。図5に示すように、複数の第1リード61の各々は、第3方向yに延びている。図8に示すように、複数の第1リード61の各々の一部は、筐体50の中空部54の第1流路541に収容されている。複数の第1リード61は、たとえば銅を含む金属リードである。図11に示すように、複数の第1リード6

1の各々の第3方向yの一方側は、第5接合層29を介して複数の第1ゲートピラー43のいずれかに導電接合されている。第5接合層29は、ハンダである。この他、第5接合層29は、銀などを含む焼結金属でよい。複数の第1リード61の各々の第3方向yの他方側は、第1信号端子16のインナ部161に導電接合されている。

[0048] 第2信号端子17は、図4および図5に示すように、第3方向yにおいて第1端子11および第2端子12を基準として第1信号端子16と同じ側に位置する。第2信号端子17は、筐体50に支持されている。第2信号端子17は、複数の第1半導体素子21の各々の第1電極211に導通している。第2信号端子17には、複数の第1半導体素子21の各々の第1電極211に印加される電圧と等電位の電圧が印加される。第2信号端子17は、たとえば銅を含む金属リードである。第2信号端子17は、インナ部171およびアウト部172を有する。インナ部171は、筐体50に収容されている。さらにインナ部171の一部は、筐体50の中空部54に収容されている。インナ部171は、第2方向xに延びる部分を含む。図8および図9に示すように、インナ部171は、第1信号端子16のインナ部161よりも筐体50の頂面51の近くに位置する。アウト部172は、インナ部171につながっている。図9に示すように、アウト部172は、筐体50の第3側面533から外部に突出している。

[0049] 複数の第2リード62の各々は、複数の第1半導体素子21の各々の第1電極211のいずれかと、第2信号端子17とに導通している。図5に示すように、第1方向zに視て、複数の第2リード62の各々は、第3方向yに延びている。図9に示すように、複数の第2リード62の各々は、第1信号端子16のインナ部161を跨いでいる。複数の第2リード62の各々の一部は、筐体50の中空部54の第1流路541に収容されている。複数の第2リード62は、たとえば銅を含む金属リードである。複数の第2リード62の各々の第3方向yの一方側は、複数の第1検出ピラー44のいずれかに導電接合されている。複数の第2リード62の各々の第3方向yの他方側は

、第2信号端子17のインナ部171に導電接合されている。

[0050] 第3信号端子18は、図2および図3に示すように、第1端子11および第3端子13の第3方向yの一方側に位置する。第1方向zに視て、第3信号端子18は、第1信号端子16に重なっている。第3信号端子18は、筐体50に支持されている。第3信号端子18は、複数の第2半導体素子22の各々の第2ゲート電極223に導通している。第3信号端子18には、複数の第2半導体素子22を駆動するためのゲート電圧が印加される。第3信号端子18は、たとえば銅を含む金属リードである。第3信号端子18は、インナ部181およびアウト部182を有する。インナ部181は、筐体50に收容されている。さらにインナ部181の一部は、筐体50の中空部54に收容されている。インナ部181は、第2方向xに延びる部分を含む。アウト部182は、インナ部181につながっている。図8に示すように、アウト部182は、筐体50の第3側面533から外部に突出している。

[0051] 複数の第3リード63の各々は、複数の第2半導体素子22の各々の第2ゲート電極223のいずれかと、第3信号端子18とに導通している。図3に示すように、複数の第3リード63の各々は、第3方向yに延びている。図8に示すように、複数の第3リード63の各々の一部は、筐体50の中空部54の第3流路543に收容されている。複数の第3リード63は、たとえば銅を含む金属リードである。図12に示すように、複数の第3リード63の各々の第3方向yの一方側は、第5接合層29を介して複数の第2ゲートピラー47のいずれかに導電接合されている。複数の第3リード63の各々の第3方向yの他方側は、第3信号端子18のインナ部181に導電接合されている。

[0052] 第4信号端子19は、図2および図3に示すように、第3方向yにおいて第1端子11および第3端子13を基準として第3信号端子18と同じ側に位置する。第1方向zに視て、第4信号端子19は、第2信号端子17に重なっている。第4信号端子19は、筐体50に支持されている。第4信号端子19は、複数の第2半導体素子22の各々の第3電極221に導通してい

る。第4信号端子19には、複数の第2半導体素子22の各々の第3電極221に印加される電圧と等電位の電圧が印加される。第4信号端子19は、たとえば銅を含む金属リードである。第4信号端子19は、インナ部191およびアウト部192を有する。インナ部191は、筐体50に収容されている。さらにインナ部191の一部は、筐体50の中空部54に収容されている。インナ部191は、第2方向xに延びる部分を含む。図8および図9に示すように、インナ部191は、第3信号端子18のインナ部181よりも筐体50の頂面51の近くに位置する。アウト部192は、インナ部191につながっている。図9に示すように、アウト部192は、筐体50の第3側面533から外部に突出している。

[0053] 複数の第4リード64の各々は、複数の第2半導体素子22の各々の第3電極221のいずれかと、第4信号端子19とに導通している。図3に示すように、第1方向zに視て、複数の第4リード64の各々は、第3方向yに延びている。図9に示すように、複数の第4リード64の各々は、第3信号端子18のインナ部181を跨いでいる。複数の第4リード64の各々の一部は、筐体50の中空部54の第3流路543に収容されている。複数の第4リード64は、たとえば銅を含む金属リードである。複数の第4リード64の各々の第3方向yの一方側は、複数の第2検出ピラー48のいずれかに導電接合されている。複数の第4リード64の各々の第3方向yの他方側は、第4信号端子19のインナ部191に導電接合されている。

[0054] 複数の第1放熱部材31は、図7～図9に示すように、第1端子11の第1基部111に電氣的につながっている。複数の第1放熱部材31は、筐体50の中空部54の第1流路541に収容されている。複数の第1放熱部材31は、たとえば銅を含む棒部材である。複数の第1放熱部材31の各々は、第1方向zに延びている。半導体装置A10においては、複数の第1放熱部材31の各々の第1方向zの一方側は、たとえばレーザ溶接により第1基部111に導電接合されている。図10および図11に示すように、複数の第1放熱部材31の各々は、第1方向zの他方側に位置する第1端部311

を有する。複数の第1放熱部材31の各々の第1端部311は、複数の第1保護層23の各々の複数の第1開口231に個別に挿入されている。複数の第1開口231の各々において、複数の第1放熱部材31のいずれかの第1放熱部材31と、複数の第1保護層23のいずれかとの間には、隙間が設けられている。

[0055] 第1接合層25は、図10および図11に示すように、複数の第1半導体素子21の各々の第1電極211と、複数の第1放熱部材31の各々の第1端部311とを導電接合している。これにより、複数の第1半導体素子21の各々の第1電極211は、第1端子11に導通している。第1接合層25は、ハンダである。この他、第1接合層25は、銀などを含む焼結金属でよい。

[0056] 複数の第2放熱部材32は、図7および図8に示すように、第2端子12の第2基部121につながっている。複数の第2放熱部材32は、第1方向zにおいて第2端子12を基準として複数の第1半導体素子21とは反対側に位置する。複数の第2放熱部材32は、筐体50の中空部54に収容されている。複数の第2放熱部材32は、たとえば銅を含む棒部材である。複数の第2放熱部材32の各々は、第1方向zに延びている。半導体装置A10においては、複数の第2放熱部材32の各々の第1方向zの一方側は、たとえばレーザ溶接により第2基部121に導電接合されている。

[0057] 複数の第3放熱部材33は、図7～図9に示すように、第3端子13の第3基部131に電氣的につながっている。複数の第3放熱部材33は、筐体50の中空部54の第3流路543に収容されている。複数の第3放熱部材33は、たとえば銅を含む棒部材である。複数の第3放熱部材33の各々は、第1方向zに延びている。半導体装置A10においては、複数の第3放熱部材33の各々の第1方向zの一方側は、たとえばレーザ溶接により第1基部111に導電接合されている。図12に示すように、複数の第3放熱部材33の各々は、第1方向zの他方側に位置する第2端部331を有する。複数の第3放熱部材33の各々の第2端部331は、複数の第2保護層24の

各々の複数の第2開口241に個別に挿入されている。複数の第2開口241の各々において、複数の第3放熱部材33のいずれかの第2端部331と、複数の第2保護層24のいずれかとの間には、隙間が設けられている。

[0058] 第3接合層27は、図12に示すように、複数の第2半導体素子22の各々の第3電極221と、複数の第3放熱部材33の各々の第2端部331とを導電接合している。これにより、複数の第2半導体素子22の各々の第3電極221は、第3端子13に導通している。第3接合層27は、ハンダである。この他、第3接合層27は、銀などを含む焼結金属でよい。

[0059] 複数の第4放熱部材34は、図7および図8に示すように、第3端子13の第3基部131につながっている。複数の第4放熱部材34は、第1方向zにおいて第3端子13を基準として複数の第2半導体素子22とは反対側に位置する。複数の第4放熱部材34は、筐体50の中空部54に収容されている。複数の第4放熱部材34は、たとえば銅を含む棒部材である。複数の第4放熱部材34の各々は、第1方向zに延びている。半導体装置A10においては、複数の第4放熱部材34の各々の第1方向zの一方側は、たとえばレーザ溶接により第3基部131に導電接合されている。

[0060] 次に、図14に基づき、本開示の第1実施形態の変形例に係る半導体装置A11について説明する。ここで、図14は、図10に対応している。

[0061] 図14に示すように、半導体装置A11においては、複数の第1保護層23、および複数の第1放熱部材31の構成が、半導体装置A10の当該構成と異なる。複数の第1保護層23の各々において、複数の第1開口231の各々の第1方向zに対して直交する断面の大きさは、複数の第1半導体素子21のいずれかの第1電極211から第1端子11の第1基部111に向けて拡大している。複数の第1放熱部材31の各々の第1端部311の第1方向zに対して直交する断面の大きさは、複数の第1半導体素子21のいずれかの第1電極211から第1端子11の第1基部111に向けて拡大している。

[0062] 次に、図15～図18に基づき、半導体装置A10の製造方法の一例につ

いて説明する。

- [0063] まず、図 1 5 に示す第 1 工程 P 1 を行う。第 1 工程 P 1 では、第 1 端子 1 1 の第 1 基部 1 1 1 の第 1 方向 z の一方側に、複数の第 1 放熱部材 3 1 を導電接合する。第 1 工程 P 1 では、第 2 端子 1 2 の第 2 基部 1 2 1 の第 1 方向 z の一方側に、複数の第 2 放熱部材 3 2 を導電接合する。さらに第 1 工程 P 1 では、第 3 端子 1 3 の第 3 基部 1 3 1 の第 1 方向 z の一方側に、複数の第 3 放熱部材 3 3 を導電接合する。あわせて、第 3 端子 1 3 の第 3 基部 1 3 1 の第 1 方向 z の他方側に、複数の第 4 放熱部材 3 4 を導電接合する。
- [0064] 次に、図 1 6 に示す第 2 工程 P 2 を行う。第 2 工程 P 2 では、複数の第 1 半導体素子 2 1 の各々の第 2 電極 2 1 2 を、第 2 接合層 2 6 を介して第 2 端子 1 2 の第 1 搭載面 1 2 1 A に導電接合する。さらに第 2 工程 P 2 では、複数の第 2 半導体素子 2 2 の各々の第 4 電極 2 2 2 を、第 4 接合層 2 8 を介して第 1 端子 1 1 の第 2 搭載面 1 1 1 A に導電接合する。
- [0065] 次に、図 1 7 に示す第 3 工程 P 3 を行う。第 3 工程 P 3 では、複数の第 1 半導体素子 2 1 の各々の一部を覆う複数の第 1 保護層 2 3 を形成する。複数の第 1 保護層 2 3 は、絶縁体である。複数の第 1 保護層 2 3 は、エポキシ樹脂を含む材料を熱硬化させることにより形成される。その後、複数の第 1 保護層 2 3 の各々に対して、複数の第 1 開口 2 3 1 を形成する。複数の第 1 開口 2 3 1 は、レーザ加工により形成される。複数の第 1 開口 2 3 1 の各々から、複数の第 1 半導体素子 2 1 のいずれかの第 1 電極 2 1 1 が露出する。
- [0066] 図 1 7 に示すように、さらに第 3 工程 P 3 では、複数の第 2 半導体素子 2 2 の各々の一部を覆う複数の第 2 保護層 2 4 を形成する。複数の第 2 保護層 2 4 は、絶縁体である。複数の第 2 保護層 2 4 は、エポキシ樹脂を含む材料を熱硬化させることにより形成される。その後、複数の第 2 保護層 2 4 の各々に対して、複数の第 2 開口 2 4 1 を形成する。複数の第 2 開口 2 4 1 は、レーザ加工により形成される。複数の第 2 開口 2 4 1 の各々から、複数の第 2 半導体素子 2 2 のいずれかの第 3 電極 2 2 1 が露出する。
- [0067] 次に、図 1 8 に示す第 4 工程 P 4 を行う。第 4 工程 P 4 では、複数の第

1 放熱部材 3 1 の各々の第 1 端部 3 1 1（図 1 0 および図 1 1 参照）を、複数の第 1 保護層 2 3 の各々の複数の第 1 開口 2 3 1 に個別に挿入させる。これにより、第 1 接合層 2 5 を介して複数の第 1 放熱部材 3 1 の各々を複数の第 1 半導体素子 2 1 のいずれかの第 1 電極 2 1 1 に導電接合する。この際、複数の第 1 開口 2 3 1 の各々において、複数の第 1 放熱部材 3 1 のいずれかの第 1 端部 3 1 1 と、複数の第 1 保護層 2 3 のいずれかとの間に隙間を設ける。

[0068] 図 1 8 に示すように、第 4 工程 P 4 では、複数の第 3 放熱部材 3 3 の各々の第 2 端部 3 3 1（図 1 2 参照）を、複数の第 2 保護層 2 4 の各々の複数の第 2 開口 2 4 1 に個別に挿入させる。これにより、第 3 接合層 2 7 を介して複数の第 3 放熱部材 3 3 の各々を複数の第 2 半導体素子 2 2 のいずれかの第 3 電極 2 2 1 に導電接合する。この際、複数の第 2 開口 2 4 1 の各々において、複数の第 3 放熱部材 3 3 のいずれかの第 2 端部 3 3 1 と、複数の第 2 保護層 2 4 のいずれかとの間に隙間を設ける。

[0069] 図 1 8 に示すように、さらに第 4 工程 P 4 では、第 1 方向 z において複数の第 1 半導体素子 2 1 と、第 1 端子 1 1 との間に位置する第 1 流路 5 4 1 を設ける。複数の第 1 放熱部材 3 1 は、第 1 流路 5 4 1 に収容される。

[0070] 第 4 工程 P 4 を経た後、第 1 信号端子 1 6、第 2 信号端子 1 7、第 3 信号端子 1 8 および第 4 信号端子 1 9 の配置を行う。その後、複数の第 1 リード 6 1、複数の第 2 リード 6 2、複数の第 3 リード 6 3、および複数の第 4 リード 6 4 の各々を、所定の箇所に導電接合する。最後に、第 1 端子 1 1、第 2 端子 1 2 および第 3 端子 1 3 を支持する筐体 5 0 を組み立てる。以上の工程を経ることにより、半導体装置 A 1 0 が得られる。

[0071] 次に、図 1 9 に基づき、半導体装置 A 1 0 が搭載された車両 B について説明する。車両 B は、たとえば電気自動車（EV）である。

[0072] 図 1 9 に示すように、車両 B は、車載充電器 8 1、蓄電池 8 2 および駆動系統 8 3 を備える。車載充電器 8 1 には、屋外に設置された給電施設（図省略）から無線により電力が供給される。この他、給電施設から車載充電器 8

1への電力の供給手段は、有線でよい。車載充電器81には、昇圧型のDC-DCコンバータが構成されている。車載充電器81に供給された電力の電圧は、当該コンバータにより昇圧された後、蓄電池82に給電される。昇圧された電圧は、たとえば600Vである。

[0073] 駆動系統83は、車両Bを駆動する。駆動系統83は、インバータ831および駆動源832を有する。半導体装置A10は、インバータ831の一部を構成する。蓄電池82に蓄えられた電力は、インバータ831に給電される。蓄電池82からインバータ831に給電される電力は、直流電力である。この他、図19に示す電力系統とは異なり、蓄電池82とインバータ831との間に昇圧型のDC-DCコンバータをさらに設けてよい。インバータ831は、直流電力を交流電力に変換する。半導体装置A10を含めたインバータ831は、駆動源832に導通している。駆動源832は、交流モータおよび変速機を有する。インバータ831によって変換された交流電力が駆動源832に供給されると、交流モータが回転するとともに、その回転が変速機に伝達される。変速機は、交流モータから伝達された回転数を適宜減じた上で、車両Bの駆動軸を回転させる。これにより、車両Bが駆動する。車両Bの駆動にあたっては、アクセルペダルの変動量などの情報に基づき交流モータの回転数を自在に操作する必要がある。そこで、インバータ831における半導体装置A10は、要求される交流モータの回転数に対応させるべく、周波数が適宜変化された交流電力を出力するために必要である。

[0074] 次に、半導体装置A10の作用効果について説明する。

[0075] 半導体装置A10は、第1半導体素子21、第1端子11、第1放熱部材31および第1保護層23を備える。第1放熱部材31は、第1端子11に電氣的につながっており、かつ第1半導体素子21の第1電極211に導通している。第1方向zにおいて、第1半導体素子21と第1端子11との間には、第1流路541が設けられている。第1放熱部材31は、第1流路541に收容されている。本構成をとることにより、図13に示すように、筐体50の中空部54に冷媒70を流入させた際、第1流路541に冷媒70

が流下する。これにより、第1放熱部材31に冷媒70が直接接触するため、半導体装置A10の冷却効率が従来より高くなる。さらに、第1保護層23に設けられた第1開口231において、第1開口231に挿入された第1放熱部材31の第1端部311と、第1保護層23との間には、隙間が設けられている。本構成をとることにより、第1電極211に対する第1放熱部材31の位置ずれが規制されるため、第1放熱部材31と第1電極211との導通阻害を防止できる。したがって、本構成によれば、半導体装置A10においては、冷却効率のさらなる向上を図ることが可能となる。

[0076] 半導体装置A10においては、第1保護層23を具備することにより、外的因子に対する第1半導体素子21の保護を図ることができる。この場合において、第1方向zに視て、第1保護層23が第1半導体素子21の周縁の全体を覆っていることが、第1半導体素子21の保護の観点から好ましい。さらに、第1保護層23が第1保護膜214の一部を覆う構成をとることにより、第1半導体素子21からのリーク電流の抑止を効果的に図ることができる。

[0077] 第1端子11は、第1流路541に接している。本構成をとることにより、第1端子11にも冷媒70が直接接触するため、半導体装置A10の冷却効率のさらなる向上を図ることができる。

[0078] 第1半導体素子21の第1電極211は、第1流路541に接している。本構成をとることにより、第1電極211にも冷媒70が直接接触するため、半導体装置A10の冷却効率のさらなる向上を図ることができる。この場合において、第1保護層23の第1開口231の第1方向zに対して直交する方向の断面の大きさは、第1電極211から第1放熱部材31にかけて拡大している。本構成をとることにより、第1開口231に冷媒70が流入しやすくなるため、第1電極211に加えて第1ピラー41にも冷媒70が直接接触しやすくなる。

[0079] 半導体装置A10は、第2端子12をさらに備える。第1半導体素子21は、第2端子12に導通している。第1方向zにおいて、第2端子12と第

1 流路 5 4 1 との間には、第 1 流路 5 4 1 につながる第 2 流路 5 4 2 が設けられている。第 2 端子 1 2 は、第 2 流路 5 4 2 に接している。本構成をとることにより、第 2 端子 1 2 にも冷媒 7 0 が直接接触するため、半導体装置 A 1 0 の冷却効率のさらなる向上を図ることができる。

[0080] 半導体装置 A 1 0 は、第 1 端子 1 1、第 2 端子 1 2 および第 2 端子 1 2 を支持する筐体 5 0 をさらに備える。筐体 5 0 には、流入口 5 5 および流出口 5 6 が設けられている。流入口 5 5 および流出口 5 6 は、第 1 方向 z に対して直交する方向において第 1 放熱部材 3 1 を基準として互いに反対側に位置する。本構成をとることにより、第 1 放熱部材 3 1 に冷媒 7 0 が直接接触しやすくなるように、冷媒 7 0 を流下させることができる。

[0081] 半導体装置 A 1 1 においては、第 1 保護層 2 3 の第 1 開口 2 3 1 の第 1 方向 z に対して直交する断面の大きさと、第 1 放熱部材 3 1 の第 1 端部 3 1 1 の第 1 方向 z に対して直交する断面の大きさは、第 1 半導体素子 2 1 の第 1 電極 2 1 1 から第 1 端子 1 1 にかけて拡大している。本構成をとることにより、図 1 8 に示す第 4 工程 P 4 において、第 1 端部 3 1 1 を第 1 開口 2 3 1 に、より円滑に挿入することができる。

[0082] 第 2 実施形態：

図 2 0 ～図 2 2 に基づき、本開示の第 2 実施形態に係る半導体装置 A 2 0 について説明する。これらの図において、先述した半導体装置 A 1 0 と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図 2 0 は、半導体装置 A 1 0 を示す図 3 に対応している。図 2 1 は、半導体装置 A 1 0 を示す図 5 に対応している。

[0083] 半導体装置 A 2 0 においては、複数の第 1 保護層 2 3、および複数の第 2 保護層 2 4 の構成が、半導体装置 A 1 0 の当該構成と異なる。

[0084] 図 2 1 および図 2 2 に示すように、複数の第 1 保護層 2 3 は、第 2 方向 x において相互につながった単一の部材となっている。図 2 0 および図 2 2 に示すように、複数の第 2 保護層 2 4 も、第 2 方向 x において相互につながった単一の部材となっている。

[0085] 次に、半導体装置A20の作用効果について説明する。

[0086] 半導体装置A20は、第1半導体素子21、第1端子11、第1放熱部材31および第1保護層23を備える。第1放熱部材31は、第1端子11に電氣的につながっており、かつ第1半導体素子21の第1電極211に導通している。第1方向zにおいて、第1半導体素子21と第1端子11との間には、第1流路541が設けられている。第1放熱部材31は、第1流路541に收容されている。さらに、第1保護層23に設けられた第1開口231において、第1開口231に挿入された第1放熱部材31の第1端部311と、第1保護層23との間には、隙間が設けられている。したがって、本構成によれば、半導体装置A20においても、冷却効率のさらなる向上を図ることが可能となる。さらに半導体装置A20においては、半導体装置A10と共通する構成を具備することにより、半導体装置A10と同等の作用効果を奏する。

[0087] 半導体装置A20においては、複数の第1保護層23は、相互につながった単一の部材となっている。本構成をとることにより、複数の第1半導体素子21が単一の第1保護層23により封止された状態をとる。これにより、半導体装置A20の製造の際、第1端子11および第2端子12の各々に対する複数の第1半導体素子21の位置ずれを抑制できる。

[0088] 第3実施形態：

図23～図25に基づき、本開示の第3実施形態に係る半導体装置A30について説明する。これらの図において、先述した半導体装置A10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図23は、半導体装置A10を示す図3に対応している。図24は、半導体装置A10を示す図5に対応している。

[0089] 半導体装置A30においては、複数の第1半導体素子21、および複数の第2半導体素子22の構成が、半導体装置A10の当該構成と異なる。

[0090] 図23および図24に示すように、複数の第1半導体素子21の個数と、複数の第2半導体素子22の個数は、ともに2つである。図23および図2

5に示すように、第1方向 z に視て、複数の第2半導体素子22の各々は、複数の第1半導体素子21から離れている。

[0091] 次に、半導体装置A30の作用効果について説明する。

[0092] 半導体装置A30は、第1半導体素子21、第1端子11、第1放熱部材31および第1保護層23を備える。第1放熱部材31は、第1端子11に電氣的につながっており、かつ第1半導体素子21の第1電極211に導通している。第1方向 z において、第1半導体素子21と第1端子11との間には、第1流路541が設けられている。第1放熱部材31は、第1流路541に收容されている。さらに、第1保護層23に設けられた第1開口231において、第1開口231に挿入された第1放熱部材31の第1端部311と、第1保護層23との間には、隙間が設けられている。したがって、本構成によれば、半導体装置A30においても、冷却効率のさらなる向上を図ることが可能となる。さらに半導体装置A30においては、半導体装置A10と共通する構成を具備することにより、半導体装置A10と同等の作用効果を奏する。

[0093] 半導体装置A30においては、第1方向 z に視て、第2半導体素子22は、第1半導体素子21から離れている。本構成をとることにより、第1半導体素子21および第2半導体素子22の発熱に起因した第1端子11における熱分布の集中を低減できる。

[0094] 第4実施形態：

図26～図29に基づき、本開示の第4実施形態に係る半導体装置A40について説明する。これらの図において、先述した半導体装置A10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。

[0095] 半導体装置A40においては、第2端子12および第3端子13の構成が、半導体装置A10の当該構成と異なる。さらに半導体装置A40は、複数の第2放熱部材32、および複数の第4放熱部材34を具備しない。

[0096] 図27～図29に示すように、第2端子12の第2基部121は、第1方向 z において複数の第1半導体素子21が位置する側とは反対側を向く第1

露出面 1 2 1 B を有する。第 1 露出面 1 2 1 B は、筐体 5 0 の底面 5 2 から露出している。第 2 基部 1 2 1 の第 1 方向 z の寸法は、第 1 端子 1 1 の第 1 基部 1 1 1 の第 1 方向 z の寸法より大きい。

[0097] 図 2 6、図 2 8 および図 2 9 に示すように、第 3 端子 1 3 の第 3 基部 1 3 1 は、第 1 方向 z において複数の第 2 半導体素子 2 2 が位置する側とは反対側を向く第 2 露出面 1 3 1 A を有する。第 2 露出面 1 3 1 A は、筐体 5 0 の頂面 5 1 から露出している。第 3 基部 1 3 1 の第 1 方向 z の寸法は、第 1 端子 1 1 の第 1 基部 1 1 1 の第 1 方向 z の寸法より大きい。

[0098] 次に、半導体装置 A 4 0 の作用効果について説明する。

[0099] 半導体装置 A 4 0 は、第 1 半導体素子 2 1、第 1 端子 1 1、第 1 放熱部材 3 1 および第 1 保護層 2 3 を備える。第 1 放熱部材 3 1 は、第 1 端子 1 1 に電氣的につながっており、かつ第 1 半導体素子 2 1 の第 1 電極 2 1 1 に導通している。第 1 方向 z において、第 1 半導体素子 2 1 と第 1 端子 1 1 との間には、第 1 流路 5 4 1 が設けられている。第 1 放熱部材 3 1 は、第 1 流路 5 4 1 に収容されている。さらに、第 1 保護層 2 3 に設けられた第 1 開口 2 3 1 において、第 1 開口 2 3 1 に挿入された第 1 放熱部材 3 1 の第 1 端部 3 1 1 と、第 1 保護層 2 3 との間には、隙間が設けられている。したがって、本構成によれば、半導体装置 A 4 0 においても、冷却効率のさらなる向上を図ることが可能となる。さらに半導体装置 A 4 0 においては、半導体装置 A 1 0 と共通する構成を具備することにより、半導体装置 A 1 0 と同等の作用効果を奏する。

[0100] 半導体装置 A 4 0 においては、第 2 端子 1 2 は、第 1 方向 z において第 1 半導体素子 2 1 が位置する側とは反対側を向く第 1 露出面 1 2 1 B を有する。第 3 端子 1 3 は、第 1 方向 z において第 2 半導体素子 2 2 が位置する側とは反対側を向く第 2 露出面 1 3 1 A を有する。第 1 露出面 1 2 1 B および第 2 露出面 1 3 1 A は、筐体 5 0 から露出している。本構成をとることにより、半導体装置 A 4 0 の第 1 方向 z の寸法をより縮小することが可能となる。

[0101] 第 5 実施形態：

図30～図35に基づき、本開示の第5実施形態に係る半導体装置A50について説明する。これらの図において、先述した半導体装置A10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図31は、半導体装置A10を示す図2に対応している。図32は、半導体装置A10を示す図3に対応している。図33は、半導体装置A10を示す図5に対応している。

[0102] 半導体装置A50においては、第1端子11、第2端子12、第3端子13、第1信号端子16、第2信号端子17、第3信号端子18、第4信号端子19、筐体50、複数の第1半導体素子21、および複数の第2半導体素子22の構成が、半導体装置A10の当該構成と異なる。

[0103] 図32および図35に示すように、第1端子11の第1拡張部112は、第1基部111の第3方向yの一方側に位置する。図30および図35に示すように、第1拡張部112の一部は、筐体50の第3側面533から外部に突出している。

[0104] 図31、図33および図34に示すように、第2端子12の第2拡張部122、および第3端子13の第3拡張部132は、第3方向yにおいて複数の第1半導体素子21、および複数の第2半導体素子22を基準として第1端子11の第1拡張部112とは反対側に位置する。図30、図34および図35に示すように、第2拡張部122および第3拡張部132の各々の一部は、筐体50の第4側面534から外部に突出している。第2拡張部122および第3拡張部132は、第2方向xにおいて互いに離れている。

[0105] 図30および図33に示すように、第1信号端子16のアウタ部162、および第2信号端子17のアウタ部172は、筐体50の第1側面531から外部に突出している。図30に示すように、第3信号端子18のアウタ部182、および第4信号端子19のアウタ部192は、第1側面531から外部に突出している。

[0106] 図30に示すように、筐体50の流入口55は、筐体50の第2側面532において開口している。筐体50の流出口56は、第1側面531におい

て開口している。

[0107] 図33～図35に示すように、複数の第1半導体素子21は、複数の第1スイッチング素子21Aと、複数の第1ダイオード21Bとを含む。複数の第1ダイオード21Bは、複数の第1スイッチング素子21Aに対して個別に並列接続されている。複数の第1スイッチング素子21Aの各々は、第1電極211、第2電極212および第1ゲート電極213を有する。複数の第1スイッチング素子21Aは、MOSFETやIGBTなどのトランジスタである。半導体装置A50においては、複数の第1スイッチング素子21Aは、たとえばMOSFETである。複数の第1ダイオード21Bは、アノードである第1電極211と、カソードである第2電極212とを有する。半導体装置A50において、複数の第1ダイオード21Bは、複数の第1スイッチング素子21Aに対する還流ダイオードとしての機能を果たす。半導体装置A50においては、複数の第1ダイオード21Bは、たとえばショットキーバリアダイオードである。複数の第1放熱部材31の各々の第1端部311は、複数の第1スイッチング素子21A、および複数の第1ダイオード21Bのいずれかの第1電極211に導電接合されている。

[0108] 図32、図34および図35に示すように、複数の第2半導体素子22は、複数の第2スイッチング素子22Aと、複数の第2ダイオード22Bとを含む。複数の第2ダイオード22Bは、複数の第2スイッチング素子22Aに対して個別に並列接続されている。複数の第2スイッチング素子22Aの各々は、第3電極221、第4電極222および第2ゲート電極223を有する。複数の第2スイッチング素子22Aは、複数の第1スイッチング素子21Aと同一の素子である。複数の第2ダイオード22Bは、アノードである第3電極221と、カソードである第4電極222とを有する。半導体装置A50において、複数の第2ダイオード22Bは、複数の第2スイッチング素子22Aに対する還流ダイオードとしての機能を果たす。複数の第2ダイオード22Bは、複数の第1ダイオード21Bと同一の素子である。複数の第3放熱部材33の各々の第2端部331は、複数の第2スイッチング素

子 2 2 A、および複数の第 2 ダイオード 2 2 B のいずれかの第 3 電極 2 2 1 に導電接合されている。

[0109] したがって、半導体装置 A 5 0 のように、複数の第 1 半導体素子 2 1 は、全て同一の素子のみならず、複数種類の素子が含まれる構成でよい。同様に、複数の第 2 半導体素子 2 2 も、全て同一の素子のみならず、複数種類の素子が含まれる構成でよい。

[0110] 次に、半導体装置 A 5 0 の作用効果について説明する。

[0111] 半導体装置 A 5 0 は、第 1 半導体素子 2 1、第 1 端子 1 1、第 1 放熱部材 3 1 および第 1 保護層 2 3 を備える。第 1 放熱部材 3 1 は、第 1 端子 1 1 に電氣的につながっており、かつ第 1 半導体素子 2 1 の第 1 電極 2 1 1 に導通している。第 1 方向 z において、第 1 半導体素子 2 1 と第 1 端子 1 1 との間には、第 1 流路 5 4 1 が設けられている。第 1 放熱部材 3 1 は、第 1 流路 5 4 1 に收容されている。さらに、第 1 保護層 2 3 に設けられた第 1 開口 2 3 1 において、第 1 開口 2 3 1 に挿入された第 1 放熱部材 3 1 の第 1 端部 3 1 1 と、第 1 保護層 2 3 との間には、隙間が設けられている。したがって、本構成によれば、半導体装置 A 5 0 においても、冷却効率のさらなる向上を図ることが可能となる。さらに半導体装置 A 5 0 においては、半導体装置 A 1 0 と共通する構成を具備することにより、半導体装置 A 1 0 と同等の作用効果を奏する。

[0112] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0113] 本開示は、以下の付記に記載した実施形態を含む。

付記 1.

第 1 方向の一方側に位置する第 1 電極を有する第 1 半導体素子と、

前記第 1 電極に対向する第 1 端子と、

前記第 1 端子に電氣的につながり、かつ前記第 1 電極に導通する第 1 放熱部材と、

前記第 1 半導体素子の一部を覆うとともに、絶縁体である第 1 保護層と

、を備え、

前記第1方向において、前記第1半導体素子と前記第1端子との間には、第1流路が設けられており、

前記第1放熱部材は、前記第1流路に收容されており、

前記第1保護層には、前記第1電極が露出する第1開口が設けられており

、

前記第1放熱部材は、前記第1開口に挿入された第1端部を有し、

前記第1開口において、前記第1端部と前記第1保護層との間には、隙間が設けられている、半導体装置。

付記2.

前記第1電極と前記第1端部とを導電接合する第1接合層をさらに備える、付記1に記載の半導体装置。

付記3.

前記第1電極は、前記第1流路に接している、付記2に記載の半導体装置。

付記4.

前記第1開口の前記第1方向に対して直交する断面の大きさは、前記第1電極から前記第1端子に向けて拡大している、付記2に記載の半導体装置。

付記5.

前記第1端部の前記第1方向に対して直交する断面の大きさは、前記第1電極から前記第1端子に向けて拡大している、付記4に記載の半導体装置。

付記6.

前記第1半導体素子を基準として前記第1端子とは反対側に位置する第2端子をさらに備え、

前記第1半導体素子は、前記第1方向において前記第1電極とは反対側に位置しており、かつ前記第2端子に導通する第2電極を有する、付記1ないし5のいずれかに記載の半導体装置。

付記7.

前記第 2 電極は、前記第 1 保護層から露出している、付記 6 に記載の半導体装置。

付記 8.

前記第 1 端子は、前記第 1 流路に接している、付記 7 に記載の半導体装置。

付記 9.

前記第 1 方向において、前記第 2 端子と前記第 1 流路との間には第 2 流路が設けられており、

前記第 2 流路は、前記第 1 流路につながっており、

前記第 2 端子は、前記第 2 流路に接している、付記 8 に記載の半導体装置。

付記 10.

前記第 2 端子と前記第 2 電極とを導電接合する第 2 接合層をさらに備える、付記 9 に記載の半導体装置。

付記 11.

前記第 1 保護層は、前記第 2 端子に接している、付記 10 に記載の半導体装置。

付記 12.

前記第 2 接合層は、前記第 1 保護層に接している、付記 11 に記載の半導体装置。

付記 13.

前記第 1 方向に視て、前記第 1 保護層は、前記第 1 半導体素子の周縁の全体を覆っている、付記 11 に記載の半導体装置。

付記 14.

筐体をさらに備え、

前記第 1 端子および前記第 2 端子は、前記筐体に支持されており、

前記筐体には、前記第 1 流路および前記第 2 流路を含む中空部が設けられている、付記 9 に記載の半導体装置。

付記 1 5.

前記第 2 端子につながる第 2 放熱部材をさらに備え、

前記第 2 放熱部材は、前記第 2 端子を基準として前記第 1 半導体素子とは反対側に位置しており、

前記第 2 放熱部材は、前記中空部に收容されている、付記 1 4 に記載の半導体装置。

付記 1 6.

第 1 端子の第 1 方向の一方側に第 1 放熱部材を導電接合する第 1 工程と、

第 2 端子に第 1 半導体素子を導電接合する第 2 工程と、

前記第 1 半導体素子の一部を覆うとともに、絶縁体である第 1 保護層を形成する第 3 工程と、

前記第 1 放熱部材を前記第 1 半導体素子に導通させる第 4 工程と、を備え、

前記第 1 半導体素子は、前記第 1 方向において前記第 2 端子に対向する側とは反対側に位置する第 1 電極を有し、

前記第 1 放熱部材は、前記第 1 方向において前記第 1 端子に対向する側とは反対側に位置する第 1 端部を有し、

前記第 3 工程では、前記第 1 電極が露出する第 1 開口を前記第 1 保護層に設け、

前記第 4 工程では、前記第 1 端部を前記第 1 開口に挿入することにより前記第 1 放熱部材を前記第 1 電極に導通させ、

前記第 4 工程では、前記第 1 方向において前記第 1 半導体素子と前記第 1 端子との間に位置しており、かつ前記第 1 放熱部材が收容される第 1 流路を設け、

前記第 4 工程では、前記第 1 開口において、前記第 1 端部と前記第 1 保護層との間に隙間を設ける、半導体装置の製造方法。

付記 1 7.

前記第 3 工程では、形成された前記第 1 保護層が前記第 2 端子に接触する

ようにする、付記 16 に記載の半導体装置の製造方法。

付記 18.

駆動源と、

付記 6 に記載の半導体装置と、を具備しており、

前記半導体装置は、前記駆動源に導通している、車両。

付記 19.

第 1 信号端子をさらに備え、

前記第 1 半導体素子は、前記第 1 方向において前記第 1 電極と同じ側に位置する第 1 ゲート電極を有し、

前記第 1 ゲート電極は、前記第 1 信号端子に導通している、付記 6 に記載の半導体装置。

付記 20.

前記第 1 端子を基準として前記第 1 半導体素子とは反対側に位置する第 2 半導体素子をさらに備え、

前記第 2 半導体素子は、前記第 1 端子に導通している、付記 10 に記載の半導体装置。

付記 21.

前記第 2 半導体素子は、前記第 1 端子に導電接合されている、付記 20 に記載の半導体装置。

付記 22.

前記第 1 方向に視て、前記第 2 半導体素子は、前記第 1 半導体素子に重なっている、付記 21 に記載の半導体装置。

付記 23.

前記第 1 方向に視て、前記第 2 半導体素子は、前記第 1 半導体素子から離れている、付記 21 に記載の半導体装置。

付記 24.

前記第 2 半導体素子を基準として前記第 1 端子とは反対側に位置する第 3 端子をさらに備え、

前記第 2 半導体素子は、前記第 3 端子に導通しており、

前記第 1 方向において、前記第 1 端子と前記第 3 端子との間には、第 3 流路が設けられており、

前記第 2 半導体素子は、前記第 3 流路に收容されている、付記 2 1 に記載の半導体装置。

付記 2 5.

前記第 2 端子および前記第 3 端子は、前記第 3 流路に接している、付記 2 4 に記載の半導体装置。

付記 2 6.

前記第 3 端子に電氣的につながる第 3 放熱部材をさらに備え、

前記第 2 半導体素子は、前記第 3 放熱部材に導通しており、

前記第 3 放熱部材は、前記第 3 流路に收容されている、付記 2 5 に記載の半導体装置。

付記 2 7.

前記第 3 端子につながる第 4 放熱部材をさらに備え、

前記第 4 放熱部材は、前記第 3 端子を基準として前記第 3 放熱部材とは反対側に位置する、付記 2 6 に記載の半導体装置。

付記 2 8.

前記第 1 半導体素子は、前記第 1 方向において前記第 1 電極と同じ側に位置する第 1 保護膜を有し、

前記第 1 方向に視て、前記第 1 保護膜は、前記第 1 電極の周縁を囲んでおり、

前記第 1 保護層は、前記第 1 保護膜の一部を覆っている、付記 1 3 に記載の半導体装置。

付記 2 9.

前記筐体は、各々が前記中空部に通じる流入口および流出口を有し、

前記流入口および前記流出口は、前記第 1 方向に対して直交する方向において前記第 1 放熱部材を基準として互いに反対側に位置する、付記 1 4 に記

載の半導体装置。

付記 30.

前記第 2 端子は、前記第 1 方向において前記第 1 半導体素子が位置する側とは反対側を向く第 1 露出面を有し、

前記第 1 露出面は、前記筐体から露出している、付記 29 に記載の半導体装置。

符号の説明

- [0114] A 10 ～ A 50 : 半導体装置 B : 車両
- 1 1 : 第 1 端子 1 1 1 : 第 1 基部
- 1 1 1 A : 第 2 搭載面 1 1 2 : 第 1 拡張部
- 1 2 : 第 2 端子 1 2 1 : 第 2 基部
- 1 2 1 A : 第 2 搭載面 1 2 1 B : 第 1 露出面
- 1 2 2 : 第 2 拡張部 1 3 : 第 3 端子
- 1 3 1 : 第 3 基部 1 3 1 A : 第 2 露出面
- 1 3 2 : 第 3 拡張部 1 6 : 第 1 信号端子
- 1 6 1 : インナ部 1 6 2 : アウタ部
- 1 7 : 第 2 信号端子 1 7 1 : インナ部
- 1 7 2 : アウタ部 1 8 : 第 3 信号端子
- 1 8 1 : インナ部 1 8 2 : アウタ部
- 1 9 : 第 4 信号端子 1 9 1 : インナ部
- 1 9 2 : アウタ部 2 1 : 第 1 半導体素子
- 2 1 A : 第 1 スイッチング素子 2 1 B : 第 1 ダイオード
- 2 1 1 : 第 1 電極 2 1 2 : 第 2 電極
- 2 1 3 : 第 1 ゲート電極 2 1 4 : 第 1 保護膜
- 2 2 : 第 2 半導体素子 2 2 A : 第 2 スイッチング素子
- 2 2 B : 第 2 ダイオード 2 2 1 : 第 3 電極
- 2 2 2 : 第 4 電極 2 2 3 : 第 2 ゲート電極
- 2 2 4 : 第 2 保護膜 2 3 : 第 1 保護層

2 3 1 : 第 1 開口 2 4 : 第 2 保護層
2 4 1 : 第 2 開口 2 5 ~ 2 9 : 第 1 接合層 ~ 第 5 接合層
3 1 : 第 1 放熱部材 3 1 1 : 第 1 端部
3 2 : 第 2 放熱部材 3 3 : 第 3 放熱部材
3 3 1 : 第 2 端部 3 4 : 第 4 放熱部材
4 3 : 第 1 ゲートピラー 4 4 : 第 1 検出ピラー
4 7 : 第 2 ゲートピラー 4 8 : 第 2 検出ピラー
5 0 : 筐体 5 1 : 頂面
5 2 : 底面 5 3 1 ~ 5 3 4 : 第 1 側面 ~ 第 4 側面
5 4 : 中空部 5 4 1 ~ 5 4 3 : 第 1 流路 ~ 第 3 流路
5 5 : 流入口 5 6 : 流出口
6 1 ~ 6 4 : 第 1 リード ~ 第 4 リード 7 0 : 冷媒
8 1 : 車載充電器 8 2 : 蓄電池
8 3 : 駆動系統 8 3 1 : インバータ
8 3 2 : 駆動源 P 1 ~ P 4 : 第 1 工程 ~ 第 4 工程
z : 第 1 方向 x : 第 2 方向 y : 第 3 方向

請求の範囲

- [請求項1] 第1方向の一方側に位置する第1電極を有する第1半導体素子と、
前記第1電極に対向する第1端子と、
前記第1端子に電氣的につながり、かつ前記第1電極に導通する第1放熱部材と、
前記第1半導体素子の一部を覆うとともに、絶縁体である第1保護層と、を備え、
前記第1方向において、前記第1半導体素子と前記第1端子との間には、第1流路が設けられており、
前記第1放熱部材は、前記第1流路に収容されており、
前記第1保護層には、前記第1電極が露出する第1開口が設けられており、
前記第1放熱部材は、前記第1開口に挿入された第1端部を有し、
前記第1開口において、前記第1端部と前記第1保護層との間には、隙間が設けられている、半導体装置。
- [請求項2] 前記第1電極と前記第1端部とを導電接合する第1接合層をさらに備える、請求項1に記載の半導体装置。
- [請求項3] 前記第1電極は、前記第1流路に接している、請求項2に記載の半導体装置。
- [請求項4] 前記第1開口の前記第1方向に対して直交する断面の大きさは、前記第1電極から前記第1端子に向けて拡大している、請求項2に記載の半導体装置。
- [請求項5] 前記第1端部の前記第1方向に対して直交する断面の大きさは、前記第1電極から前記第1端子に向けて拡大している、請求項4に記載の半導体装置。
- [請求項6] 前記第1半導体素子を基準として前記第1端子とは反対側に位置する第2端子をさらに備え、
前記第1半導体素子は、前記第1方向において前記第1電極とは反

対側に位置しており、かつ前記第 2 端子に導通する第 2 電極を有する、請求項 1 ないし 5 のいずれかに記載の半導体装置。

[請求項7] 前記第 2 電極は、前記第 1 保護層から露出している、請求項 6 に記載の半導体装置。

[請求項8] 前記第 1 端子は、前記第 1 流路に接している、請求項 7 に記載の半導体装置。

[請求項9] 前記第 1 方向において、前記第 2 端子と前記第 1 流路との間には第 2 流路が設けられており、

前記第 2 流路は、前記第 1 流路につながっており、

前記第 2 端子は、前記第 2 流路に接している、請求項 8 に記載の半導体装置。

[請求項10] 前記第 2 端子と前記第 2 電極とを導電接合する第 2 接合層をさらに備える、請求項 9 に記載の半導体装置。

[請求項11] 前記第 1 保護層は、前記第 2 端子に接している、請求項 10 に記載の半導体装置。

[請求項12] 前記第 2 接合層は、前記第 1 保護層に接している、請求項 11 に記載の半導体装置。

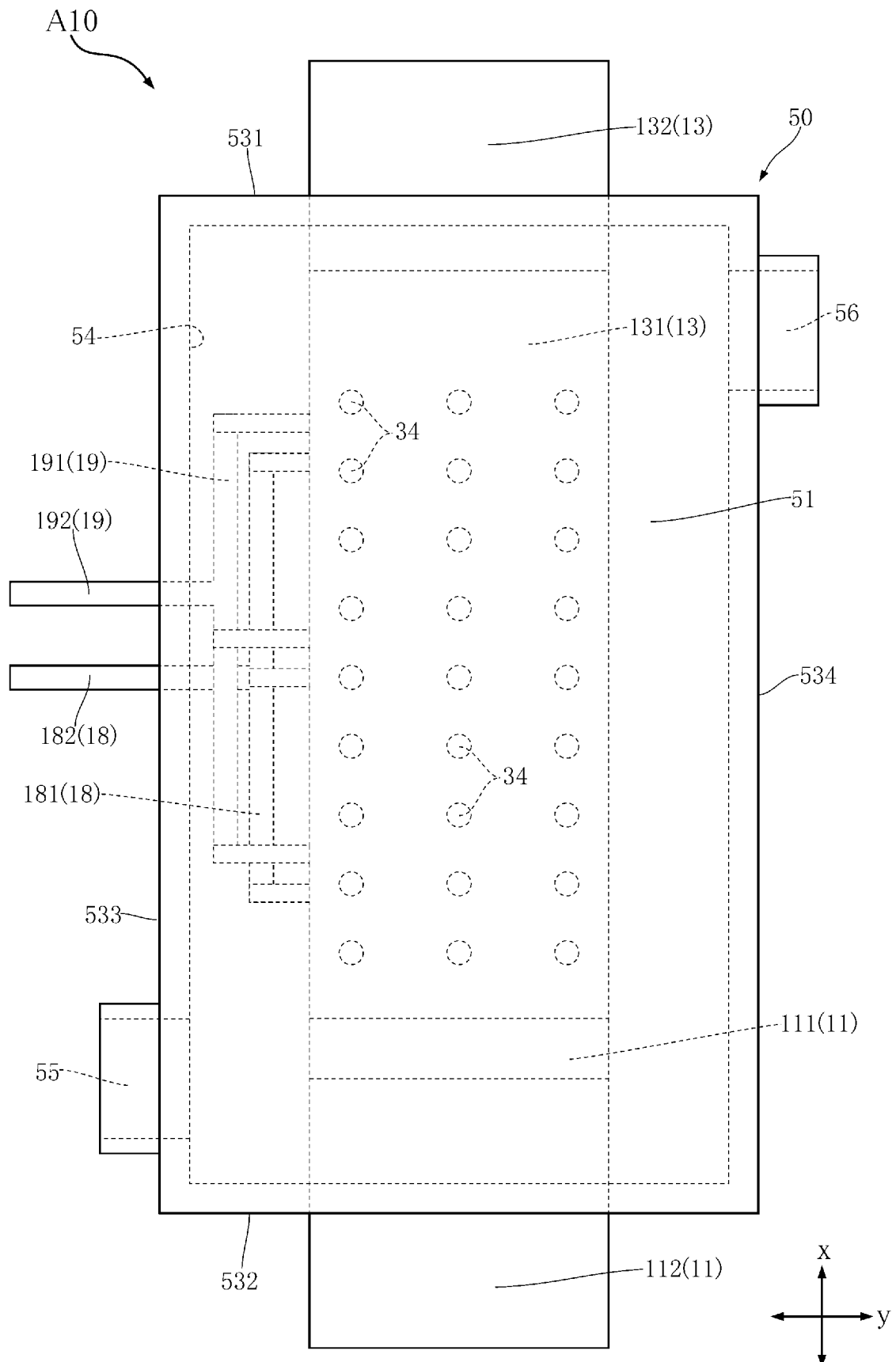
[請求項13] 前記第 1 方向に視て、前記第 1 保護層は、前記第 1 半導体素子の周縁の全体を覆っている、請求項 11 に記載の半導体装置。

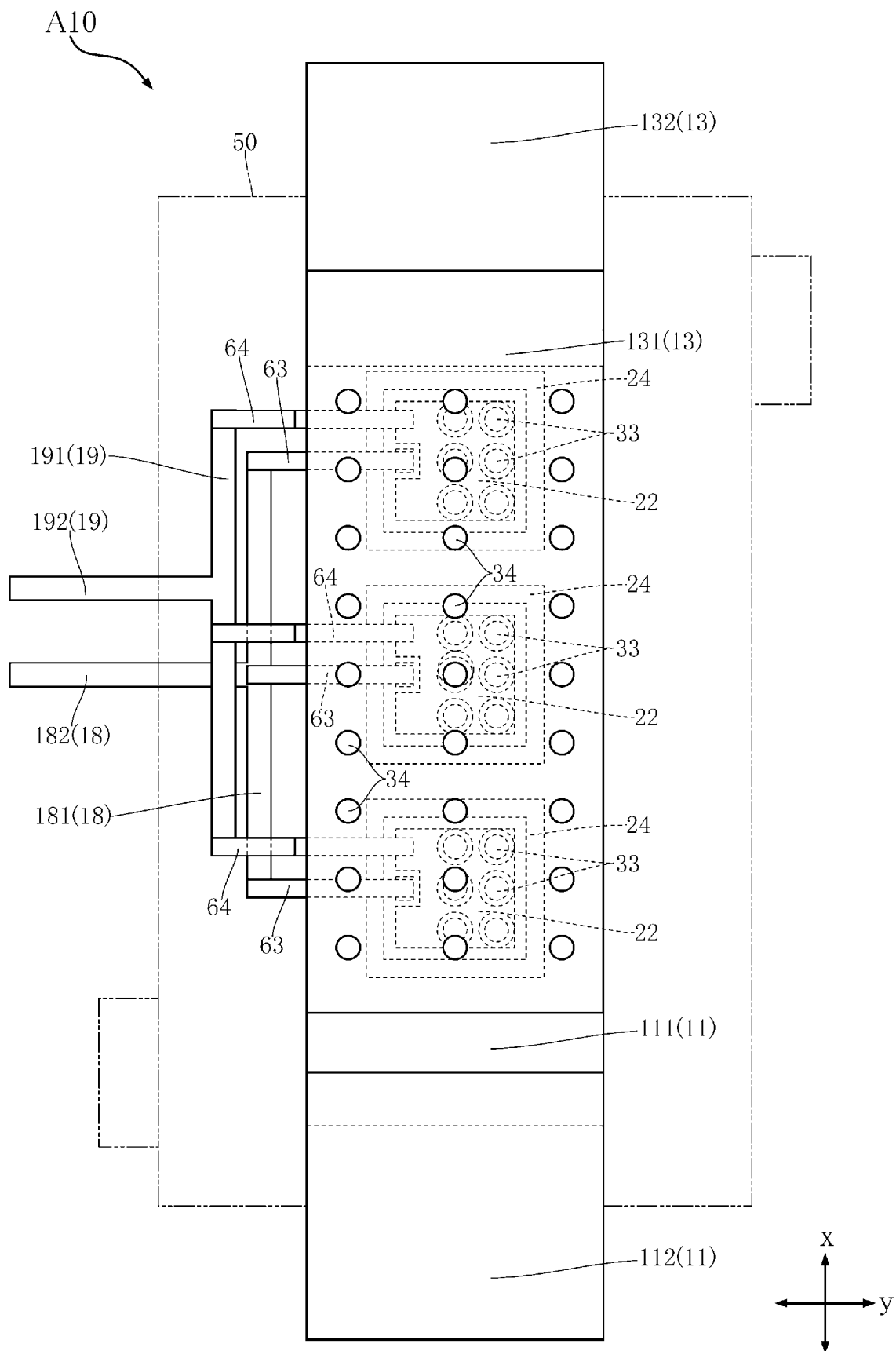
[請求項14] 筐体をさらに備え、
前記第 1 端子および前記第 2 端子は、前記筐体に支持されており、
前記筐体には、前記第 1 流路および前記第 2 流路を含む中空部が設けられている、請求項 9 に記載の半導体装置。

[請求項15] 前記第 2 端子につながる第 2 放熱部材をさらに備え、
前記第 2 放熱部材は、前記第 2 端子を基準として前記第 1 半導体素子とは反対側に位置しており、

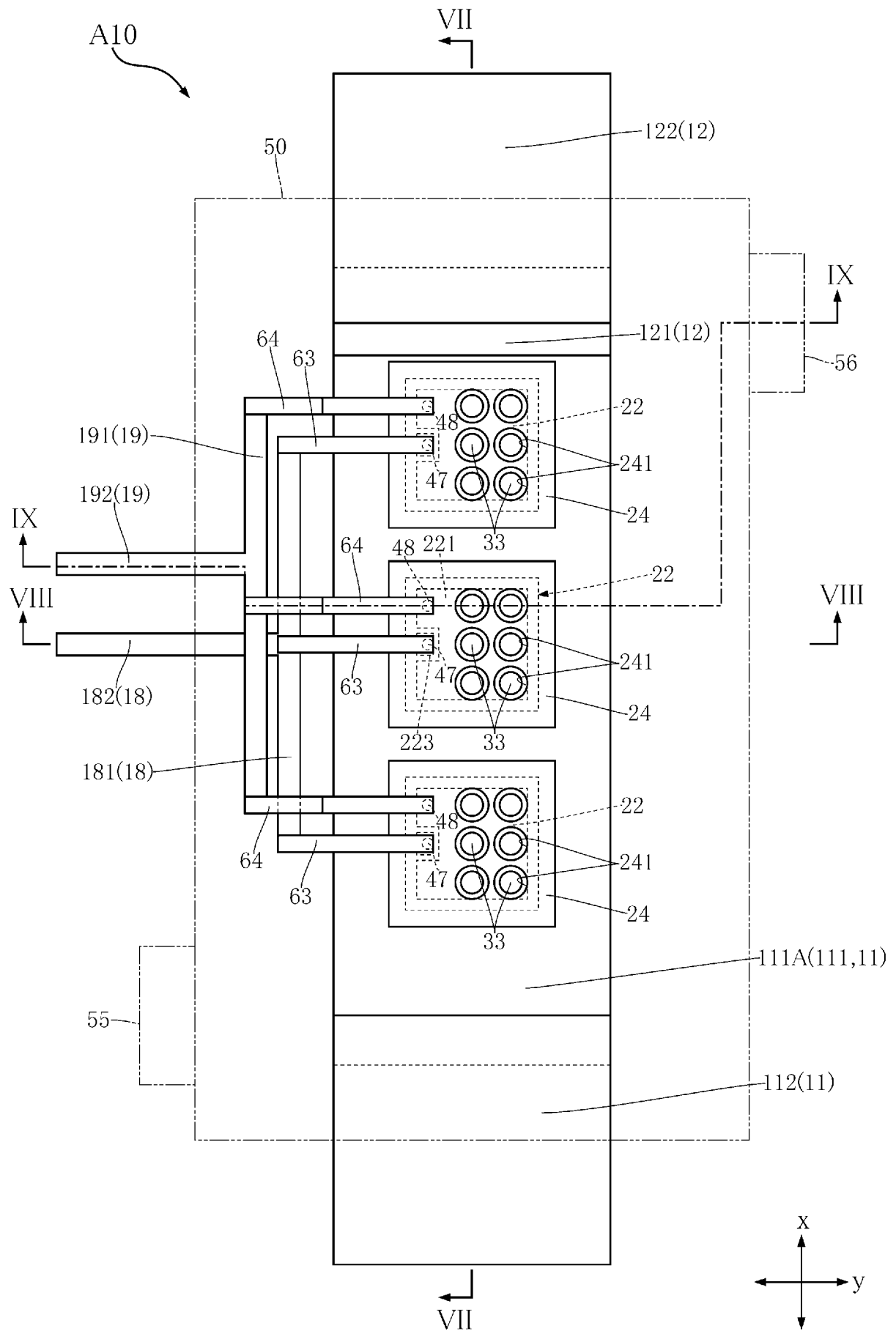
前記第 2 放熱部材は、前記中空部に収容されている、請求項 14 に記載の半導体装置。

- [請求項16] 第1端子の第1方向の一方側に第1放熱部材を導電接合する第1工程と、
- 第2端子に第1半導体素子を導電接合する第2工程と、
- 前記第1半導体素子の一部を覆うとともに、絶縁体である第1保護層を形成する第3工程と、
- 前記第1放熱部材を前記第1半導体素子に導通させる第4工程と、
- を備え、
- 前記第1半導体素子は、前記第1方向において前記第2端子に対向する側とは反対側に位置する第1電極を有し、
- 前記第1放熱部材は、前記第1方向において前記第1端子に対向する側とは反対側に位置する第1端部を有し、
- 前記第3工程では、前記第1電極が露出する第1開口を前記第1保護層に設け、
- 前記第4工程では、前記第1端部を前記第1開口に挿入することにより前記第1放熱部材を前記第1電極に導通させ、
- 前記第4工程では、前記第1方向において前記第1半導体素子と前記第1端子との間に位置しており、かつ前記第1放熱部材が収容される第1流路を設け、
- 前記第4工程では、前記第1開口において、前記第1端部と前記第1保護層との間に隙間を設ける、半導体装置の製造方法。
- [請求項17] 前記第3工程では、形成された前記第1保護層が前記第2端子に接触するようにする、請求項16に記載の半導体装置の製造方法。
- [請求項18] 駆動源と、
- 請求項6に記載の半導体装置と、を具備しており、
- 前記半導体装置は、前記駆動源に導通している、車両。

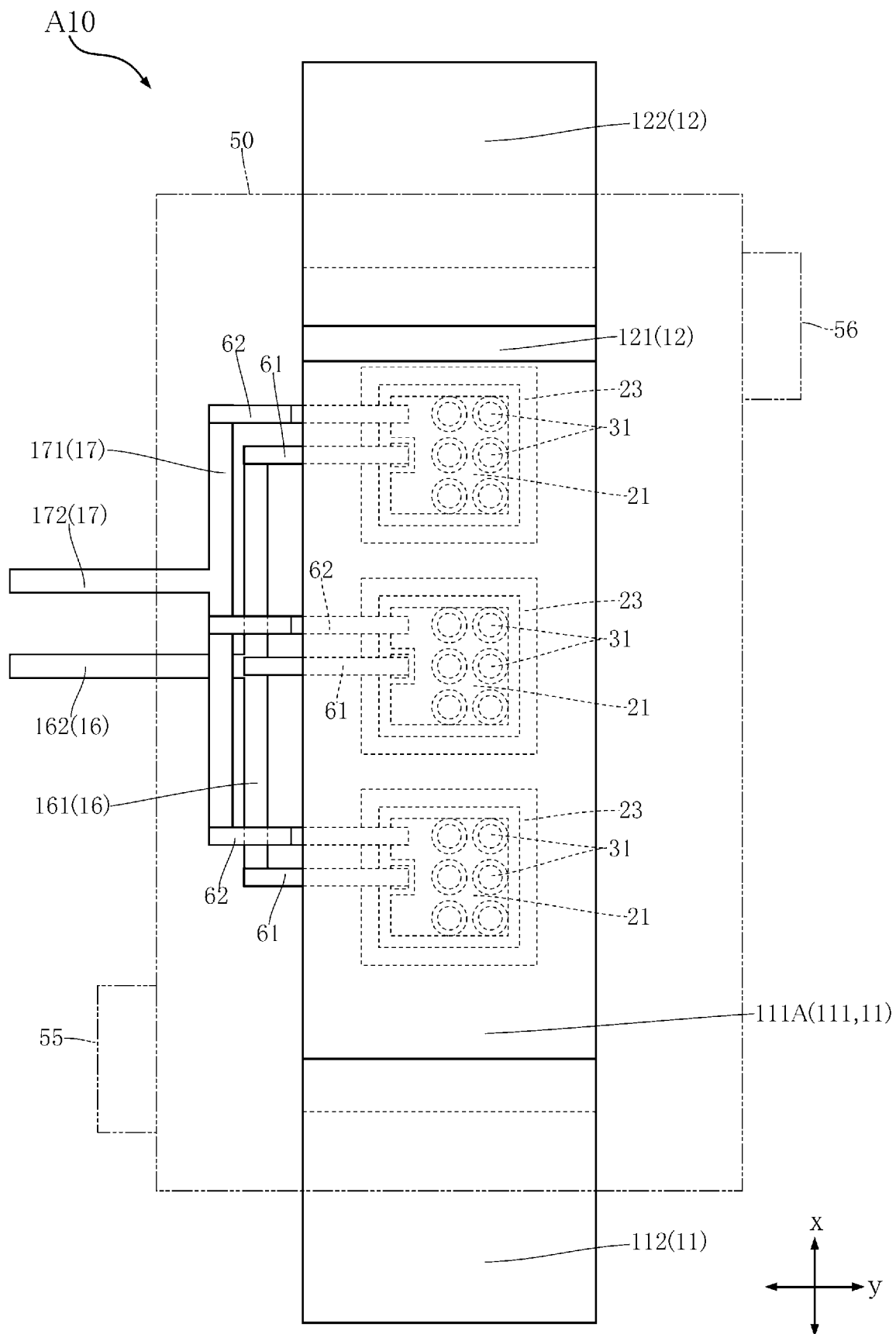
[図1]
FIG.1

[図2]
FIG.2

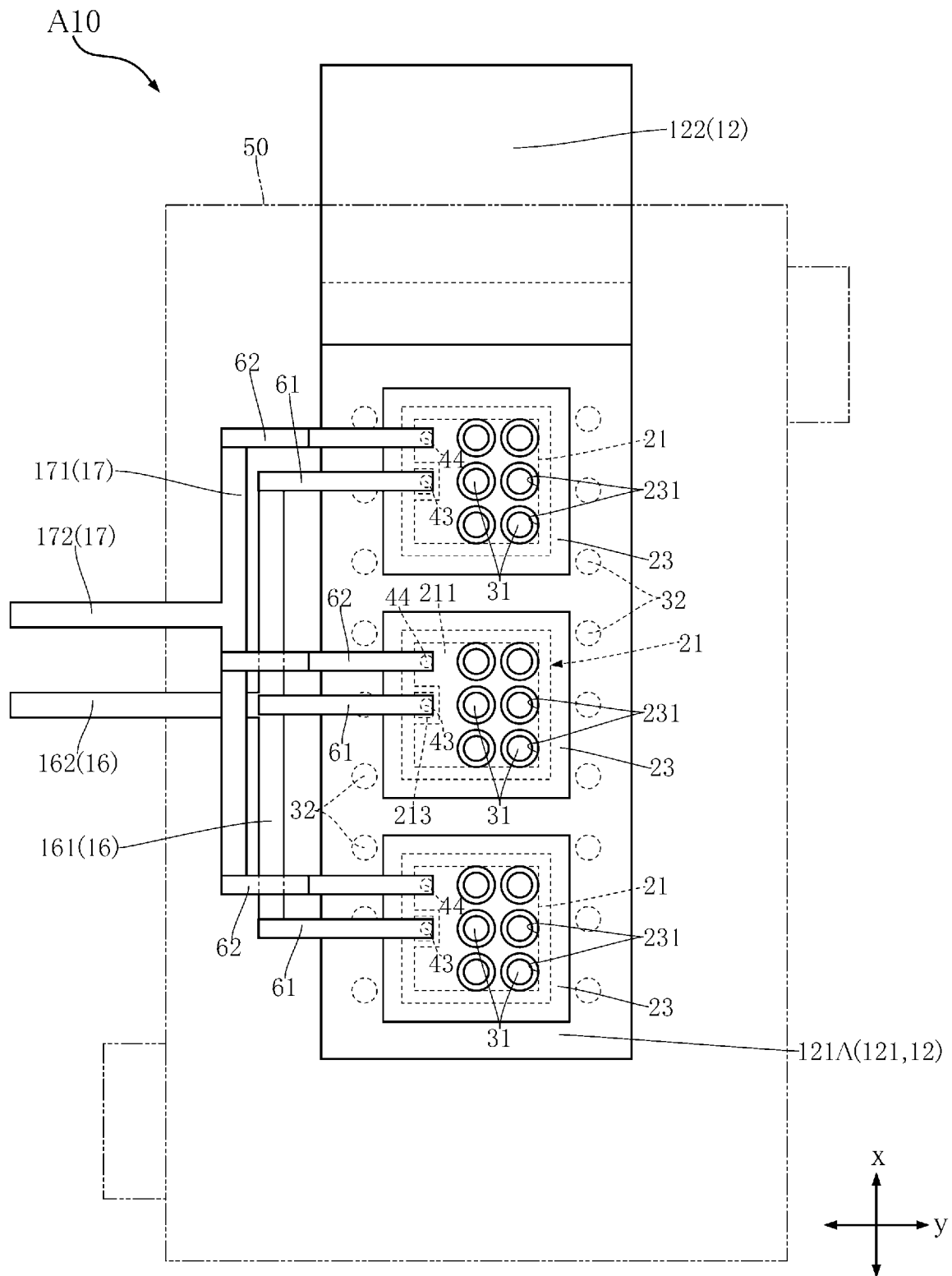
[図3]
FIG.3

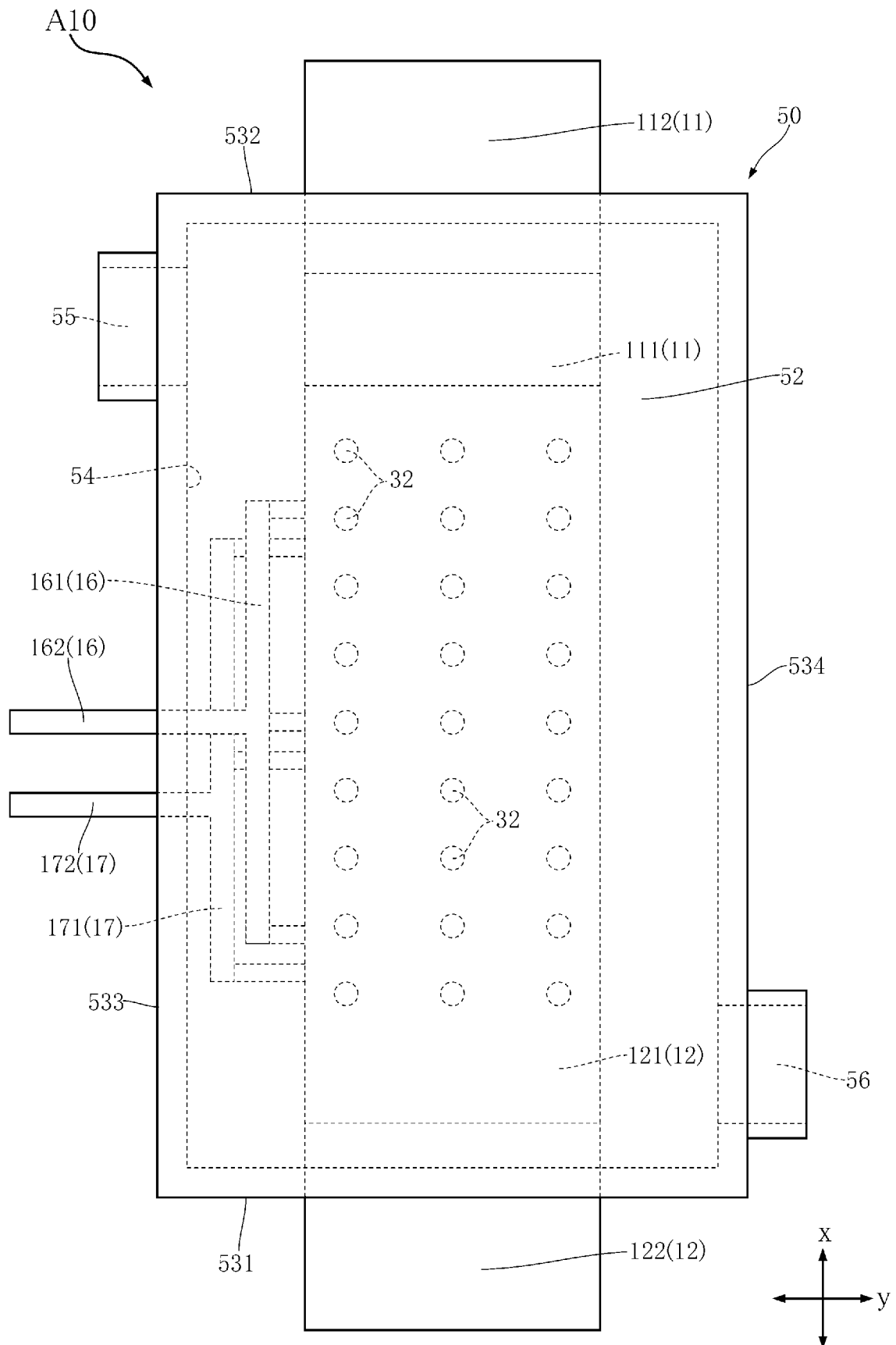


[図4]
FIG.4



[図5]
FIG.5



[図6]
FIG.6

[図7]
FIG.7

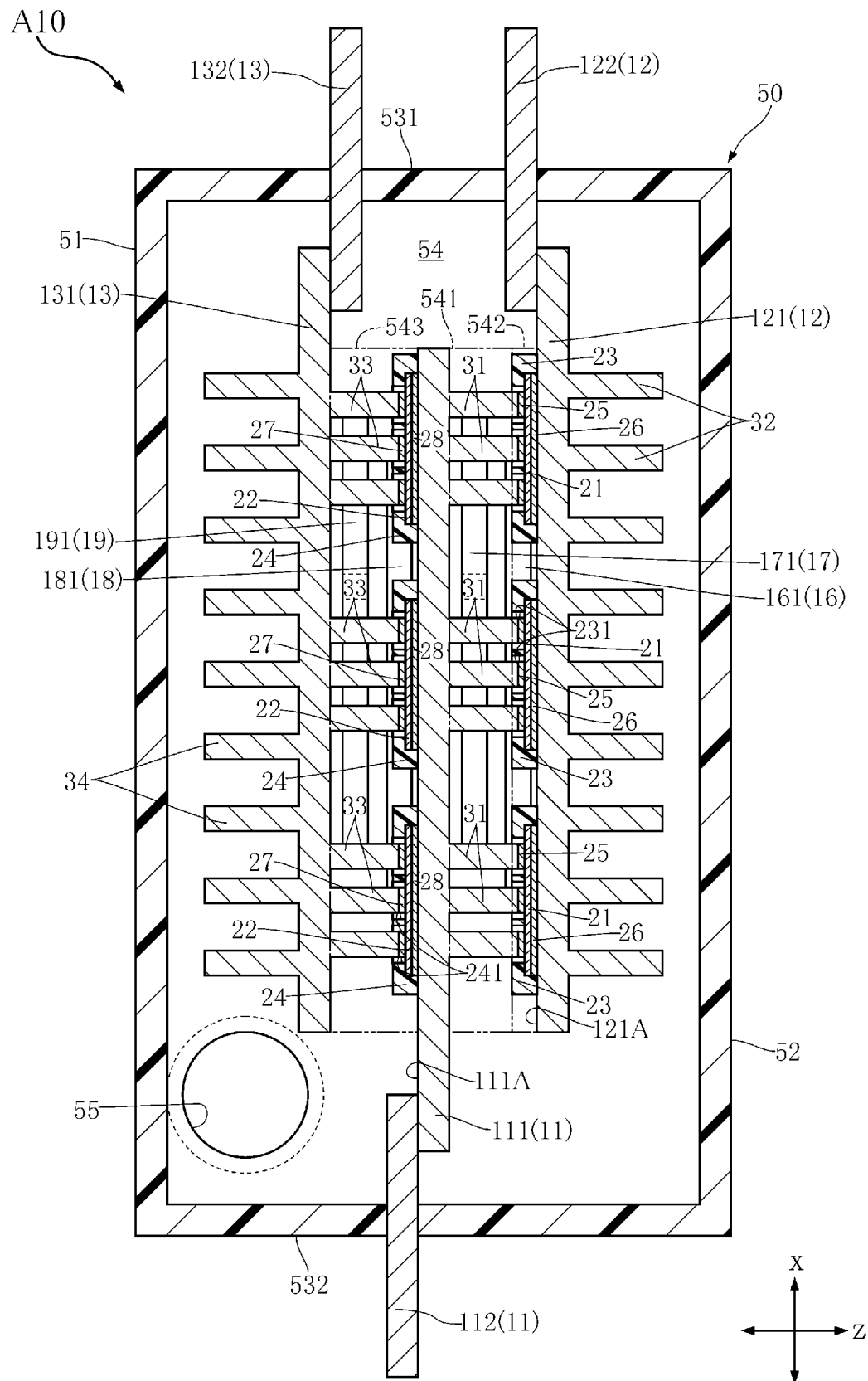
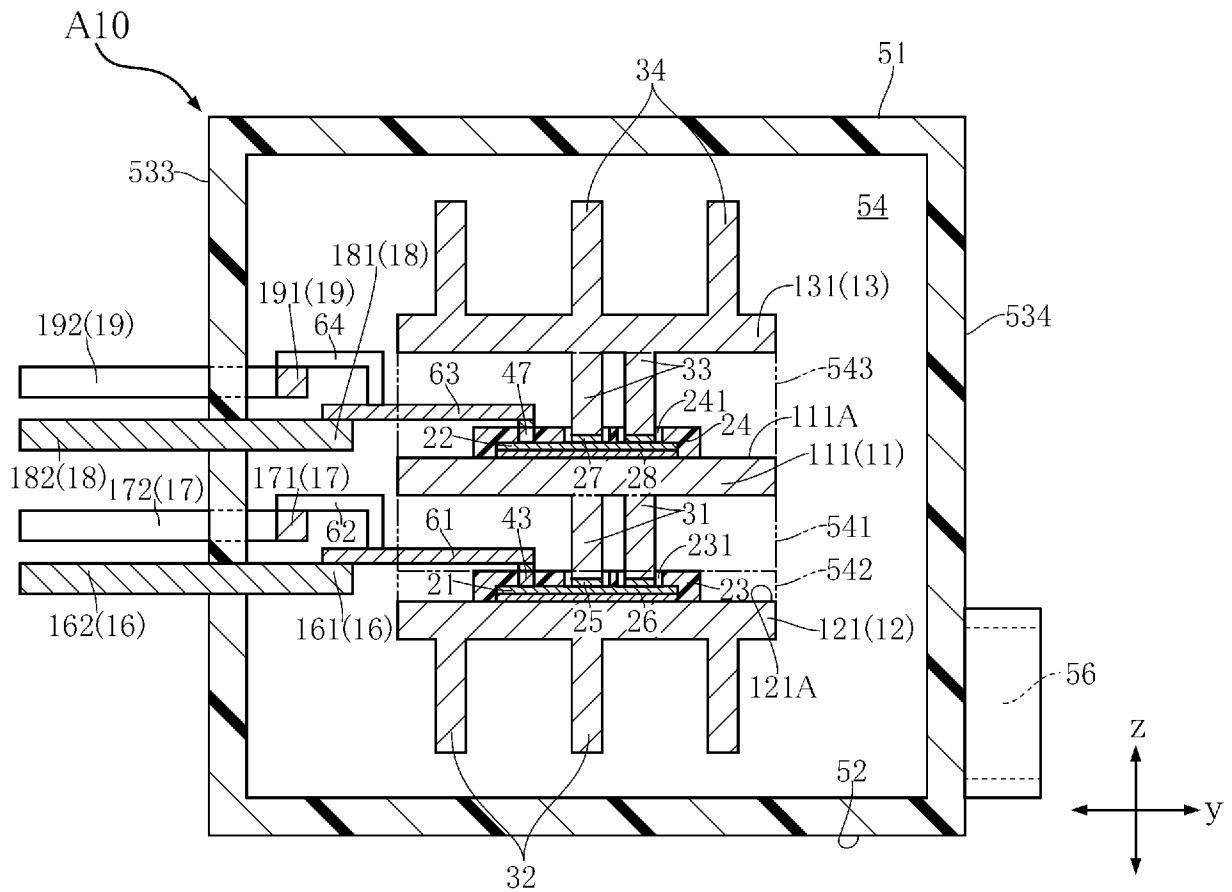
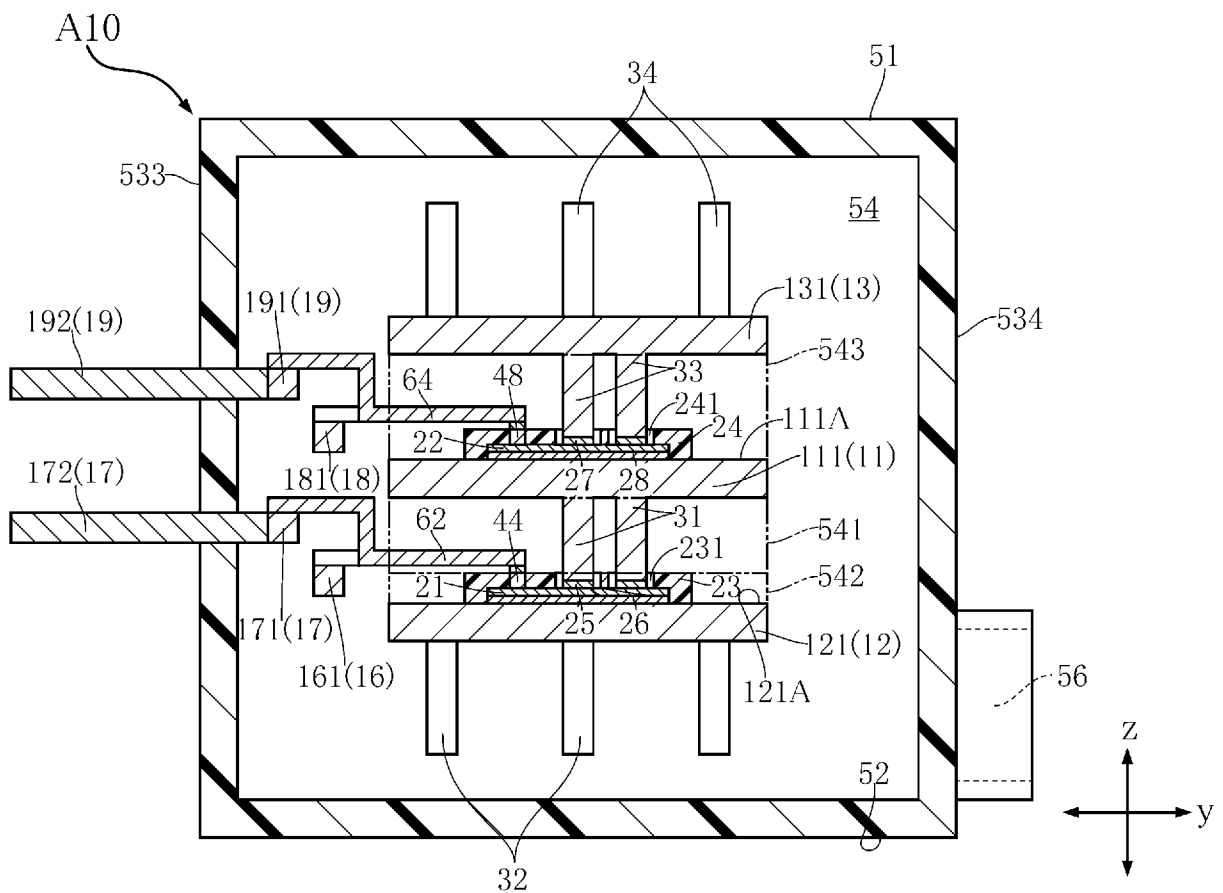


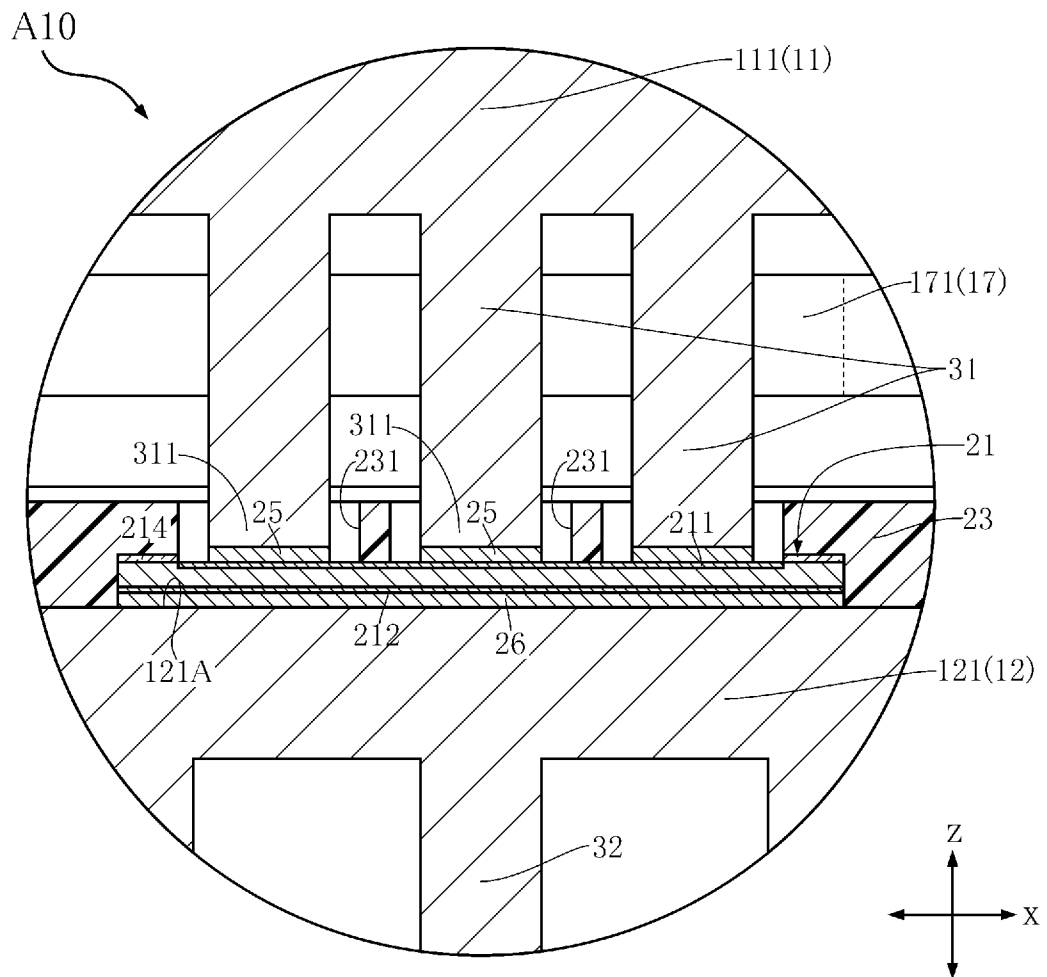
FIG.8
A10

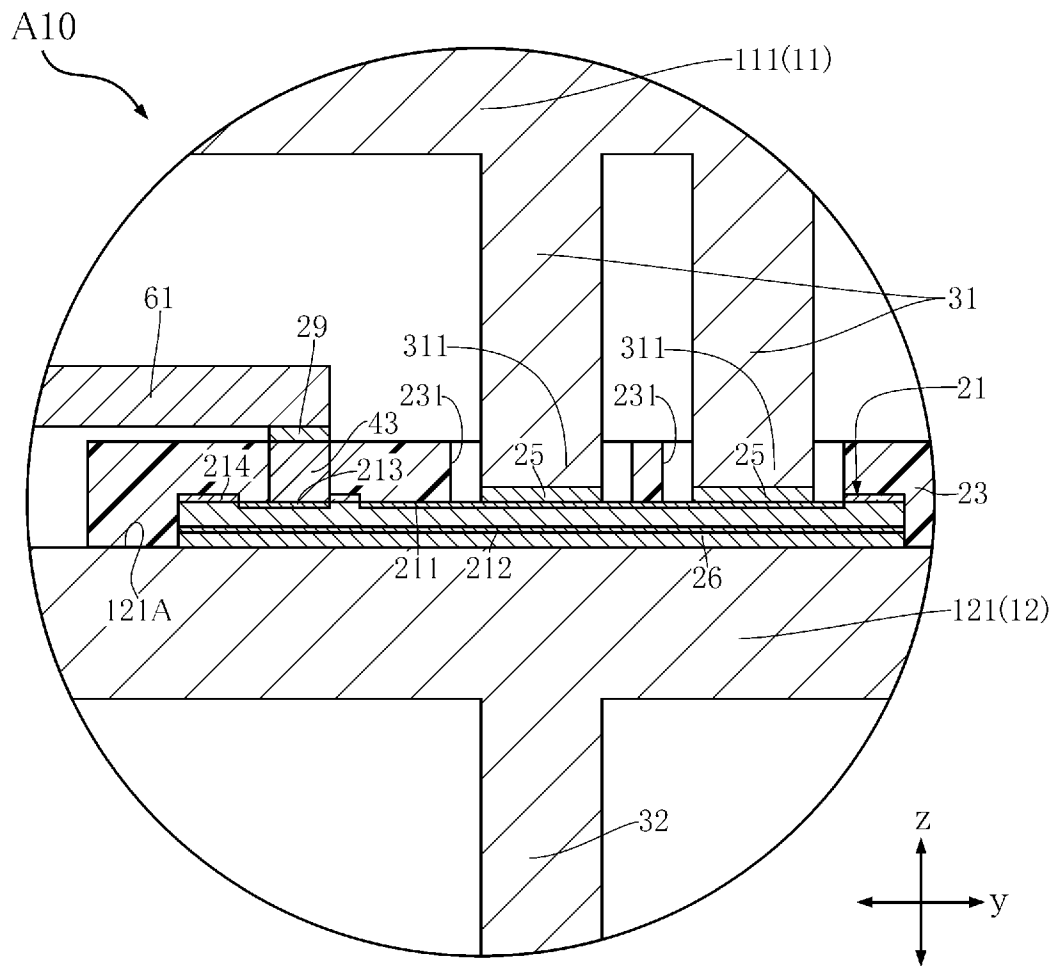


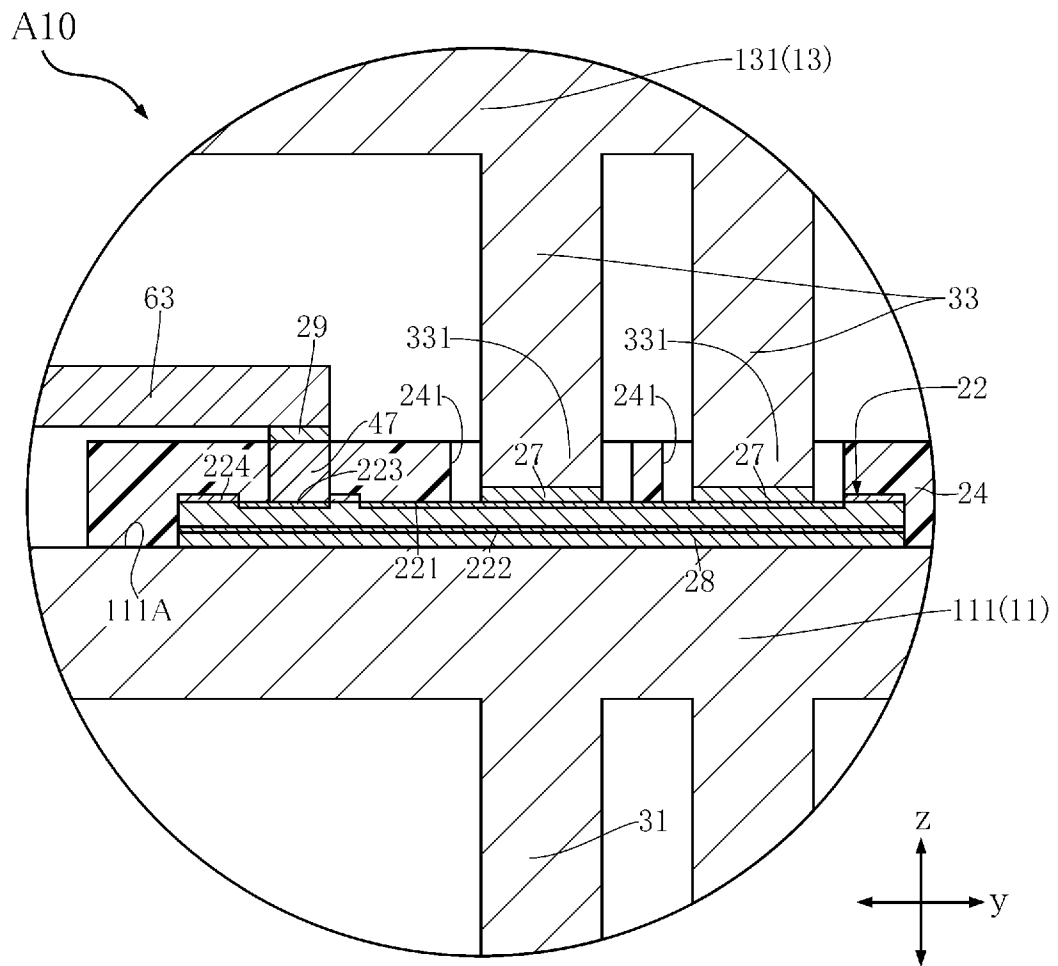
[図9]
 FIG.9
 A10

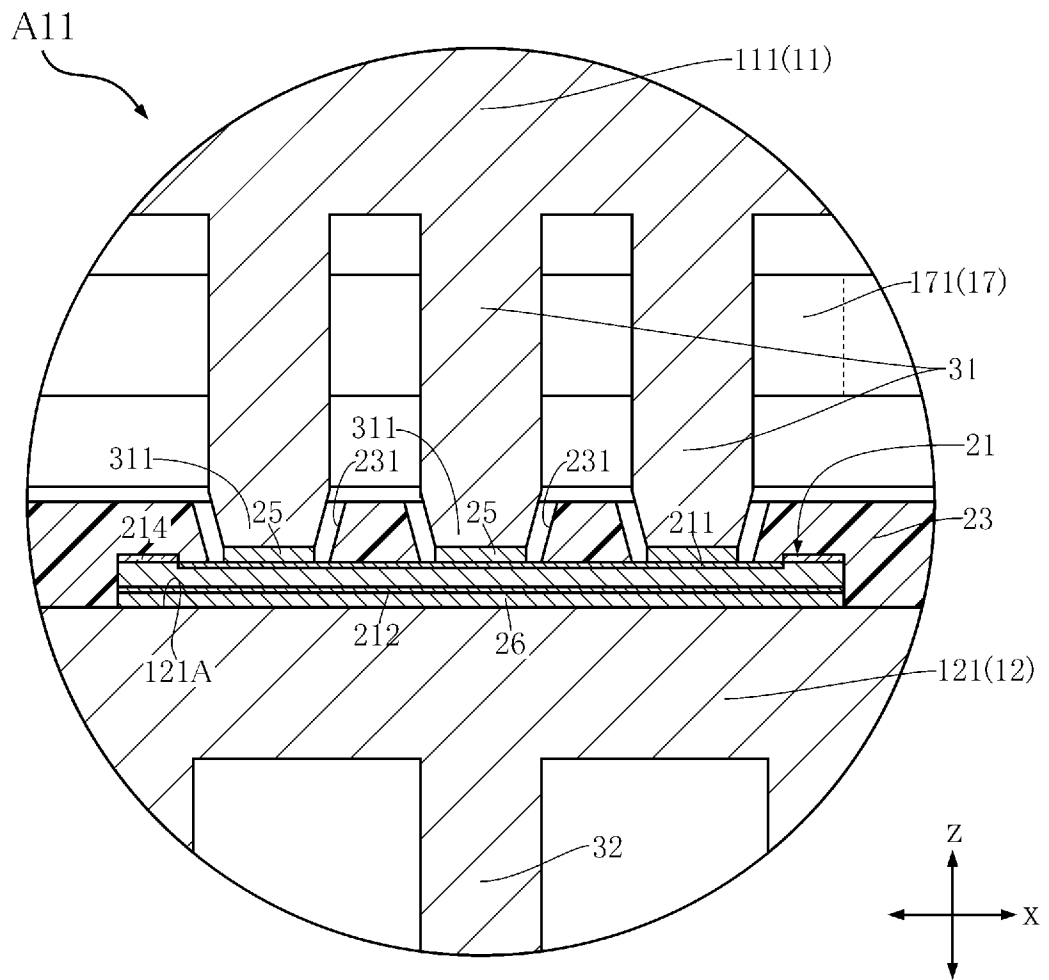


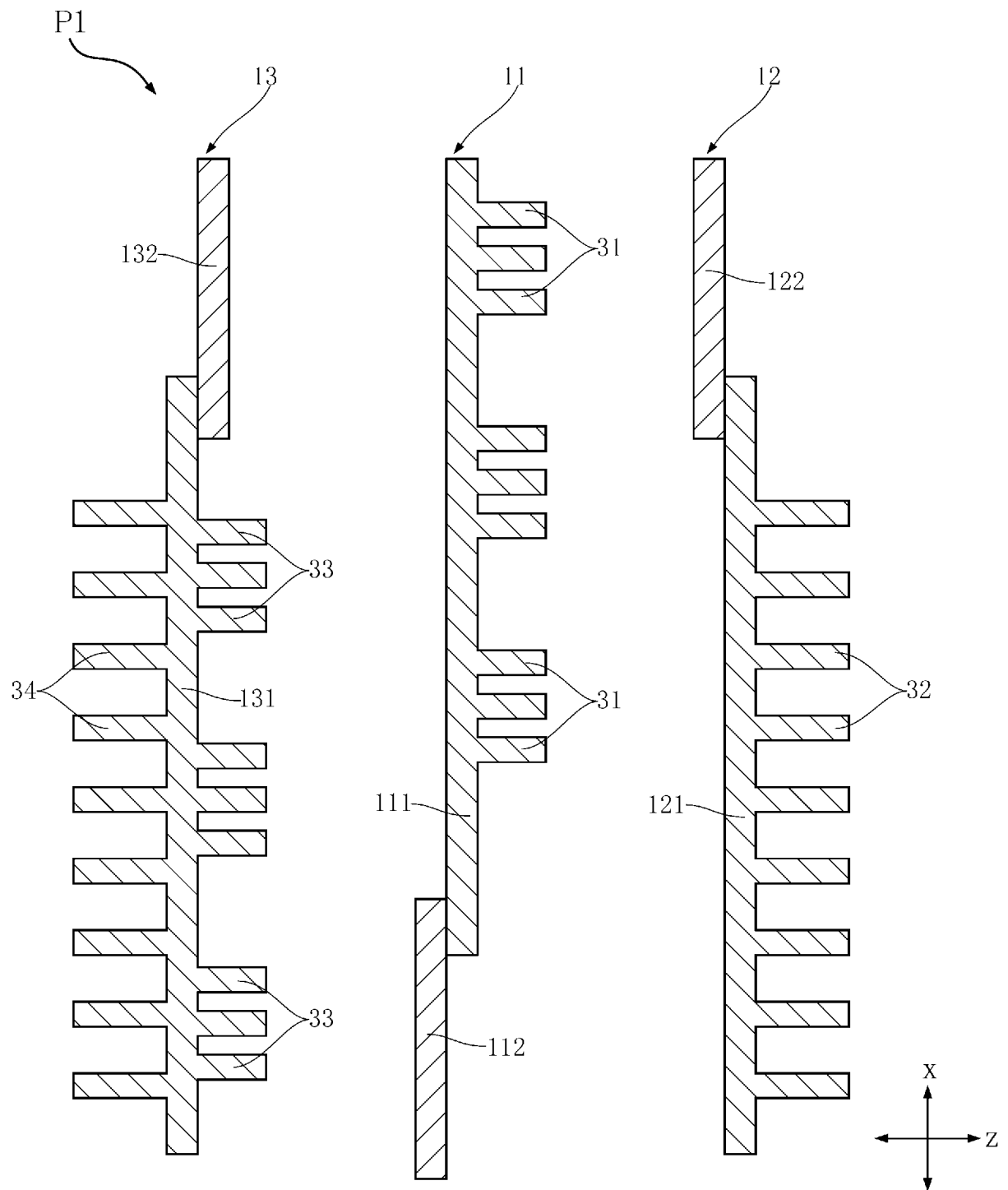
[図10]
FIG.10

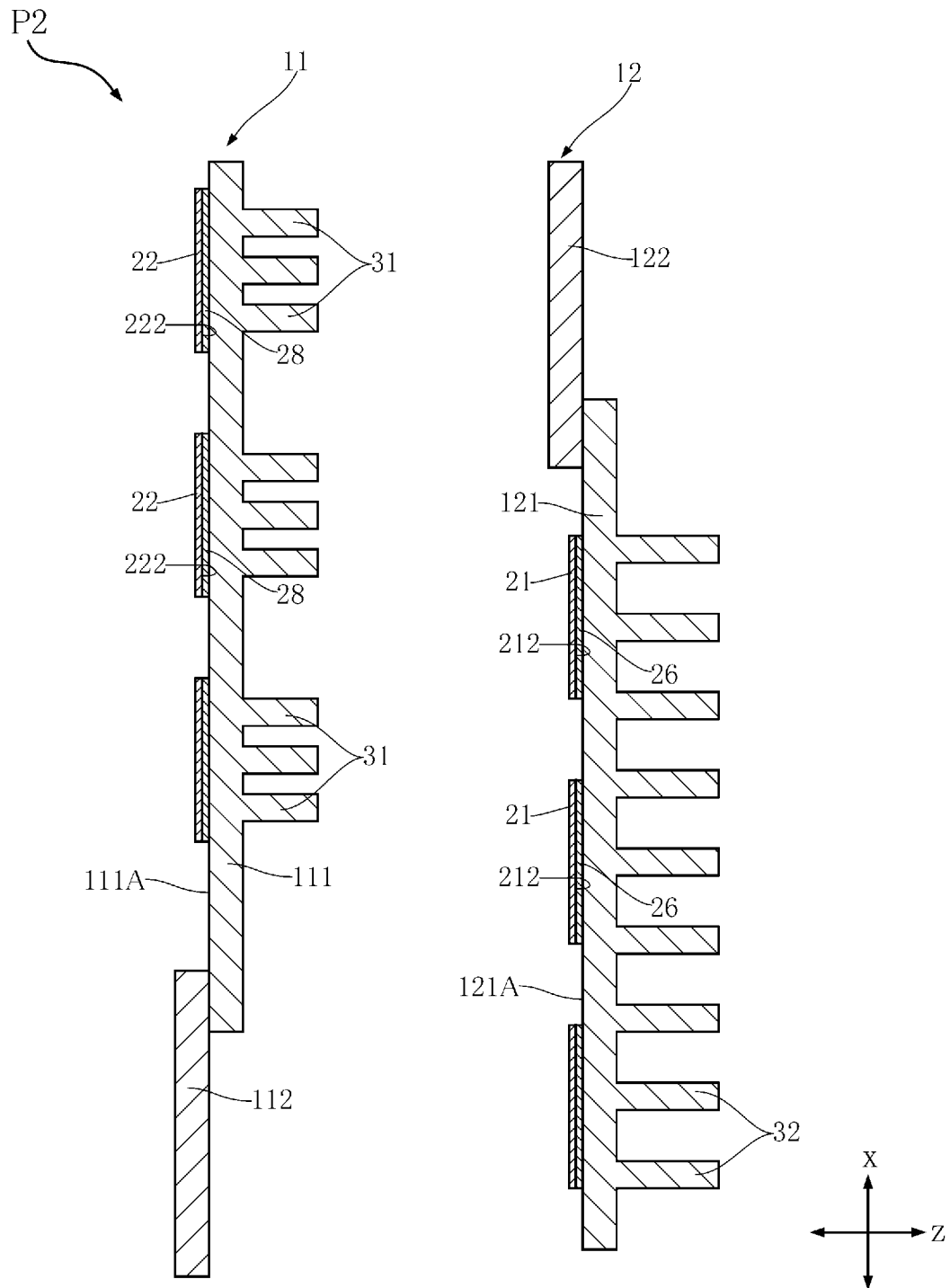


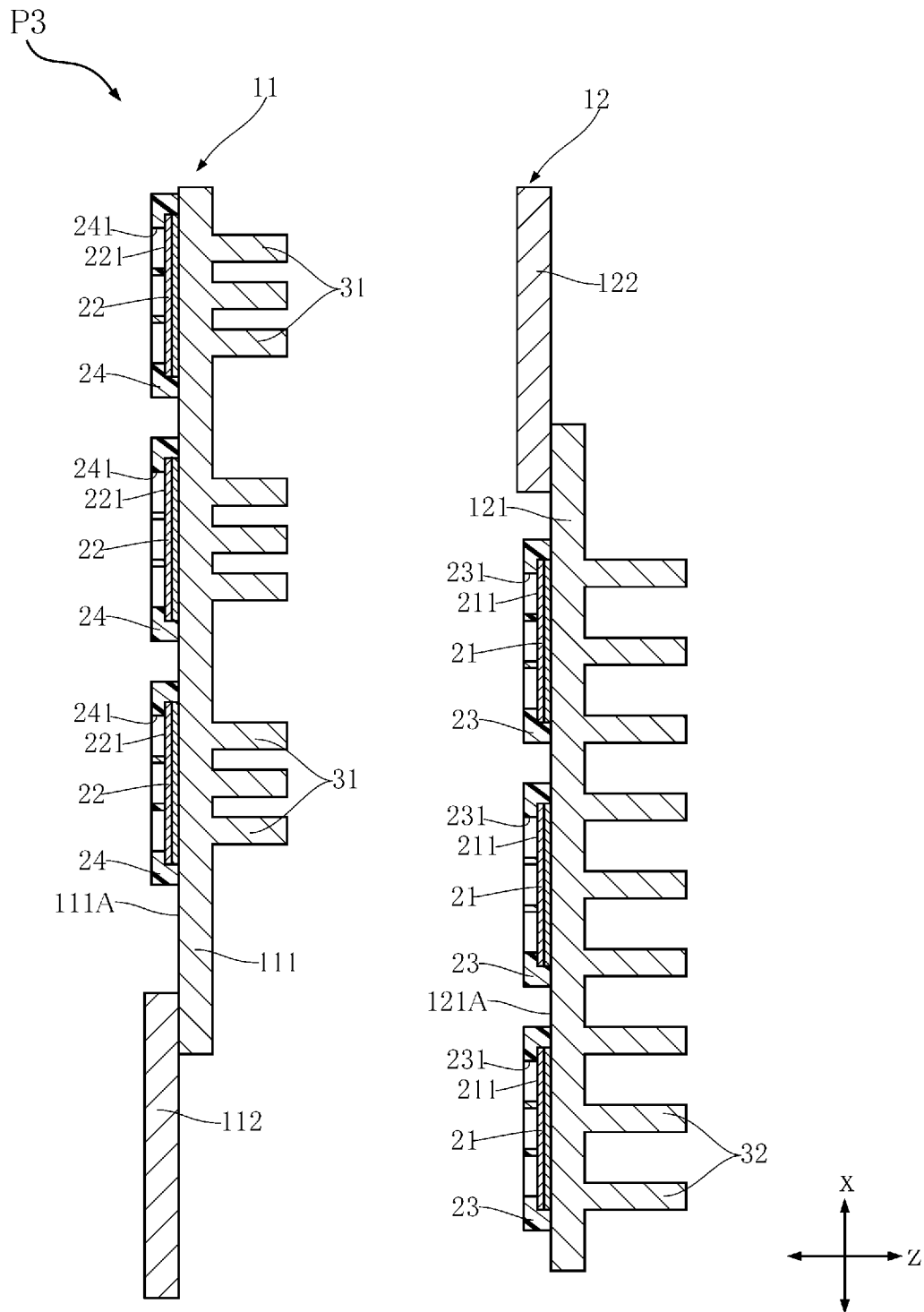
[図11]
FIG.11

[図12]
FIG.12

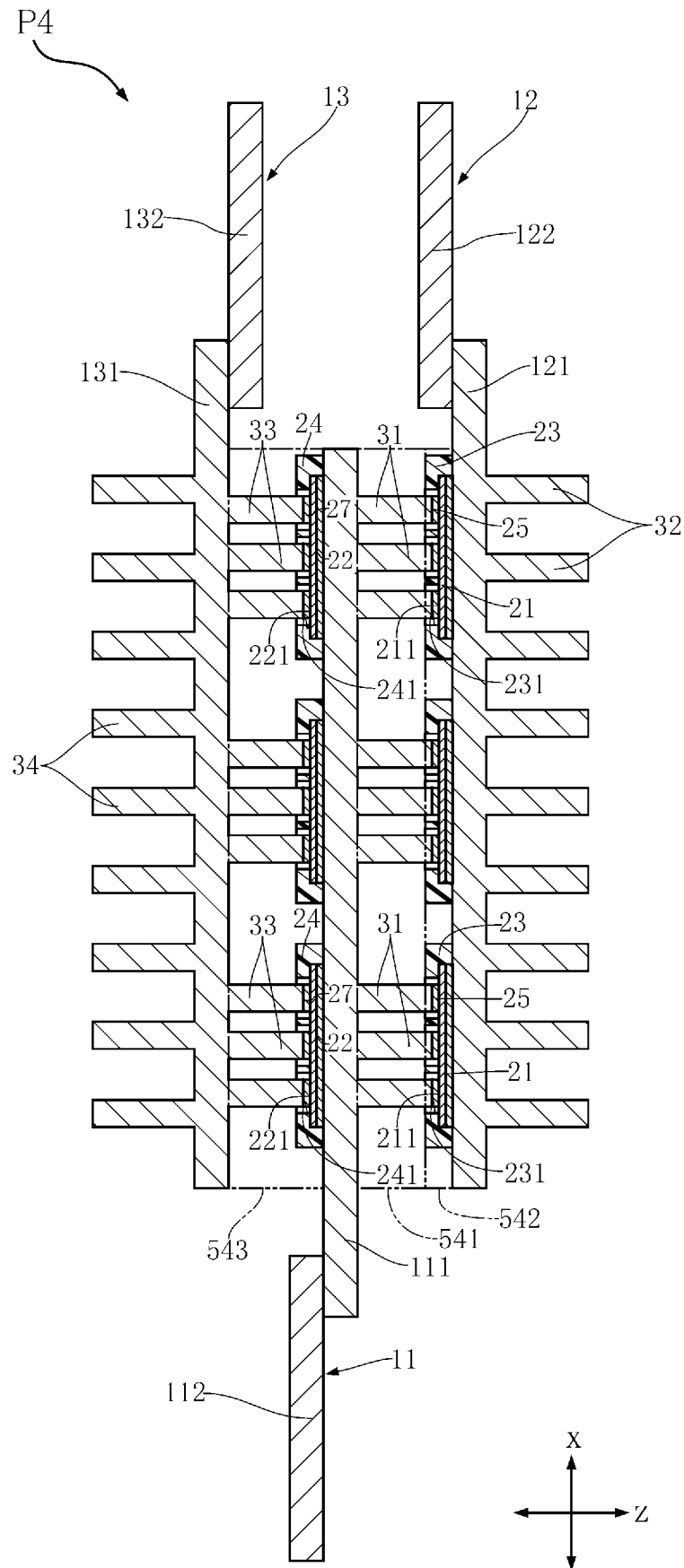
[図14]
FIG.14

[図15]
FIG.15

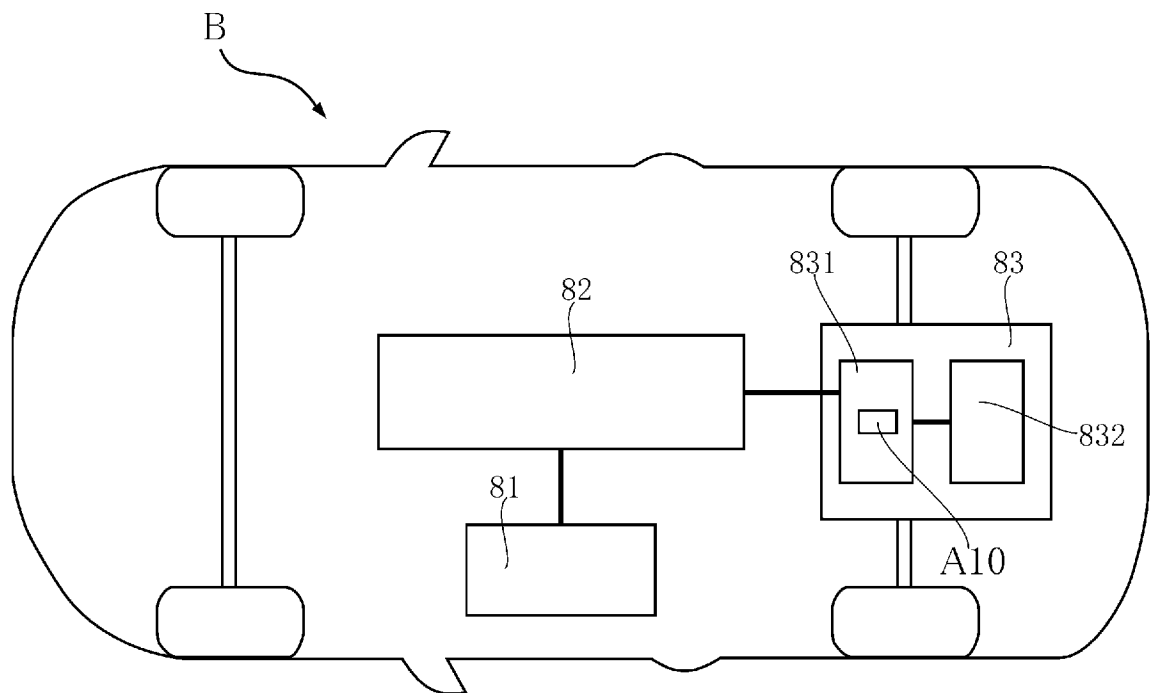
[図16]
FIG.16

[図17]
FIG.17

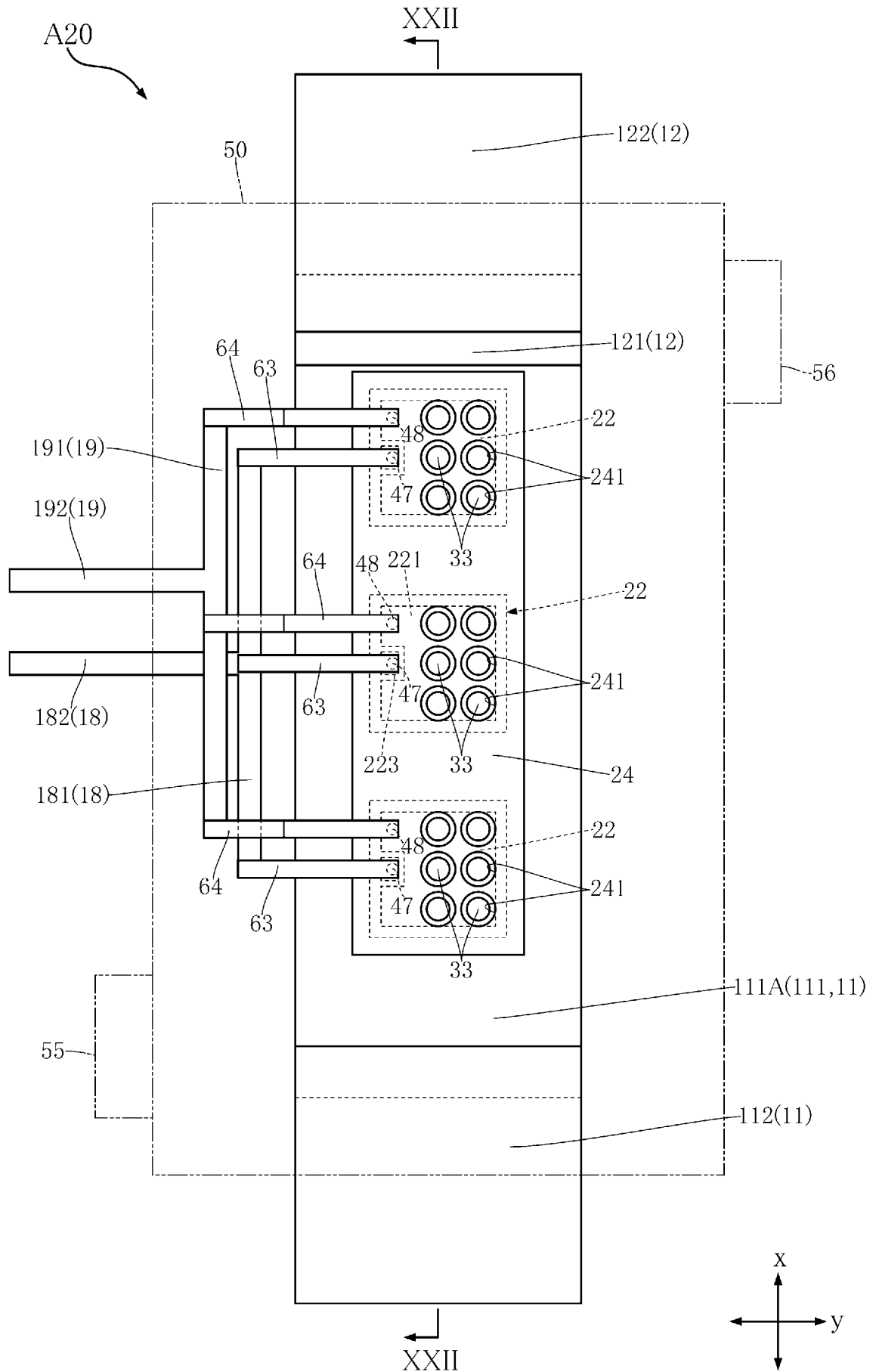
[図18]
FIG.18



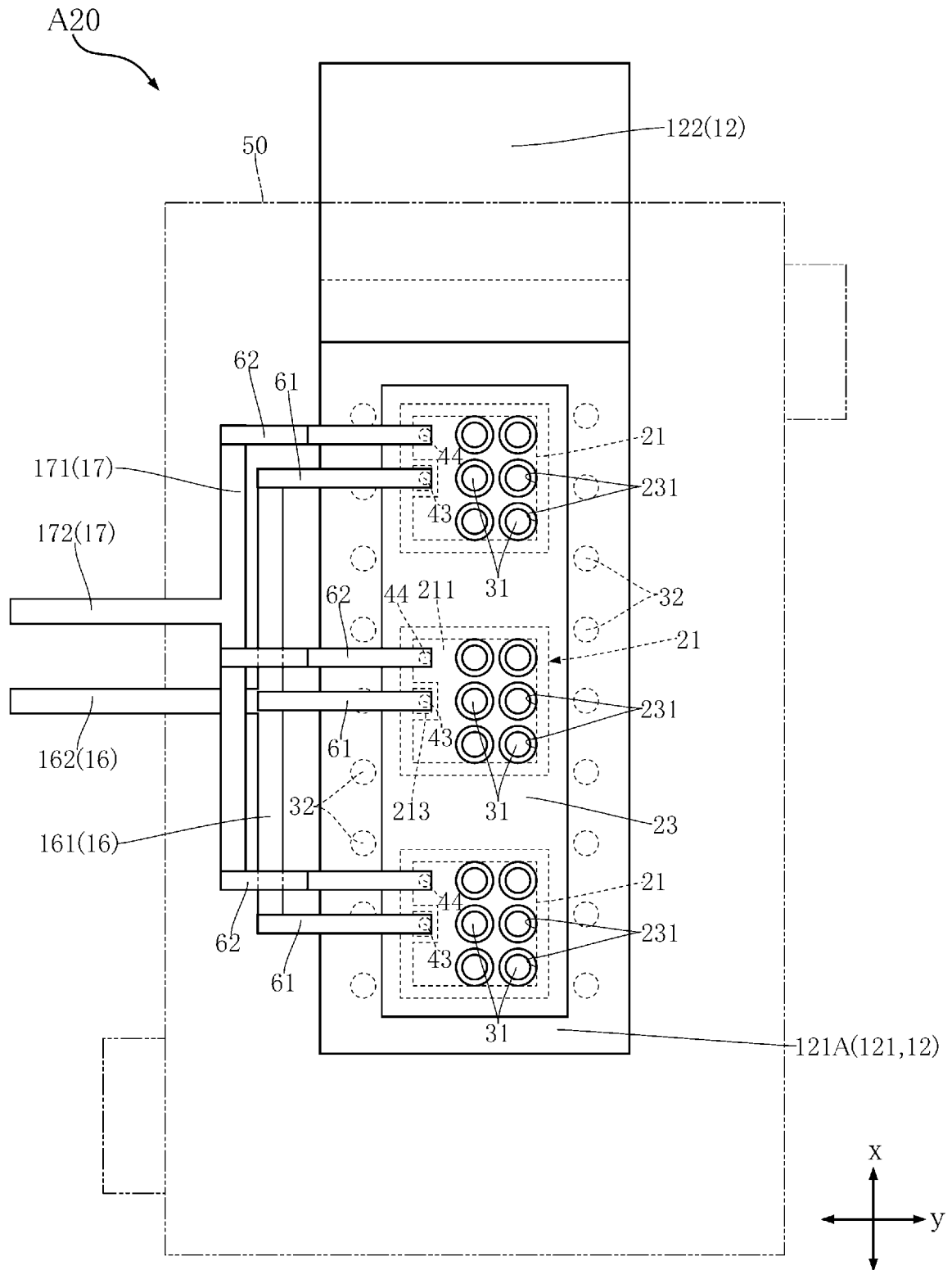
[図19]
FIG.19



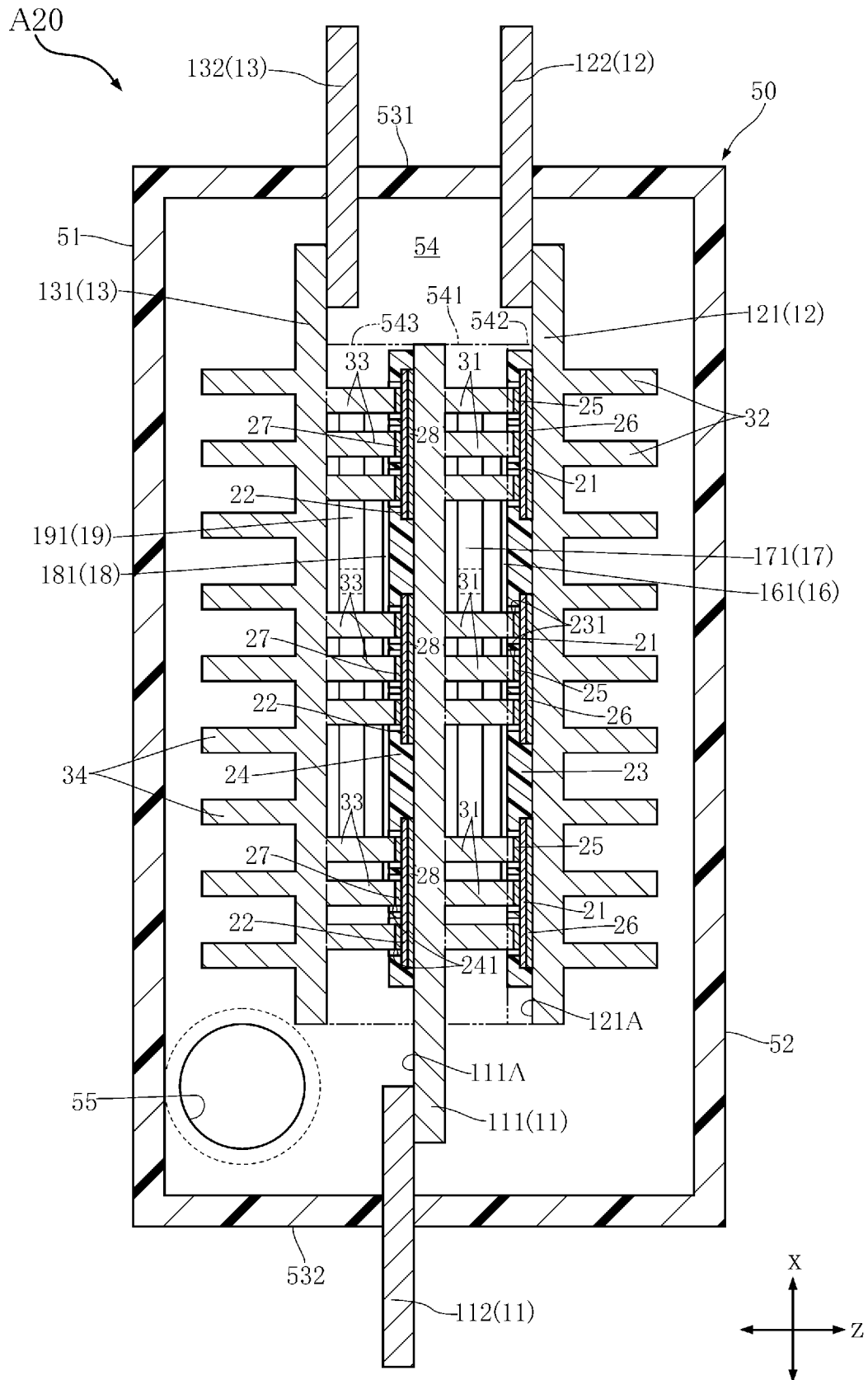
[図20]
FIG.20



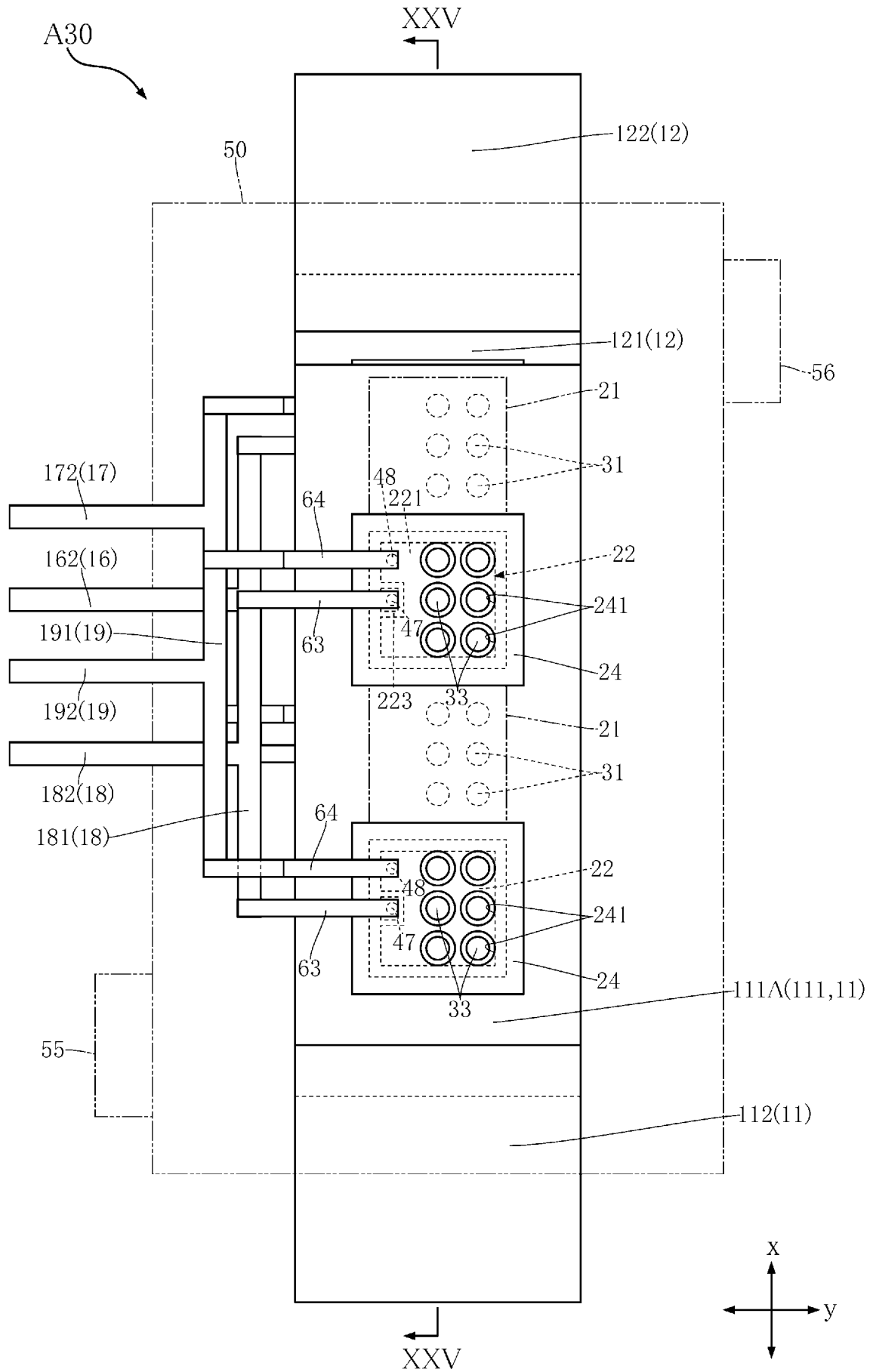
[図21]
FIG.21



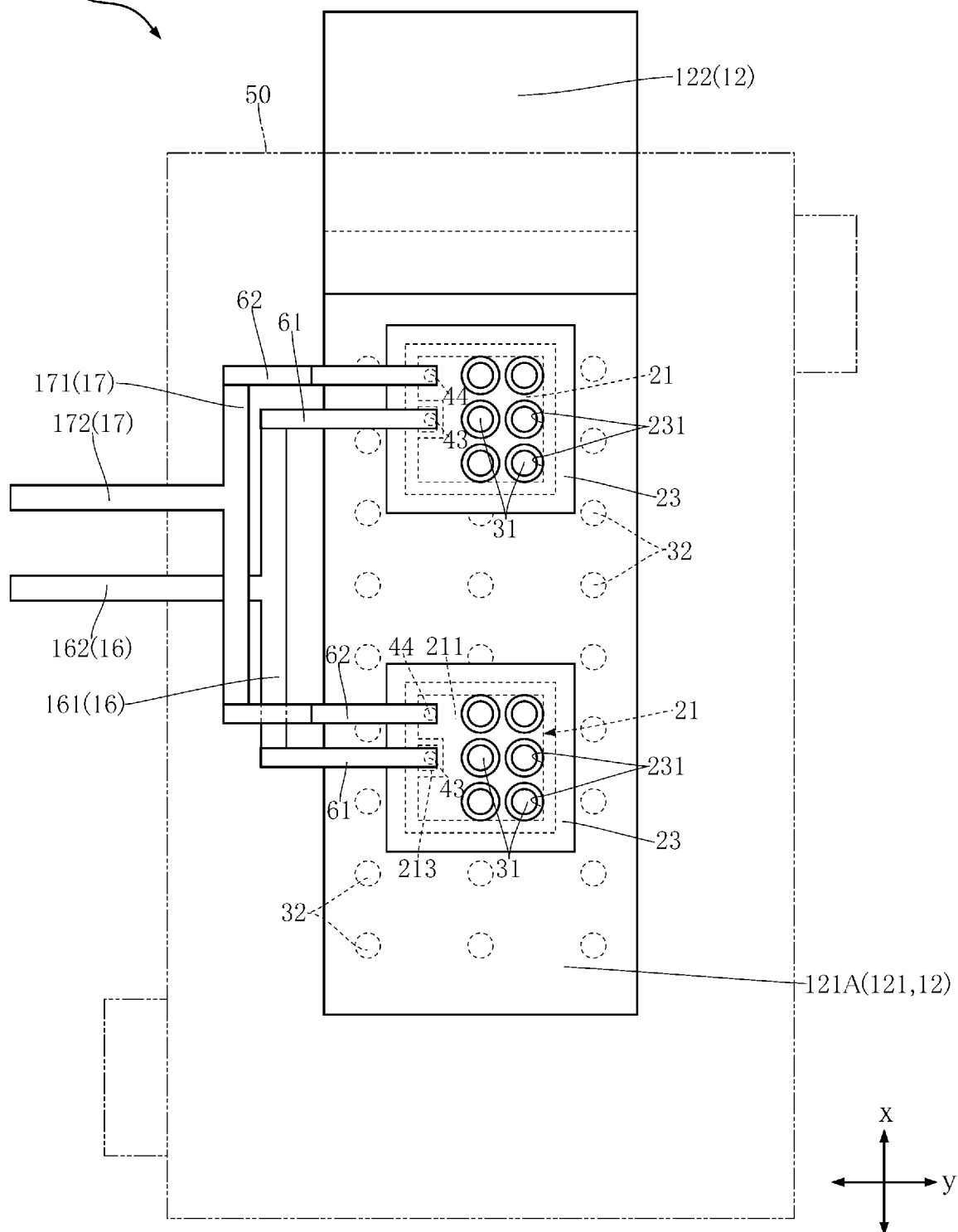
[図22]
FIG.22



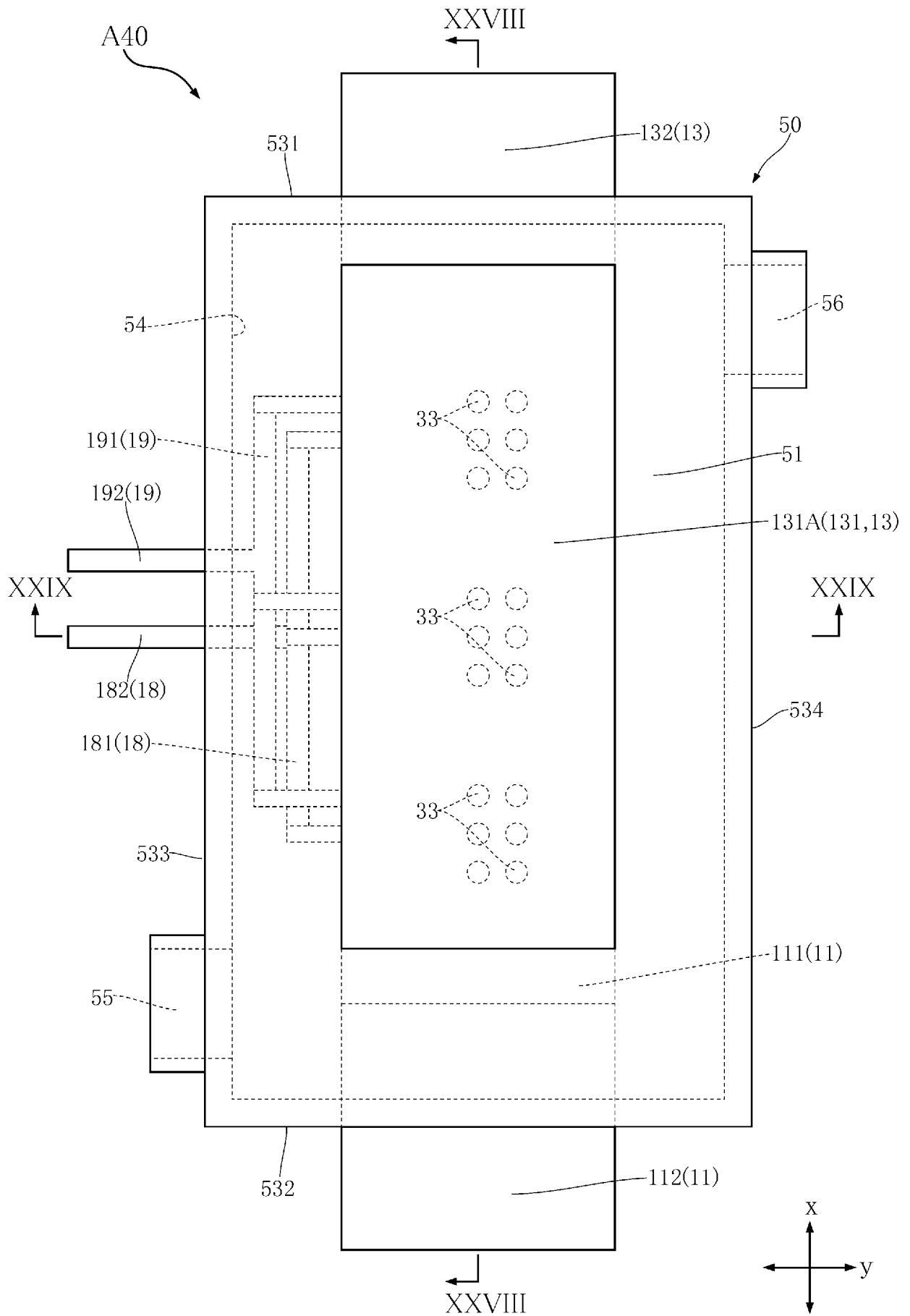
[図23]
FIG.23



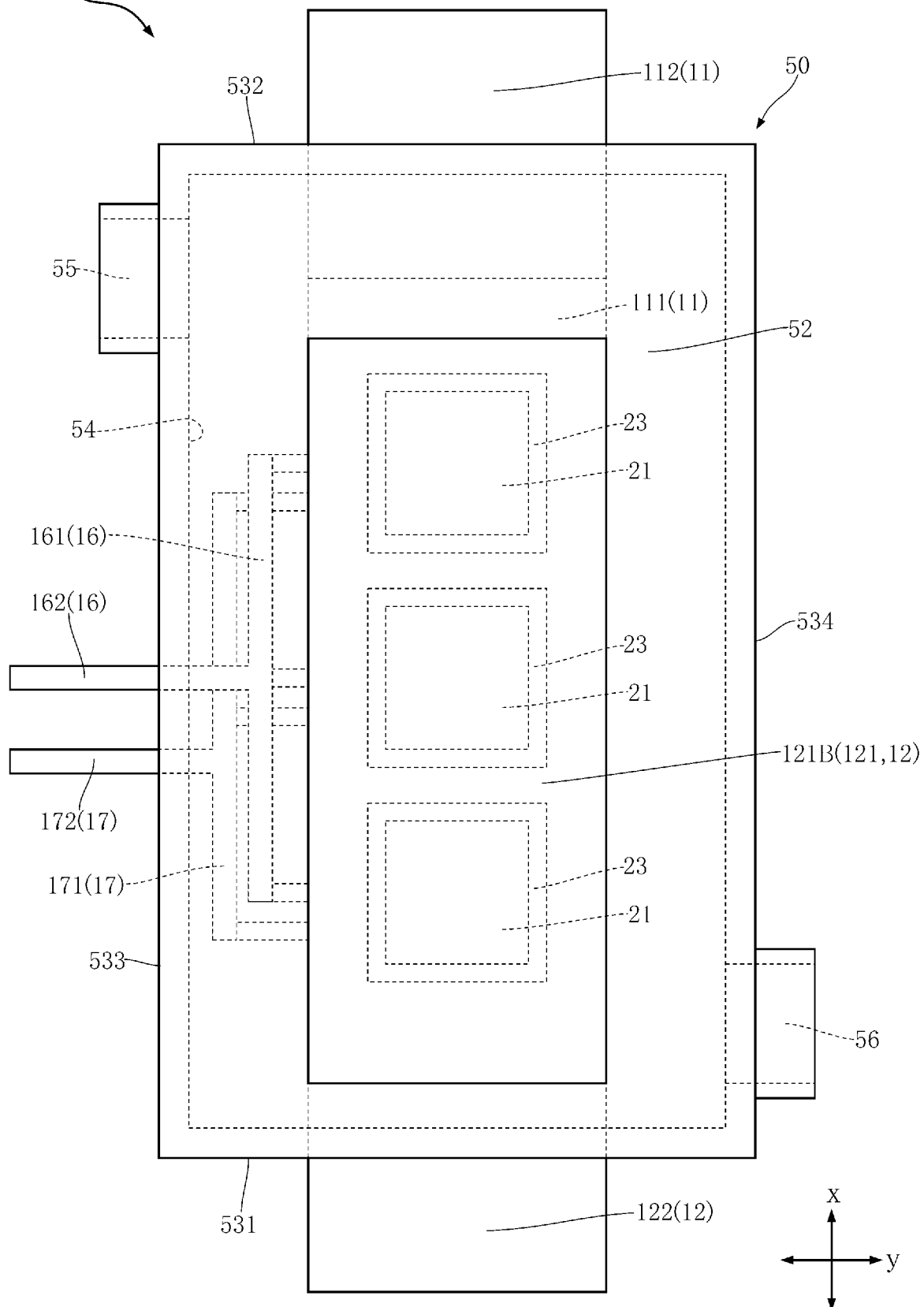
A30



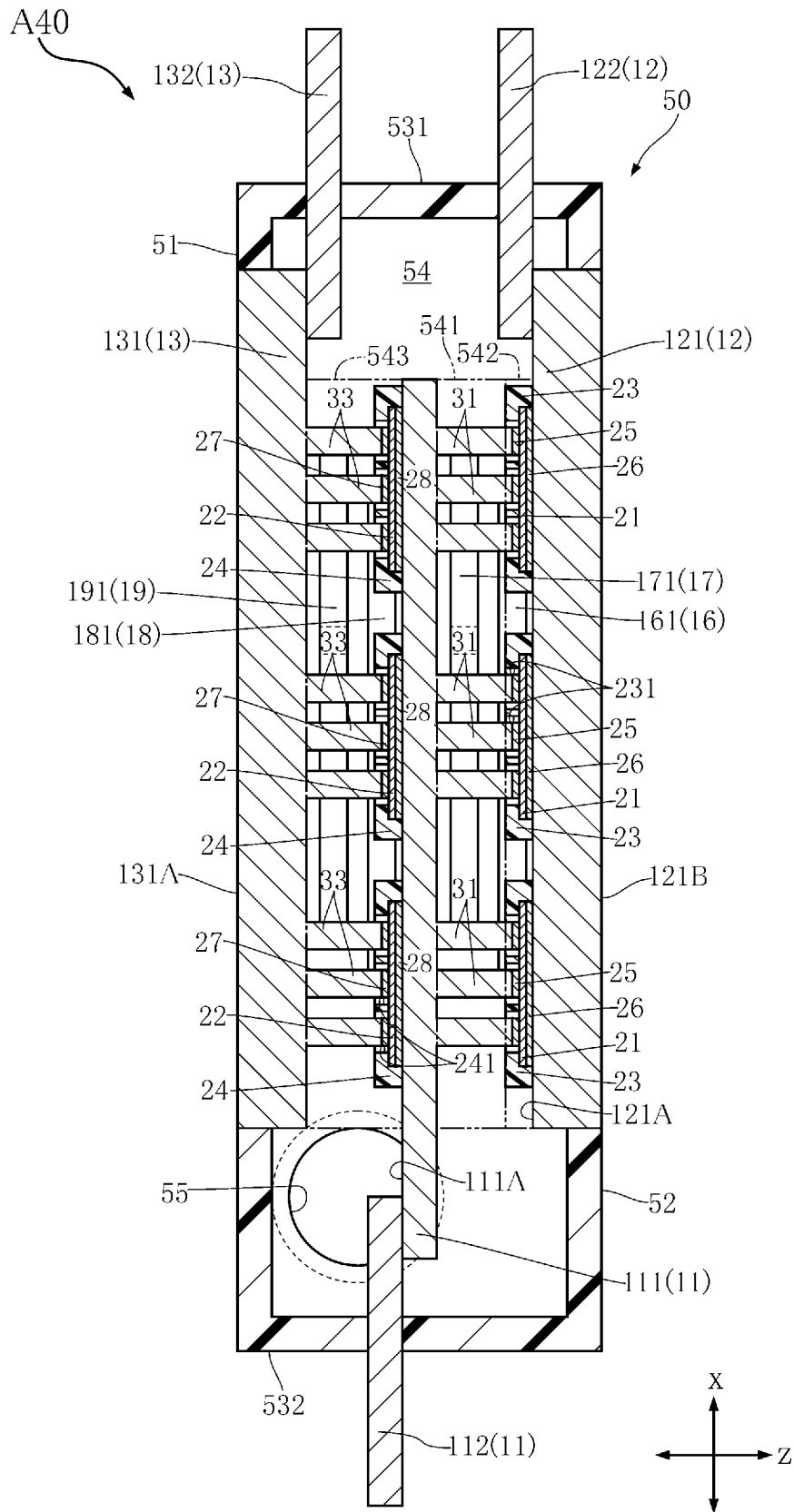
[図26]
FIG.26



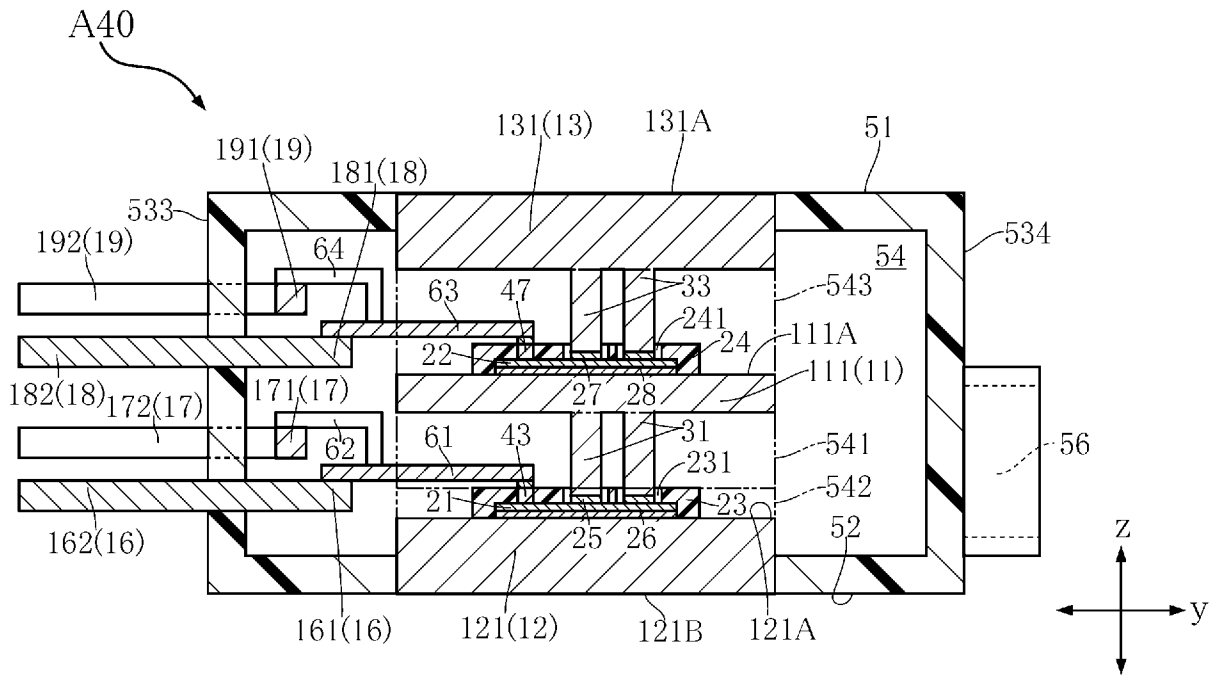
A40



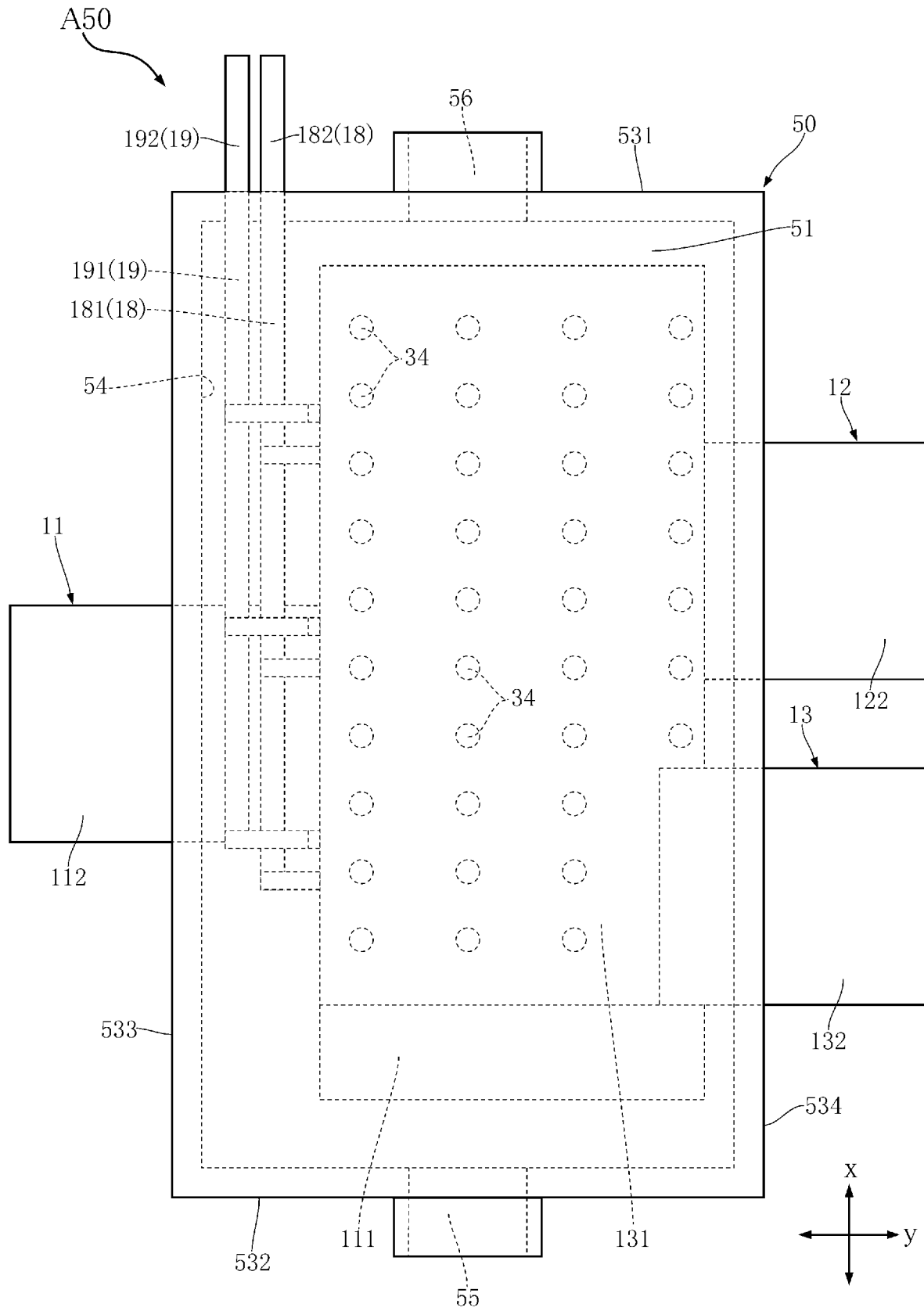
[図28]
FIG.28



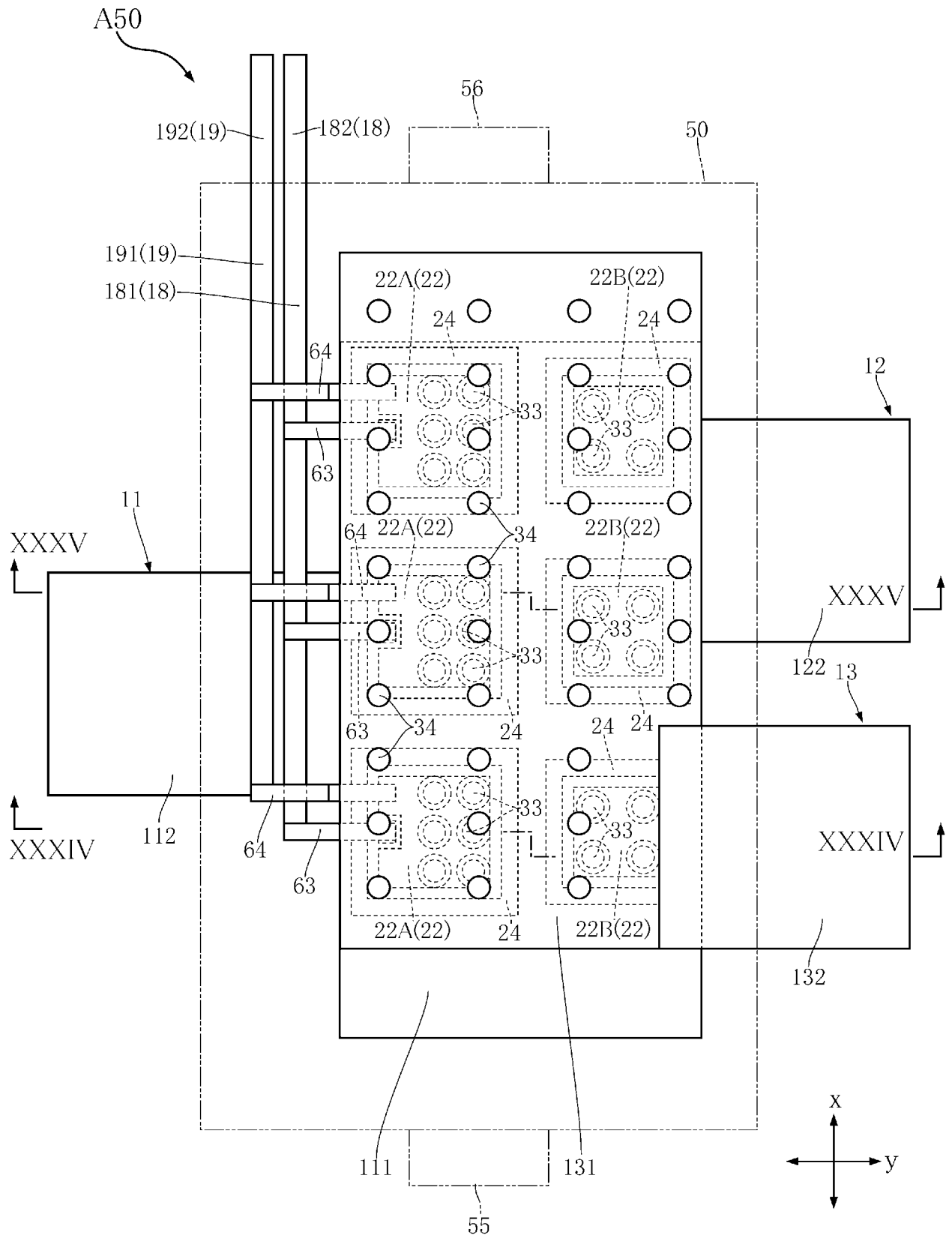
[図29]
FIG.29



[図30]
FIG.30

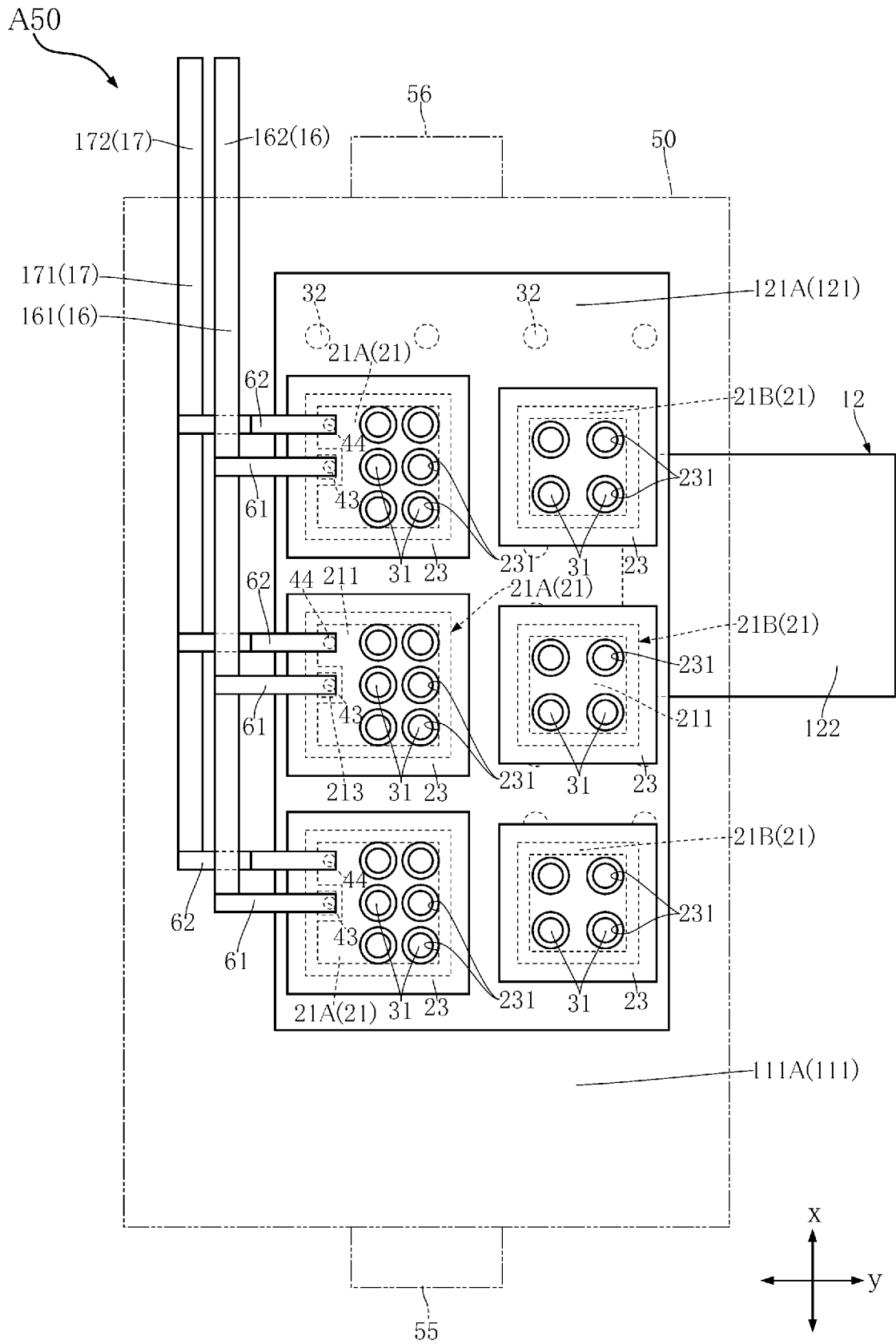


[図31]
FIG.31

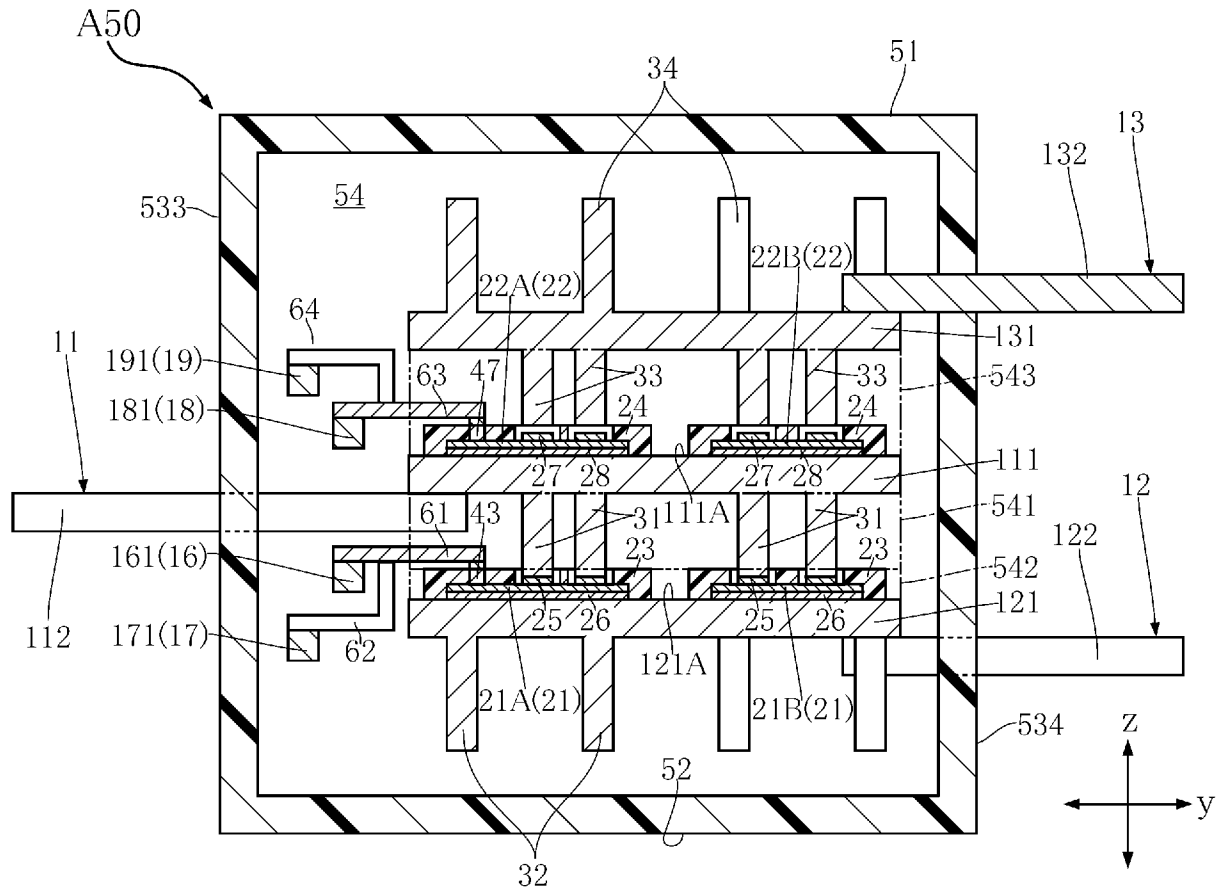


[illegible]

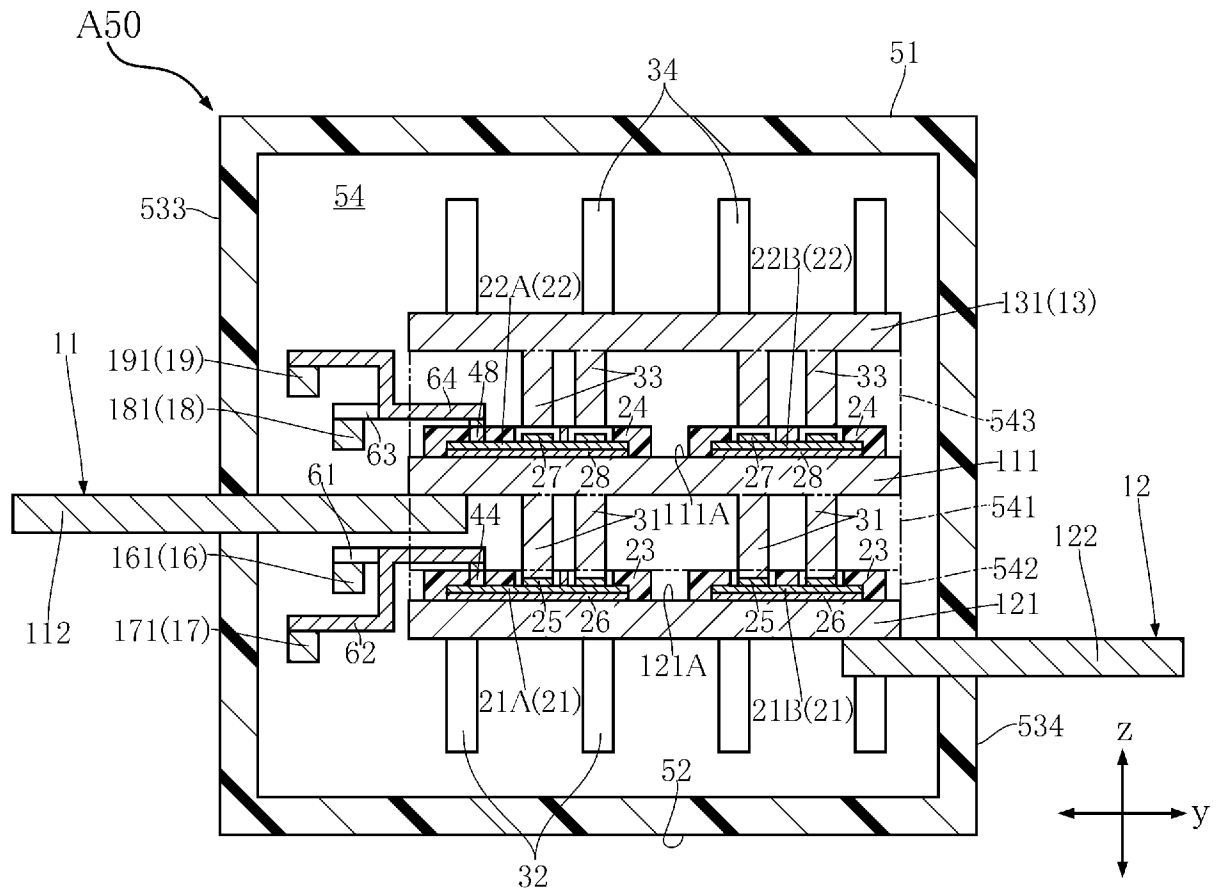
[図33]
FIG.33



【図34】
FIG.34



【図35】
FIG.35



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/039059

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/473**(2006.01)i; **H01L 25/07**(2006.01)i; **H01L 25/10**(2006.01)i; **H01L 25/18**(2023.01)i

FI: H01L23/46 Z; H01L25/04 C; H01L25/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/473; H01L25/07; H01L25/10; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-019849 A (NISSAN MOTOR CO., LTD.) 20 January 2005 (2005-01-20)	1-18
A	JP 11-204703 A (KABUSHIKI KAISHA TOSHIBA) 30 July 1999 (1999-07-30)	1-18
A	JP 07-045761 A (YOSHINO, Takeo) 14 February 1995 (1995-02-14)	1-18
A	JP 2020-088019 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 04 June 2020 (2020-06-04)	1-18
A	JP 2011-181879 A (DENSO CORPORATION) 15 September 2011 (2011-09-15)	1-18
A	JP 2013-149805 A (FUJI ELECTRIC CO., LTD.) 01 August 2013 (2013-08-01)	1-18
A	US 2020/0312737 A1 (AT & S AUSTRIA TECHNOLOGY & SYSTEMTECHNIK AKTIENGESELLSCHAFT) 01 October 2020 (2020-10-01)	1-18

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 December 2024

Date of mailing of the international search report

24 December 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/039059

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2005-019849	A	20 January 2005	(Family: none)			
JP	11-204703	A	30 July 1999	(Family: none)			
JP	07-045761	A	14 February 1995	(Family: none)			
JP	2020-088019	A	04 June 2020	WO	2020/100538	A1	
JP	2011-181879	A	15 September 2011	US	2011/0186981	A1	
JP	2013-149805	A	01 August 2013	(Family: none)			
US	2020/0312737	A1	01 October 2020	EP	3716321	A1	
				CN	111757589	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 23/473(2006.01)i; H01L 25/07(2006.01)i; H01L 25/10(2006.01)i; H01L 25/18(2023.01)i

FI: H01L23/46 Z; H01L25/04 C; H01L25/14

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L23/473; H01L25/07; H01L25/10; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-019849 A（日産自動車株式会社）20.01.2005（2005 - 01 - 20）	1-18
A	JP 11-204703 A（株式会社東芝）30.07.1999（1999 - 07 - 30）	1-18
A	JP 07-045761 A（吉野 武夫）14.02.1995（1995 - 02 - 14）	1-18
A	JP 2020-088019 A（日立オートモティブシステムズ株式会社）04.06.2020（2020 - 06 - 04）	1-18
A	JP 2011-181879 A（株式会社デンソー）15.09.2011（2011 - 09 - 15）	1-18
A	JP 2013-149805 A（富士電機株式会社）01.08.2013（2013 - 08 - 01）	1-18
A	US 2020/0312737 A1（AT&S AUSTRIA TECHNOLOGY & SYSTEMTECHNIK AKTIENGESELLSCHAFT）01.10.2020（2020 - 10 - 01）	1-18

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

13. 12. 2024

国際調査報告の発送日

24. 12. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

ゆずりは 広行 5D 3046

電話番号 03-3581-1101 内線 3549

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/039059

引用文献			公表日	パテントファミリー文献			公表日
JP	2005-019849	A	20.01.2005	(ファミリーなし)			
JP	11-204703	A	30.07.1999	(ファミリーなし)			
JP	07-045761	A	14.02.1995	(ファミリーなし)			
JP	2020-088019	A	04.06.2020	WO	2020/100538	A1	
JP	2011-181879	A	15.09.2011	US	2011/0186981	A1	
JP	2013-149805	A	01.08.2013	(ファミリーなし)			
US	2020/0312737	A1	01.10.2020	EP	3716321	A1	
				CN	111757589	A	