



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년10월23일

(11) 등록번호 10-1911035

(24) 등록일자 2018년10월17일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/31 (2006.01)

H01L 21/336 (2006.01)

(21) 출원번호 10-2014-7015941

(22) 출원일자(국제) 2012년11월01일

심사청구일자 2017년10월27일

(85) 번역문제출일자 2014년06월12일

(65) 공개번호 10-2014-0090680

(43) 공개일자 2014년07월17일

(86) 국제출원번호 PCT/US2012/062959

(87) 국제공개번호 WO 2013/081767

국제공개일자 2013년06월06일

(30) 우선권주장

13/295,574 2011년11월14일 미국(US)

(56) 선행기술조사문현

KR1020110082186 A*

US07037774 B1*

US20040166667 A1*

JP2004228570 A*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

어드밴스드 마이크로 디바이시즈, 인코포레이티드

미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485

(72) 발명자

슬츠 리차드 티.

미국 콜로라도 80526 포트 콜린스 워드젠 스트리
트 4243

(74) 대리인

박장원

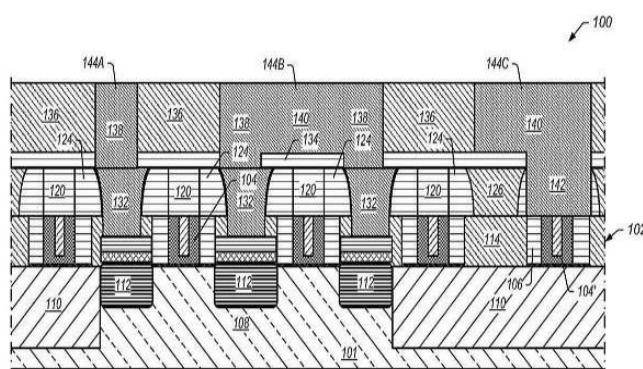
전체 청구항 수 : 총 23 항

심사관 : 최정민

(54) 발명의 명칭 자기 정렬 접점 및 국부 상호접속부를 형성하는 방법

(57) 요 약

반도체 디바이스의 제조 공정은 소스 및 드레인을 갖는 제1 게이트(104)와, 제1 게이트로부터 분리된 적어도 하나의 제2 게이트(104')를 구비한 반도체 기판 상에 대체 금속 게이트 위에 절연 맨드릴을 형성하는 단계를 포함한다. 맨드릴 스페이서(124)는 각 절연 맨드릴 둘레에 형성된다. 맨드릴 및 맨드릴 스페이서는 제1 절연 물질을 포함한다. 제2 절연 물질의 제2 절연층(126)은 트랜지스터 위에 형성된다. 하나 이상의 제1 트렌치는 절연 맨드릴들 사이에 있는 제2 절연 물질을 제거함으로써 제1 게이트의 소스 및 드레인에 대해 형성된다. 제2 트렌치는 제2 게이트 위에 있는 제1 및 제2 절연 물질의 부분을 제거함으로써 제2 게이트에 대해 형성된다. 제1 트렌치 및 제2 트렌치는 제1 게이트의 소스 및 드레인에 대한 제1 접점(132) 및 제2 게이트에 대한 제2 접점(142)을 형성하도록 도전성 물질이 충전된다.

대 표 도

명세서

청구범위

청구항 1

반도체 디바이스 제조 공정으로서,

소스들 및 드레인들을 가진 제1 게이트들 및 상기 제1 게이트들로부터 분리된 적어도 하나의 제2 게이트들을 구비한 반도체 기판 상에 있는 다수의 대체 금속 게이트들을 포함하는 트랜지스터를 제공하는 단계 - 상기 트랜지스터는 각 제1 게이트 주위의 제1 절연 물질의 게이트 스페이서들 및 상기 게이트 스페이서들 사이의 제2 절연 물질의 제1 절연층을 포함하며, 상기 제2 절연 물질의 적어도 일부가 상기 제1 게이트들의 소스들 및 드레인들 위에 놓여 있으며 - 와;

상기 제1 게이트들 및 상기 제2 게이트들 위에 정렬되는 하나 이상의 절연 맨드릴들을 형성하는 단계 - 상기 절연 맨드릴들이 상기 제1 절연 물질을 포함하며 - 와;

각 절연 맨드릴 주위에 맨드릴 스페이서들을 형성하는 단계 - 상기 맨드릴 스페이서들이 상기 제1 절연 물질을 포함하며 - 와;

상기 트랜지스터 위에 상기 제2 절연 물질의 제2 절연층을 형성하는 단계와;

상기 절연 물질들 사이에 있는 상기 트랜지스터의 부분들로부터 상기 제2 절연 물질을 제거함으로써 상기 제1 게이트들의 소스들 및 드레인들에 대해 하나 이상의 제1 트렌치들을 형성하는 단계와;

상기 제2 게이트 위에 있는 상기 제1 절연 물질 및 상기 제2 절연 물질의 부분들을 제거함으로써 상기 제2 게이트에 대한 제2 트렌치를 형성하는 단계 - 상기 제1 절연 물질의 부분들을 제거하는 것은 상기 제2 게이트 위에 정렬되는 상기 절연 맨드릴의 부분들을 제거하는 것을 포함하며 - 와; 그리고

상기 제1 게이트들의 소스들 및 드레인들에 대한 제1 접점들 및 상기 제2 게이트에 대한 제2 접점을 형성하도록 도전성 물질로 상기 제1 트렌치들 및 제2 트렌치를 충전하는 단계를 포함하는,

반도체 디바이스 제조 공정.

청구항 2

제1항에 있어서, 단일 공정으로 상기 제1 트렌치들 및 제2 트렌치를 도전성 물질로 충전하는 단계를 더 포함하는, 반도체 디바이스 제조 공정.

청구항 3

제1항에 있어서, 각 절연 맨드릴은 적어도 그 하부의 게이트만큼 넓은 것인 반도체 디바이스 제조 공정.

청구항 4

제1항에 있어서, 각 맨드릴 스페이서는 넓은 저부로부터 좁은 상부로 경사지는 프로파일을 가지는 것인 반도체 디바이스 제조 공정.

청구항 5

제1항에 있어서, 각 맨드릴 스페이서의 적어도 일부는 상기 제1 트렌치들의 각각에서 노출되는 것인 반도체 디바이스 제조 공정.

청구항 6

제1항에 있어서, 상기 절연 맨드릴들의 가장자리들은 상기 게이트들의 가장자리들을 지나서 연장되는 것인 반도체 디바이스 제조 공정.

청구항 7

제1항에 있어서, 상기 맨드릴 스페이서들의 가장자리들은 상기 게이트 스페이서들의 가장자리를 지나서 연장되는 것인 반도체 디바이스 제조 공정.

청구항 8

제1항에 있어서, 제2 절연 물질을 제거하지만 제1 절연 물질을 제거하지 않는 선택적 공정으로 상기 제2 절연 물질을 제거함으로써 상기 제1 게이트들의 소스를 및 드레인들에 대해서 상기 제1 트렌치들을 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 공정.

청구항 9

제1항에 있어서, 상기 절연 맨드릴들을 형성하기 전에 상기 트랜지스터 위에 상기 제2 절연 물질의 얇은 층을 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 공정.

청구항 10

제1항에 있어서, 상기 제1 접점들은 상기 맨드릴 스페이서들의 경사에 의해 결정되는 경사를 포함하는 것인 반도체 디바이스 제조 공정.

청구항 11

제1항에 있어서, 도전성 물질로 상기 제1 트렌치들과 제2 트렌치를 충전한 후에 상기 트랜지스터를 평면화하는 단계를 더 포함하는, 반도체 디바이스 제조 공정.

청구항 12

제1항에 있어서, 상기 제1 트렌치들 및 제2 트렌치를 형성하는 단계는 상기 제1 트렌치들과 제2 트렌치를 한정하는 CAD(컴퓨터 지원 설계) 설계된 레지스트 패턴을 사용하여 달성되는 것인 반도체 디바이스 제조 공정.

청구항 13

제1항에 있어서,

상기 트랜지스터 위에 제3 절연층을 형성하는 단계;

상기 제3 절연층의 부분들을 제거함으로써 상기 제3 절연층을 통해 상기 제1 접점들 및 제2 접점까지 제3 트렌치들을 형성하는 단계; 및

상기 제3 절연층을 통해 형성된 상기 제3 트렌치들에 도전성 물질을 증착시킴으로써 상기 제1 접점들 및 제2 접점에 대한 국부 상호접속부들을 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 공정.

청구항 14

제1항에 있어서, 상기 제2 트렌치가 상기 제2 게이트에 정렬되도록 제1 절연 물질을 제거하지만 제2 절연 물질은 제거하는 않는 선택적 공정으로 상기 제2 게이트 위에 있는 상기 제1 절연 물질의 부분들을 제거하는 단계를 더 포함하는, 반도체 디바이스 제조 공정.

청구항 15

반도체 디바이스로서,

반도체 기판 상의 다수의 대체 금속 게이트들을 포함하는 트랜지스터 - 상기 트랜지스터는 제1 게이트들 및 적어도 하나의 제2 게이트를 포함하고, 상기 제1 게이트들은 소스를 및 드레인들을 가지며, 상기 적어도 하나의 제2 게이트는 상기 제1 게이트들로부터 분리되어 있으며 - 와;

각 제1 게이트 주위에 있는 제1 절연 물질의 게이트 스페이서들과;

상기 게이트 스페이서들 사이에 있는 제2 절연 물질의 제1 절연층 - 상기 제2 절연 물질의 적어도 일부가 상기 제1 게이트들의 소스를 및 드레인들 위에 놓여 있으며 - 과;

상기 게이트들 위에 정렬되며, 상기 제1 절연 물질을 포함하는 하나 이상의 절연 맨드릴들과;

각 절연 맨드릴 주위에 있으며, 상기 제1 절연 물질을 포함하는 맨드릴 스페이서들과;

상기 맨드릴 스페이서들 사이에서 상기 제1 절연층을 통한 상기 제1 게이트들의 소스들 및 드레인들에 대한 하나 이상의 제1 접점들과;

상기 제2 게이트 위에 정렬되는 상기 절연 맨드릴의 상기 제1 절연 물질을 통한 상기 적어도 하나의 제2 게이트에 대한 제2 접점과;

상기 트랜지스터 위에 있는 제3 절연층과; 그리고

상기 제3 절연층을 통해 상기 제1 접점들 및 제2 접점을 접촉하는 하나 이상의 국부 상호접속부들을 포함하는, 반도체 디바이스.

청구항 16

제15항에 있어서, 상기 적어도 하나의 제2 게이트에 대한 상기 제2 접점은 상기 제2 게이트 위에 있는 상기 맨드릴을 통하는 것인 반도체 디바이스.

청구항 17

제15항에 있어서, 각 절연 맨드릴은 적어도 그 하부의 게이트만큼 넓은 것인 반도체 디바이스.

청구항 18

제15항에 있어서, 각 맨드릴 스페이서는 넓은 저부로부터 좁은 상부로 경사지는 프로파일을 가지는 것인 반도체 디바이스.

청구항 19

제18항에 있어서, 상기 제1 접점들은 상기 제1 접점들이 저부보다 상부에서 넓도록 상기 맨드릴 스페이서들의 경사와 일치하는 프로파일을 가지는 것인 반도체 디바이스.

청구항 20

제15항에 있어서, 상기 제1 접점들은 상기 게이트들에 쇼트(short)되지 않는 것인 반도체 디바이스.

청구항 21

제15항에 있어서, 상기 제3 절연층은 상기 제2 절연 물질을 포함하는 것인 반도체 디바이스.

청구항 22

제15항에 있어서, 상기 제1 게이트들은 상기 반도체 디바이스의 능동 영역에 위치되고, 상기 제2 게이트는 상기 반도체 디바이스의 분리 영역에 위치되는 것인 반도체 디바이스.

청구항 23

실행될 때, 반도체 디바이스 제조 머신으로 하여금 반도체 디바이스 제조 공정을 수행하도록 하는 다수의 명령들을 저장하고 있는 비-일시적인 컴퓨터 관독가능한 저장 매체로서,

상기 반도체 디바이스 제조 공정은:

소스들 및 드레인들을 가진 제1 게이트들 및 상기 제1 게이트들로부터 분리된 적어도 하나의 제2 게이트들을 구비한 반도체 기판 상에 있는 다수의 대체 금속 게이트들을 포함하고, 각 제1 게이트 주위의 제1 절연 물질의 게이트 스페이서들 및 상기 게이트 스페이서들 사이의 제2 절연 물질의 제1 절연층을 포함하며, 상기 제2 절연 물질의 적어도 일부가 상기 제1 게이트들의 소스들 및 드레인들 위에 놓이는 트랜지스터를 제공하는 단계와;

상기 제1 게이트들 및 상기 제2 게이트들 위에 정렬되는 하나 이상의 절연 맨드릴들을 형성하는 단계 - 상기 절연 맨드릴들이 상기 제1 절연 물질을 포함하며 - 와;

각 절연 맨드릴 주위에 맨드릴 스페이서들을 형성하는 단계 - 상기 맨드릴 스페이서들이 상기 제1 절연 물질을 포함하며 - 와;

상기 트랜지스터 위에 상기 제2 절연 물질의 제2 절연층을 형성하는 단계와;

상기 절연 맨드릴들 사이의 상기 트랜지스터의 부분들로부터 상기 제2 절연 물질을 제거함으로써 상기 제1 게이트들의 소스들 및 드레인들에 대한 하나 이상의 제1 트렌치들을 형성하는 단계와;

상기 제2 게이트 위에 있는 상기 제1 절연 물질 및 상기 제2 절연 물질의 부분들을 제거함으로써 상기 제2 게이트에 대한 제2 트렌치를 형성하는 단계 - 상기 제1 절연 물질의 부분들을 제거하는 것은 상기 제2 게이트 위에 정렬되는 절연 맨드릴의 부분들을 제거하는 것을 포함하며 - 와; 그리고

상기 제1 게이트들의 소스들 및 드레인들에 대한 제1 접점들 및 상기 제2 게이트에 대한 제2 접점을 형성하도록 도전성 물질로 상기 제1 트렌치들 및 제2 트렌치를 충전하는 단계를 포함하는,

비-일시적인 컴퓨터 판독가능한 저장 매체.

청구항 24

삭제

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 트랜지스터를 형성하기 위한 반도체 공정에 관한 것이고, 보다 구체적으로 반도체 기판 상의 대체 게이트 구조에 대한 트렌치 접점과 국부 상호접속부를 형성하기 위한 공정에 관한 것이다.

배경 기술

[0002] 평면 트랜지스터와 같은 트랜지스터는 수십년 동안 집적 회로의 핵심이었다. 개별 트랜지스터의 크기는 공정 개발에서의 발전 및 특징부 밀도(feature density)를 증가시킬 필요성을 통해 끊임없이 감소하였다. 현재의 스케일링은 개발과 함께 32nm 기술을 채택하며 20nm 및 그 이상의 기술(예를 들어, 15nm 기술)을 향해 전진하고 있다.

[0003] 대체 게이트 공정(흐름)은 이것이 게이트 제1 공정에서 발견된 특정 문제를 피함으로써 보다 일반적으로 이용되고 있다. 예를 들어, 대체 게이트 공정은 게이트에서 사용되는 일함수 물질의 안정성과 관련된 문제를 피할 수 있다. 그러나, 대체 게이트 공정은, CMP(화학적 기계적 연마)와 같은 새로운 공정 모듈의 추가를 요구할 수 있다.

[0004] 추가적으로, 대부분의 대체 게이트 공정은 게이트에 대한 트렌치 접점 및/또는 국부 상호 접속부 접속을 만들 때 정렬 문제로 고통을 받는다. 예를 들어, 대부분의 대체 게이트 공정은 자기 정렬되지 않고, 공정 동안 오정렬로부터 쉽게 실패할 수 있다. 양방향성 국부 상호접속부를 패터닝하는 것 및/또는 국부 상호접속부로부터 게이트 또는 게이트의 소스/드레인 중 하나로의 인터페이스 층의 수를 감소시키는 것이 또한 어려울 수 있다.

발명의 내용

해결하려는 과제

[0005] 이러한 문제 중 일부를 해결하도록, 공정 흐름은 덜 복잡한 국부 상호접속부 흐름을 허용하도록 게이트 위에 연장되는 자기 정렬 트렌치 접점을 생성하도록 시도되었다. 그러나, 이러한 공정 흐름은 전형적으로 매우 복잡하며, 많은 저항성 인터페이스를 갖고, 복잡한 공정 흐름으로 인하여 높은 제조 비용을 가진다. 추가적으로, 이러한 공정이 심각하게 제한적인 설계 및/또는 정렬 규칙을 가질 수 있음으로써 공정의 복잡성으로 인한 오정렬 또는 기타 오류 때문에 제조 마진이 낮다.

[0006] 도 1은 반도체 기판(54)상의 대체 게이트 구조(52)를 구비한 종래의 트랜지스터(50)의 실시예를 도시한다. 대체 게이트 구조(52)는 게이트 스페이서(58)에 의해 둘러싸인 게이트(56)를 포함한다. 소스/드레인(60)은 기판(54)의 웰 영역(62)에 위치될 수 있다. 부가하여, 하나 이상의 게이트는 기판(54)의 분리 영역(64) 위에 위치될 수 있다.

[0007] 트렌치 접점(66)은 국부 상호접속부(68A)에 소스/드레인(60)을 접촉시키도록 사용된다. 국부 상호접속부(68A)는 게이트(56')에 접속된 국부 상호접속부(68C)에 대한 루팅(routing)을 제공하도록 국부 상호접속부(68B)와 통합

될 수 있다.

[0008] 도 1에서 알 수 있는 바와 같이, 트렌치 접점(66)에서 임의의 오정렬은 게이트(56)에 대한 쇼트(short)를 쉽게 유발할 수 있다. 그러므로, 트렌치 접점(66)과 게이트(56) 사이의 쇼트를 억제하도록 제한적인 제한적인 설계/정렬 규칙이 있어야만 한다. 부가하여, 제한적인 정렬 규칙없이 국부 상호접속부(68C)와 게이트(56') 사이에 정렬 문제가 쉽게 있을 수 있다.

[0009] 또한, 도 1에서 알 수 있는 바와 같이, 국부 상호접속부(68A, 68B, 68C)들 사이의 루팅은 복잡할 수 있고 많은 공정 단계를 포함할 수 있다. 많은 공정 단계는 국부 상호접속부 사이에 저항성 인터페이스 형성 및/또는 국부 상호접속부들 사이의 정렬 문제의 가능성을 증가시킬 수 있다.

[0010] 그러므로, 소스/드레인에 트렌치를 자기 정렬하고 게이트 위에서 트렌치 접점을 연장하는 방법의 필요성이 있다.

과제의 해결 수단

[0011] 특정 실시예에서, 반도체 디바이스의 제조 공정은 소스 및 드레인을 갖는 제1 게이트 및 제1 게이트로부터 분리된 적어도 하나의 제2 게이트를 구비한 반도체 기판 상에 있는 다수의 대체 금속 게이트를 포함하는 트랜지스터를 제공하는 단계를 포함한다. 트랜지스터는 각 게이트 주위의 제1 절연 물질의 게이트 스페이서와, 게이트와 게이트 스페이서 사이의 제2 절연 물질의 제1 절연층을 포함한다. 제2 절연 물질의 적어도 일부는 제1 게이트의 소스 및 드레인 위에 놓인다.

[0012] 하나 이상의 절연 맨드릴은 게이트 위에 형성되고 정렬된다. 절연 맨드릴은 제1 절연 물질을 포함한다. 맨드릴 스페이서는 각 절연 맨드릴 주위에 형성된다. 맨드릴 스페이서는 제1 절연 물질을 포함한다. 제2 절연 물질의 제2 절연층은 트랜지스터 위에 형성된다.

[0013] 제1 게이트의 소스 및 드레인에 대한 하나 이상의 제1 트렌치는 절연 맨드릴들 사이의 트랜지스터의 부분으로부터 제2 절연 물질을 제거함으로써 형성된다. 제2 게이트에 대한 제2 트렌치는 제2 게이트 위에 있는 제1 절연 물질 및 제2 절연 물질의 부분을 제거함으로써 형성된다. 제1 트렌치 및 제2 트렌치는 제1 게이트의 소스 및 드레인에 대한 제1 접점 및 제2 게이트에 대한 제2 접점을 형성하도록 도전성 물질이 충전된다.

[0014] 일부 실시예에서, 제3 절연층은 트랜지스터 위에 형성된다. 3개의 트렌치는 제3 절연층의 부분을 제거함으로써 제3 절연층을 통해 제1 접점 및 제2 접점까지 형성된다. 제1 접점 및 제2 접점에 대한 국부 상호 접속부는 제3 절연층을 통해 형성된 제3 트렌치에 도전성 물질을 증착시킴으로써 형성된다.

[0015] 특정 실시예에서, 반도체 디바이스는 반도체 기판 상에 있는 다수의 대체 금속 게이트를 포함한다. 제1 게이트는 소스 및 드레인을 갖고, 적어도 하나의 제2 게이트는 제1 게이트로부터 분리된다. 제1 절연 물질의 게이트 스페이서는 각 제1 게이트 주위에 있다. 제2 절연 물질의 제1 절연층은 게이트 스페이서들 사이에 있다. 제2 절연 물질의 적어도 일부는 제1 게이트의 소스 및 드레인 위에 놓인다.

[0016] 하나 이상의 절연 맨드릴은 게이트 위에 정렬된다. 절연 맨드릴은 제1 절연 물질을 포함한다. 맨드릴 스페이서는 각 절연 맨드릴 주위에 있으며, 제1 절연 물질을 포함한다. 제1 게이트의 소스 및 드레인에 대한 하나 이상의 제1 접점은 맨드릴 스페이서들 사이에서 제1 절연층을 관통한다. 적어도 하나의 제2 게이트에 대한 제2 접점은 제2 게이트 위에 있는 제1 절연 물질을 관통한다. 제3 절연층은 트랜지스터 위에 있으며, 하나 이상의 국부 상호접속부는 제3 절연층을 통해 제1 접점 및 제2 접점과 접촉한다.

[0017] 일부 실시예에서, 상기 공정 단계 중 하나 이상은 달성되며 및/또는 반도체 디바이스의 하나 이상의 구성요소는 공정 동안 제거 및/또는 증착될 영역을 한정하는 CAD(컴퓨터 지원 설계) 설계된 레지스트 패턴을 사용하여 형성된다. 예를 들어, CAD 패턴은 절연막 맨드릴 및/또는 맨드릴 스페이서를 형성하기 위한 영역을 한정하도록 사용될 수 있다. 특정 실시예에서, 컴퓨터 판독성 기억 매체는 실행될 때 하나 이상의 레지스트 패턴을 발생시키는 다수의 명령을 저장한다.

[0018] 게이트 위에서 연장된 자기 정렬 트렌치 접점을 제공하는 것은 보다 간단한 국부 상호접속부 방식이 트렌치 접점과 개방 게이트를 접속하도록 이용되는 것을 가능하게 한다. 본원에 기술된 공정 실시예를 사용하는 것은 이전의 대체 게이트 흐름 접속 방식과 비교하여 트렌치 접점 및 국부 상호접속부 결합 용량에 대해 낮은 게이트 뿐만 아니라 층 사이의 저항성 인터페이스의 수에서의 감소를 허용할 수 있다. 부가하여, 본 명세서에 기술된 공정 실시예는, 접점 사이의 오정렬의 잠재성을 감소시키고 이전의 대체 게이트 흐름 연결 방식보다 간단한 공

정 흐름을 제공하는 것에 의해 보다 양호한 제조 수율을 제공할 수 있다.

도면의 간단한 설명

[0019]

- 도 1은 종래의 트랜지스터의 측단면도;
- 도 2는 실리콘 기판 상의 대체 금속 게이트 구조의 실시예의 측단면도;
- 도 3은 게이트 구조 위에 형성된 절연층의 실시예의 측단면도;
- 도 4는 게이트 구조 위에 형성된 얇은 하부 절연층을 구비한 절연층의 대안적인 실시예의 측단면도;
- 도 5는 게이트 구조 위에 형성된 절연 맨드릴의 실시예의 측단면도;
- 도 6은 절연막 맨드릴 위에 증착된 절연 물질의 실시예의 측단면도;
- 도 7은 게이트 구조 위에 형성된 맨드릴 및 맨드릴 스페이서를 절연하는 실시예의 측단면도;
- 도 8은 맨드릴과 맨드릴 스페이서 위에 증착되어 절연하는 절연층의 실시예의 측단면도;
- 도 9는 맨드릴과 맨드릴 스페이서 위에 증착되어 절연층에 형성된 트렌치의 실시예의 측단면도를 도시한다.
- 도 10은 도전성 물질이 충전된, 절연층에 형성된 트렌치의 실시예의 측단면도;
- 도 11은 평면화 후에 트랜지스터의 실시예의 측단면도;
- 도 12는 도 11에 도시된 평면화된 트랜지스터 위에 증착된 절연층의 실시예의 측단면도;
- 도 13은 도 12에 도시된 절연층 위에 증착된 제2 절연층의 실시예의 측단면도;
- 도 14는 도 13에 도시된 절연층을 통해 형성된 트렌치의 실시예의 측단면도;
- 도 15는 도 13에 도시된 절연층을 통해 형성된 보다 많은 트렌치의 실시예의 측단면도;
- 도 16은 맨드릴과 맨드릴 스페이서를 통해 형성된 트렌치의 실시예의 측단면도;
- 도 17은 소스/드레인 및 게이트에 대한 국부 상호접속부를 구비한 트랜지스터(100)의 실시예의 측단면도;
- 도 18은 도 17에 도시된 실시예로부터 트랜지스터(100)의 대안적인 실시예를 도시한 도면;
- 도 19는 레지스트 패턴을 사용하여 절연층을 통해 소스/드레인까지 형성된 트렌치의 실시예의 측단면도;
- 도 20은 게이트에 대해 절연층을 통한 게이트 개방 트렌치의 실시예의 측단면도;
- 도 21은 레지스트 패턴이 제거된 도 20에 도시된 실시예의 측단면도;
- 도 22는 도전성 물질이 충전된, 절연층에 형성된 게이트 개방 트렌치를 포함하는 트렌치의 실시예의 측단면도;
- 도 23은 평면화 후에 도 22에 도시된 트랜지스터의 실시예의 측단면도;
- 도 24는 도 23에 도시된 평면화된 트랜지스터 위에 증착된 절연층의 실시예의 측단면도;
- 도 25는 레지스트 패턴을 사용하여 도 24에 도시된 절연층을 통해 형성된 트렌치의 실시예의 측단면도;
- 도 26은 레지스트 패턴을 사용하여 도 25에 도시된 절연층을 통해 형성된 추가적인 트렌치의 실시예의 측단면도;
- 도 27은 레지스트 패턴이 제거된 도 26에 도시된 실시예의 측단면도;
- 도 28은 도전성 물질이 충전된 도 27에 도시된 트렌치의 실시예의 측단면도;
- 도 29는 평면화 후에 도 28에 도시된 트랜지스터의 실시예의 측단면도.

발명을 실시하기 위한 구체적인 내용

[0020]

본 발명이 몇개의 실시예 및 예시적인 도면에 대해 예시적인 방식으로 본원에 기술되지만, 당업자는 본 발명이 기술된 실시예 또는 도면에 한정되지 않는다는 것을 인식할 것이다. 도면 및 상세한 설명은 개시된 특정 형태로 본 발명을 제한하도록 의도되지 않고, 이와는 반대로 본 발명이 첨부된 청구범위에 의해 한정된 바와 같은 본 발명의 사상 및 범위 내에 놓이는 모든 변형, 등가물 및 대안들을 커버하는 것을 이해하여야 한다. 본원에서 사

용되는 모든 제목은 단지 유기적인 구조의 목적을 위한 것이며, 상세한 설명 또는 청구항의 범위를 한정하는 것을 의미하지 않는다. 본원에서 사용되는 바와 같은, 문구 "할 수 있다"는 필수적인 의미(해야만 하는 것을 의미하는) 대신에 관대한 의미(~에 대한 잠재성을 가진다는 의미)로 사용된다. 유사하게, 문구 "포함한다" 및 "포함하는"은 포함하는 것을 의미하지만, 이에 한정되지 않는다.

[0021] 도 2는 트랜지스터(100)를 형성하는 실리콘 기판 상에 대체 금속 게이트 구조의 실시예의 측단면도를 도시한다. 트랜지스터(100)는 종래에 공지된 임의의 형태의 트랜지스터일 수 있다. 예를 들어, 트랜지스터(100)는 평면 트랜지스터(예를 들어, 평면 전계 효과 트랜지스터(FET)) 또는 FinFET 트랜지스터와 같은 비평면 트랜지스터일 수 있다.

[0022] 특정 실시예에서, 트랜지스터(100)는 기판(101) 상에 형성된 금속 게이트 구조(102)를 포함한다. 게이트 구조(102)는 대체 게이트 공정과 같은, 그러나 이에 한정되지 않는 종래에 공지된 공정에 의해 기판(101) 상에 형성될 수 있다. 도 2에 도시된 바와 같이, 게이트 구조(102)는 게이트 스페이서(106)에 의해 둘러싸인 게이트(104)를 포함한다. 게이트(104)는 기판(101)의 웰 영역(108)(트랜지스터(100)의 능동 영역)의 위에 및/또는 트렌치 분리부(110)(트랜지스터의 분리 영역) 위에 형성될 수 있다. 일부 실시예에서, 트렌치 분리부(110)는 얇은 트렌치 분리부일 수 있다.

[0023] 특정 실시예에서, 소스/드레인(112)은 기판(101)의 웰 영역(108)에 형성된다. 일부 실시예에서, 소스/드레인은 백금 장벽 층(112B)에 의해 분리된 니켈 실리사이드 접점(112C)을 구비한 매립형 실리콘 게르마늄(eSiGe)층(112A)을 포함한다. 다른 형태의 소스/드레인은 또한 종래에 공지된 바와 같이 사용될 수 있다.

[0024] 특정 실시예에서, 게이트(104)는 도 2에서 명확성 목적을 위해 최좌측 게이트에만 도면 부호가 지시된, 고-κ(고 유전상수) 물질(104B) 상에 형성된 금속 게이트(104A)(예를 들어, 대체 금속 게이트)이다. 상기된 바와 같이, 금속 게이트(104A) 및 고-κ 물질(104B)은 대체 게이트 공정을 사용하여 형성될 수 있다. 금속 게이트(104A)는 티타늄, 텅스텐, 질화 티타늄, 또는 이들의 조합과 같은, 그러나 이에 한정되지 않는 금속을 포함할 수 있다. 고-κ 물질(104B)은 하프늄 실리케이트, 지르코늄 실리케이트, 이산화 하프늄, 이산화 지르코늄, 또는 그 조합과 같은, 그러나 이에 한정되지 않는 유전체를 포함할 수 있다.

[0025] 도 2에 도시된 바와 같이, 게이트(104) 및 게이트 스페이서(106)는 절연층(114)에 의해 둘러싸인다. 특정 실시예에서, 게이트 스페이서(106) 및 절연층(114)은 게이트 스페이서와 절연층 사이에 애칭 선택성이 있도록 다른 절연 물질로 형성된다. 예를 들어, 게이트 스페이서(106)는 질화 실리콘으로 형성될 수 있지만, 절연층(114)은 절연성 TEOS(데트라에틸 오르토실리케이트) 증착물로 형성된 산화 실리콘이다.

[0026] 특정 실시예에서, 도 2에 도시된 대체 금속 게이트 구조(102)는 예를 들어 화학적 기계적 연마(CMP)에 의해 평면화된다. 게이트 구조(102)의 평면화 후, 절연층(116)은 도 3에 도시된 바와 같이 게이트 구조 위에 형성(증착)된다. 특정 실시예에서, 절연층(116)은 질화 실리콘 또는 게이트 스페이서(106)와 동일한 절연 물질을 포함한다. 절연층(116)은 플라즈마 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(116)은 평면(비합침) 증착 공정을 사용하여 형성된다. 절연층(116)은 게이트 구조가 절연층에서 캡슐화되도록 게이트 구조(102) 상에 형성된다.

[0027] 일부 실시예에서, 절연층(118)은 도 4에 도시된 바와 같이 게이트 구조와 절연층(116) 사이의 게이트 구조(102) 상에 형성(증착)된다. 얇은 절연층(118)은 산화 실리콘 또는 절연층(114)과 동일한 절연 물질을 포함할 수 있다.

[0028] 절연층(116)의 증착 후에, 절연층(116)의 선택된 부분은 도 5에 도시된 바와 같이 게이트(104) 위에 절연 맨드릴(120)을 형성하도록 제거될 수 있다. 단순화를 위해, 도면부호가 나머지 도면의 모든 구성요소에 대해 표시되지 않는다(예를 들어, 모든 게이트(104) 또는 게이트 스페이서(106)에 표시되지 않는다). 각 맨드릴(120)은 그 하부의 게이트(104)와 대략 동일한 폭을 갖도록 형성될 수 있다. 특정 실시예에서, 각 맨드릴(120)은 적어도 그 하부의 게이트(104)의 폭만큼 넓다(예를 들어, 맨드릴은 적어도 그 하부의 게이트의 폭만큼 넓은 최소 폭을 갖지만, 맨드릴은 하부의 게이트보다 다소 넓다). 그러므로, 각 맨드릴(120)의 가장자리는 적어도 그 하부의 게이트(104)의 가장자리를 지나서 연장된다. 일부 경우에, 정렬 문제 및/또는 다른 제조 문제 때문에, 맨드릴(120) 중 하나 이상은 하부의 게이트의 폭보다 작은 폭을 가진다. 맨드릴의 폭은 종래에 공지된 인-라인 측정 기술을 사용하여 평가될 수 있다. 맨드릴이 하부의 게이트만큼 넓지 않은 경우에, 보다 작은 폭은 본원에 기술된 추후 공정 단계 동안 맨드릴 스페이서 폭을 이용하기 위해 보상될 수 있다.

[0029] 맨드릴(120)은 제거될 절연층의 부분들을 선택하도록 설계된 레지스트 패턴 또는 마스크로 절연층(116)을 패터

넣하는 것에 의해 형성될 수 있으며, 나머지 부분은 게이트(104) 위에 맨드릴을 형성한다. 맨드릴(120)을 형성하도록 사용된 레지스트 패턴 또는 마스크는 CAD(컴퓨터 지원 설계) 설계된 패턴 또는 마스크(예를 들어, CAD 설계된 레지스트 패턴을)일 수 있다. 특정 실시예에서, 컴퓨터 판독성 기억 매체는 실행될 때 맨드릴(120)을 형성하도록 사용된 CAD 설계 레지스트 패턴 또는 마스크와 같지만 이에 한정되지 않는 레지스트 패턴 또는 마스크를 발생시키는 다수의 명령을 저장한다. 일부 실시예에서, 맨드릴(120)을 형성하도록 사용된 레지스트 패턴 및/또는 마스크는 게이트(104)를 형성하도록 사용된 동일한 레지스트 패턴 및/또는 마스크이다. 동일한 레지스트 패턴 및/또는 마스크를 사용하는 것은 맨드릴(120)이 게이트(104)와 대략 동일한 임계 치수(예를 들어, 폭)을 가지는 것을 허용한다.

[0030] 레지스트 패턴 또는 마스크에 의한 제거를 위해 선택된 절연층(116)의 부분은 예를 들어 절연층의 선택된 부분의 에칭에 의해 제거될 수 있다. 일부 실시예에서, 절연층(116)의 에칭은 시간설정된 에칭(timed etch)이다. 에칭 공정은 에칭이 절연층(114)에서 정지하도록 시간설정될 수 있다. 일부 실시예에서, 절연층(116)을 에칭하는데 이용되는 에칭 공정은 절연층(116)에 있는 절연 물질이 에칭되지만 절연층(114)에 있는 절연 물질은 에칭되지 않도록 절연층(116)과 절연층(114) 사이에서 선택적이다. 예를 들어, 에칭 공정은 절연층(116)에서 사용된 질화 실리콘을 에칭할 수 있지만, 절연층(114)에서 사용된 산화 실리콘을 에칭할 수 없다. 에칭 공정은 게이트 스페이서(106) 내로 에칭할 수 있는 오버에칭이 없도록 절연층(114)에서 정지하도록 시간설정될 수 있다. 일부 실시예에서, 에칭 정지층(도 4에 도시된 폭은 절연층(118)과 같은)은 절연층(116)의 에칭 동안 오버에칭을 억제하도록 베이스층으로서 사용된다.

[0031] 맨드릴(120)의 형성 후에, 절연층(122)은 도 6에 도시된 바와 같이 맨드릴 및 절연층(114) 위에 형성(증착)된다. 특정 실시예에서, 절연층(122)은 질화 실리콘 또는 맨드릴(120)과 동일한 절연 물질을 포함한다. 절연층(122)은 플라즈마 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(122)은 비평면, 또는 등각, 증착 공정을 사용하여 형성된다. 비평면 증착을 사용하는 것은 도 6에 도시된 바와 같이 맨드릴(120)과 같이 물질이 증착되는 표면에 절연 물질이 합치하는 것을 가능하게 한다.

[0032] 절연층(122)의 증착 후에, 절연층의 부분은 도 7에 도시된 바와 같이 맨드릴 스페이서(124)를 형성하도록 제거(에치백)된다. 맨드릴 스페이서(124)는 맨드릴(120) 주위에서 맨드릴의 측면(가장자리)에 접하여 형성될 수 있다. 맨드릴 스페이서(124)는 옆쪽보다 아래로 빠르게 에칭하는 에칭 공정으로 절연층(122)의 부분들을 제거함으로써 형성될 수 있다. 그러므로, 에칭 공정은 바람직하게 측벽과 같은 수직면보다 수평면으로부터 빨리 절연층 물질을 제거한다. 맨드릴 스페이서(124)의 최종 폭은 에칭 공정 동안 에치 바이어스(etch bias) 및 에칭 시간과 같은 에칭 파라미터를 제어하는 것에 의해 제어될 수 있다.

[0033] 일부 실시예에서, 맨드릴 스페이서(124)는 맨드릴(120)과 유사한 높이를 가진다. 도 6에 도시된 바와 같이, 절연층(122)의 비평면(등각) 증착 때문에, 맨드릴 스페이서(124)는 도 7에 도시된 바와 같이 스페이서의 상부로부터 저부로 테이퍼(경사) 프로파일을 가진다. 그러므로, 맨드릴 스페이서(124)는 저부에서 넓고 상부에서 좁다.

[0034] 특정 실시예에서, 맨드릴 스페이서(124)는, 맨드릴 스페이서(124)의 가장자리가 게이트 스페이서(106)의 가장자리를 지나서 연장되는 폭으로 형성된다. 맨드릴 스페이서(124)의 폭은 절연층(122)의 부분을 제거하도록 사용되는 에칭 공정을 조절(예를 들어, 에칭 공정 동안 에칭 속도 및/또는 선택성을 제어)하는 것에 의해 및/또는 맨드릴 스페이서를 형성하도록 사용된 절연층의 증착 동안 절연층(122)의 두께를 조절하는 것에 의해 조정될 수 있다. 에칭 공정 및/또는 증착 두께를 조절하는 것에 의한 맨드릴 스페이서(124)의 폭을 조정할 수 있는 것은 맨드릴 스페이서의 폭이 로트 바이 로트(lot by lot) 또는 웨이퍼 바이 웨이퍼 기반으로 제어되도록 허용한다.

[0035] 맨드릴 스페이서(124)의 형성 후에, 절연층(126)은 도 8에 도시된 바와 같이 맨드릴(120), 맨드릴 스페이서, 및 절연층(114) 위에 형성(증착)된다. 특정 실시예에서, 절연층(126)은 산화 실리콘 또는 절연층(114)과 동일한 절연 물질을 포함한다. 절연층(126)은 TEOS 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(126)은 평면 증착 공정을 사용하여 형성된다. 절연층(126)은 맨드릴(120) 및 맨드릴 스페이서(124)가 절연층에서 캡슐화되도록 형성될 수 있다.

[0036] 절연층(126)의 형성 후에, 트렌치(128)는 도 9에 도시된 바와 같이 절연층(126) 및 절연층(114)을 통해 소스/드레인(112)까지 형성될 수 있다. 절연층(126) 및 절연층(114)이 동일한 절연 물질로 형성되기 때문에, 단일 에칭 공정은 트렌치(128)를 형성하도록 사용될 수 있다. 트렌치(128)는, 절연층(126) 및 절연층(114)에 있는 절연 물질(예를 들어, 산화 실리콘)을 에칭하지만 맨드릴(120) 및 맨드릴 스페이서(124)에 있는 절연 물질(예, 질화 실리콘)은 에칭하지 않도록 선택적인 에칭 공정을 사용하여 형성될 수 있다.

- [0037] 맨드릴 스페이서(124)의 적어도 일부는 트렌치(128)에서 노출된다. 맨드릴 스페이서(124)의 존재 및 맨드릴 스페이서의 경사 때문에, 트렌치(128)는 넓은 상부로부터 좁은 저부으로 경사진 프로파일을 가진다. 그러므로, 트렌치(128)의 경사는 맨드릴 스페이서(124)의 경사에 의해 결정된다. 트렌치(128)를 형성하도록 선택적 예칭을 사용하는 것은 게이트(104) 및 게이트 스페이서(106)의 가장자리 위에 형성된 맨드릴 스페이서(124)의 부분의 제거를 억제한다. 트렌치(128)에서 맨드릴 스페이서(124)의 폭과 프로파일을 유지하는 것은 트렌치, 맨드릴(120), 맨드릴 스페이서, 또는 게이트에서 일부 오정렬이 있을지라도 트렌치를 충전하도록 사용된 물질과 게이트(104)의 노출 부분이 접촉하는 것을 억제한다.
- [0038] 트렌치(128)의 형성 후에, 트렌치는 도 10에 도시된 바와 같이 도전성 물질(130)이 충전될 수 있다. 도전성 물질(130)은 텅스텐, 구리, 티타늄, 티타늄 질화물, 또는 이들의 조합을 포함할 수 있지만 이에 한정되지 않는다. 도전성 물질(130)은 스퍼터 또는 무전해 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 도전성 물질의 층으로서 형성될 수 있다. 특정 실시예에서, 도전성 물질(130)은 도전성 물질에 있는 하부층을 캡슐화하는 평면 증착 공정을 사용하여 형성된다. 도전성 물질(130)에 있는 하부층을 캡슐화하는 것은 트렌치(128)가 도전성 물질로 완전히 충전되는 것을 보장한다.
- [0039] 도전성 물질(130)로 트렌치(128)를 충전한 후에, 트랜지스터(100)는 도 11에 도시된 바와 같이 평면화될 수 있다. 트랜지스터(100)는 예를 들어 트랜지스터의 CMP에 의해 평면화될 수 있다. 트랜지스터(100)의 평면화는 맨드릴(120)과 맨드릴 스페이서(124)의 상부 부분이 평면의 표면에서 노출되도록 물질의 제거를 포함할 수 있다. 트랜지스터(100)의 평면화 후, 트렌치(128)에 있는 도전성 물질(130)은 소스/드레인(112)에 대한 트렌치 접점(132)을 형성한다.
- [0040] 트렌치 접점(132)은 트렌치(128)의 프로파일로 형성되고, 트렌치 접점은 저부에서보다 상부에서 넓다. 그러므로, 트렌치 접점(132)은 맨드릴 스페이서(124)의 경사에 의해 결정되는 경사를 가진다. 맨드릴 스페이서(124)와 트렌치 접점(132)의 경사 프로파일은 트렌치 접점(132)에 있는 도전성 물질(130)이 게이트(104)에 접촉(쇼트)하는 것을 억제한다. 예를 들어, 게이트, 트렌치 접점의 형성 동안, 또는 다른 공정 단계 동안 임의의 오정렬이 있으면, 트렌치 접점과 게이트 사이의 쇼트는 종래의 디바이스에서 발생할 수 있다. 맨드릴 스페이서(124)가 도 11에 도시된 바와 같이 보다 넓은 저부 프로파일을 가진 게이트(104)(및 게이트 스페이서(106))의 가장자리를 지나서 연장되기 때문에, 트렌치 접점(132)과 게이트(104) 사이에 쇼트에 대한 가능성이 거의 없거나 또는 전혀 없으며, 트렌치 접점들은 자기 정렬된다.
- [0041] 특정 실시예에서, 게이트(104)로부터 트렌치 접점(132)으로의 용량 결합은 맨드릴 스페이서(124)의 경사 및 폭으로 인하여 저부에 있는 트렌치 접점의 감소된 임계 치수때문에 낮게 된다. 일부 실시예에서, 게이트(104)의 폭은 확장된다. 게이트(104)는 맨드릴 스페이서(124)의 경사 및 폭으로 인하여 소스/드레인(112) 위에서 트렌치 접점의 자기 정렬때문에 트렌치 접점(132)에 대한 쇼트의 잠재성을 증가시키지 않고 확장될 수 있다. 게이트들(104)를 확장하는 것은 적은 누출, 더욱 양호한 전력 감소, 및 증가된 성능 특성을 제공할 수 있다. 트렌치 접점(132)의 자기 정렬은 증가된 제조 마진(예를 들어, 쇼트 또는 오정렬과 같은 제조 문제에 대해 적은 가능성)을 또한 제공한다.
- [0042] 평면화 공정 후에, 절연층(134)은 도 12에 도시된 바와 같이 트랜지스터(100)의 평면의 표면 위에 형성(증착)된다. 특정 실시예에서, 절연층(134)은 질화 실리콘 또는 맨드릴(120) 및 맨드릴 스페이서(124)와 동일한 절연 물질을 포함한다. 절연층(134)은 플라즈마 증착과 같은, 그러나 이에 제한되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(134)은 평면 증착 공정을 사용하여 형성된다. 절연층(134)은 하부층을 캡슐화하는 얇은 절연층일 수 있다.
- [0043] 특정 실시예에서, 절연층(136)은 도 13에 도시된 바와 같이 절연층(134) 위에 형성(증착)된다. 특정 실시예에서, 절연층(136)은 산화 실리콘 또는 절연층(114 및 116)과 동일한 절연 물질을 포함한다. 절연층(136)은 TEOS 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(136)은 평면 증착 공정을 사용하여 형성된다. 절연층(136)은 하부의 절연층(134)을 캡슐화하는 두꺼운 절연층일 수 있다.
- [0044] 절연층(136)의 증착 후에, 트렌치(138)는 도 14에 도시된 바와 같이 절연층(136) 및 절연층(134)을 통해 트렌치 접점(132)까지 형성된다. 특정 실시예에서, 트렌치(138)는 트렌치 접점(132) 및 소스/드레인(112)에 대한 국부 상호접속부를 위해 사용된다. 도 14에 도시된 바와 같이, 트렌치 접점(132)의 넓은 상부 프로파일은 트렌치(138)(및 트렌치를 사용하여 만들어진 국부 상호접속부)와 트렌치 접점 사이의 정렬을 위한 보다 많은 공차를

제공한다.

[0045] 특정 실시예에서, 트렌치(138)는 2단계 에칭 공정을 사용하여 형성된다. 제1 단계는 에칭 정지층으로서 절연층(134)을 사용하여 절연층(136)(산화 실리콘 에칭)을 통한 에칭일 수 있다. 제2 단계는 절연층(134)(질화 실리콘)을 통해 트렌치 접점(132)까지의 에칭일 수 있다.

[0046] 특정 실시예에서, 트렌치(140)는 도 15에 도시된 바와 같이 절연층(136)을 통해 형성된다. 트렌치(140)는 에칭 정지층으로서 절연층(134)을 사용하여 절연층(136)을 통해 절연층(134)까지 형성될 수 있다. 트렌치(140)는 게이트(104')(도 15에서 우측 게이트)에 대한 국부 상호접속부 루트를 형성하도록 사용될 수 있다. 게이트(104')는 트랜지스터(100)에 있는 다른 게이트로부터 분리될 수 있다(예를 들어, 게이트(104')는 트랜지스터의 분리 영역에 있고, 다른 게이트는 능동 영역에 있다). 트렌치(140)와 게이트(104') 외의 게이트 위에 있는 트렌치(138)를 결합하는 것은 국부 상호접속부가 게이트(104')에 대한 접속을 만들지 않고 통합되도록 허용한다.

[0047] 트렌치(140)가 형성된 후, 게이트 개방 트렌치(142)는 도 16에 도시된 바와 같이 게이트(104')에 접속하도록 게이트 위에 형성될 수 있다. 트렌치(142)는 게이트 개방 트렌치일 수 있다. 트렌치(142)는 예를 들어 질화 실리콘 에칭 공정을 사용하여 게이트(104') 위에 있는 맨드릴(120)과 맨드릴 스페이서(124)를 통해 에칭하는 것에 의해 형성될 수 있다. 트렌치(142)를 사용하여 게이트(104')에 접속하는 것은 게이트가 트랜지스터(100)에 있는 다른 게이트들에 접속하지 않고 선택적으로 접속되는 것을 가능하게 한다. 에칭 공정은 게이트(104') 주위에 있는 게이트 스페이서(106) 내로 상당한 오버에칭을 제한하도록 시간설정된 에칭 공정일 수 있다. 특정 실시예에서, 트렌치(142)를 형성하는 에칭 공정은, 에칭 공정이 맨드릴(120) 및 맨드릴 스페이서(124)의 절연 물질(예를 들어, 질화 실리콘)에 대해 선택적이고 에칭 공정이 절연층(114)(산화 실리콘) 내로 에칭되지 않음으로써 자기 정렬 공정이다. 트렌치(138), 트렌치(140), 및 트렌치(142)의 조합은 (소스/드레인(112)과 접촉하는) 트렌치 접점(132) 및 게이트(104') 사이의 루팅을 위하여 단순한 양방향성 국부 상호접속 방식을 제공할 수 있다.

[0048] 일부 실시예에서, 절연층(136)에 있는 절연 물질을 위한 제1 에칭 공정은 트렌치(140) 및 절연층(136)에 있는 트렌치(138)의 부분을 형성하도록 사용될 수 있다. 제2 에칭 공정은 그런 다음 트렌치(140)의 밑이 에칭되는 것을 절연층(134)이 보호하도록 마스크를 사용하여 트렌치(138)에 있는 절연층(134)의 부분을 제거하도록 사용될 수 있다. 일부 실시예에서, 절연층(134)을 위한 제2 에칭 공정은 또한 게이트(104')에 대한 트렌치(142)를 형성하도록 또한 사용될 수 있다.

[0049] 도전성 물질로 트렌치(138), 트렌치(140) 및 트렌치(142)를 충전하는 것은 도 17에 도시된 바와 같이 국부 상호접속부(144A, 144B, 144C)를 형성한다. 특정 실시예에서, 트렌치(138), 트렌치(140), 및 트렌치(142)는 도전성 물질로 동시에 충전된다. 국부 상호접속부(144A, 144B, 144C)를 형성하도록 사용된 도전성 물질은 트렌치 접점(132)을 형성하도록 사용된 동일 물질(예를 들어, 텡스텐 또는 구리)일 수 있다. 특정 실시예에서, 국부 상호접속부(144A, 144B, 및 144C)는 게이트 개방 트렌치(142)의 양방향 루팅 및 사용때문에 다른 루팅 방식에 사용된 국부 상호접속부보다 두껍다. 두꺼운 국부 상호접속부를 사용하는 것은 국부 상호접속부 층에 낮은 저항을 제공하는 것에 의해 트랜지스터 성능을 개선할 수 있다.

[0050] 특정 실시예에서, 트랜지스터(100)는 도 17에 도시된 평면의 표면을 형성하도록 도전성 물질로 트렌치(138), 트렌치(140), 및 트렌치(142)를 충전한 후에 평면화된다(예를 들어, CMP를 사용하여). 도 18은 절연층(116)의 하부에, 도 4에 도시된 실시예에서 도시된 것은 절연층(118)의 사용에 의해 도 17에 도시된 실시예와 구별되는 트랜지스터(100)의 다른 실시예를 도시한다.

[0051] 도 15 내지 도 18에 도시된 바와 같이, 국부 상호접속부(144C)를 형성하는 공정은 에칭하는 단계(트렌치를 형성) 및/또는 비교적 큰 단차 높이를 가진 트렌치를 충전하는 단계를 포함한다. 예를 들어, 큰 단차 높이는 도 16에 도시된 바와 같이 절연층(136)에 있는 트렌치(140)를 통해 게이트(104')까지 게이트 개방 트렌치(142)를 형성할 때 존재한다. 이러한 큰 단차 높이는 공정 동안 높이에서 큰 변화 때문에 제어 가능하게 에칭하고 충전하는데 어려울 수 있다. 예를 들어, 디바이스의 상부면(절연층(136)의 상부)과 게이트(104')의 상부면 사이의 높이에서 큰 단차때문에 게이트 개방 트렌치(142)의 종횡비를 제어하는 것이 어려울 수 있다.

[0052] 큰 단차 높이가 가진 문제를 극복하고 보다 양호한 수율을 제공하는 더욱 간단한 공정 흐름을 제공하도록, 단일 공정으로 게이트 개방 트렌치 및 트렌치 접점의 충전을 가능하게 하는 공정을 제공하는 것이 가능할 수 있다. 게이트 개방 트렌치 및 트렌치 접점을 동시에 충전하는 것은 게이트 개방까지 국부 상호접속부를 형성하는 것과 관련된 에칭 및 충전 단계 동안 단차 높이가 감소되는 더욱 간단한 공정을 제공할 수 있다.

[0053] 도 19 내지 도 29는 도 8에 도시된 트랜지스터(100)의 구조로부터 연속하는 트렌치 접점 및 국부 상호접속부를

형성하기 위한 대안적인 공정을 이용하여 형성된 트랜지스터(200)의 구조의 측단면도를 도시한다(예를 들어, 트랜지스터(200)는 트랜지스터(100)의 대안적인 실시예이다). 도 8에 도시된 바와 같이, 절연층(126)의 형성 후에, 트렌치(128)는 도 19에 도시된 바와 같이 레스트트(202)로 형성된 레지스트 패턴을 사용하여 절연층(126) 및 절연층(114)을 통해 소스/드레인(112)까지 형성된다. 트렌치(128)는 절연층(126) 및 절연층(114)에 있는 절연 물질(예를 들어, 산화 실리콘)을 에칭하지만 맨드릴(120) 및 맨드릴 스페이서(124)에 있는 절연 물질(예를 들어, 질화 실리콘)은 에칭하지 않도록 선택적인 에칭 공정을 사용하여 형성될 수 있다.

[0054] 트렌치(128)의 형성 후에, 트랜지스터(200)는 도 20에 도시된 바와 같이 게이트 개방 트렌치(142)를 형성하도록 레지스트(202)로 형성된 다른 레지스트 패턴으로 패터닝될 수 있다. 트렌치(142)는 제1 에칭 공정(예를 들어, 산화 실리콘 에칭 공정)을 사용하여 맨드릴(120)까지 절연층(126)을 에칭하고, 그런 다음 제2 에칭 공정(예를 들어, 질화 실리콘 에칭 공정)을 사용하여 게이트(104')(분리 게이트) 위에 있는 맨드릴(120) 및 맨드릴 스페이서(124)를 통해 를 에칭하는 것에 의해 형성될 수 있다. 일부 실시예에서, 맨드릴(120) 및 맨드릴(124)은 제1 에칭 공정을 위한 에칭 정지층으로서 사용된다. 일부 실시예에서, 제3 에칭 공정은 제2 에칭 공정을 위한 에칭 정지층으로서 사용될 수 있는 절연층(118)(도 4에 도시된)을 통해 에칭하는데 필요하다.

[0055] 일부 실시예에서, 에칭 공정 중 하나 이상은 상당한 오버에칭(예를 들어, 게이트 스페이서(104') 주위에 있는 게이트(106) 내로)을 제한하도록 시간설정된 에칭 공정이다. 특정 실시예에서, 트렌치(142)를 형성하는 제2 에칭 공정은, 제2 에칭 공정이 맨드릴(120) 및 맨드릴 스페이서(124)의 절연 물질(예를 들어, 질화 실리콘)에 대해 선택적이고 제2 에칭 공정이 절연층(114)(산화 실리콘) 내로 에칭하지 않음으로써 자기 정렬된 공정이다.

[0056] 게이트 트렌치(142)가 도 20에 도시된 바와 같이 트렌치(128)의 형성 후바로 형성되기 때문에, 게이트 개방 트렌치를 형성하기 위한 에칭 공정은 도 16에 도시된 게이트 개방 트렌치를 형성하기 위한 실시예에 도시된 것보다 얇은 에칭이며, 이는 트렌치(128)와 게이트 개방 트렌치(142)를 형성하는 단계 사이에 몇개의 중간 단계를 수반한다. 더욱 얇은 에칭 공정은 게이트 개방 트렌치(142)에서 종횡비의 개선된 제어를 제공한다. 도 20에 도시된 바와 같이, 게이트 개방 트렌치(142)를 위한 레지스트 패턴을 형성하도록 사용된 레지스트(202)는 게이트 개방 트렌치의 형성 동안 트렌치(128)의 에칭을 억제하도록 트렌치(128)를 충전할 수 있다.

[0057] 게이트 개방 트렌치(142)의 형성 후에, 레지스트(202)는 도 21에 도시된 바와 같이 트렌치(128) 및 게이트 개방 트렌치를 노출시키도록 제거될 수 있다. 트렌치(128) 및 게이트 개방 트렌치(142)는 비교적 유사한 단차 높이를 가질 수 있다. 레지스트의 제거 후에, 트렌치(128) 및 게이트 개방 트렌치(142)는 도 22에 도시된 바와 같이 도전성 물질(130)이 충전된다. 특정 실시예에서, 트렌치(128) 및 게이트 개방 트렌치(142)는 단일 공정(예를 들어, 동일한 공정)으로 도전성 물질(130)이 충전된다.

[0058] 도전성 물질(130)은 텅스텐, 구리, 티타늄, 티타늄 질화물, 또는 이들의 조합을 포함할 수 있지만 이에 한정되는 것은 아니다. 도전성 물질(130)은 스퍼터 또는 무전해 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 이용하여 도전성 물질의 층으로서 형성될 수 있다. 특정 실시예에서, 도전성 물질(130)은 도전성 물질에 있는 하부층을 캡슐화하는 평면 증착 공정을 사용하여 형성된다. 도전성 물질(130)에 있는 하부층들을 캡슐화하는 것은 트렌치(128) 및 게이트 개방 트렌치(142)가 도전성 물질로 완전히 충전되는 것을 보장한다.

[0059] 도전성 물질(130)로 트렌치(128) 및 게이트 개방 트렌치(142)를 충전한 후에, 트랜지스터(200)는 도 23에 도시된 바와 같이 평면화될 수 있다. 트랜지스터(200)는 예를 들어 트랜지스터의 CMP에 의해 평면화될 수 있다. 트랜지스터(200)의 평면화는 맨드릴(120) 및 맨드릴 스페이서(124)의 상부 부분이 평면의 표면에 노출되도록 물질의 제거를 포함할 수 있다. 트랜지스터(200)의 평면화 후에, 트렌치에(128)에 있는 도전성 물질(130)은 소스/드레인(112)에 대한 트렌치 접점(132)을 형성하고, 게이트 개방 트렌치(142)에 있는 도전성 물질(130)은 게이트(104')에 대한 게이트 개방 트렌치(204)를 형성한다.

[0060] 평면화 공정 후에, 절연층(134) 및 절연층(136)은 도 24에 도시된 바와 같이 트랜지스터(200)의 평면의 표면 위에 형성(증착)된다. 특정 실시예에서, 절연층(134)은 질화 실리콘 또는 맨드릴(120) 및 맨드릴 스페이서(124)와 동일한 절연 물질을 포함한다. 절연층(134)은 플라즈마 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(134)은 평면 증착 공정을 사용하여 형성된다. 절연층(134)은 하부층을 캡슐화하는 얇은 절연층일 수 있다.

[0061] 특정 실시예에서, 절연층(136)은 산화 실리콘 또는 절연층(114, 116)과 동일한 절연 물질을 포함한다. 절연층(136)은 TEOS 증착과 같은, 그러나 이에 한정되지 않는 종래에 공지된 방법을 사용하여 형성될 수 있다. 특정 실시예에서, 절연층(136)은 평면 증착 공정을 사용하여 형성된다. 절연층(136)은 하부 절연층(134)을 캡슐화하

는 두꺼운 절연층일 수 있다.

[0062] 절연층(136)의 중착 후에, 트렌치(206)는 도 25에 도시된 바와 같이 레지스트(202)로 형성된 레지스트 패턴을 사용하여 절연층(136)을 통해 형성된다. 특정 실시예에서, 절연층(134)은 절연층(136)을 통한 트렌치(206)의 형성을 위한 에칭 정지층으로서 사용된다. 일부 실시예에서, 절연층(134)은 사용되지 않는다(에칭 정지층이 없다). 에칭 정지층이 없는 실시예에서, 시간설정된 에칭은 절연층(136)을 통해 형성된 트렌치(206)의 깊이를 제어하도록 사용된다. 그러나, 시간설정된 에칭은 적절히 제어되지 않으면 오버에칭에 의한 잠재적 문제를 가질 수 있다.

[0063] 트렌치(206)의 형성 후에, 레지스트(202)로 형성된 다른 레지스트 패턴은 도 26에 도시된 바와 같이 절연층(136)을 통해 트렌치(208)를 형성하도록 사용될 수 있다. 트렌치(208)는 에칭 정지층으로서 절연층(134)을 사용하여 절연층(136)을 통해 절연층(134)까지 형성될 수 있거나, 또는 트렌치(208)는 시간설정된 에칭을 사용하여 절연층(134) 없이 형성될 수 있다.

[0064] 트렌치(206) 및 트렌치(208)의 형성을 완료하도록, 도 27에 도시된 바와 같이, 절연층(134)은 에칭 공정을 사용하여 트렌치로부터 제거될 수 있으며, 레지스트(202)는 트랜지스터(200)의 표면으로부터 제거될 수 있다. 특정 실시예에서, 절연층(134)을 제거하는 에칭 공정은 트렌치(208)에서 노출된 맨드릴(120) 및 맨드릴 스페이서(124) 내로 오버에칭을 억제하도록 시간설정된 에칭 공정이다.

[0065] 특정 실시예에서, 트렌치(206)는 트렌치 접점(132) 및 소스/드레인(112)에 대한 국부 상호접속부를 위해 사용된다. 트렌치(208)는 게이트(104')(도 27에서 우측에 있는 게이트)에 대한 국부 상호접속부 루트를 형성하도록 사용될 수 있다. 특정 실시예에서, 트렌치(208)는 게이트(104')(분리된 게이트)에 대한 국부 상호접속부와 트렌치 접점(132) 및 소스/드레인(112)에 대한 국부 상호접속부를 통합하도록 트렌치(206) 중 하나와 결합된다. 트렌치(206)와 트렌치(208)의 결합은 트렌치 접점(132)(소스/드레인(112)을 접촉하는)과 게이트(104') 사이의 루팅을 위한 간단한 양방향성 국부 상호접속부 방식을 제공할 수 있다.

[0066] 절연층(134)의 제거 후에, 트렌치(206) 및 트렌치(208)는 도 28에 도시된 바와 같이 도전성 물질(210)이 충전될 수 있다. 도전성 물질(210)은 텅스텐, 구리, 티타늄, 티타늄 질화물, 또는 이들의 조합을 포함할 수 있지만 이에 한정되지 않는다. 도전성 물질(210)은 스퍼터 또는 무전해 중착과 같지만 이에 한정되지 않는 종래에 공지된 방법을 이용하여 도전성 물질의 층으로서 형성될 수 있다. 도전성 물질(210)은 트렌치 접점(132)을 형성하도록 사용된 동일한 물질(예를 들어, 도전성 물질(130))일 수 있다. 특정 실시예에서, 도전성 물질(210)은 도전성 물질에 있는 하부층을 캡슐화하는 평면 중착 공정을 사용하여 형성된다. 도전성 물질(210)에 있는 하부층을 캡슐화하는 것은 트렌치(206) 및 트렌치(208)가 도전성 물질로 완전히 충전되는 것을 보장한다.

[0067] 도전성 물질(210)로 트렌치(206) 및 트렌치(208)를 충전한 후에, 트랜지스터(200)는 도 29에 도시된 바와 같이 평면화될 수 있다(예를 들어, CMP를 사용하여). 트랜지스터(200)의 평면화는 절연층(136)의 하나 이상의 부분이 평면의 표면에 노출되도록 물질의 제거를 포함할 수 있다. 트랜지스터(200)의 평면화 후, 트렌치(206)에 있는 도전성 물질(210)은 트렌치 접점(132)에 대한 국부 상호접속부(212A)를 형성하고, 트렌치(208)에 있는 도전성 물질(210)은 게이트 개방 트렌치 접점(204)에 대한 국부 상호접속부(212B)를 형성한다. 도 29에 도시된 바와 같이, 게이트 개방 트렌치 접점(204)은 연속 물질인 국부 상호접속부 및 게이트 개방 트렌치(예를 들어, 도 17에 도시된 국부 상호접속부(144C) 및 게이트 개방 트렌치(142)) 대신에 국부 상호접속부(212B)와의 인터페이스를 갖는다.

[0068] 특정 실시예에서, 도 29에 도시된 바와 같이, 국부 상호접속부(212A 및 212B)는 게이트 개방 트렌치 접점(204)의 양방향 루팅 및 사용 때문에 다른 루팅 방식에서 사용된 국부 상호접속부보다 두껍다. 두꺼운 국부 상호접속부를 사용하는 것은 국부 상호접속부 층에 낮은 저항을 제공하는 것에 의해 트랜지스터 성능을 개선할 수 있다. 특정 실시예에서, 트렌치 접점(132)과 게이트 개방 트렌치 접점(204) 사이의 국부 상호접속부(212A 및 212B)와의 루팅은 보다 양호한 전지 밀도를 제공하고, 보다 양호한 기술적 스케일링(예를 들어, 15 nm 기술로 축소) 및/또는 라이브러리 셀의 소형화를 허용한다. 일부 실시예에서, 트렌치 접점(132)과 게이트 개방 트렌치 접점(204) 사이의 국부 상호접속부(212A 및 212B)와의 루팅은 트렌치 접점 및/또는 절연층(136)에 있는 게이트 개방 트렌치 사이의 루팅을 위한 다중 선택을 허용하는 것에 의해 루팅 유연성을 제공한다.

[0069] 도 2 내지 도 29에 도시된 상기 공정 실시예는 대체 게이트 흐름 위에서 연장되고 트렌치 접점과 게이트에 접속하는 간단한 국부 상호접속부 방식을 만들도록 게이트의 소스/드레인에 접속하는 자기 정렬 트렌치 접점을 이용할 수 있다. 본원에서 기술된 일부 공정의 실시예는 트렌치 접점 및 국부 상호접속부 결합 용량에 대해 낮은 게

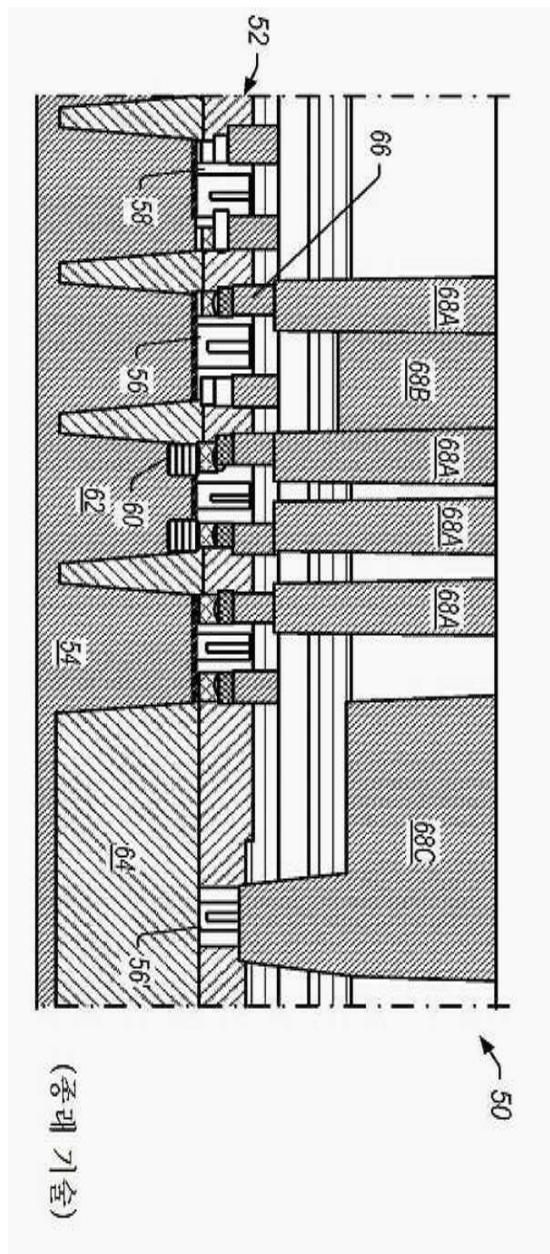
이트를 제공할 수 있다. 본원에 기술된 공정의 실시예를 사용하는 것은 이전의 대체 게이트 흐름 접속 방식에 비하여 층들 사이의 저항 인터페이스의 수를 더욱 감소시킬 수 있다. 부가하여, 본원에 기술된 자체 정렬 공정의 실시예는 접점 사이의 오정렬의 잠재성이 감소됨으로써 보다 양호한 제조 수율을 제공할 수 있으며, 본원에 기술된 공정은 선택적 에칭 충과 더욱 제한적인 정렬 규칙을 이용하는 이전의 대체 게이트 흐름 접속 방식 및/또는 공정 흐름보다 간단한 공정 흐름을 제공한다.

[0070] 도 2 내지 도 29에 대해 상기된 공정 실시예는 도 2에 도시된 바와 같은 대체 게이트 흐름을 이용하는 어떠한 반도체 디바이스도 형성하도록 사용될 수 있다. 예를 들어, 상기된 실시예는 마이크로프로세서, 저장 디바이스 (예를 들어, SRAM 디바이스), 모바일 기술 디바이스, 또는 제조 동안 대체 게이트 흐름을 이용하는 임의의 다른 디바이스 기술을 위해 사용되는 반도체 디바이스를 형성하도록 사용될 수 있다.

[0071] 본 발명의 다양한 형태의 추가의 변형 및 대안적인 실시예는 이러한 설명의 관점에서 당업자에게 자명할 것이다. 따라서, 이러한 설명은 단지 예시적인 것으로 해석되어야 하며, 본 발명을 수행하는 일반적인 방식을 당업자에게 교시하는 목적을 위한 것이다. 본원에 도시되고 기재된 발명의 형태는 현재 바람직한 실시예로서 간주되어야 하는 것을 이해해야 한다. 요소 및 물질은 본원에 예시되고 기술된 것들을 위해 대체될 수 있으며, 부품 및 공정이 역전될 수 있고, 본 발명의 특정 특징은 본 발명의 설명의 이점을 가진 후에 당업자에게 모두 자명할 수 있는 바와 같이 독립적으로 이용될 수 있다. 변경은 이하의 특허청구범위에 기재된 바와 같은 본 발명의 사상 및 범위를 벗어남이 없이 본원에 기재된 요소에서 행해질 수 있다.

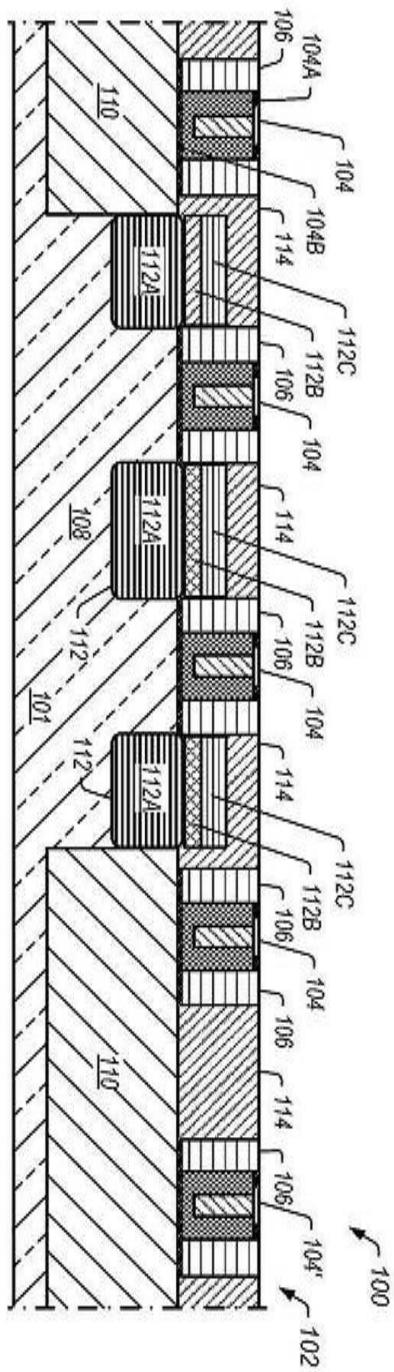
도면

도면1

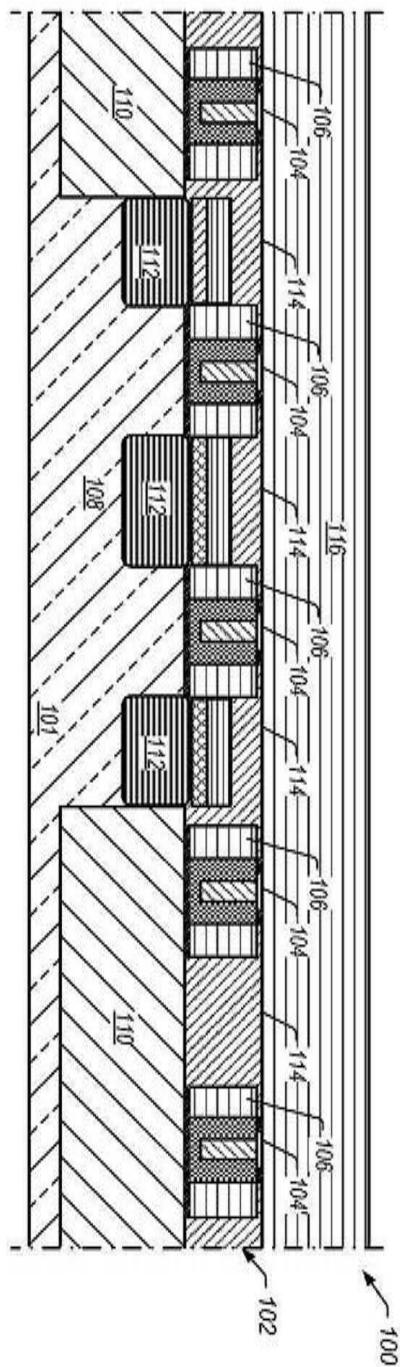


(종래 기술)

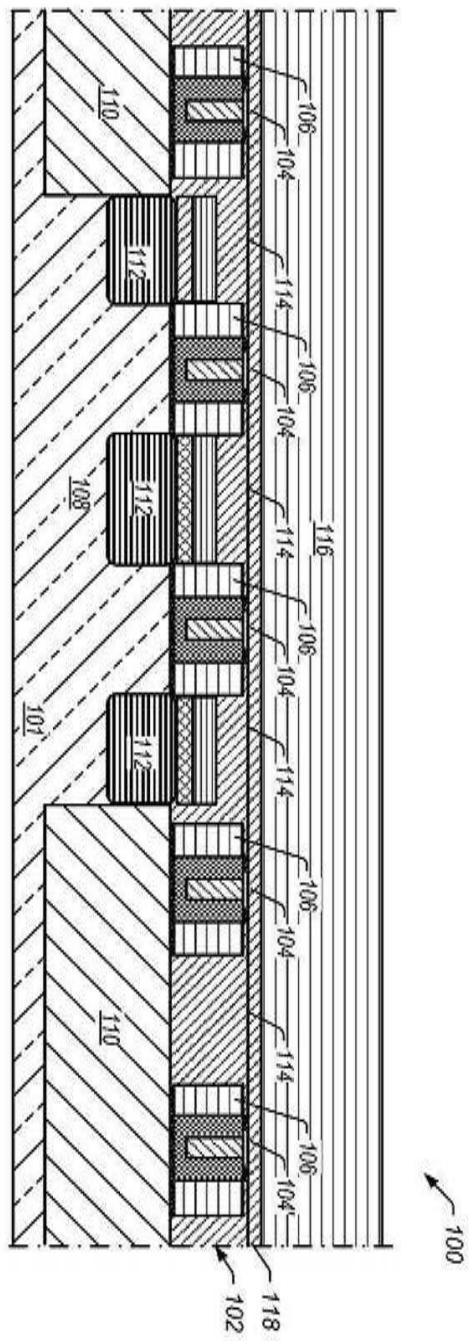
도면2



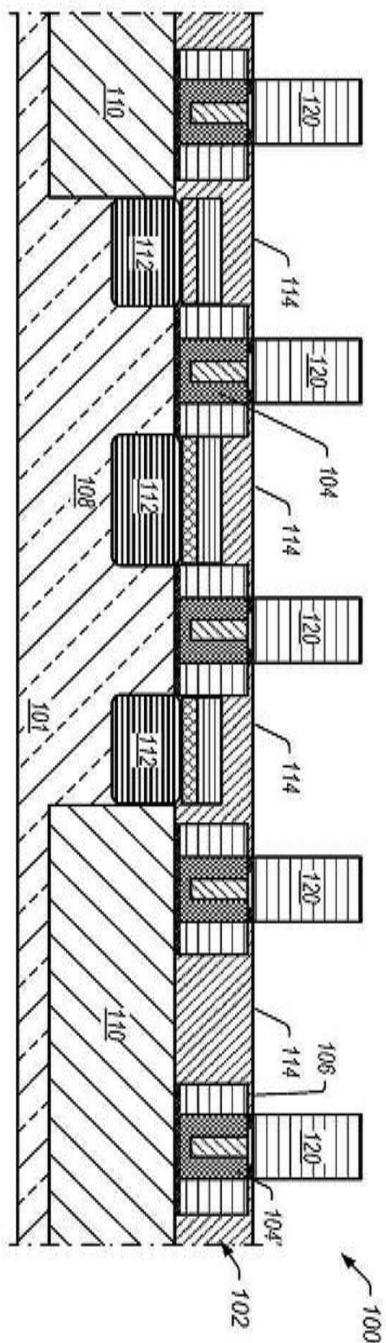
도면3



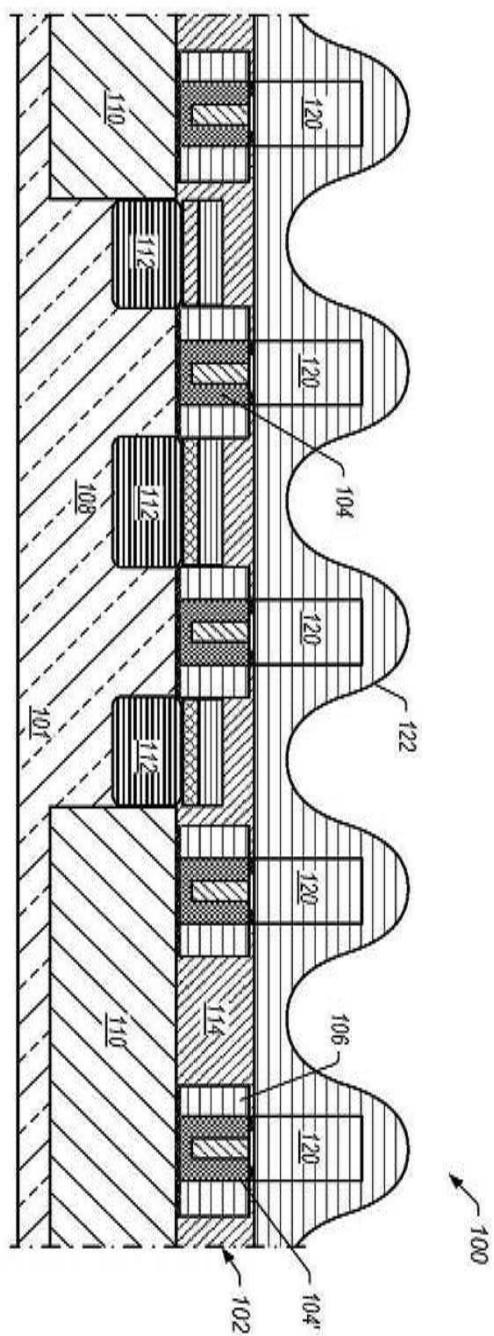
도면4



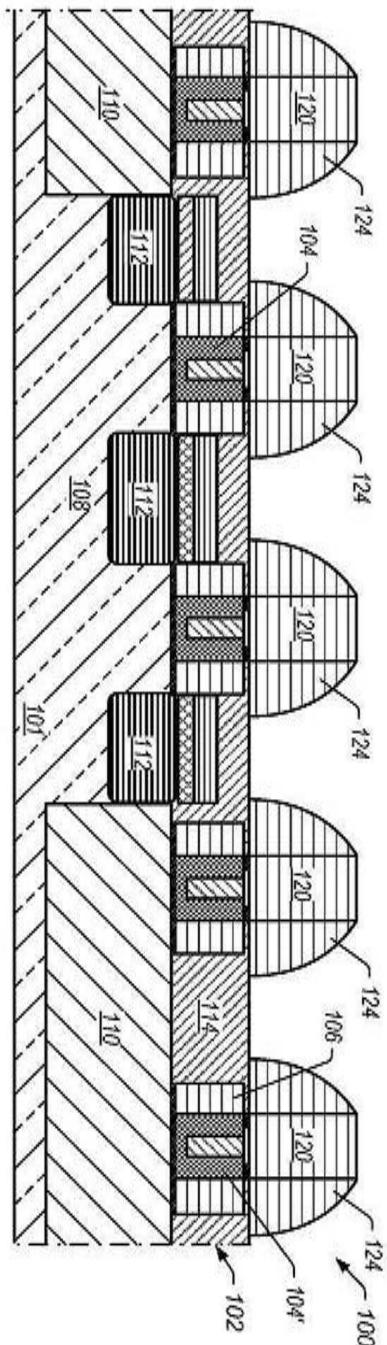
도면5



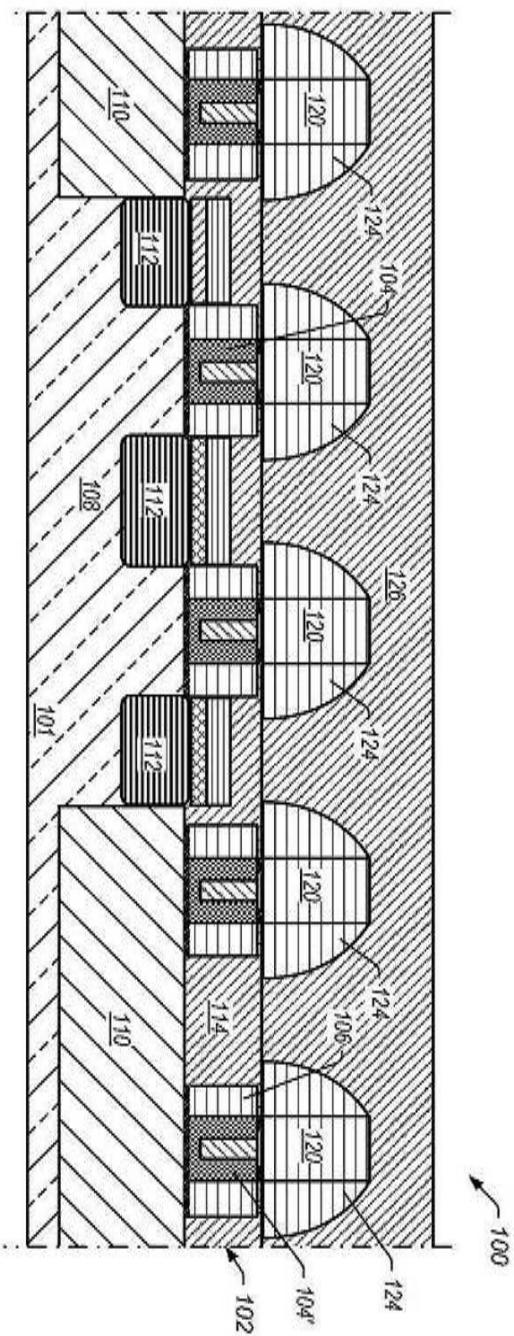
도면6



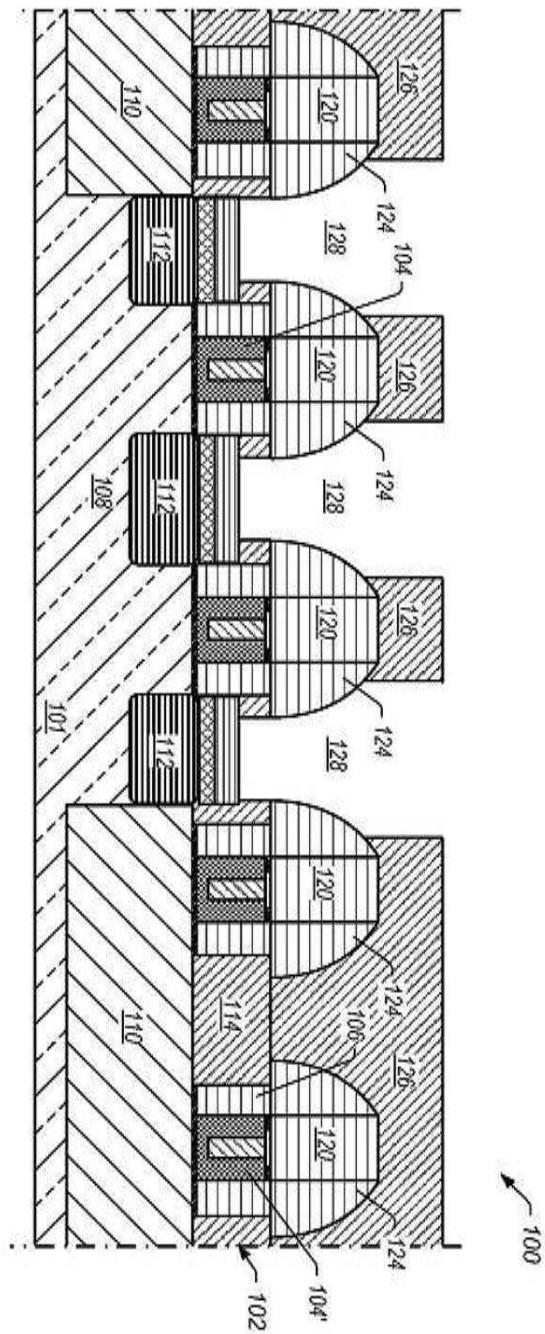
도면7



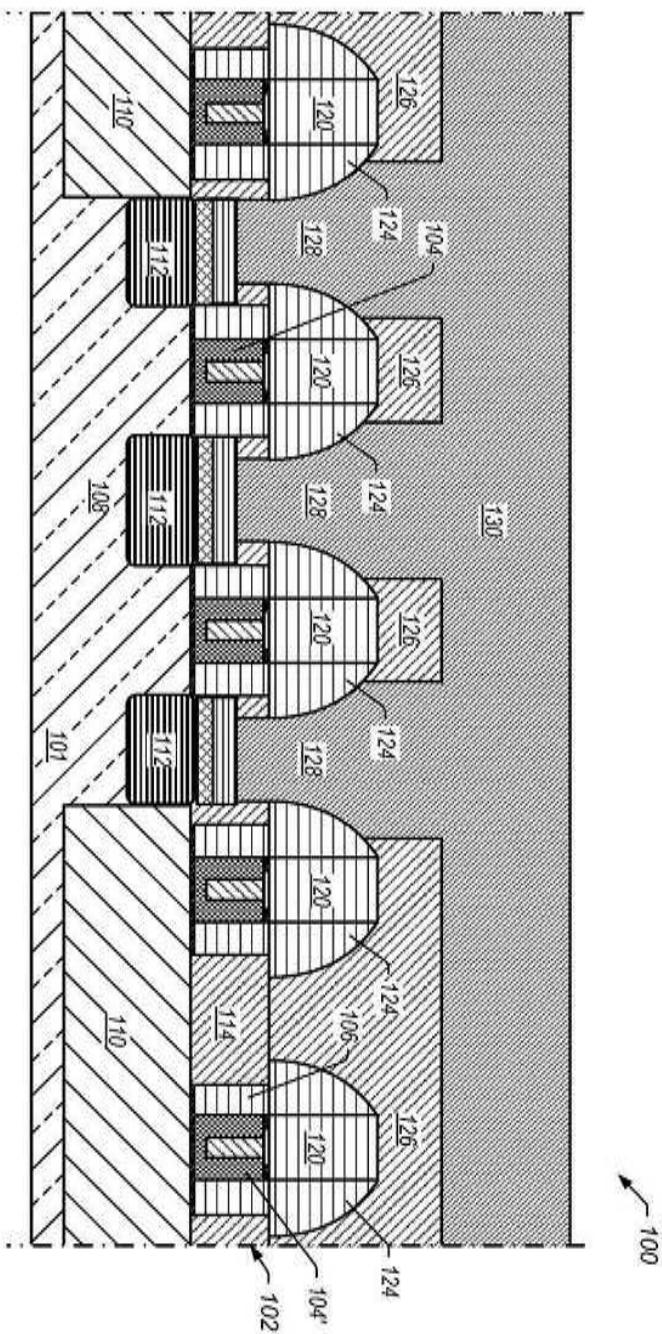
도면8



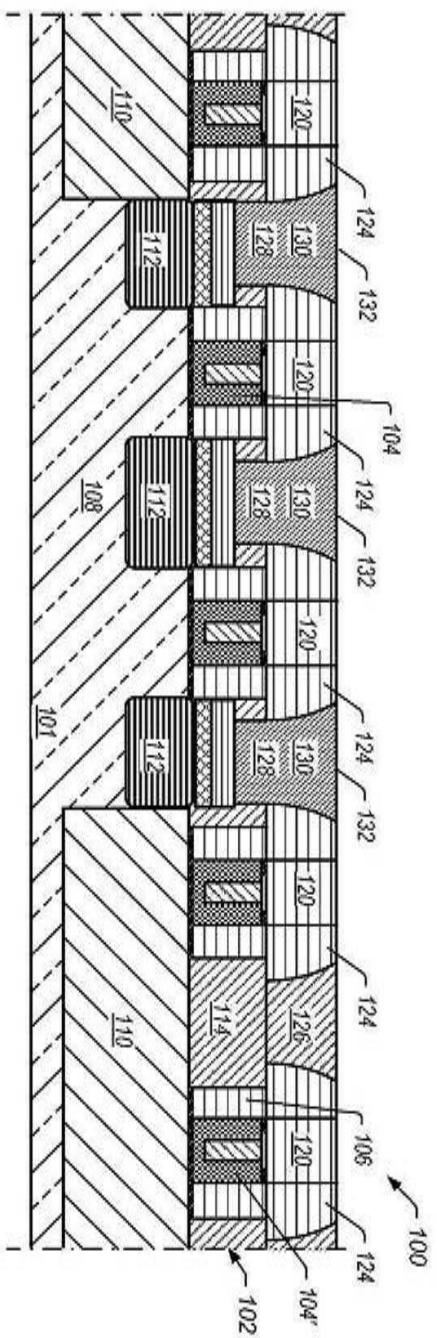
도면9



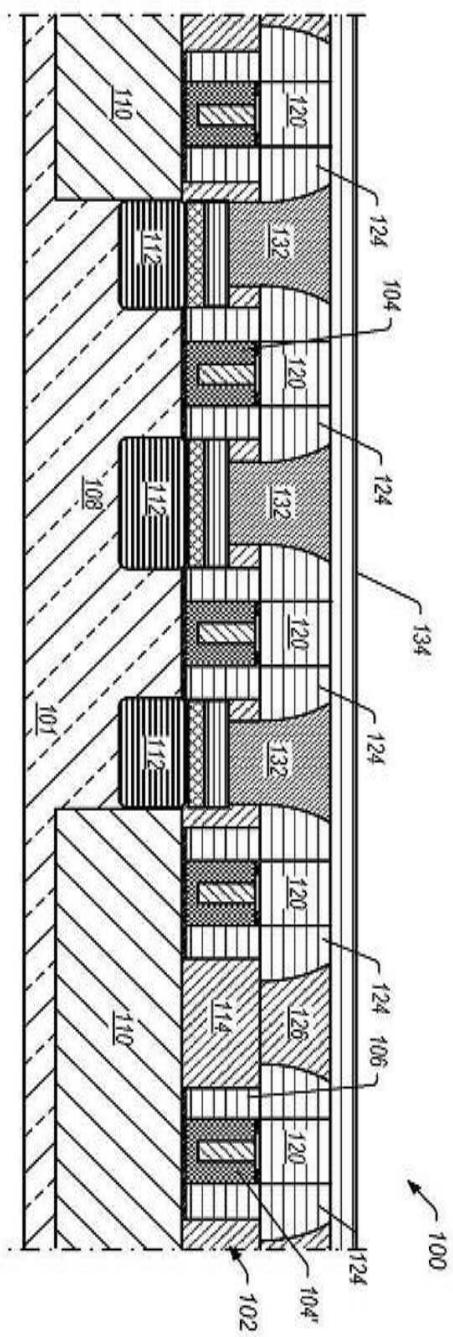
도면10



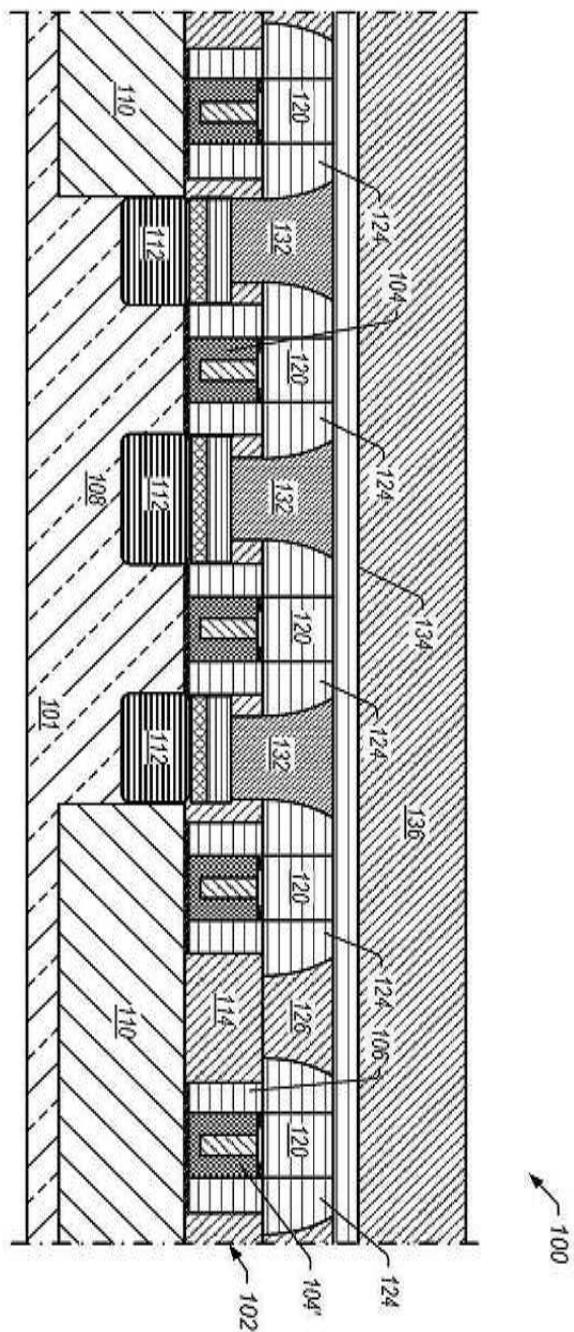
도면11



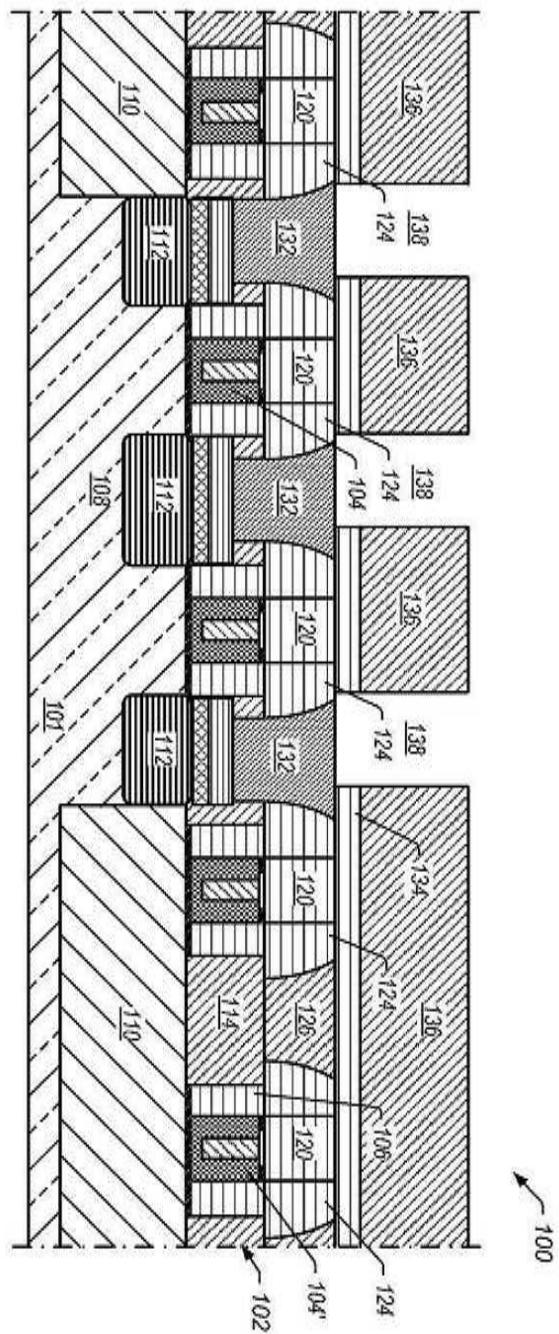
도면12



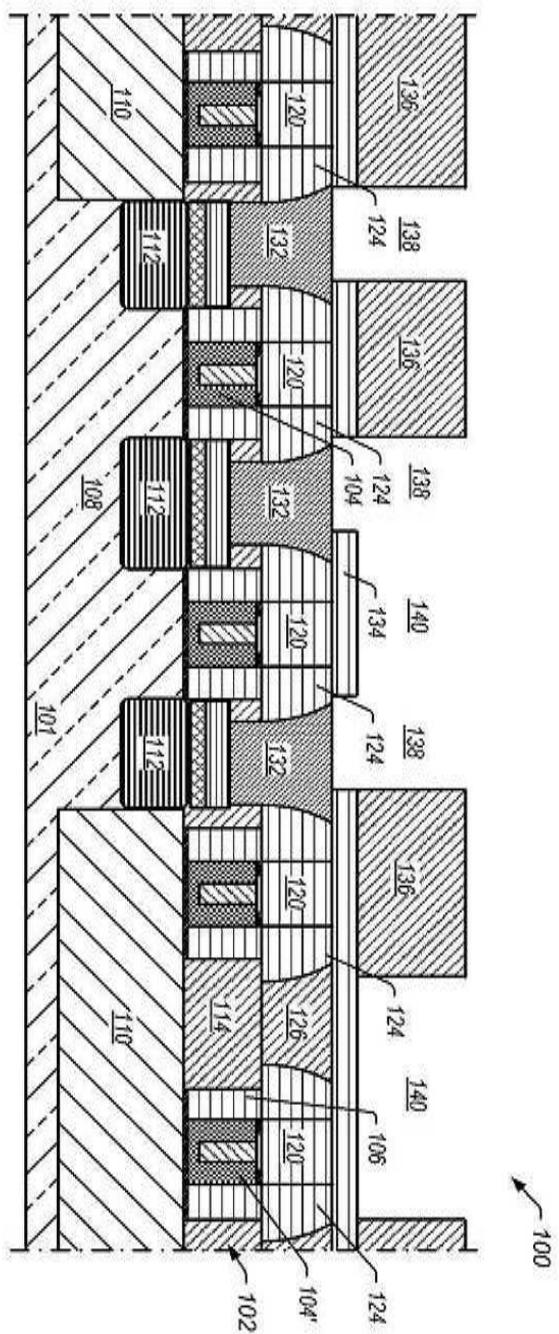
도면13



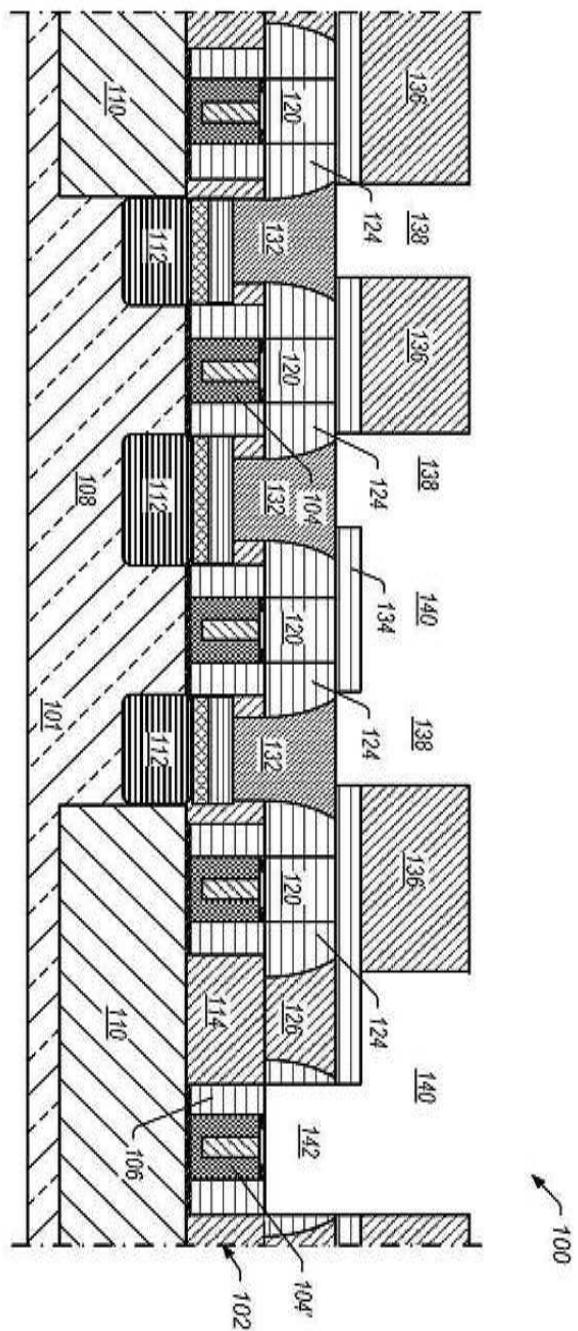
도면14



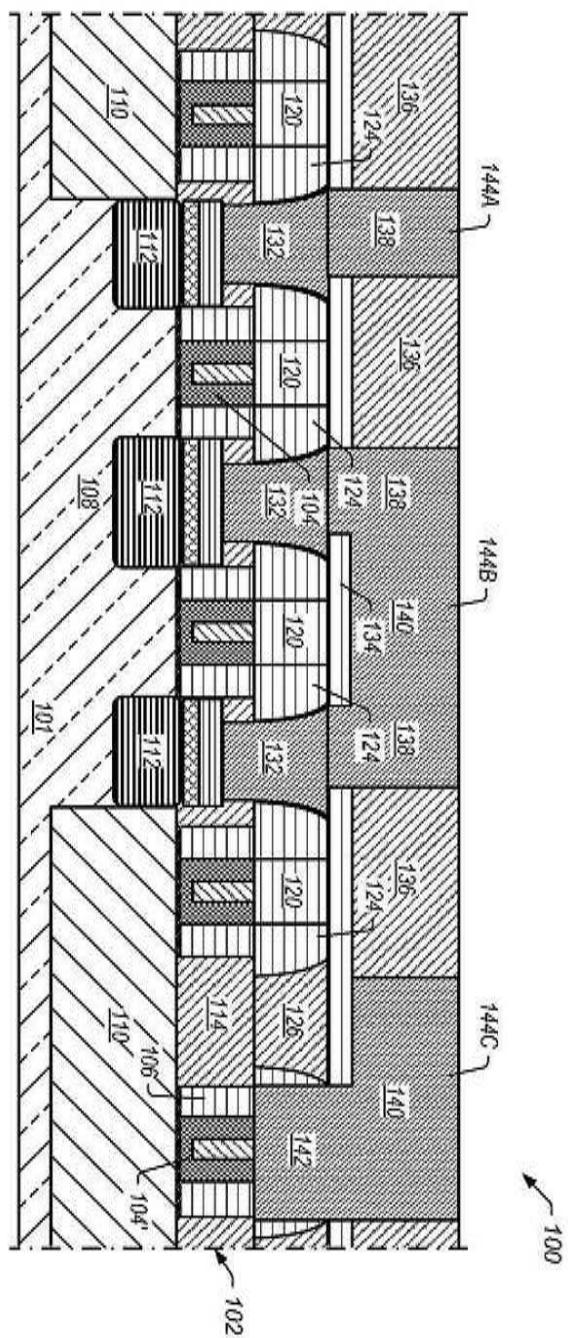
도면15



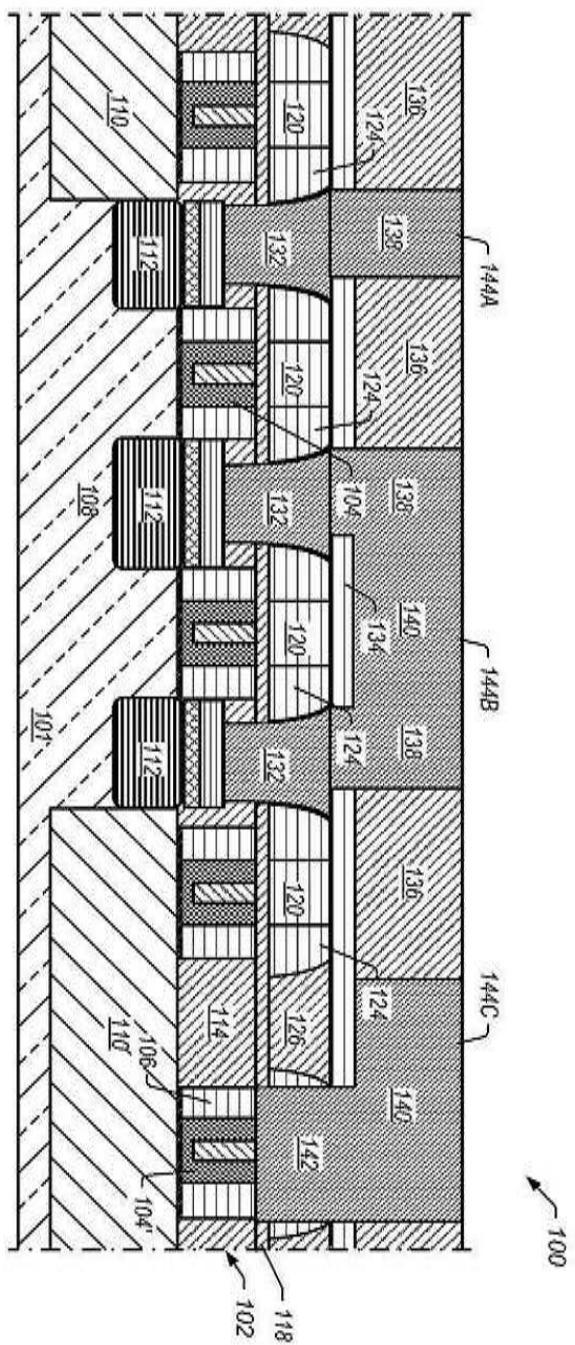
도면16



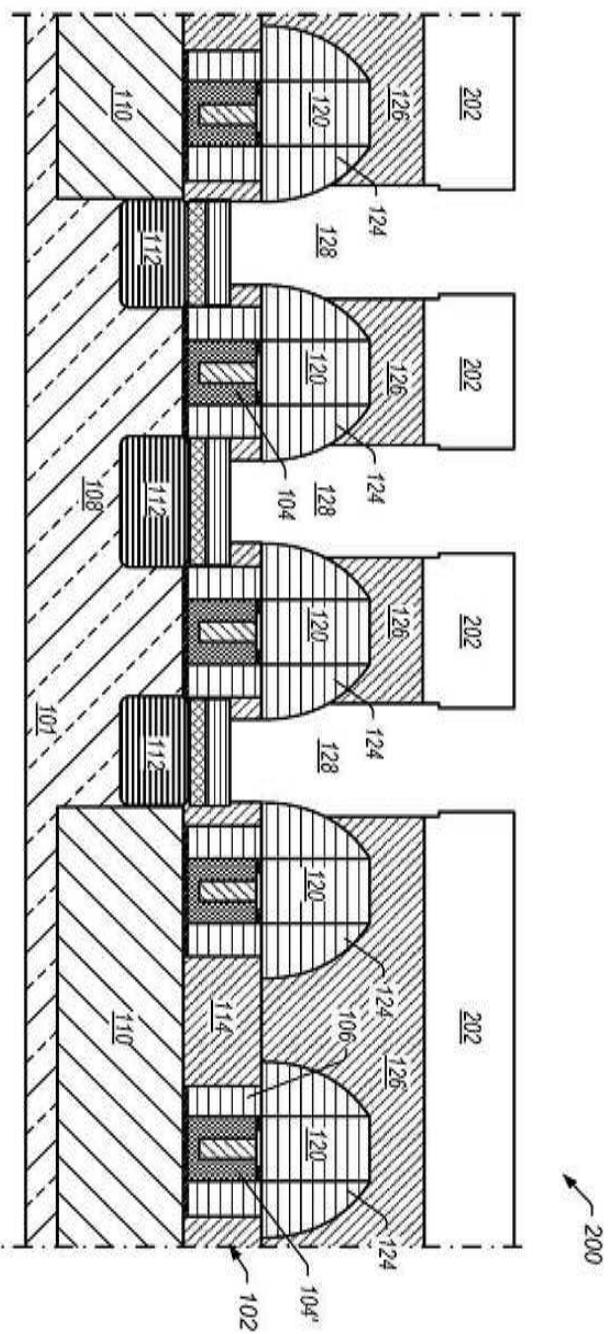
도면17



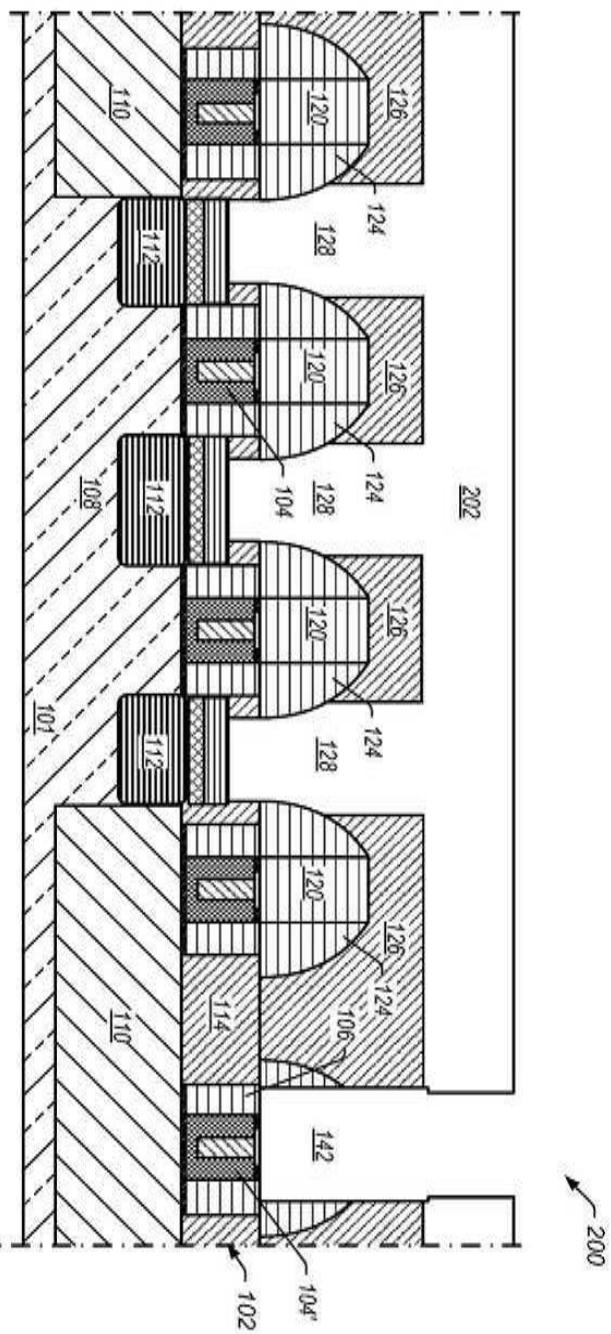
도면18



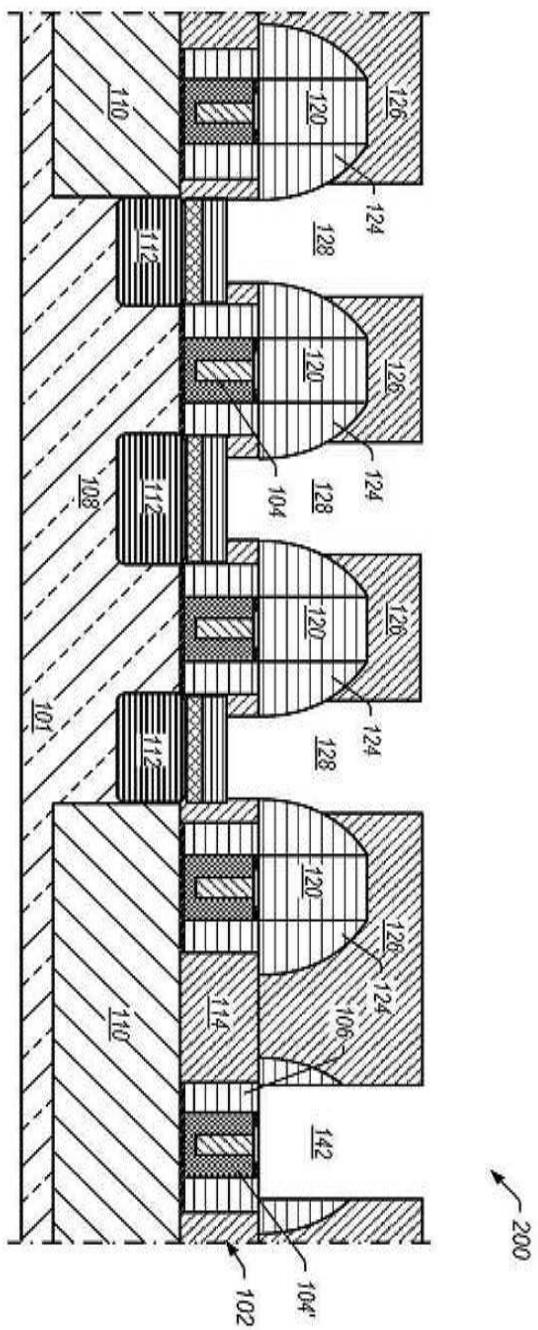
도면19



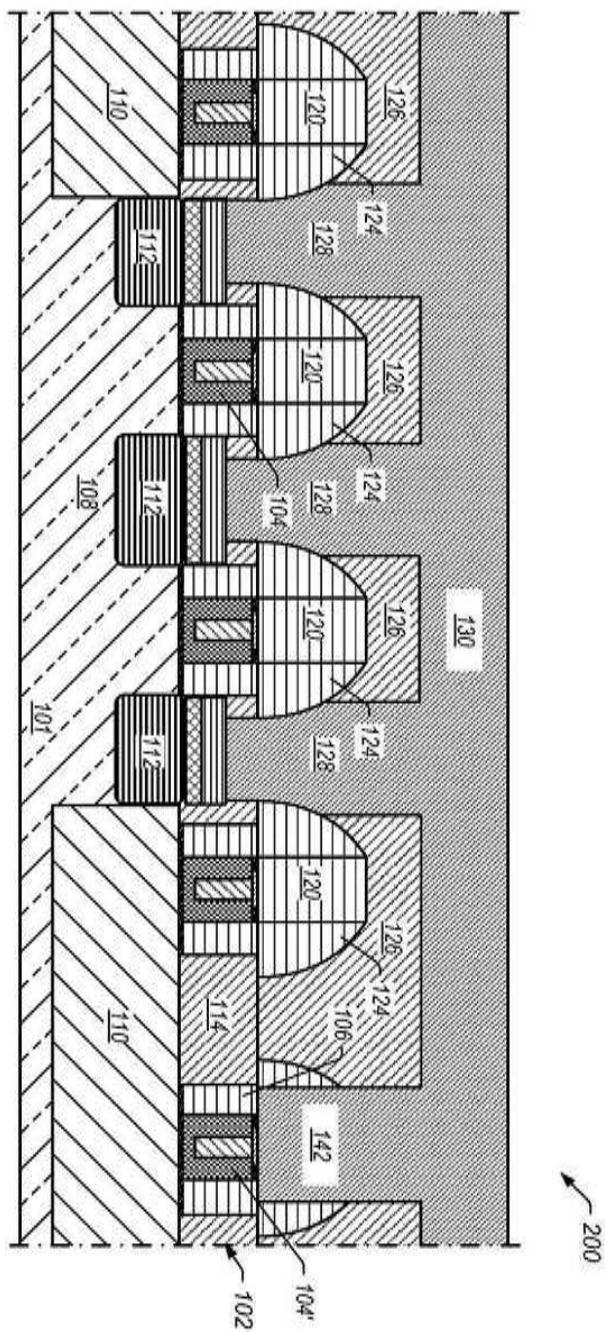
도면20



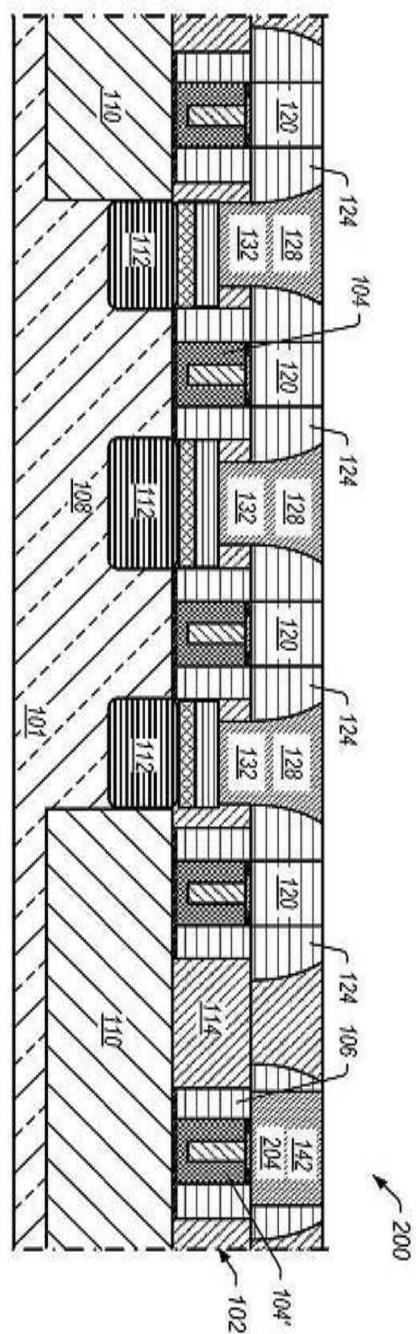
도면21



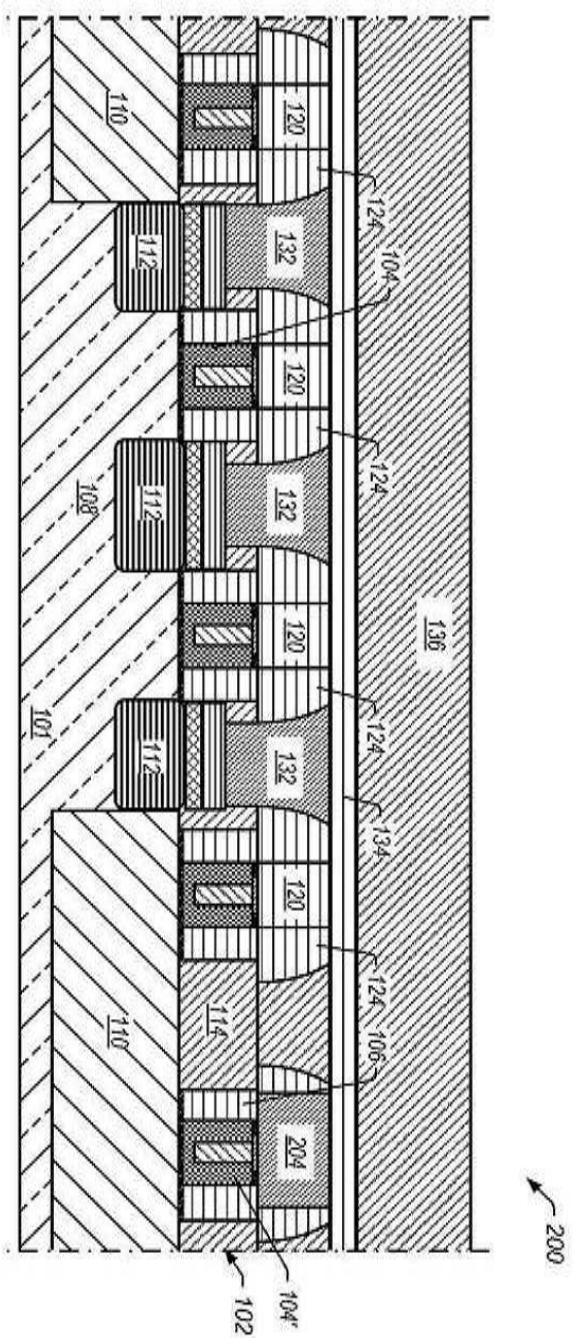
도면22



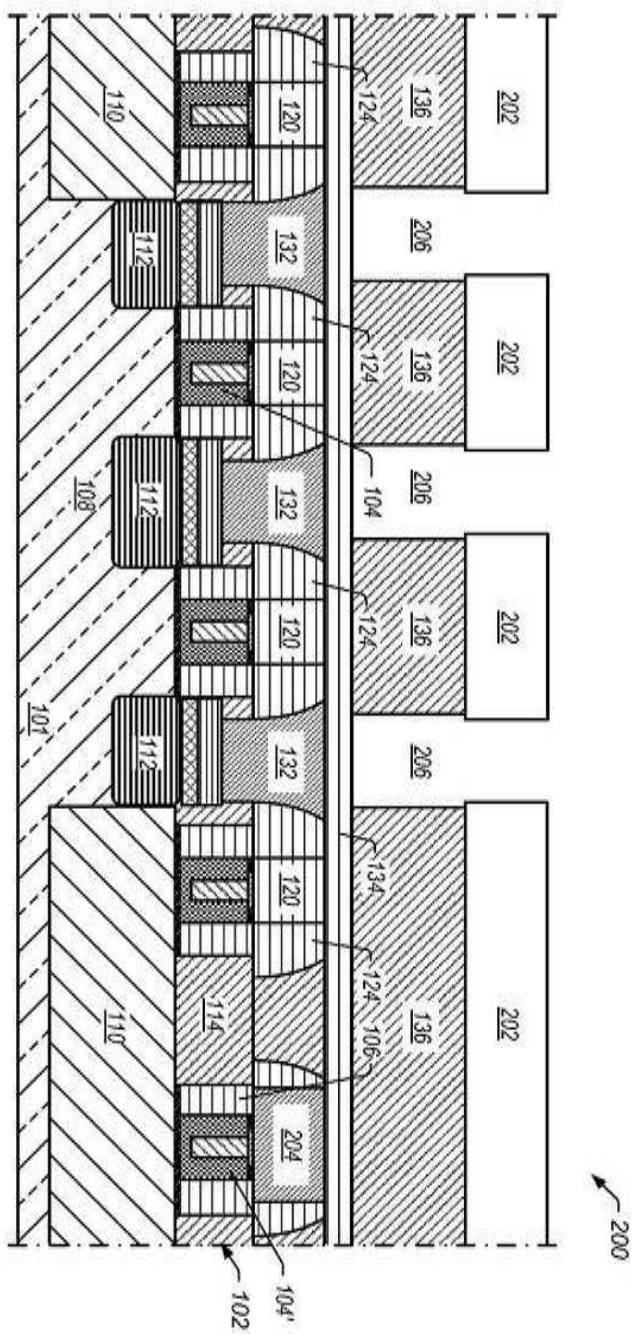
도면23



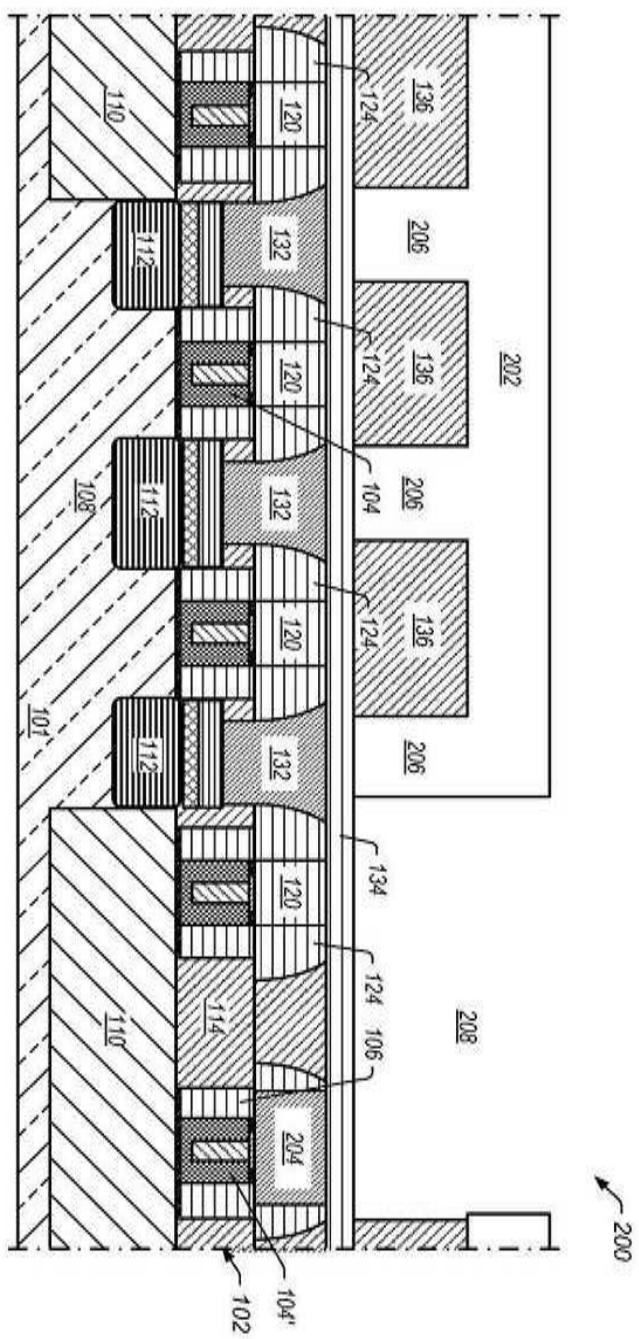
도면24



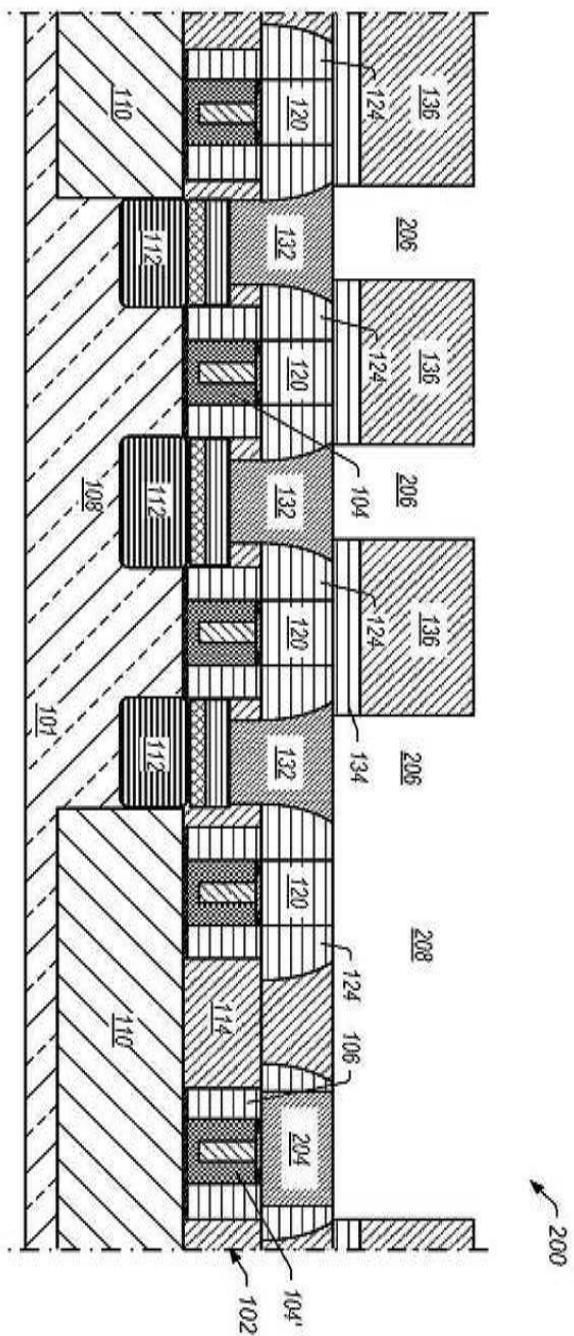
도면25



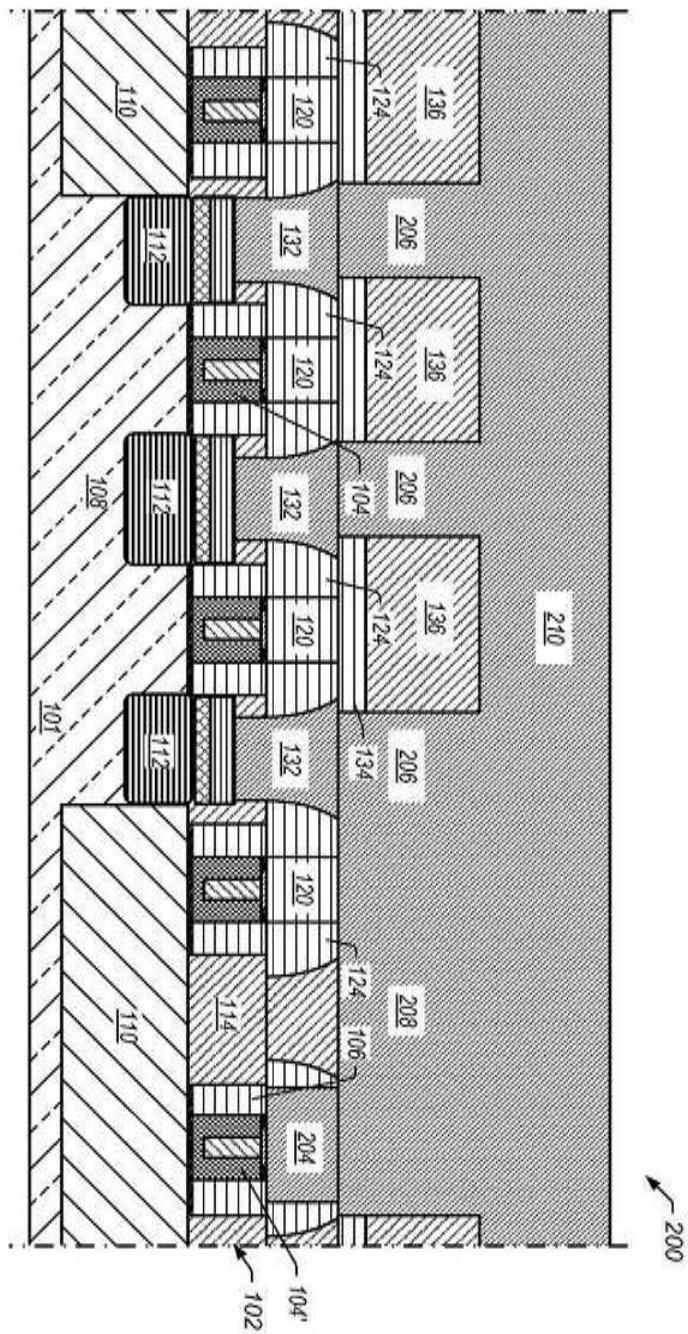
도면26



도면27



도면28



도면29

