(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/8232 (2006.01)

(45) 공고일자 2006년09월06일
(11) 등록번호 10-0617894
(24) 등록일자 2006년08월23일

(21) 출원번호 10-2000-0035027
(22) 출원일자 2000년06월24일

(65) 공개번호 10-2001-0029836
(43) 공개일자 2001년04월16일

(30) 우선권주장 60/140,909 1999년06월24일 미국(US)

(73) 특허권자
루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자
챠우드흐리사미르
미국32839플로리다올란도파크센트럴드라이브-#20125040

센시드할싸
미국32835플로리다올란도콘로이로드-에이피티.19056373

체트루얼선달스리니바산
미국32836플로리다올란도코브레이크드라이브10063

그레골리챠드윌리암
미국32789플로리다윈터파크워터폴라네380

로이프라딥쿠말
미국32819플로리다올란도히든아이비코울트7706

(74) 대리인
이병호
정상구
신현문
이범래

심사관 : 백양규

(54) 모스 트랜지스터 및 그의 제조 방법

요약

본 발명에 따라, 감소된 피처 크기의 MOS 트랜지스터 및 그의 제조 방법이 공개된다. 본 발명은 숏 채널 효과를 감소시키지만, LDD 구조물을 포함하지 않는다. 예시된 실시예에서, MOS 트랜지스터는 1.25㎛ 이하의 게이트 길이를 갖는다. 전형적인 MOS 트랜지스터는 기판과 함께 실질적으로 스트레스 없는 인터페이스 및 평면을 형성하는 게이트 산화물을 포함한다. 산화물/기판 인터페이스의 평면성 및 실질적으로 스트레스 없는 특성의 결과로서, 핫 캐리어의 발생 및 그에 따른 유독한 핫 캐리어 효과가 감소된다. LDD 구조물의 사용을 배제함으로써, 제조 복잡성이 감소되고, 직렬 소스-드레인 저항이 감소되어 개선된 구동 전류 및 스위칭 속도를 얻을 수 있다.

대표도

도 1

색인어

MOS 트랜지스터, 숏 채널 효과, LDD 구조물, 인터페이스

명세서

도면의 간단한 설명

도 1은 본 발명의 전형적인 실시예의 단면도.

도 2-4는 본 발명의 전형적인 실시예에 따른 예시적인 제조 시퀀스의 단면도.

도 5는 종래 장치를 위해서 및 본 발명의 전형적인 실시예에 따른 핫 캐리어 에이징(HCA)을 나타내는 기판 전류에 대한 시간의 그래프도.

도 6은 본 발명의 전형적인 장치를 위해서 및 LDD 구조물을 사용하는 종래 장치를 위한 구동 전류에 대한 구동 게이트 길이의 그래프도.

＊ 도면의주요부분에대한부호의설명 ＊

10: MOS 트랜지스터 11: 게이트 구조물

12: 기판 13: 채널

14: 소스 15: 드레인

16: 산화물 층 19: 인터페이스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 1999년 11월 30일 출원된 가출원 번호 제 60/168,036 및 1999년 6월 24일 출원된 가출원 번호 제 60/140,999에 관하여 우선권을 주장한다.

본 발명은 일반적으로 집적 회로들에 관한 것이며, 특히, MOS 트랜지스터 및 그의 제조 방법에 관한 것이다.

집적 회로(IC)의 복잡도가 증가함에 따라, IC 내의 디바이스들의 크기는 감소해야 한다. 디바이스의 크기를 감소시키기 위해, 디바이스의 여러 가지 소자들(피처)이 비례해서 감소되어야 한다. 이는 디바이스 스케일링으로서 공지되어 있다. 집적 회로에서 하나의 공통 디바이스는 산화 금속 반도체 전계 효과 트랜지스터(MOSFET)이다. MOSFET에서, 디바이스 스케일링은 감소 게이트 및 채널 길이를 필요로 한다. 게이트 및 채널 길이가 감소됨에 따라, 수많은 효과가 MOSFET에서 용인할 수 없는 신뢰도 및 성능을 초래할 수 있다. 이들 효과는 통상적으로 숏-채널 효과라 칭하고, 특히 약 1.25㎛ 이하의 채널 길이를 갖는 장치에서 문제가 된다.

감소된 채널 길이 장치의 한가지 효과는 특히 드레인 영역에서 증가된 수평 및 수직 전계 성분들이다. 전계의 이러한 증가는 반전층 캐리어들이 통상적으로 핫 캐리어 효과라 칭하는 수많은 유해한 디바이스 현상을 유발할 수 있는 정도까지 가속될(또는 "뜨거워"질) 수 있다. 궁극적으로, 이들 현상은 디바이스 신뢰도 및 성능에 불리하게 영향을 미칠 수 있다.

핫 캐리어 효과를 극복하는 한가지 방식은 약하게 도핑된 드레인(LDD) 구조물의 사용을 통해서이다. LDD 구조물에서, 소스 및 드레인은 등급 분류된 도핑 프로필을 갖는다. 채널에 가장 근접한 소스 및 드레인 영역에서, 도핑 레벨은 채널에서 보다 먼 보다 깊게 도핑된 소스 및 드레인 영역에 비해 상대적으로 더 낮다. 약하게 도핑된 소스 및 드레인 영역은 이 소스 및 드레인 근처 채널 영역에서 전계 강도를 감소시키는 작용을 한다. 이와 같이 감소된 전계 강도는 핫 캐리어 발생을 감소시키는 데 있어서 다소 성공적이고, 그 때문에 핫 캐리어 효과를 감소시킨다.

LDD 구조물은 핫 캐리어 효과 등의 숏 채널 효과를 감소시키는 데 유용하지만, 그의 사용과 관련하여 특정 결점이 존재한다. 한가지 그러한 결점은 소스와 드레인 간의 직렬 저항(직렬 소스-드레인 저항(R_{sd})이라 칭함)의 증가이다. 이는 약하게 도핑된 소스 및 드레인 영역에서 감소된 도핑 레벨에 기인한다. 이러한 증가된 저항은 포화 전류(구동 전류 I_{sat} 또는 "온" 전류 I_{on})의 감소를 초래한다. I_{on}의 감소는 디바이스 스위칭 속도의 감소를 초래할 수 있다. 스위치로서 사용되는 MOSFET는 커패시터를 충전 및 방전시키기 위한 디바이스로서 고려될 수 있다. 그러한 것으로, 전류가 감소되는 경우, 스위칭 속도가 감소된다. 따라서, LDD를 내장한 종래의 디바이스에서 R_{sd}의 이러한 증가는 바람직하지 못할 것이다.

LDD 구조물에 대한 또 다른 결점은 그의 제조 공정의 복잡성이다. 이러한 구조물을 제조하기 위해, MOSFET 제조에 있어서 프로세스 흐름에 추가되어야 하는 많은 부가적인 처리 단계들이 존재한다. 부가적인 포토리쏘그래피 마스킹 레벨, LDD 이식 및 유전체 스페이서의 형성 등을 포함한다.

따라서, 필요한 것은 LDD MOSFET 장치의 상기 예시된 결점을 극복한 장치이다.

발명이 이루고자 하는 기술적 과제

본 발명은 개선된 숏 채널 효과를 갖지만 LDD 구조물을 포함하지 않는 감소된 피처 크기의 MOS 트랜지스터에 관한 것이다. 예시된 실시예에서, MOS 트랜지스터는 1.25㎛ 이하의 게이트 길이를 갖는다. 더욱이, LDD 구조물의 사용을 배제함으로써, 직렬 소스-드레인 저항이 감소되어 개선된 구동 전류 및 스위칭 속도를 얻게된다.

또 다른 실시예에서, MOS 트랜지스터의 제조 기술이 개시된다. 실례로서, 1.25㎛ 이하의 길이를 갖는 게이트 구조물이 기판 상으로 형성된다. 이후, 소스 및 드레인은 약하게 도핑된 영역 없이 형성된다.

발명의 구성 및 작용

본 발명은 수반된 도면과 함께 하기 상세한 설명으로부터 가장 잘 이해될 것이다. 여러 가지 피처는 반드시 실물 크기로 도시될 필요는 없음이 강조된다. 사실상, 여러 가지 피처의 치수는 명쾌한 고찰을 위해 임의적으로 확대되거나 또는 축소될 수 있다.

본 발명을 이하 수반된 도면들을 참조하여 보다 완전하게 기재할 것이며, 여기서 본 발명의 전형적인 실시예들이 도시된다. 도 1을 참조하여, 본 발명의 전형적인 실시예에 따른 MOS 트랜지스터(10)가 먼저 기재된다. 실례로서, 트랜지스터(10)는 기판(12) 상으로 배치된 게이트 구조물(11)을 포함한다. 채널(13)은 소스(14)와 드레인(15) 사이에 배치된다. 게이트 구조물(11)은 제1 산화물부(17) 및 제2 산화물부(18)를 포함하는 산화물 층(16)을 포함한다. 제2 산화물부(18)는 기판(12)과 인터페이스(19)를 형성한다. 산화물 층은 그것과 도전체 층(21) 사이에 배치된 물질 층(20)을 가질 수 있다.

예시의 목적상, 트랜지스터(10)는 NMOS 디바이스이다. 이에 따라, 소스(14) 및 드레인(15)은 도핑된 n+ 인 한편, 기판은 p-타입이다. 물론, 본 발명은 PMOS 및 상보형 MOS(CMOS) 디바이스를 포함하는 다른 디바이스에 사용될 수 있다. 기판(12)은 예를 들면 실리콘이고; 이는 단결정질 또는 다결정질 실리콘일 수 있다. 가장 일반적으로는, 그것은 산화 가능한 실리콘이다. 층(20)은 높은 k-물질, 예를 들면 오산화 탄탈, 티탄산 바륨-스트론튬, 및 규산 유전체 물질을 들 수 있지만, 이들로만 제한되지 않는다. 또한, 통상의 기술을 가진 자들이 인식할 수 있는 다양한 결과를 얻기 위해 도전체 층(21)과 산화물 층(16) 사이에 기타 물질이 배치될 수 있다.

도 1의 전형적인 실시예의 MOS 전계 효과 트랜지스터는 약하게 도핑된 드레인 또는 약하게 도핑된 소스를 내포하지 않는다. 이는 핫 캐리어 효과를 완화시키기 위해 LDD 구조물을 사용하는 약 1.25㎛ 이하의 게이트 길이를 갖는 종래 디바이스와 분명히 대조적이다. 도 1에 나타낸 전형적인 실시예에서, 디바이스(10)는 약 1.25㎛ 이하의 치수의 게이트 길이(및 그

에 따른 채널 길이) L을 가질 수 있다. 더욱이, 서브-미크론 디바이스가 본 발명에 포함될 수 있다. 게이트 길이는 약 0.25㎛ 내지 약 0.05㎛ 범위일 것으로 예상된다. 마지막으로, 당업계에 공지된 바와 같이, 디바이스 스케일링은 게이트 길이 및 기타 디바이스 피처가 스케일링 규칙에 따라 비례해야 함을 지시한다. 따라서, 산화물 층(16)은 선택된 게이트 길이로 스케일된 두께를 갖는다. 따라서, 예시된 실시예에서, 약 1.25㎛ 내지 약 0.05㎛ 범위의 게이트 길이는 각각 약 20.0nm 내지 약 1.5nm 범위의 두께를 갖는 산화물 층(11)에 대응한다.

산화물/기판 인터페이스(19)는 실질적으로 스트레스 없고 평면이다. 더욱이, 산화물 층(16)은 종래의 산화물에 비해 감소된 수의 인터페이스 트랩(N_{it}) 및 감소된 결손 농도(D_o)를 갖는다. 산화물 층(16)의 이들 특성 및 다른 특성은 본 명세서에 개시된 본 발명을 달성하는 데 유용하다. 산화물 및 그의 특성의 상세한 설명은 "집적 회로에 사용하기 위한 양질의 산화물(High Quality Oxide For Use In Integrated Circuit)"이라는 표제의 미합중국 특허 출원(대리인 정리 번호 제Chen 2-18-74-93호)에서 발견할 수 있으며, 그의 개시 내용을 본 명세서에 참고 문헌으로 기재한다(이 특허 출원은 본 발명의 양수인에게 양도되었으며, 동일자로 출원됨).

아래 보다 상세히 고찰하는 바와 같이, 본 발명의 디바이스는 종래의 디바이스들에 비해 확실히 유리한 특성을 갖는다. 이들 특성은 구동 전류 및 스위칭 속도의 개선을 포함한다. 더욱이, 구동 전류의 이러한 증가는, 채널이 관통 현상(punch-through)(본 명세서에서 상세히 고찰됨)으로서 알려진 바람직하지 않은 숏 채널 효과를 억제하기 위해 사용된 증가된 도핑 레벨을 필요로 하더라도 실현될 수 있다. 또한, 디바이스 신뢰도의 저하를 초래할 수 있는 핫 캐리어의 효과는 본 발명을 사용하는 디바이스에서 최소화될 수 있다. 마지막으로, 본 발명은 그것이 제조의 복잡성을 감소시키기 때문에 유리하다. 이 때문에, 종래의 숏 채널 길이 디바이스에서 필요한 트레이드-오프를 고려하는, LDD 구조물을 형성하기 위해 필요한 비교적 복잡한 처리 시퀀스는 본 발명에서는 필요치 않다.

이하, 도 2-4로 돌아가서, 예시적인 제조 시퀀스가 개시된다. 도 2는 실질적으로 스트레스 없고 평면인 인터페이스(19)의 형성을 초래하는, 기판(12) 상의 산화물 층(16)의 형성에 사용된 산화물 성장 시퀀스이다. 이러한 제조 시퀀스의 설명은 "산화물의 제조 공정(A Process For Fabricating Oxides)"이라는 표제의 미합중국 특허 출원(대리인 정리 번호 제Chen 4-7-133-157호)에서 발견할 수 있으며, 그의 개시 내용을 본 명세서에 참고 문헌으로 기재한다(이 특허 출원은 본 발명의 양수인에게 양도되었으며, 동일자로 출원됨). 이후, 도 3에 나타낸 바와 같이, 게이트 구조물(11)은 높은 K-층, 무정형 실리콘 또는 다결정질 실리콘 증착, 게이트 임플랜테이션 및 게이트 마스킹 단계를 포함할 수 있는 종래의 처리 도식을 통해 완성된다.

도 3에 나타낸 바와 같이, 게이트 구조물(11)이 완성된 후, 채널(13)이 형성된다. 이는 표준 임플랜테이션 기술에 의해 수행될 수 있다. 채널 도핑은 채널과 동일한 도전성의 경사진 "할로" 또는 "포켓" 임플랜트(30)를 통해 증가된다. 전형적인 NMOS 장치에 대해, 5-40KeV의 에너지 범위의 붕소 등의 임플랜트가 약 $5x10^{11}$ 내지 약 $5x10^{13}/cm^2$ 범위의 도우즈 및 7-45。 범위의 임플랜트 경사각(기판의 수직선에 대해)으로 사용될 수 있다. 마찬가지로, PMOS 장치에 대해, 20-120KeV의 에너지 범위의 인 함유 임플랜트가 약 $5x10^{11}$ 내지 약 $5x10^{13}/cm^2$ 범위의 도우즈, 및 7-45。 범위의 임플랜트 경사각으로 사용될 수 있다. 예시된 채널 도핑 농도는 약 $1x10^{16}$ 내지 $1x10^{19}$ $/cm^3$ 범위이다. 이러한 채널 도핑 단계는 관통 현상 및 그에 따른 디바이스에서 숏 채널 효과를 감소시키는 작용을 한다.

도 4에 나타낸 바와 같이, 할로 임플랜테이션 후, 소스(14) 및 드레인(15)이 형성된다. 전형적인 NMOS 디바이스에서, 이는 5-50KeV의 에너지 범위의 비소를 약 $5x10^{14}$ 내지 약 $5x10^{15}/cm^2$ 범위의 도우즈 및 0-7。 범위의 임플랜트 경사각으로 주입함으로써 수행된다. 마찬가지로, PMOS 디바이스에 대해, 소스 및 드레인은 0.5-10KeV의 에너지 범위, 약 $5x10^{14}$ 내지 약 $5x10^{15}/cm^2$ 범위의 도우즈 및 0-7。 범위의 임플랜트 경사각의 붕소 임플랜트를 통해 형성된다. 대안으로, 5-50KeV의 에너지 범위의 비소를 약 $5x10^{14}$ 내지 약 $5x10^{15}/cm^2$ 범위의 도우즈 및 0-7。 범위의 임플랜트 경사각의 BF_2 임플랜트가 사용될 수 있다. 소스 및 드레인에서 생성된 도핑 레벨은 약 $1x20^{10}/cm^3$ 내지 $5x10^{20}/cm^3$ 범위이다. 종래 기술의 LDD 장치와는 분명히 대조적으로, 도 1 및 도 4에 예시된 실시예에서 소스(14) 및 드레인(15)은 실질적으로 균일하게 도핑되고, 약하게 도핑된 영역을 포함하지 않는다.

도 2-4를 검토함으로써, 예시된 실시예의 상대적인 제조의 용이성이 인식될 수 있다. 종래의 숏 채널 디바이스를 제조하는 데 필요한 공정은 LDD의 제조를 포함한다. 최소한도로, 이는 제1 임플랜테이션이 수행될 수 있도록 마스크 형성 단계를 부가한다. 이는 약하게 도핑된 소스 및 드레인 영역을 형성하는 데 필요하다. 이후, 스페이서가 증착되고 에칭되어야 한다.

종래의 LDD 장치에서, 스페이서는 소스 및 드레인의 보다 깊게 도핑된 영역의 제조에 필요하다. 제조의 복잡성을 부가하는 것 외에, 부가된 임플랜트 및 스페이서는 생성되는 디바이스에 유해한 영향을 미칠 수 있다. 이들은 예를 들면 증가된 직렬 소스/드레인 저항(R_{sd}) 및 그에 따라 감소된 포화 구동 전류(I_{dsat}) 및 스위칭 속도를 포함한다.

상기한 바와 같이, 핫 캐리어 효과는 디바이스 신뢰도에 악 영향을 미칠 수 있다. 약 1.25μ미만의 게이트 길이를 갖는 MOS 트랜지스터에서, 핫 캐리어 효과는 감소된 길이 채널에 있어서 전계의 증가된 수평 및 수직 성분들로부터 기인한다. 이는 반전층 전하들이 통상적으로 핫 캐리어 효과라 칭하는 수많은 유해한 디바이스 현상을 유발할 수 있는 정도까지 가속(또는 가열)되게 한다. 이는 통상적으로 핫 캐리어 에이징(HCA)이라 칭한다.

핫 캐리어 에이징은 핫 캐리어에 의한 패시베이션된 허상 결합(dangling bond)의 파열 또는 인터페이스 트랩 발생으로 인한 것으로 믿어진다. 실리콘-이산화실리콘 인터페이스에서 허상 결합은 통상적으로 수소 분위기에서 패시베이션됨으로써, 인터페이스 트랩의 수를 감소시킨다. 이러한 패시베이션 기술은 종래 디바이스에서 다소 성공적이었지만, 핫 캐리어는 실리콘-수소 결합을 쉽게 파열시킬 수 있으므로써, 이전에 패시베이션된 인터페이스 트랩을 재설립할 수 있다. 인터페이스에서 트랩들은 스캐터링 중심으로서 작용함으로써 채널 내의 캐리어의 이동성을 감소시킨다.

공지된 바와 같이, 구동 전류 I_{on}(또는 포화 전류 I_{dsat}) 및 트랜스컨덕턴스 g_m은 채널에서 캐리어들의 이동성에 직접적으로 비례한다. 따라서, 스캐터링 중심은 핫 캐리어 효과로 인해 보다 풍부해지고, 채널에서 캐리어의 이동성은 감소되고, 구동 전류 및 트랜스컨덕턴스는 감소된다. 따라서, 인터페이스 트랩의 수는 구동 전류 및 트랜스컨덕턴스 등의 디바이스 파라메터들에서 드리프트로 인해 디바이스가 저하(에이지)되게 한다. 이러한 저하는 디바이스 신뢰도에 대해 유해한 영향을 미친다.

산화물 층(16)은 허상 실리콘 결합의 감소된 발생을 유발함으로써 감소된 수의 인터페이스 트랩을 유발한다. 출원인들은 이것이 보다 복잡한 산화 공정의 결과이고, 그 이유는 인터페이스가 실질적으로 스트레스 없고 평면이라는 이론을 세운다. 더욱이, 본 발명의 산화물에는 인터페이스 트랩이 거의 존재하지 않기 때문에, 수소로 패시베이션될 트랩은 거의 존재하지 않는다. 본 발명의 산화물을 내포하는 디바이스에서 수소 방출로 인해 적은 디바이스 드리프트가 존재할 것으로 예상된다. 마지막으로, LDD 구조물은 숏 채널 디바이스에서 핫 캐리어 효과를 감소시키는 데 조력하는 한편, 본 발명의 예시된 실시예는 핫 캐리어 효과의 보다 큰 감소를 초래한다.

핫 캐리어 에이징에서 개선점은 도 5의 그래프도에서 분명히 나타난다. 관습에 의한 핫 캐리어 에이징 기준은 트랜스컨덕턴스에서 15% 변화한다. 51로 라벨링된 플롯은 5nm의 두께를 갖는 산화물 층(50A)과 함께 0.24㎛ 게이트 길이를 내포하는 본 발명의 예시된 실시예에 따른 디바이스에 대한 것이다. 50으로 라벨링된 플롯은 핫 캐리어의 나쁜-영향을 감소시키기 위해 LDD 구조물을 내포하고, 동일한 게이트 길이를 갖는 종래의 디바이스에 대한 것이다. 도 5에서 명백하듯이, 1㎂/㎛의 기판 전류 한도는 종래의 LDD MOSFET에서는 100시간에 달성되고; 본 발명의 전형적인 디바이스에서 이러한 한도는 400시간에 달성된다. 당업계의 통상의 기술을 가진 자라면 용이하게 인식할 수 있듯이, 필적하는 게이트 길이를 갖는 디바이스에서, 핫 캐리어 에이징은 LDD 구조물을 필요로 하는 종래의 디바이스에 비교할 때 본 발명에 의해 4개의 요인에 의해 개선된다.

감소된 HCA를 통해 신뢰도를 개선시키는 것 외에, 본 발명의 디바이스는 증가된 캐리어 이동성 및 감소된 소스-드레인 저항 모두의 결과로서 증가된 구동 전류를 갖기도 한다. 증가된 이동성은 상기 고찰한 바와 같이 스캐터링 중심의 감소의 결과이다. R_{sd}의 감소는 종래의 LDD 구조물에 사용된 약하게 도핑된 소스 및 드레인 영역의 제거의 직접적인 잇점이다. 이 때문에, 핫 캐리어의 유발은 LDD 구조물 이외의 수단에 의해 감소되기 때문에, 이는 본 발명의 전형적인 디바이스에 필요치 않다. 따라서, 본 발명의 소스 및 드레인 도핑 레벨은 약 $1x10^{20}$ 내지 $5x10^{20}/cm^3$ 범위로 실질적으로 균일하다. 이는 약 50 내지 약 150 Ω/cm^2 범위의 소스-드레인 저항을 초래한다. 이는 본 발명의 전형적인 디바이스에서 게이트 폭 ㎛ 당 약 25 내지 약 100Ω의 R_{sd}로 직접적으로 번역된다(관례로서, 게이트 폭은 도 1에 도시된 좌표 축에서 z-방향을 따라 측정되는 것으로 흥미있게 주시됨). 이와는 대조적으로, 종래의 약하게 도핑된 소스 및 약하게 도핑된 드레인의 약하게 도핑된 영역은 $1x10^{19}$ 내지 $5x10^{19}/cm^3$의 치수이다. 종래의 LDD의 대응하는 소스/드레인 시트 저항은 500-1500Ω/cm^2이다. 이는 그러한 종래 디바이스에서 게이트 폭 ㎛ 당 100-200 Ω의 R_{sd}를 초래한다.

본 발명에 의한 직렬 소스 드레인 저항의 감소의 결과로서, 구동 전류가 개선된다. 도 6으로 돌아가서, 구동 전류에 대한 게이트 길이의 그래프도가 도시된다. 플롯(60)은 본 발명의 전형적인 장치의 구동 전류의 그래프이다. 플롯(61)은 LDD 구조물을 사용하는 종래 장치에 대한 것이다. 분명히, 트랜지스터 구동 전류 I_{dsat}에서 개선점은 LDD 구조물을 내포하는, 유사한 피처 크기를 갖는 종래 장치에 비교할 때 본 발명의 예시적인 장치에서 측정된다.

위에 시사된 바와 같이, 증가된 구동 전류는 보다 신속한 스위칭 속도를 얻는다. 다시, 스위치로서 사용되는 MOSFET는 커패시터를 충전 및 방전시키는 디바이스로서 생각될 수 있다. 이들 커패시터는 MOS 게이트 커패시턴스, 소스/드레인 접합 커패시턴스, 및 금속 인터커넥트 커패시턴스와 같은 소자들로부터 발생하는 CMOS 회로의 고유 부분이다. 커패시터를 충전시키는 데 필요한 시간은 전류에 직접적으로 관련된다. 그러한 것으로서, 구동 전류가 증가되는 경우, 스위칭 속도가 증가된다. 구동 전류 레벨이 개선되면 종래의 LDD MOS 트랜지스터보다 25% 더 큰 치수의 스위칭 속도를 갖는 본 발명의 전형적인 MOSFET를 사용하는 링 오실레이터 회로를 얻는다.

더욱이, 본 발명의 전형적인 디바이스에서 구동 전류의 증가는 임계 전압 V_t이 약간 증가될 수 있더라도 실현된다. 이 때문에, 감소된 채널 길이 디바이스에서 발생할 수 있는 한가지 현상은 관통 현상으로서 공지된다. 관통 현상은 통상적으로 인가된 게이트 전압이 V_t 이하일 때 통상적으로 관찰된다. 관통 현상은 드레인에 대한 리버스 바이어스가 증가될 때 드레인 소모 영역이 확대될 때 발생한다. 이러한 소모 영역 폭이 충분히 클 때, 소스 및 드레인 소모 영역들이 정합될 수 있고 용인될 수 없는 레벨의 캐리어 흐름이 발생할 수 있다. 이는 불량한 전하 제어를 초래하고, 용인될 수 없는 정도의 오프 전류 레벨로 나타난다. 채널에 가장 근접한 소스 및 드레인 영역에서 감소된 도핑 레벨을 갖는 LDD 구조물은 관통 효과의 영향을 감소시킬 수 있는 한편, 종종 이는 드레인/소스 소모 영역 폭을 감소시키기 위해 채널의 도핑 레벨을 증가시킴으로써 완화되어야 한다. 그러나, 증가된 채널 도핑 농도는 보다 큰 전압이 채널에서 컨덕션에 대한 반전을 생성하는 데 필요함에 따라 임계 전압을 증가시킬 수 있다. 증가된 임계 전압은 구동 전류의 감소를 유발할 수 있다. 따라서, 증가된 채널 도핑을 통해 관통 효과에서 감소에 대한 트레이드-오프는 종종 종래의 LDD 디바이스에서 구동 전류의 감소가다.

출원인들은 본 발명의 전형적인 디바이스가 임계 전압의 증가 대신에 구동 전류의 증가를 유지하는 것을 발견하였다. 예시적으로, 0.24㎛ 피처 크기 디바이스에서, 구동 전류는 유사한 디바이스 피처 크기를 갖는 유사한 종래의 LDD 디바이스에 비해 20% 증가되었다. 이는 임계 전압에서 50mV 증가에도 불구하고 증가되었다. 출원인들은 이를 본 발명의 개시 내용을 통해 실현된 직렬 소스-드레인 저항의 감소 탓으로 돌린다.

본 발명을 상세히 기재하였지만, 본 발명의 개시 내용의 잇점을 갖는 상기 실시예들의 여러 가지 변형 및 변화가 당업계의 통상의 기술을 가진 자들에게 명백할 것임이 분명하다. 이들 변형 및 변화가 본 발명을 포함하는 정도까지, LDD 구조물을 사용하지 않고 숏 채널 효과를 완화시키는 트랜지스터가 본 발명의 범위에 속하는 것으로 간주된다.

발명의 효과

본 발명은 소스와 드레인 간의 직렬 저항(직렬 소스-드레인 저항(R_{sd})이라 칭함)의 증가 문제를 해결하고 LDD 구조물에 대한 제조 공정의 복잡성을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 디바이스로서,

소스, 드레인, 및 상기 소스에서 상기 드레인까지 확장하는 채널을 갖는 도핑된 기판으로서, 상기 채널은 상기 기판의 도펀트 농도보다 크고 상기 소스 및 드레인의 도펀트 농도이하의 균일한 도펀트 농도를 채널 전체에 갖는, 상기 도핑된 기판,

상기 채널 상에 형성되며 폭에 의해 정의되는 산화물로서, 상기 산화물 및 상기 기판이 실질적으로 스트레스가 없고 편편한 인터페이스를 형성하는, 상기 산화물, 및

상기 채널 상에 배치되는 게이트 구조물로서, 상기 산화물의 상기 폭과 같이 확장하는 1.25㎛이하의 길이를 갖는, 상기 게이트 구조물을 포함하고,

상기 디바이스는 약하게 도핑된 드레인 영역(lightly doped drain region)은 포함하지 않는, 반도체 디바이스.

청구항 2.

제 1 항에 있어서,

상기 길이는 약 0.25㎛ 내지 약 0.05㎛의 범위내인, 반도체 디바이스.

청구항 3.

제 1 항에 있어서,

상기 게이트 구조물은 산화물 층을 포함하고, 상기 산화물 층은 약 1.5nm 내지 약 20.0nm 범위의 두께를 갖는, 반도체 디바이스.

청구항 4.

제 1 항에 있어서,

직렬 소스/드레인 저항이 상기 디바이스 내에 존재하고, 게이트 폭 1㎛당 상기 소스/드레인 저항은 약 20Ω내지 약 100Ω의 범위인, 반도체 디바이스.

청구항 5.

전계 효과 트랜지스터로서,

소스, 드레인, 및 상기 소스에서 상기 드레인까지 확장하는 채널을 갖는 도핑된 기판으로서, 상기 채널은 상기 기판의 도펀트 농도보다 크고 상기 소스 및 드레인의 도펀트 농도이하의 균일한 도펀트 농도를 채널 전체에 갖는, 상기 도핑된 기판,

상기 기판과 함께 실질적으로 스트레스 없고 편편한 인터페이스를 형성하는 폭에 의해 정의되는 산화물을 포함하는 게이트 구조물로서, 상기 게이트 구조물은 상기 산화물의 상기 폭과 같이 확장하는 약 0.05㎛ 내지 약 0.25㎛ 범위의 길이를 갖고, 상기 트랜지스터는 약하게 도핑된 드레인 영역은 포함하지 않는, 전계 효과 트랜지스터.

청구항 6.

제 5 항에 있어서,

상기 채널은 약 0.05㎛ 내지 약 0.25㎛ 범위의 길이를 갖는, 전계 효과 트랜지스터.

청구항 7.

제 5 항에 있어서,

상기 산화물 층은 약 1.5nm 내지 약 20.0nm 범위의 두께를 갖는, 전계 효과 트랜지스터.

청구항 8.

제 5 항에 있어서,

직렬 소스/드레인 저항이 상기 트랜지스터 내에 존재하고, 상기 직렬 소스/드레인 저항은 게이트 폭 1㎛당 약 20Ω내지 약 100Ω의 범위인, 전계 효과 트랜지스터.

청구항 9.

집적 회로를 제조하는 공정으로서,

소스, 드레인, 및 상기 소스에서 상기 드레인까지 확장하는 채널을 갖는 도핑된 기판을 형성하는 단계로서, 상기 채널은 상기 기판의 도펀트 농도보다 크고 상기 소스 및 드레인의 도펀트 농도이하의 균일한 도펀트 농도를 채널 전체에 갖는, 상기 도핑된 기판을 형성하는 단계,

상기 채널 상에 폭에 의해 정의되는 산화물 층을 형성하는 단계로서, 상기 산화물 및 상기 기판은 실질적으로 스트레스가 없고 편편한 인터페이스를 형성하는, 상기 산화물 층을 형성하는 단계, 및

상기 채널 상에 게이트 구조물을 형성하는 단계로서, 상기 게이트 구조물은 상기 산화물의 상기 폭과 같이 확장하는 1.25㎛이하의 길이를 갖는, 상기 게이트 구조물을 형성하는 단계를 포함하고,

상기 집적 회로는 약하게 도핑된 드레인 영역은 포함하지 않는, 집적 회로를 제조하는 공정.

청구항 10.

제 9 항에 있어서,

상기 산화물 층은 제 1 산화물부 및 제 2 산화물부를 갖는, 집적 회로를 제조하는 공정.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.
삭제

청구항 31.
삭제

청구항 32.
삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

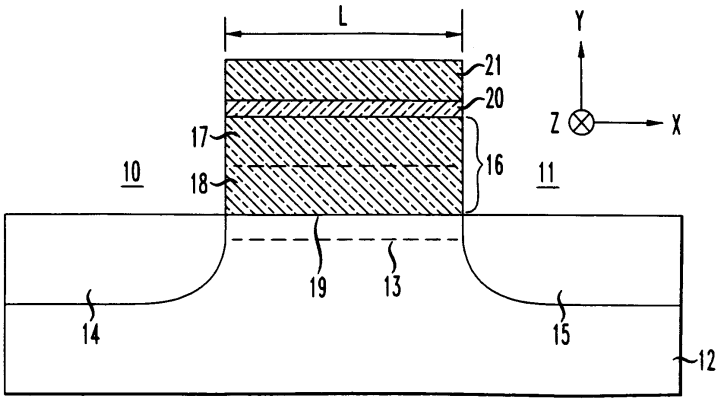
삭제

청구항 40.

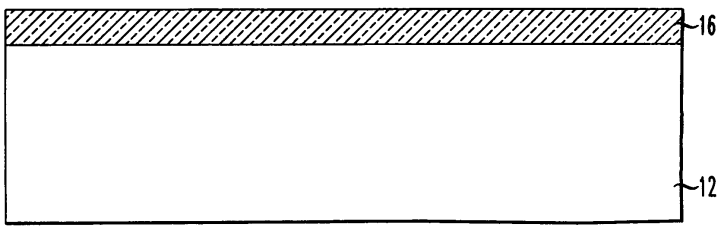
삭제

도면

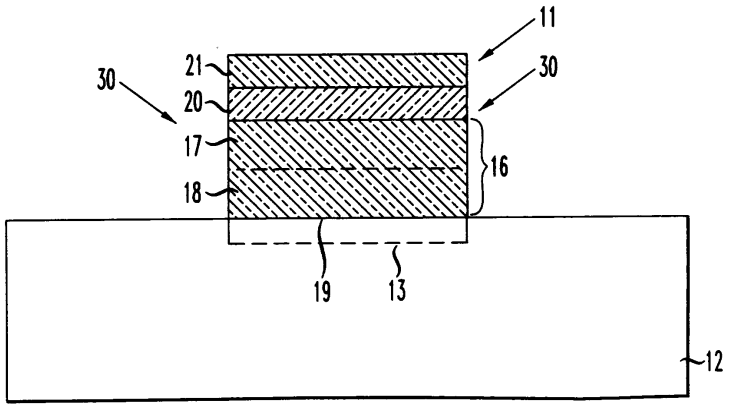
도면1



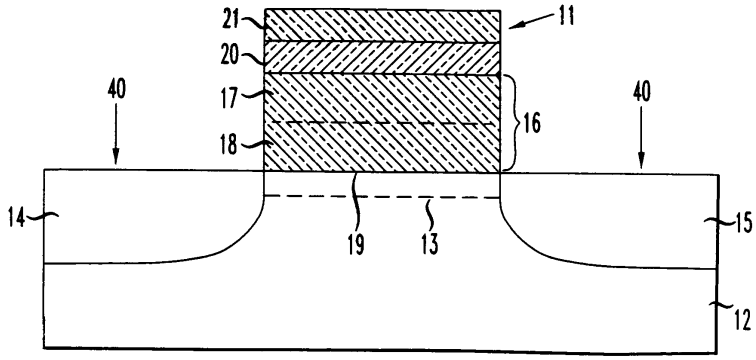
도면2



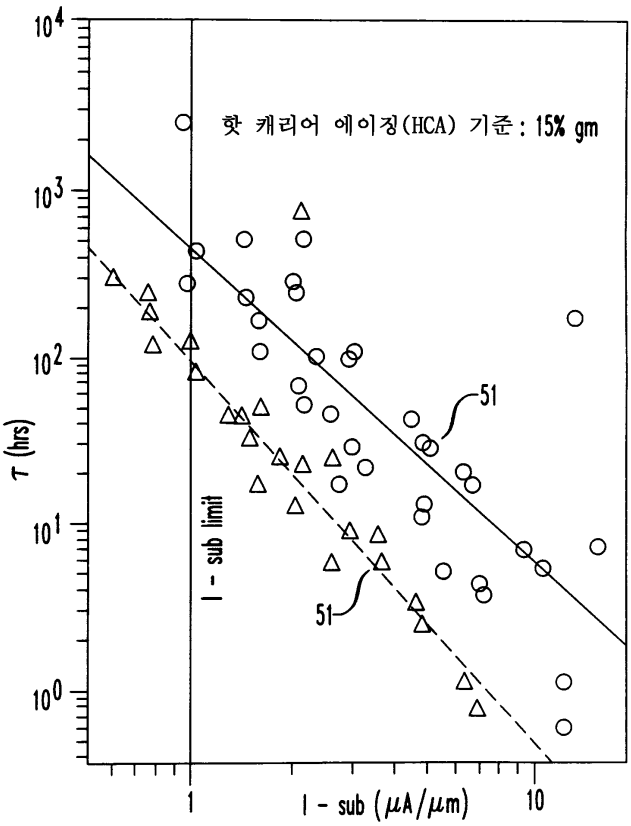
도면3


11
30
21
30
20
17
16
18
19
13
12

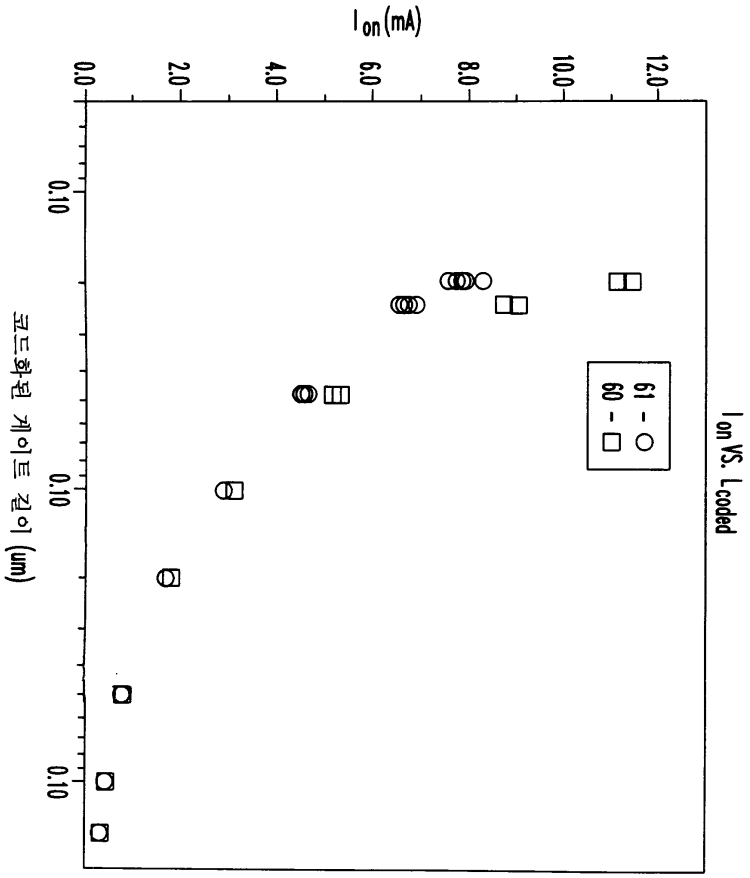
도면4


21
11
20
40
17
16
40
18
14
19
13
15
12

도면5


핫 캐리어 에이징(HCA) 기준 : 15% gm
τ (hrs)
I - sub limit
51
51
I - sub (μA/μm)
1
10

도면6


I on (mA)
0.0
2.0
4.0
6.0
8.0
10.0
12.0
0.10
0.10
0.10
코드화된 게이트 길이 (um)
61 - ○
60 - □
I on VS. L coded