

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-194635
(P2007-194635A)

(43) 公開日 平成19年8月2日(2007.8.2)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/10 6 5 1	5 F 0 4 8
HO 1 L 21/8242 (2006.01)	HO 1 L 27/06 1 O 2 A	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/08 1 O 2 C	
HO 1 L 21/8234 (2006.01)		
審査請求 未請求 請求項の数 29 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2007-9234 (P2007-9234)	(71) 出願人 390019839
(22) 出願日 平成19年1月18日 (2007.1.18)	三星電子株式会社
(31) 優先権主張番号 10-2006-0005413	S a m s u n g E l e c t r o n i c s
(32) 優先日 平成18年1月18日 (2006.1.18)	C o . , L t d .
(33) 優先権主張国 韓国 (KR)	大韓民国京畿道水原市八達区梅灘洞 4 1 6 番地
	(74) 代理人 110000051
	特許業務法人共生国際特許事務所
	(72) 発明者 辛 和 淑
	大韓民国 京畿道 水原市 靈通区 靈通洞 9 7 0 - 3 番地 豊積谷三星アパート 9 2 6 棟 7 0 3 号
	F ターム (参考) 5F038 AC05 AC15 AC16 CD02 CD14 DF05 EZ13 EZ15 EZ20
	最終頁に続く

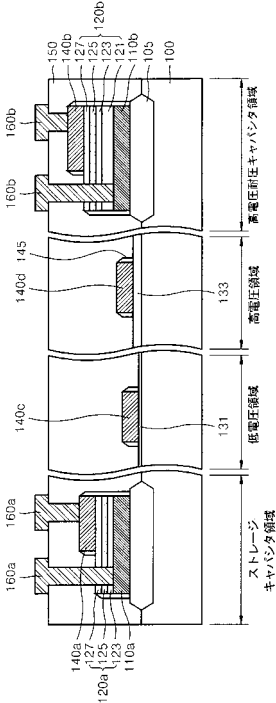
(54) 【発明の名称】 半導体素子の製造方法及びそれを使用して製造される半導体素子

(57) 【要約】

【課題】 工程数を急激に増加させずに、相異なる電気的条件を満足させるキャパシタを同じ層に形成できる半導体素子の製造方法及びそれにより製造される半導体素子を提供する。

【解決手段】 ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域を備える基板を提供する段階と、前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上に下部電極膜を形成する段階と、前記下部電極膜上に第1誘電膜を形成する段階と、前記ストレージキャパシタ領域の第1誘電膜を選択的に除去して、ストレージキャパシタ領域の下部電極膜を露出させる段階と、前記露出したストレージキャパシタ領域の下部電極膜及び前記第1誘電膜上に第2誘電膜を形成する段階と、前記第2誘電膜上に上部電極膜を形成する段階とを有する。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域を備える基板を提供する段階と、

前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上に下部電極膜を形成する段階と、

前記下部電極膜上に第 1 誘電膜を形成する段階と、

前記ストレージキャパシタ領域の第 1 誘電膜を選択的に除去して、ストレージキャパシタ領域の下部電極膜を露出させる段階と、

前記露出したストレージキャパシタ領域の下部電極膜及び前記第 1 誘電膜上に第 2 誘電膜を形成する段階と、

前記第 2 誘電膜上に上部電極膜を形成する段階とを有することを特徴とする半導体素子の製造方法。

【請求項 2】

前記第 1 誘電膜及び前記第 2 誘電膜は、同じ物質の膜であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記第 1 誘電膜及び前記第 2 誘電膜は、シリコン酸化膜 (SiO_2) であることを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】

前記第 1 誘電膜と前記第 2 誘電膜とは、相異なる物質の膜であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 5】

前記第 1 誘電膜は、タンタル酸化膜 (Ta_2O_5)、アルミニウム酸化膜 (Al_2O_3)、ハフニウム酸化膜 (HfO_2)、及びこれらの複合膜からなる群から選択される 1 つの誘電膜であることを特徴とする請求項 4 に記載の半導体素子の製造方法。

【請求項 6】

前記第 2 誘電膜は、 SiO_2 であることを特徴とする請求項 4 に記載の半導体素子の製造方法。

【請求項 7】

前記第 2 誘電膜上に第 3 誘電膜を形成する段階をさらに有することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 8】

前記第 2 誘電膜は、 SiO_2 であり、前記第 3 誘電膜は、シリコン窒化膜 (SiN_x) であることを特徴とする請求項 7 に記載の半導体素子の製造方法。

【請求項 9】

前記第 3 誘電膜上に第 4 誘電膜を形成する段階をさらに有し、前記第 4 誘電膜は、 SiO_2 であることを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 10】

前記第 1 誘電膜は、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 及びこれらの複合膜からなる群から選択される 1 つの誘電膜であることを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 11】

前記高電圧耐圧キャパシタ領域に形成される高電圧耐圧キャパシタは、デカップリングキャパシタ (decoupling capacitor) であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 12】

前記下部電極膜及び前記上部電極膜は、ポリシリコン膜であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 13】

前記ストレージキャパシタ領域の第1誘電膜を選択的に除去して、ストレージキャパシタ領域の下部電極膜を露出させる段階の第1誘電膜の除去は、湿式エッチング法を使用して行うことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項14】

前記上部電極膜を形成する段階の前に、前記第1及び第2誘電膜及び前記下部電極膜をパターンニングして、前記ストレージキャパシタ領域に下部電極及び第2誘電膜が順に積層された第1の構造体と、前記高電圧耐圧キャパシタ領域上に下部電極及び第1及び第2誘電膜が順に積層された第2の構造体とをそれぞれ形成する段階をさらに有することを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項15】

前記基板を提供する段階は、低電圧領域及び高電圧領域を提供する段階を含み、
前記低電圧領域及び前記高電圧領域上にも前記上部電極膜を形成し、
前記上部電極膜をパターンニングして、前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上の誘電膜上に上部電極を形成すると同時に、前記低電圧領域及び前記高電圧領域上に低電圧ゲート電極及び高電圧ゲート電極をそれぞれ形成することを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項16】

前記下部電極膜及び前記第1及び第2誘電膜は、前記低電圧領域及び前記高電圧領域上にも形成され、

前記上部電極膜を形成する段階の前に、前記第1及び第2誘電膜及び前記下部電極膜をパターンニングして、前記ストレージキャパシタ領域に下部電極及び第2誘電膜が順に積層された第1の構造体と、前記高電圧耐圧キャパシタ領域上に下部電極及び第1及び第2誘電膜が順に積層された第2の構造体をそれぞれ形成しつつ、それと同時に、前記低電圧領域及び高電圧領域の基板を露出させ、該露出した高電圧領域の基板上に高電圧ゲート絶縁膜を形成し、前記露出した低電圧領域の基板上に低電圧ゲート絶縁膜を形成する段階をさらに有し、

前記低電圧領域及び前記高電圧領域上に形成される上部電極膜は、前記低電圧及び高電圧ゲート絶縁膜上に形成されることを特徴とする請求項15に記載の半導体素子の製造方法。

【請求項17】

ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域を備える基板と、
前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上にそれぞれ位置する下部電極と、
前記高電圧耐圧キャパシタ領域の下部電極上に選択的に位置する第1誘電膜と、
前記ストレージキャパシタ領域の下部電極及び前記第1誘電膜上に位置する第2誘電膜と、
前記第2誘電膜上に前記下部電極にそれぞれ対応して位置する上部電極とを備えることを特徴とする半導体素子。

【請求項18】

前記第1誘電膜と前記第2誘電膜とは、同じ物質の膜であることを特徴とする請求項17に記載の半導体素子。

【請求項19】

前記第1誘電膜及び前記第2誘電膜は、 SiO_2 であることを特徴とする請求項18に記載の半導体素子。

【請求項20】

前記第1誘電膜と前記第2誘電膜とは、相異なる物質の膜であることを特徴とする請求項17に記載の半導体素子。

【請求項21】

前記第1誘電膜は、 Ta_2O_5 、 Al_2O_3 、 HfO_2 、及びこれらの複合膜からなる群から選択される1つの誘電膜であることを特徴とする請求項20に記載の半導体素子。

10

20

30

40

50

【請求項 2 2】

前記第 2 誘電膜は、 SiO_2 であることを特徴とする請求項 2 0 に記載の半導体素子。

【請求項 2 3】

前記第 2 誘電膜上に位置する第 3 誘電膜をさらに備えることを特徴とする請求項 1 7 に記載の半導体素子。

【請求項 2 4】

前記第 2 誘電膜は、 SiO_2 であり、前記第 3 誘電膜は、シリコン窒化膜 (SiN_x)であることを特徴とする請求項 2 3 に記載の半導体素子。

【請求項 2 5】

前記第 3 誘電膜上に位置する第 4 誘電膜をさらに備え、前記第 4 誘電膜は、 SiO_2 であることを特徴とする請求項 2 4 に記載の半導体素子。 10

【請求項 2 6】

前記第 1 誘電膜は、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 及びこれらの複合膜からなる群から選択される一つの膜であることを特徴とする請求項 2 4 に記載の半導体素子。

【請求項 2 7】

前記高電圧耐圧キャパシタ領域に形成される高電圧耐圧キャパシタは、デカップリングキャパシタであることを特徴とする請求項 1 7 に記載の半導体素子。

【請求項 2 8】

前記基板は、低電圧領域及び高電圧領域をさらに備え、
前記低電圧領域及び前記高電圧領域上にそれぞれ位置し、前記上部電極と同じ物質の膜からなる低電圧ゲート電極及び高電圧ゲート電極をさらに備えることを特徴とする請求項 1 7 に記載の半導体素子。 20

【請求項 2 9】

前記上部電極及び前記下部電極は、ポリシリコン膜であることを特徴とする請求項 1 7 に記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体素子の製造方法及びそれを使用して製造される半導体素子に関し、さらに具体的には、相異なる種類のキャパシタを備える半導体素子の製造方法及びそれを使用して製造される半導体素子に関する。 30

【背景技術】

【0 0 0 2】

半導体素子に適用されるキャパシタは、電荷保存、フィルタリング、直流電圧遮断、デカップリングなどの多様な用途として使用される。このような多様な種類のキャパシタは、それぞれ相異なる仕様を要求する。したがって、一つの半導体素子が多様な用途のキャパシタを備える場合、上記キャパシタを形成するためには、工程要因、例えば、電極の種類、誘電膜の種類及び厚さなどを多様にする必要がある。 40

【0 0 0 3】

それにも拘わらず、一つの基板上に形成されるキャパシタは、同じ製造工程により形成されることが製造コストの側面において望ましいので、工程要因の多様化には多くの制約がしたがうという問題がある。その結果、多様な種類のキャパシタが、同じ層に同じ構造を有するように形成されることが一般的である。

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

そこで、本発明は上記従来の半導体素子における問題点に鑑みてなされたものであって、本発明の目的は、工程数を急激に増加させずに、相異なる電氣的条件を満足させるキャ 50

パシタを同じ層に形成できる半導体素子の製造方法及びそれにより製造される半導体素子を提供することにある。

【課題を解決するための手段】

【0005】

上記目的を達成するためになされた本発明による半導体素子の製造方法は、ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域を備える基板を提供する段階と、前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上に下部電極膜を形成する段階と、前記下部電極膜上に第1誘電膜を形成する段階と、前記ストレージキャパシタ領域の第1誘電膜を選択的に除去して、ストレージキャパシタ領域の下部電極膜を露出させる段階と、前記露出したストレージキャパシタ領域の下部電極膜及び前記第1誘電膜上に第2誘電膜を形成する段階と、前記第2誘電膜上に上部電極膜を形成する段階とを有することを特徴とする。

10

【0006】

前記第1誘電膜及び前記第2誘電膜は、同じ物質の膜であることが好ましい。

前記第1誘電膜及び前記第2誘電膜は、シリコン酸化膜 (SiO_2) であることが好ましい。

前記第1誘電膜と前記第2誘電膜とは、相異なる物質の膜であることが好ましい。

前記第1誘電膜は、タンタル酸化膜 (Ta_2O_5)、アルミニウム酸化膜 (Al_2O_3)、ハフニウム酸化膜 (HfO_2)、及びこれらの複合膜からなる群から選択される1つの誘電膜であることが好ましい。

20

前記第2誘電膜は、 SiO_2 であることが好ましい。

前記第2誘電膜上に第3誘電膜を形成する段階をさらに有することが好ましい。

前記第2誘電膜は、 SiO_2 であり、前記第3誘電膜は、シリコン窒化膜 (SiNx) であることが好ましい。

前記第3誘電膜上に第4誘電膜を形成する段階をさらに有し、前記第4誘電膜は、 SiO_2 であることが好ましい。

前記第1誘電膜は、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 及びこれらの複合膜からなる群から選択される1つの誘電膜であることが好ましい。

前記高電圧耐圧キャパシタ領域に形成される高電圧耐圧キャパシタは、デカップリングキャパシタ (decoupling capacitor) であることが好ましい。

30

前記下部電極膜及び前記上部電極膜は、ポリシリコン膜であることが好ましい。

前記ストレージキャパシタ領域の第1誘電膜を選択的に除去して、ストレージキャパシタ領域の下部電極膜を露出させる段階の第1誘電膜の除去は、湿式エッチング法を使用して行うことが好ましい。

【0007】

前記上部電極膜を形成する段階の前に、前記第1及び第2誘電膜及び前記下部電極膜をパターンニングして、前記ストレージキャパシタ領域に下部電極及び第2誘電膜が順に積層された第1の構造体と、前記高電圧耐圧キャパシタ領域上に下部電極及び第1及び第2誘電膜が順に積層された第2の構造体とをそれぞれ形成する段階をさらに有することが好ましい。

40

前記基板を提供する段階は、低電圧領域及び高電圧領域を提供する段階を含み、前記低電圧領域及び前記高電圧領域上にも前記上部電極膜を形成し、前記上部電極膜をパターンニングして、前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上の誘電膜上に上部電極を形成すると同時に、前記低電圧領域及び前記高電圧領域上に低電圧ゲート電極及び高電圧ゲート電極をそれぞれ形成することが好ましい。

前記下部電極膜及び前記第1及び第2誘電膜は、前記低電圧領域及び前記高電圧領域上にも形成され、前記上部電極膜を形成する段階の前に、前記第1及び第2誘電膜及び前記下部電極膜をパターンニングして、前記ストレージキャパシタ領域に下部電極及び第2誘電膜が順に積層された第1の構造体と、前記高電圧耐圧キャパシタ領域上に下部電極及び第1及び第2誘電膜が順に積層された第2の構造体をそれぞれ形成しつつ、それと同時に、

50

前記低電圧領域及び高電圧領域の基板を露出させ、該露出した高電圧領域の基板上に高電圧ゲート絶縁膜を形成し、前記露出した低電圧領域の基板上に低電圧ゲート絶縁膜を形成する段階をさらに有し、前記低電圧領域及び前記高電圧領域上に形成される上部電極膜は、前記低電圧及び高電圧ゲート絶縁膜上に形成されることが好ましい。

【0008】

上記目的を達成するためになされた本発明による半導体素子は、ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域を備える基板と、前記ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域上にそれぞれ位置する下部電極と、前記高電圧耐圧キャパシタ領域の下部電極上に選択的に位置する第1誘電膜と、前記ストレージキャパシタ領域の下部電極及び前記第1誘電膜上に位置する第2誘電膜と、前記第2誘電膜上に前記下部電極にそれぞれ対応して位置する上部電極とを備えることを特徴とする。 10

【0009】

前記第1誘電膜と前記第2誘電膜とは、同じ物質の膜であることが好ましい。

前記第1誘電膜及び前記第2誘電膜は、 SiO_2 であることが好ましい。

前記第1誘電膜と前記第2誘電膜とは、相異なる物質の膜であることが好ましい。

前記第1誘電膜は、 Ta_2O_5 、 Al_2O_3 、 HfO_2 、及びこれらの複合膜からなる群から選択される1つの誘電膜であることが好ましい。

前記第2誘電膜は、 SiO_2 であることが好ましい。

前記第2誘電膜上に位置する第3誘電膜をさらに備えることが好ましい。

前記第2誘電膜は、 SiO_2 であり、前記第3誘電膜は、シリコン窒化膜 (SiN_x) であることが好ましい。 20

前記第3誘電膜上に位置する第4誘電膜をさらに備え、前記第4誘電膜は、 SiO_2 であることが好ましい。

前記第1誘電膜は、 SiO_2 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 及びこれらの複合膜からなる群から選択される一つの膜であることが好ましい。

前記高電圧耐圧キャパシタ領域に形成される高電圧耐圧キャパシタは、デカップリングキャパシタであることが好ましい。

前記基板は、低電圧領域及び高電圧領域をさらに備え、前記低電圧領域及び前記高電圧領域上にそれぞれ位置し、前記上部電極と同じ物質の膜からなる低電圧ゲート電極及び高電圧ゲート電極をさらに備えることが好ましい。 30

前記上部電極及び前記下部電極は、ポリシリコン膜であることが好ましい。

【発明の効果】

【0010】

本発明に係る半導体素子の製造方法及びそれを使用して製造される半導体素子によれば、工数の大きな増加なしに相異なる電気的要求条件を満足させうるキャパシタを同じ層内に形成できるという効果がある。

【発明を実施するための最良の形態】

【0011】

次に、本発明に係る半導体素子の製造方法及びそれを使用して製造される半導体素子を実施するための最良の形態の具体例を図面を参照しながら説明する。 40

【0012】

しかし、本発明は、ここで説明される実施形態に限定されず、他の形態で具体化されることもできる。むしろ、ここで紹介される実施形態は、開示された内容が徹底し、かつ完全になるように、そして当業者に本発明の思想が十分に伝達させるために提供される。明細書全体にわたって同じ参照番号は、同じ構成要素を示す。

【0013】

図1～図3は、本発明の一実施形態に係る半導体素子の製造方法を説明するための断面図である。

まず、図1に示すように、ストレージキャパシタ領域、低電圧領域、高電圧領域及び高電圧耐圧キャパシタ領域を備える基板100を提供する。基板100内に素子分離膜10 50

5を形成して活性領域を限定する。図面には、LOCOS (Local Oxidation of Silicon) 法を使用して形成された素子分離膜105を示したが、素子分離膜105は、これに限定されず、トレンチ素子分離法を使用して形成してもよい。

【0014】

素子分離膜105を備える基板上に下部電極膜110を形成する。下部電極膜110は、導電膜であって、金属膜または半導体膜から形成できるが、望ましくは、ポリシリコン膜から形成する。下部電極膜110をポリシリコン膜から形成する場合、下部電極膜110内に不純物をドーピングして導電性を調節する。不純物のドーピングは、燐(P)またはヒ素(As)をイオン注入することが好ましい。

【0015】

下部電極膜110上に第1誘電膜121を形成する。第1誘電膜121上には、ストレージキャパシタ領域を露出させるようなフォトリジストパターン201を形成する。

【0016】

次に、図2に示すように、フォトリジストパターン201(図1参照)をマスクとして、露出した第1誘電膜121をエッチングする。その結果、ストレージキャパシタ領域上に下部電極膜110が露出する。

第1誘電膜121をエッチングする時には、湿式エッチング法を利用して行うことが望ましい。この場合、第1誘電膜121をエッチングする過程において、下部電極膜110が損傷することを最小化することができる。その後、フォトリジストパターン201(図1参照)を除去する。

【0017】

次いで、露出した下部電極膜110及び第1誘電膜121上に第2誘電膜123を形成する。第1誘電膜121と第2誘電膜123とは、相互に独立して SiO_2 、 SiNx 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 またはこれらの複合膜であるのが好ましく。望ましくは、第1誘電膜121と第2誘電膜123とは、同じ物質の膜であるのが好ましく、この場合、第1誘電膜121と第2誘電膜123とは、 SiO_2 であるのが好ましい。

【0018】

これとは異なり、第1誘電膜121と第2誘電膜123とは相異なる物質の膜で形成することもできるが、この場合、第1誘電膜121は、高誘電率膜、例えば、 Ta_2O_5 、 Al_2O_3 、 HfO_2 及びこれらの複合膜からなる群から選択される1つの誘電膜であり、第2誘電膜123は、 SiO_2 であるのが好ましい。第1誘電膜121及び第2誘電膜123の形成は、化学気相蒸着法を使用して行うことができる。

【0019】

次いで、第2誘電膜123上に第3誘電膜125を形成する。第3誘電膜125は、 SiO_2 、 SiNx 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 またはこれらの複合膜であるのが好ましい。望ましくは、第3誘電膜125は、 SiNx であるのが好ましい。第3誘電膜125上に第4誘電膜127を形成する。第4誘電膜127は、 SiO_2 、 SiNx 、 Ta_2O_5 、 Al_2O_3 、 HfO_2 またはこれらの複合膜であるのが好ましい。望ましくは、第4誘電膜127は、 SiO_2 であるのが好ましい。

第4誘電膜127上には、ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域の一部を遮蔽するフォトリジストパターン202を形成する。

【0020】

次に、図3に示すように、フォトリジストパターン202(図2参照)をマスクとして、第4誘電膜127、第3誘電膜125、第2誘電膜123、第1誘電膜121及び下部電極膜110を順にエッチングする。

その結果、ストレージキャパシタ領域上にストレージキャパシタ下部電極110a及びストレージ誘電膜120aが順に積層された構造体、及び高電圧耐圧キャパシタ領域上に高電圧耐圧下部電極110b及び高電圧耐圧誘電膜120bが順に積層された構造体が形成される。

【0021】

10

20

30

40

50

ストレージ誘電膜 120a は、第 2 誘電膜 123、第 3 誘電膜 125 及び第 4 誘電膜 127 を備える一方、高電圧耐圧誘電膜 120b は、第 1 誘電膜 121、第 2 誘電膜 123、第 3 誘電膜 125 及び第 4 誘電膜 127 を備える。一方、低電圧領域及び高電圧領域には、基板 100 が露出する。

【0022】

次に、露出した高電圧領域の基板上に高電圧ゲート絶縁膜 133 を形成し、低電圧領域の基板上に低電圧ゲート絶縁膜 131 を形成する。高電圧ゲート絶縁膜 133 及び低電圧ゲート絶縁膜 131 は、基板 100 を熱酸化することによって形成した熱酸化膜でありうる。

【0023】

次に、ゲート絶縁膜 (131、133) が形成された基板上に上部電極膜を形成する。上部電極膜は、導電膜であって、金属膜または半導体膜から形成できるが、望ましくは、ポリシリコン膜から形成する。上部電極膜をポリシリコン膜から形成する場合、上部電極膜内に不純物をドーピングして導電性を調節する。不純物のドーピングは、POCl₃ 工程を使用してリン (P) をドーピングすることが好ましい。

【0024】

上部電極膜をパターニングして、ストレージキャパシタ領域及び高電圧耐圧キャパシタ領域の第 4 誘電膜 127 上にストレージ上部電極 140a 及び高電圧耐圧上部電極 140b をそれぞれ形成し、低電圧領域及び高電圧領域のゲート絶縁膜 (131、133) 上に低電圧ゲート電極 140c 及び高電圧ゲート電極 140d をそれぞれ形成する。さらに詳細には、ストレージ上部電極 140a 及び高電圧耐圧上部電極 140b は、ストレージ誘電膜 120a の一部及び高電圧耐圧誘電膜 120b の一部をそれぞれ露出させるように形成する。

【0025】

ストレージキャパシタ下部電極 110a、ストレージ誘電膜 120a 及びストレージ上部電極 140a は、ストレージキャパシタを構成する。一方、高電圧耐圧下部電極 110b、高電圧耐圧誘電膜 120b 及び高電圧耐圧上部電極 140b は、高電圧耐圧キャパシタを構成する。

【0026】

このとき、高電圧耐圧誘電膜 120b は、ストレージ誘電膜 120a に比べて第 1 誘電膜 121 をさらに備えるので、高電圧耐圧誘電膜 120b は、ストレージ誘電膜 120a に比べて厚い。したがって、高電圧耐圧キャパシタは、高い破壊電圧を有し、また高電圧耐圧上部電極 140b と高電圧耐圧下部電極 110b との間に高電界が継続的に印加される場合にも電気的特性を維持するなど、優れた長期信頼性を有しうる。一方、ストレージキャパシタは、高電圧耐圧キャパシタに比べて高い静電容量を有しうる。さらに、第 1 誘電膜 121 を高誘電率膜から形成する場合、高電圧耐圧誘電膜 120b が厚くなるにもかかわらず、高電圧耐圧キャパシタの静電容量はそれほど減少しないことがある。

【0027】

このように、工程数が大きく増加せずに、相異なる電氣的な要求条件を満足させる高電圧耐圧キャパシタ及びストレージキャパシタを同じ層内に形成できる。また、キャパシタの上部電極を、ポリシリコン膜を使用して形成することによって、上部電極を形成すると同時にゲート電極を形成できるので、工程数を減少させることができる。

【0028】

次に、ストレージ上部電極 140a、高電圧耐圧上部電極 140b、低電圧ゲート電極 140c 及び高電圧ゲート電極 140d 上にスペーサ絶縁膜を積層し、スペーサ絶縁膜を異方性エッチングして上部電極 (140a、140b)、誘電膜 (120a、120b)、下部電極 (110a、110b) 及びゲート電極 (140c、140d) の側面にスペーサ 145 を形成する。スペーサ 145 が形成された基板上に、ストレージ上部電極 140a、高電圧耐圧上部電極 140b、低電圧ゲート電極 140c 及び高電圧ゲート電極 140d を覆う層間絶縁膜 150 を形成する。

10

20

30

40

50

【0029】

次に、層間絶縁膜150内にコンタクトホールを形成する。コンタクトホールが形成された基板上に、コンタクトホール内を満たすように導電膜を積層し、導電膜をパターンニングしてストレージライン160a及び電源ライン160bを形成する。ストレージライン160aのうちいずれか一つは、層間絶縁膜150及びストレージ誘電膜120aを貫通してストレージキャパシタ下部電極110aに接続し、他の一つは、層間絶縁膜150を貫通してストレージ上部電極140aに接続する。

電源ライン160bのうちいずれか一つは、層間絶縁膜150及び高電圧耐圧誘電膜120bを貫通して高電圧耐圧下部電極110bに接続し、他の一つは、層間絶縁膜150を貫通して高電圧耐圧上部電極140bに接続する。

10

【0030】

一方、ストレージキャパシタは、電荷を保存する用途として使用されるキャパシタであり、高電圧耐圧キャパシタは、電源電圧の急激な増加または減少を緩衝するデカップリングキャパシタであることが好ましい。特に、半導体素子が多様なサイズの電源電圧を必要とする場合、デカップリングキャパシタは、最高電圧電源と接地電源との間に配置されたキャパシタであることが好ましい。

【産業上の利用可能性】

【0031】

本発明は、半導体素子に関連した技術分野に好適に適用されうる。

【図面の簡単な説明】

20

【0032】

【図1】本発明の一実施形態に係る半導体素子の製造方法を説明するための断面図である。

【図2】本発明の一実施形態に係る半導体素子の製造方法を説明するための断面図である。

【図3】本発明の一実施形態に係る半導体素子の製造方法を説明するための断面図である。

【符号の説明】

【0033】

100	基板
105	素子分離膜
110	下部電極膜
110a	ストレージキャパシタ下部電極
110b	高電圧耐圧下部電極
120a	ストレージ誘電膜
120b	高電圧耐圧誘電膜
121	第1誘電膜
123	第2誘電膜
125	第3誘電膜
127	第4誘電膜
131	低電圧ゲート絶縁膜
133	高電圧ゲート絶縁膜
140a	ストレージ上部電極
140b	高電圧耐圧上部電極
140c	低電圧ゲート電極
140d	高電圧ゲート電極
145	スペーサ
150	層間絶縁膜
160a	ストレージライン
160b	電源ライン

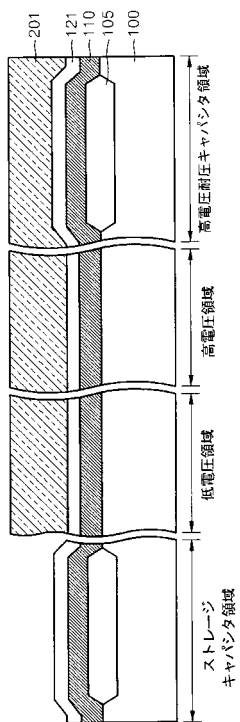
30

40

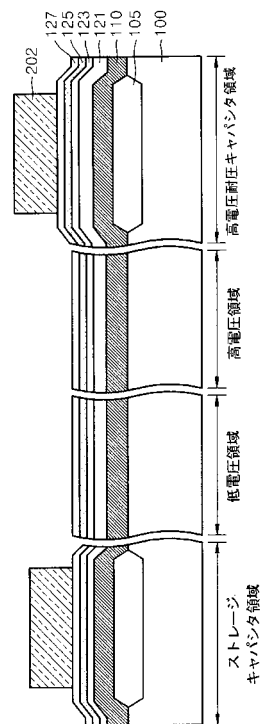
50

201、202 フォトレジストパターン

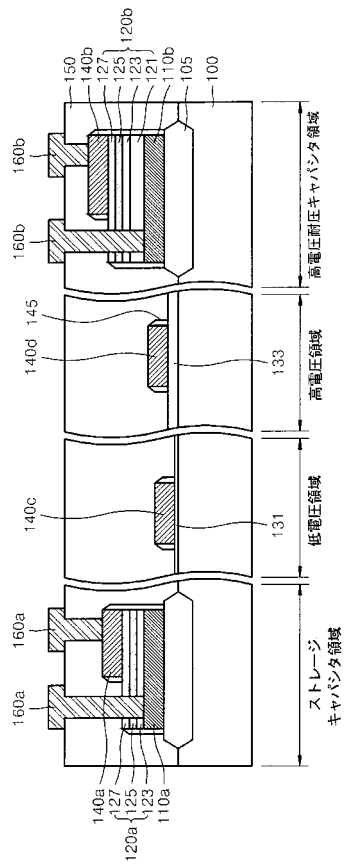
【図1】



【図2】



【図 3】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L 27/06 (2006.01)

H O 1 L 27/088 (2006.01)

Fターム(参考) 5F048 AA05 AA09 AB01 AC01 AC10 BA01 BB06 BB16 BF03 BF04
BF11 BG12 BG13 DA25
5F083 AD00 GA27 JA02 JA03 JA06 JA19 PR21 PR47 PR48 PR52
PR53