

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4279489号
(P4279489)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月19日(2009.3.19)

(51) Int.Cl.	F I
GO 1 R 31/3183 (2006.01)	GO 1 R 31/28 Q
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 M
GO 1 R 31/319 (2006.01)	GO 1 R 31/28 R

請求項の数 12 (全 29 頁)

(21) 出願番号	特願2001-342955 (P2001-342955)	(73) 特許権者	390005175
(22) 出願日	平成13年11月8日(2001.11.8)		株式会社アドバンテスト
(65) 公開番号	特開2003-149305 (P2003-149305A)		東京都練馬区旭町1丁目32番1号
(43) 公開日	平成15年5月21日(2003.5.21)	(74) 代理人	100104156
審査請求日	平成16年6月9日(2004.6.9)		弁理士 龍華 明裕
		(72) 発明者	土井 優
			東京都練馬区旭町1丁目32番1号株式会
			社アドバンテスト内
		(72) 発明者	佐藤 新哉
			東京都練馬区旭町1丁目32番1号株式会
			社アドバンテスト内
		審査官	藤原 伸二

最終頁に続く

(54) 【発明の名称】 タイミング発生器、及び試験装置

(57) 【特許請求の範囲】

【請求項1】

タイミング信号を発生するタイミング発生器であって、
 所定の時間間隔で基準クロックを出力する基準クロック発生部と、
 前記基準クロックを受け取り、前記基準クロックを遅延させた第1遅延信号を出力する
 第1可変遅延回路部と、
 前記基準クロックを受け取り、前記基準クロックを遅延させた第2遅延信号を出力する
 第2可変遅延回路部と、
 前記第1可変遅延回路部における遅延量を制御する第1遅延制御部と、
 前記第2可変遅延回路部における遅延量を制御する第2遅延制御部と、
 前記第1遅延信号と、前記第2遅延信号とに基づいて、前記タイミング信号を生成する
 タイミング生成部と
 を備え、
 前記第2遅延制御部は、

予め第2基本タイミングデータが設定される第2基本タイミングデータ設定部と、
 予め第2マルチストローク分解能データが設定される第2マルチストローク分解能デー
 タ設定部と、

第2マルチストロークデータを記憶するマルチストロークデータ記憶部と、
 前記基準クロック発生部が前記基準クロックを発生する毎に、前記マルチストロークデ
 ータ記憶部が記憶した前記第2マルチストロークデータに、前記第2マルチストローク分

解能データを加算する第2マルチストローク分解能データ加算部と、

前記第2基本タイミングデータと、前記第2マルチストロークデータとに基づいて、前記第2可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出する第2可変遅延量算出部とを有し、

前記第1遅延制御部は、

予め第1基本タイミングデータが設定される第1基本タイミングデータ設定部と、

予め第1マルチストローク分解能データが設定される第1マルチストローク分解能データ設定部と、

前記基準クロック発生部が前記基準クロックを発生する毎に、前記マルチストロークデータ記憶部が記憶した前記第2マルチストロークデータに、前記第1マルチストローク分解能データを加算して第1マルチストロークデータを算出する第1マルチストローク分解能データ加算部と、

前記第1基本タイミングデータと、前記第1マルチストローク分解能データ加算部が算出した遅延量とに基づいて、前記第1可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部とを有し、

前記マルチストロークデータ記憶部は、前記第2マルチストローク分解能データ加算部において、前記第2マルチストローク分解能データが加算された前記第2マルチストロークデータを新たに記憶する

ことを特徴とするタイミング発生器。

【請求項2】

前記タイミング生成部は、前記第1遅延信号と、前記第2遅延信号とをインターリーブさせた信号に基づいて、前記タイミングを生成することを特徴とする請求項1に記載のタイミング発生器。

【請求項3】

前記第1可変遅延量算出部は、前記第1基本タイミングデータに、前記第1マルチストロークデータを加算した遅延量を算出し、

前記第2可変遅延量算出部は、前記第2基本タイミングデータに、前記第2マルチストロークデータを加算した遅延量を算出することを特徴とする請求項1に記載のタイミング発生器。

【請求項4】

前記第1可変遅延量算出部は、前記第1基本タイミングデータから、前記第1マルチストロークデータを減算した遅延量を算出し、

前記第2可変遅延量算出部は、前記第2基本タイミングデータから、前記第2マルチストロークデータを減算した遅延量を算出することを特徴とする請求項1に記載のタイミング発生器。

【請求項5】

前記第1マルチストローク分解能データは、前記第2マルチストローク分解能データの略半分であることを特徴とする請求項1から4のいずれかに記載のタイミング発生器。

【請求項6】

前記タイミング発生器が発生するべき前記タイミング信号に基づいて、前記マルチストロークデータ記憶部が記憶する前記第2マルチストロークデータを零に設定する手段を更に備えることを特徴とする請求項1から5のいずれかに記載のタイミング発生器。

【請求項7】

前記タイミング発生器が発生するべき前記タイミング信号に基づいて、前記第1基本タイミングデータ設定部に新たな第1基本タイミングデータを設定する手段と、

前記タイミング発生器が発生するべき前記タイミング信号に基づいて、前記第2基本タイミングデータ設定部に新たな第2基本タイミングデータを設定する手段とを更に備えることを特徴とする請求項1から6のいずれかに記載のタイミング発生器。

【請求項8】

前記タイミング発生器が発生するべき前記タイミング信号に基づいて、前記第1マルチ

10

20

30

40

50

ストローブ分解能データ設定部に新たな第1マルチストローブ分解能データを設定する手段と、

前記タイミング発生器が発生するべき前記タイミング信号に基づいて、前記第2マルチストローブ分解能データ設定部に新たな第2マルチストローブ分解能データを設定する手段と

を更に備えることを特徴とする請求項1から7のいずれかに記載のタイミング発生器。

【請求項9】

電子デバイスを試験する試験装置であって、

前記電子デバイスを試験するための試験パターンを発生するパターン発生部と、

前記試験パターンを受け取り、前記試験パターンを整形した整形パターンを前記電子デバイスに入力する波形整形部と、

タイミングを発生する第1タイミング発生器と、

前記電子デバイスが前記試験パターンに基づいて出力する出力信号を、前記第1タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリング回路と、

前記出力信号サンプリング回路におけるサンプリング結果に基づいて、前記電子デバイスの良否を判定する判定部と

を備え、

前記第1タイミング発生器は、

所定の時間間隔で基準クロックを出力する基準クロック発生部と、

前記基準クロックを受け取り、前記基準クロックを遅延させた第1遅延信号を出力する第1可変遅延回路部と、

前記基準クロックを受け取り、前記基準クロックを遅延させた第2遅延信号を出力する第2可変遅延回路部と、

前記第1可変遅延回路部における遅延量を制御する第1遅延制御部と、

前記第2可変遅延回路部における遅延量を制御する第2遅延制御部と、

前記第1遅延信号と、前記第2遅延信号とに基づいて、前記タイミングを生成するタイミング生成部と

を有し、

前記第2遅延制御部は、

予め第2基本タイミングデータが設定される第2基本タイミングデータ設定部と、

予め第2マルチストローブ分解能データが設定される第2マルチストローブ分解能データ設定部と、

第2マルチストローブデータを記憶するマルチストローブデータ記憶部と、

前記基準クロック発生部が前記基準クロックを発生する毎に、前記マルチストローブデータ記憶部が記憶した前記第2マルチストローブデータに、前記第2マルチストローブ分解能データを加算する第2マルチストローブ分解能データ加算部と、

前記第2基本タイミングデータと、前記第2マルチストローブデータとに基づいて、前記第2可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出する第2可変遅延量算出部とを有し、

前記第1遅延制御部は、

予め第1基本タイミングデータが設定される第1基本タイミングデータ設定部と、

予め第1マルチストローブ分解能データが設定される第1マルチストローブ分解能データ設定部と、

前記基準クロック発生部が前記基準クロックを発生する毎に、前記マルチストローブデータ記憶部が記憶した前記第2マルチストローブデータに、前記第1マルチストローブ分解能データを加算して第1マルチストローブデータを算出する第1マルチストローブ分解能データ加算部と、

前記第1基本タイミングデータと、前記第1マルチストローブ分解能データ加算部が算出した遅延量とに基づいて、前記第1可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部とを有し、

10

20

30

40

50

前記マルチストローブデータ記憶部は、前記第2マルチストローブ分解能データ加算部において、前記第2マルチストローブ分解能データが加算された前記第2マルチストローブデータを新たに記憶することを特徴とする試験装置。

【請求項10】

電子デバイスを試験する試験装置であって、
前記電子デバイスは、内部クロックに応じて出力信号を出力し、
 前記電子デバイスを試験するための試験パターンを発生するパターン発生部と、
 前記試験パターンを受け取り、前記試験パターンを整形した整形パターンを前記電子デバイスに入力する波形整形部と、

10

タイミングを発生する第1タイミング発生器と、
 前記電子デバイスが前記試験パターンに基づいて出力する出力信号を、前記内部クロックに基づいたクロックであるデータストローブに応じて受け取り、前記第1タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリング回路と、

タイミングを発生する第2タイミング発生器と、
前記データストローブを、前記第2タイミング発生器が発生したタイミングでサンプリングするデータストローブサンプリング回路と、

前記出力信号サンプリング回路におけるサンプリング結果に基づいて、前記電子デバイスの良否を判定する判定部と

を備え、

20

前記第1タイミング発生器は、
 所定の時間間隔で基準クロックを出力する基準クロック発生部と、
 前記基準クロックを受け取り、前記基準クロックを遅延させた第1遅延信号を出力する第1可変遅延回路部と、

前記基準クロックを受け取り、前記基準クロックを遅延させた第2遅延信号を出力する第2可変遅延回路部と、

前記第1可変遅延回路部における遅延量を制御する第1遅延制御部と、
 前記第2可変遅延回路部における遅延量を制御する第2遅延制御部と、
 前記第1遅延信号と、前記第2遅延信号とに基づいて、前記タイミングを生成する第1タイミング生成部と

30

を含み、

前記第1遅延制御部及び前記第2遅延制御部は、前記第1可変遅延回路部及び前記第2可変遅延回路部における遅延量を、前記基準クロック発生部が前記基準クロックを発生する毎に、増加又は減少させ、

前記第2タイミング発生器は、
前記基準クロックを受け取り、前記基準クロックを遅延させた第3遅延信号を出力する第3可変遅延回路部と、

前記基準クロックを受け取り、前記基準クロックを遅延させた第4遅延信号を出力する第4可変遅延回路部と、

前記第3可変遅延回路部における遅延量を制御する第3遅延制御部と、
 前記第4可変遅延回路部における遅延量を制御する第4遅延制御部と、
 前記第3遅延信号と、前記第4遅延信号とに基づいて、前記タイミングを生成する第2

40

タイミング生成部と

を含み、

前記第3遅延制御部及び前記第4遅延制御部は、前記第3可変遅延回路部及び前記第4可変遅延回路部における遅延量を、前記基準クロック発生部が前記基準クロックを発生する毎に、増加又は減少させ、

前記判定部は、前記データストローブサンプリング回路のサンプリング結果に更に基づいて、前記電子デバイスの良否を判定することを特徴とする試験装置。

【請求項11】

50

前記判定部は、前記出力信号サンプリング回路におけるサンプリング結果に基づいて、前記出力信号のジッタを算出する手段を有し、

前記判定部は、前記出力信号のジッタに更に基づいて、前記電子デバイスの良否を判定することを特徴とする請求項 10 に記載の試験装置。

【請求項 12】

前記判定部は、前記データストローブサンプリング回路におけるサンプリング結果に基づいて、前記データストローブのジッタを算出する手段を更に有し、

前記判定部は、前記データストローブのジッタに更に基づいて、前記電子デバイスの良否を判定することを特徴とする請求項 10 又は 11 に記載の試験装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、電子デバイスの良否を試験する試験装置に関する。特に、電子デバイスの内部クロックがジッタを有する場合における、電子デバイスの良否を試験する試験装置に関する。

【0002】

【従来の技術】

近年、半導体デバイス等の電子デバイスの高速化が著しい。例えばDDR - SDRAM等の高速メモリデバイス等において、デバイスの内部クロックにジッタが生じている場合、デバイスの出力データと、内部クロックに基づいたクロックであって、出力データの受け渡りに用いられるデータストローブとの双方にジッタ成分が含まれてしまう。

20

【0003】

【発明が解決しようとする課題】

しかし、従来の試験装置では、一回の測定で電子デバイスの良否を判定していたため、出力データとデータストローブの双方におけるジッタ成分のため、正確な判定を行うことが困難であった。また、従来の試験装置において、電子デバイスが出力する出力信号を異なるタイミングでサンプリングする場合、サンプリングタイミングの位相を微小時間ずらすために、生成すべき複数のサンプリングタイミングの位相データを試験装置内に記憶する必要があった。試験対象である半導体素子の高速化に伴い、当該サンプリングタイミングのサーチ分解能は、高分解能が要求されている。従来の試験装置では、生成すべき複数のサンプリングタイミングの位相データを試験装置内に記憶しているため、高分解能を達成するためには試験装置内に膨大な位相データを記憶する必要があった。しかし、そのような膨大な位相データを記憶するためのメモリを試験装置内に備えることは、現実的ではなく、生成すべきサンプリングタイミングの位相データの全てを記憶することは、ほぼ不可能であり、電子デバイスを精度よく試験することが困難であった。このため、位相が微小時間ずれた複数のサンプリングタイミングを容易に生成することが望まれていた。

30

【0004】

そこで本発明は、上記の課題を解決することのできるタイミング発生器及び試験装置を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

40

【0005】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の形態においては、タイミング信号を発生するタイミング発生器であって、所定の時間間隔で基準クロックを出力する基準クロック発生部と、基準クロックを受け取り、基準クロックを遅延させた第1遅延信号を出力する第1可変遅延回路部と、基準クロックを受け取り、基準クロックを遅延させた第2遅延信号を出力する第2可変遅延回路部と、第1可変遅延回路部における遅延量を制御する第1遅延制御部と、第2可変遅延回路部における遅延量を制御する第2遅延制御部と、第1遅延信号と、第2遅延信号とに基づいて、タイミング信号を生成するタイミング生成部とを備え、第2遅延制御部は、予め第2基本タイミングデータが設定される第2基本タイミングデ

50

ータ設定部と、予め第2マルチストローク分解能データが設定される第2マルチストローク分解能データ設定部と、第2マルチストロークデータを記憶するマルチストロークデータ記憶部と、基準クロック発生部が基準クロックを発生する毎に、マルチストロークデータ記憶部が記憶した第2マルチストロークデータに、第2マルチストローク分解能データを加算する第2マルチストローク分解能データ加算部と、第2基本タイミングデータと、第2マルチストロークデータとに基づいて、第2可変遅延回路部において基準クロックが遅延されるべき遅延量を算出する第2可変遅延量算出部とを有し、第1遅延制御部は、予め第1基本タイミングデータが設定される第1基本タイミングデータ設定部と、予め第1マルチストローク分解能データが設定される第1マルチストローク分解能データ設定部と、基準クロック発生部が基準クロックを発生する毎に、マルチストロークデータ記憶部が記憶した第2マルチストロークデータに、第1マルチストローク分解能データを加算して第1マルチストロークデータを算出する第1マルチストローク分解能データ加算部と、第1基本タイミングデータと、第1マルチストローク分解能データ加算部が算出した遅延量とに基づいて、第1可変遅延回路部において基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部とを有し、マルチストロークデータ記憶部は、第2マルチストローク分解能データ加算部において、第2マルチストローク分解能データが加算された第2マルチストロークデータを新たに記憶することを特徴とするタイミング発生器を提供する。

10

【0006】

タイミング生成部は、第1遅延信号と、第2遅延信号とをインターリーブさせた信号に基づいて、タイミングを生成してよい。

20

【0007】

また、第1可変遅延量算出部は、第1基本タイミングデータに、第1マルチストロークデータを加算した遅延量を算出し、第2可変遅延量算出部は、第2基本タイミングデータに、第2マルチストロークデータを加算した遅延量を算出してよい。また、第1可変遅延量算出部は、第1基本タイミングデータから、第1マルチストロークデータを減算した遅延量を算出し、第2可変遅延量算出部は、第2基本タイミングデータから、第2マルチストロークデータを減算した遅延量を算出してよい。

【0009】

第1マルチストローク分解能データは、第2マルチストローク分解能データの略半分であってよい。また、タイミング発生器が発生するべきタイミング信号に基づいて、マルチストロークデータ記憶部が記憶する第2マルチストロークデータを零に設定する手段を更に備えてよい。また、タイミング発生器が発生するべきタイミング信号に基づいて、第1基本タイミングデータ設定部に新たな第1基本タイミングデータを設定する手段と、タイミング発生器が発生するべきタイミング信号に基づいて、第2基本タイミングデータ設定部に新たな第2基本タイミングデータを設定する手段とを更に備えてよい。また、タイミング発生器が発生するべきタイミング信号に基づいて、第1マルチストローク分解能データ設定部に新たな第1マルチストローク分解能データを設定する手段と、タイミング発生器が発生するべきタイミング信号に基づいて、第2マルチストローク分解能データ設定部に新たな第2マルチストローク分解能データを設定する手段とを更に備えてよい。マルチストロークデータ記憶部が記憶する第2マルチストロークデータを零に設定する手段は、マルチストロークデータ記憶部が記憶する第2マルチストロークデータを任意の試験サイクルで零にリセットする機能を有する。

30

40

【0010】

本発明の第2の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを発生するパターン発生部と、試験パターンを受け取り、試験パターンを整形した整形パターンを電子デバイスに入力する波形整形部と、タイミングを発生する第1タイミング発生器と、電子デバイスが試験パターンに基づいて出力する出力信号を、第1タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリング回路と、出力信号サンプリング回路におけるサンプリング結果に基づいて

50

、電子デバイスの良否を判定する判定部とを備え、第1タイミング発生器は、所定の時間間隔で基準クロックを出力する基準クロック発生部と、基準クロックを受け取り、基準クロックを遅延させた第1遅延信号を出力する第1可変遅延回路部と、基準クロックを受け取り、基準クロックを遅延させた第2遅延信号を出力する第2可変遅延回路部と、第1可変遅延回路部における遅延量を制御する第1遅延制御部と、第2可変遅延回路部における遅延量を制御する第2遅延制御部と、第1遅延信号と、第2遅延信号とに基づいて、タイミングを生成する第1タイミング生成部とを有し、第2遅延制御部は、予め第2基本タイミングデータが設定される第2基本タイミングデータ設定部と、予め第2マルチストローク分解能データが設定される第2マルチストローク分解能データ設定部と、第2マルチストロークデータを記憶するマルチストロークデータ記憶部と、基準クロック発生部が基準
クロックを発生する毎に、マルチストロークデータ記憶部が記憶した第2マルチストロークデータに、第2マルチストローク分解能データを加算する第2マルチストローク分解能データ加算部と、第2基本タイミングデータと、第2マルチストロークデータとに基づいて、第2可変遅延回路部において基準クロックが遅延されるべき遅延量を算出する第2可変遅延量算出部とを含み、第1遅延制御部は、予め第1基本タイミングデータが設定される第1基本タイミングデータ設定部と、予め第1マルチストローク分解能データが設定される第1マルチストローク分解能データ設定部と、基準クロック発生部が基準クロックを発生する毎に、マルチストロークデータ記憶部が記憶した第2マルチストロークデータに、第1マルチストローク分解能データを加算して第1マルチストロークデータを算出する第1マルチストローク分解能データ加算部と、第1基本タイミングデータと、第1マルチ
ストローク分解能データ加算部が算出した遅延量とに基づいて、第1可変遅延回路部において基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部とを含み、マルチストロークデータ記憶部は、第2マルチストローク分解能データ加算部において、第2マルチストローク分解能データが加算された第2マルチストロークデータを新たに記憶することを特徴とする試験装置を提供する。

10

20

【0011】

本発明の第3の形態においては、電子デバイスを試験する試験装置であって、電子デバイスは、内部クロックに応じて出力信号を出力し、電子デバイスを試験するための試験パターンを発生するパターン発生部と、試験パターンを受け取り、試験パターンを整形した整形パターンを電子デバイスに入力する波形整形部と、タイミングを発生する第1タイミ
ング発生器と、電子デバイスが試験パターンに基づいて出力する出力信号を、内部クロックに基づいたクロックであるデータストロークに応じて受け取り、第1タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリング回路と、タイミングを発生する第2タイミング発生器と、データストロークを、第2タイミング発生器が発生したタイミングでサンプリングするデータストロークサンプリング回路と、出力信号サンプリング回路におけるサンプリング結果に基づいて、電子デバイスの良否を判定する判定部とを備え、第1タイミング発生器は、所定の時間間隔で基準クロックを出力する基準クロック発生部と、基準クロックを受け取り、基準クロックを遅延させた第1遅延信号を出力する第1可変遅延回路部と、基準クロックを受け取り、基準クロックを遅延させた第2遅延信号を出力する第2可変遅延回路部と、第1可変遅延回路部における遅延量を制御する第
1遅延制御部と、第2可変遅延回路部における遅延量を制御する第2遅延制御部と、第1遅延信号と、第2遅延信号とに基づいて、タイミングを生成する第1タイミング生成部とを含み、第1遅延制御部及び第2遅延制御部は、第1可変遅延回路部及び第2可変遅延回路部における遅延量を、基準クロック発生部が基準クロックを発生する毎に、増加又は減少させ、第2タイミング発生器は、基準クロックを受け取り、基準クロックを遅延させた第3遅延信号を出力する第3可変遅延回路部と、基準クロックを受け取り、基準クロックを遅延させた第4遅延信号を出力する第4可変遅延回路部と、第3可変遅延回路部における遅延量を制御する第3遅延制御部と、第4可変遅延回路部における遅延量を制御する第4遅延制御部と、第3遅延信号と、第4遅延信号とに基づいて、タイミングを生成する第2タイミング生成部とを含み、第3遅延制御部及び第4遅延制御部は、第3可変遅延回路

30

40

50

部及び第4可変遅延回路部における遅延量を、基準クロック発生部が基準クロックを発生する毎に、増加又は減少させ、判定部は、データストローブサンプリング回路のサンプリング結果に更に基づいて、電子デバイスの良否を判定することを特徴とする試験装置を提供する。判定部は、出力信号サンプリング回路におけるサンプリング結果に基づいて、出力信号のジッタを算出する手段を有し、判定部は、出力信号のジッタに更に基づいて、電子デバイスの良否を判定してよい。また、判定部は、データストローブサンプリング回路のサンプリング結果に更に基づいて、電子デバイスの良否を判定してよい。

【0012】

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

【0013】

【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0014】

図1は、本発明に係る試験装置100の構成の一例を示す。試験装置100は、基準クロックを発生する基準クロック発生部54と、基準クロックに同期して試験パターンを発生するパターン発生部10と、基準クロックに基づいてタイミングを発生するタイミング発生器30と、試験パターンを整形した整形パターンを生成し、タイミング発生器30が発生したタイミングに基づいて、整形パターンを電子デバイス20に入力する波形整形部12と、タイミング発生器30が発生したタイミングに基づいて、電子デバイス20が出力する出力信号のパターンである比較パターンを取得する比較器52と、比較パターンと期待値パターンとに基づいて、電子デバイス20の良否を判定する判定部22とを備える。

【0015】

パターン発生部10は、電子デバイス20の試験用の試験パターンと、電子デバイス20に試験パターンが入力された場合に電子デバイス20が出力するべき期待値パターンとを発生する。波形整形部12は、試験パターンを整形した整形パターンを生成し、タイミング発生器30が発生するタイミングに基づいて、整形パターンを電子デバイス20に入力する。例えば、波形整形部12は、タイミング発生器30が発生するタイミングに基づいて、整形パターンを遅延させ、電子デバイス20に入力する。比較器52は、電子デバイス20が、入力された整形パターンに基づいて出力する出力信号の値を、タイミング発生器30が発生するタイミングに基づいて取得する。タイミング発生器30は、複数のタイミングを発生し、比較器は、タイミング発生器30が発生した複数のタイミングに基づいて、出力信号のパターンを取得し、比較パターンを生成する。判定部22は、比較パターンと、期待値パターンとに基づいて、電子デバイス20の良否を判定する。

【0016】

本例において、タイミング発生器30は、複数のタイミングを発生する。例えば、タイミング発生器30には、基準クロック発生部54から複数のクロックが入力され、タイミング発生器30は、クロックが入力される毎に、異なる遅延量クロックを遅延させ、波形整形部12又は比較器52に入力する。例えば、タイミング発生器30は、クロックが入力される毎に、クロックを遅延させる遅延量を徐々に増加又は減少させた、マルチストローブを発生する。波形整形部12にタイミングを供給するタイミング発生器30と、比較器52にタイミングを供給するタイミング発生器30とは、同一又は同様の機能及び構成を有してよい。タイミング発生器30は、マルチストローブの分解能を設定する手段を有し、クロックが入力される毎に、設定されたマルチストローブの分解能に基づいた遅延量を演算してよい。例えば、タイミング発生器30は、クロックが入力される毎に、マルチストローブの分解能を加算した遅延量を算出し、算出した遅延量に基づいて、入力されたクロックを遅延させ、出力してよい。本例に説明した試験装置100によれば、設定されたマルチストローブの分解能に基づいて、遅延量を演算するため、タイミング発生器30が

10

20

30

40

50

発生するべきマルチストローブのそれぞれのタイミングの設定値を記憶する必要が無く、試験装置 100 における記憶容量不足を解消することができる。以下タイミング発生器 30 の構成及び動作について説明する。

【0017】

図 2 は、本発明に係るタイミング発生器 30 の構成の一例を示すブロック図である。タイミング発生器 30 は、第 1 可変遅延回路部 44 a と、第 2 可変遅延回路部 44 b と、第 1 遅延制御部 42 a と、第 2 遅延制御部 42 b と、分解能データ設定部 60 と、加算器 82 と、基準クロック発生部 54 と、タイミング生成部 56 とを有する。

【0018】

基準クロック発生部 54 は、所定の時間間隔で基準クロックを発生する。第 1 可変遅延回路部 44 a 及び第 2 可変遅延回路部 44 b は、それぞれ基準クロックを受け取り、基準クロックを遅延させた、第 1 遅延信号及び第 2 遅延信号をタイミング生成部 56 に出力する。

10

【0019】

第 1 遅延制御部 42 a は、第 1 可変遅延回路部 44 a における遅延量を制御し、第 2 遅延制御部 42 b は、第 2 可変遅延回路部 44 b における遅延量を制御する。タイミング生成部 56 は、第 1 遅延信号と、第 2 遅延信号とに基づいて、タイミング信号を生成する。第 1 遅延制御部 42 a 及び第 2 遅延制御部 42 b は、第 1 可変遅延回路部 44 a 及び第 2 可変遅延回路部 44 b における遅延量を、基準クロック発生部 54 が基準クロックを発生する毎に、増加又は減少させる。

20

【0020】

分解能データ設定部 60 は、タイミング発生器 30 が発生するマルチストローブの分解能として、所定の基準値が与えられ、当該基準値に基づく値を、第 1 遅延制御部 42 a 及び第 2 遅延制御部 42 b に供給する。以下、第 1 遅延制御部 42 a 及び第 2 遅延制御部 42 b の構成及び動作について説明する。

【0021】

第 1 遅延制御部 42 a と、第 2 遅延制御部 42 b とは、同一又は同様の機能及び構成を有してよい。第 1 遅延制御部 42 a 及び第 2 遅延制御部 42 b は、それぞれ、予め基本タイミングデータが設定される基本タイミングデータ設定部 32 と、予めマルチストローブ分解能データが設定されるマルチストローブ分解能設定部 34 と、基準クロックに応じて、マルチストローブ分解能データに基づいて、マルチストローブデータを算出するマルチストローブデータ算出部 46 と、基本タイミングデータとマルチストローブデータとに基づいて、可変遅延回路部 44 において基準クロックが遅延されるべき遅延量を算出する可変遅延量算出部とを含む。第 2 マルチストローブ分解能データ設定部 34 b は、加算器 82 を介し、分解能データ設定部 60 から基準値の 2 倍の値を示すデータを受け取る。また、第 1 マルチストローブ分解能データ設定部 34 a は、分解能データ設定部 60 から基準値と略同一の値を示すデータを受け取る。すなわち、第 1 マルチストローブ分解能データ設定部 34 b には、第 2 マルチストローブ分解能データ設定部 34 b の略半分の値のデータが設定される。以下、第 1 遅延制御部 42 a の機能について説明する。

30

【0022】

第 1 マルチストローブデータ算出部 46 a は、基準クロックに同期して第 1 マルチストローブデータを算出することが好ましい。また、第 1 マルチストローブデータ算出部 46 a は、基準クロック発生部 54 が基準クロックを発生する毎に、第 1 マルチストローブデータを算出してよい。第 1 可変遅延量算出部 40 a は、当該基準クロックに応じて算出された第 1 マルチストローブデータと、第 1 基本タイミングデータとに基づいて、第 1 可変遅延回路部 44 a において当該基準クロックが遅延される遅延量を制御してよい。また、第 1 マルチストローブデータ算出部 46 a は、基準クロック発生部が基準クロックを発生する毎に、略等しい遅延量が加算された第 1 マルチストローブデータを算出することが好ましい。例えば、第 1 マルチストローブデータ算出部 46 は、基準クロック発生部 54 が基準クロックを発生する毎に、第 1 マルチストローブ分解能データが加算された第 1 マルチ

40

50

ストローブデータを算出してよい。また、第1マルチストローブ分解能データ設定部34aは、第2マルチストローブ分解能データ設定部34bと異なるマルチストローブ分解能データが設定できることが好ましい。一例として、第1マルチストローブ分解能データ設定部34aには、第2マルチストローブ分解能データ設定部34bの略半分の値のデータが設定される。

【0023】

第1可変遅延量算出部40aは、第1基本タイミングデータに、第1マルチストローブデータを加算した遅延量を算出してよい。第1可変遅延量算出部40aは、第2可変遅延量算出部40bが、第2基本タイミングデータに、第2マルチストローブデータを加算した遅延量を算出した場合、第1基本タイミングデータに、第1マルチストローブデータを加算した遅延量を算出することが好ましい。また、第1可変遅延量算出部40aは、第1基本タイミングデータから、第1マルチストローブデータを減算した遅延量を算出してよい。第1可変遅延量算出部40aは、第2可変遅延量算出部40bが、第2基本タイミングデータに、第2マルチストローブデータを減算した遅延量を算出した場合、第1基本タイミングデータから、第1マルチストローブデータを減算した遅延量を算出することが好ましい。

10

【0024】

また、第1遅延制御部42aは、第1可変遅延量算出部40aが、第1基本タイミングデータに、第1マルチストローブデータを加算した遅延量を算出するか、又は第1基本タイミングデータから、第1マルチストローブデータを減算した遅延量を算出するかを選択する手段を更に含んでよい。第1可変遅延量算出部40a及び第2可変遅延量算出部40bにおける算出方法を選択することにより、タイミング発生器30が発生するタイミングの位相の変化方向を制御することができる。つまり、電子デバイス20が出力する出力信号に対して、時間軸において正の方向に位相がずれていくタイミングと、時間軸において負の方向に位相がずれていくタイミングとを選択して発生させることができる。また、本例において、第1遅延制御部42aと第2遅延制御部42bとは、それぞれ基本タイミングデータ設定部を有していたが、他の例においては、試験装置100は、第1遅延制御部42a及び第2遅延制御部42bにおける基本タイミングデータが設定される一つの基本タイミングデータ設定部を備えてよい。第1遅延制御部42aと第2遅延制御部42bとにおける、基本タイミングデータは同一であってよい。以下、タイミング発生器30の構成及び動作を詳細に説明する。

20

30

【0025】

図3は、タイミング発生器30の構成の一例を示す。図3において、図2と同一の符号を付したものは、図2に関連して説明したものと同一又は同様の機能及び構成を有してよい。タイミング発生器30は、第1可変遅延回路部44aと、第2可変遅延回路部44bと、第1遅延制御部42a(図2参照)と、第2遅延制御部42b(図2参照)と、分解能データ設定部60と、加算器82と、基準クロック発生部54と、タイミング生成部56とを有する。第1可変遅延回路部44a及び第2可変遅延回路部44bは、可変遅延回路50と、リニアライズメモリ48とを含む。可変遅延回路50は、複数の遅延素子を有し、当該遅延素子の組み合わせにより遅延すべき遅延量を生成する回路であってよい。リニアライズメモリ48は、可変遅延回路50において遅延すべき遅延量に基づいて、可変遅延回路50における遅延素子の組み合わせを選択する。リニアライズメモリ48は、可変遅延回路50において遅延すべき遅延量に基づいた、可変遅延回路50における信号伝達経路を記憶する記憶部を有してよい。リニアライズメモリ48には、リニアライズメモリ48の動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

40

【0026】

第1遅延制御部42aは、第1基本タイミングデータ設定部32aと、第1マルチストローブ分解能データ設定部34aと、第1可変遅延量算出部40aと、第1マルチストローブデータ算出部46aとを含む。本例において、第1マルチストローブデータ算出部46aは、第1マルチストローブ分解能データ加算部36aと、第1マルチストローブデータ

50

記憶部 38 とを有する。

【0027】

第2遅延制御部42bは、第2基本タイミングデータ設定部32bと、第2マルチストローク分解能データ設定部34bと、第2可変遅延量算出部40bと、第2マルチストロークデータ算出部46bとを含む。本例において、第2マルチストロークデータ算出部46bは、第2マルチストローク分解能データ加算部36bとを有する。

【0028】

本例において、第1遅延制御部42a及び第2遅延制御部42bは、デジタル信号によって、第1可変遅延回路部40a及び第2可変遅延回路部40bにおける遅延量を制御するデジタル回路を有してよい。例えば、第1遅延制御部42a及び第2遅延制御部42bは、18ビットのデジタル信号によって、第1可変遅延回路部40a及び第2可変遅延回路部40bにおける遅延量を制御する。

10

【0029】

分解能データ設定部60には、所定の基準値である分解能データが与えられ、第2マルチストローク分解能データ設定部34bは、加算器82を介し、分解能データ設定部60から分解能データに基づくデータを受け取る。図3に示すように、加算器82は、デジタル回路86、デジタル回路88の出力を加算してデジタル回路84に供給する。つまり本例において、第2マルチストローク分解能データ設定部34bには、当該基準値の略2倍の値を示すデータが格納される。また、第1マルチストローク分解能データ設定部34aには、当該基準値と略同一の値を示すデータが格納される。図3に示すデジタル回路86、デジタル回路88、デジタル回路84、及びデジタル回路92は、例えば論理積を出力する論理積回路であってよい。

20

【0030】

デジタル回路86は、第1設定制御信号と、分解能データとを受け取り、第1設定制御信号と、分解能データとの論理積を、加算器82及びデジタル回路84に供給する。第1設定制御信号は、例えば0, 1で示されるデジタル信号である。デジタル回路86は、第1設定制御信号が1である場合に、分解能データを、加算器82に供給し、第1設定制御信号が0である場合に、0の値を示すデータを加算器82に供給する。同様に、デジタル回路88は、論理積回路であってよく、第2設定制御信号と、分解能データとの論理積を、加算器82に供給する。第2設定制御信号は、例えば0, 1で示されるデジタル信号である。同様に、デジタル回路88は、第2設定制御信号と、分解能データとの論理積を、加算器82に供給する。第2設定制御信号は、第1設定制御信号と同様のデジタル信号であってよい。

30

【0031】

加算器82は、デジタル回路86及びデジタル回路88から供給されたデータを加算して、デジタル回路92を介して第2マルチストローク分解能データ設定部34bに供給する。つまり、加算器82は、第1設定制御信号及び第2設定制御信号の組み合わせに基づいて、分解能データ設定部60に設定された分解能データの、0倍、1倍、又は2倍のいずれかの値を示すデータを、デジタル回路92を介して、第2マルチストローク分解能データ設定部34bに、第2マルチストローク分解能データとして設定する。また、デジタル回路92は、論理積回路であって、第4設定制御信号と、加算器82が出力したデータとの論理積を出力してよい。つまり、第4設定制御信号が1であった場合、デジタル回路92は、第2マルチストローク分解能データ設定部34bに、第2マルチストローク分解能データとして0の値を設定し、第4設定制御信号が0であった場合、デジタル回路92は、第2マルチストローク分解能データ設定部34bに、加算器82から受け取ったデータを、第2マルチストローク分解能データとして設定する。

40

【0032】

また、第1マルチストローク分解能データ設定部34aは、デジタル回路86及びデジタル回路84を介して、分解能データ設定部60から、分解能データに基づく値を受け取る。デジタル回路84は、論理積回路であって、第3設定制御信号と、分解能データ

50

との論理積を、第1マルチストローク分解能データ設定部34aに、第1マルチストローク分解能データとして設定する。本例において、第3設定制御信号はデジタル信号であって、デジタル回路84は、第3設定制御信号が1の場合に、第1マルチストローク分解能データ設定部34aに、0の値を示すデータを、第1マルチストローク分解能データとして設定し、第4設定制御信号が0の場合に、第1マルチストローク分解能データ設定部34aに分解能データと同一の値を示すデータを設定する。

【0033】

本例において、第1設定制御信号、及び第2設定制御信号が1であり、第3設定制御信号、及び第4設定制御信号が0である場合、第1マルチストローク分解能データ設定部34aは、第2マルチストローク分解能データ設定部34bにおけるデータの略半分の値を示すデータを記憶する。また、第1可変遅延回路50a及び第2可変遅延回路50bは、分解能データ設定部60における分解能データと略同一の遅延量を有する遅延素子を有してよい。また、第1可変遅延回路部50a及び第2可変遅延回路部50bは、分解能データ設定部60に設定可能な分解能データのうち、最小の分解能データと略同一の遅延量を有する遅延素子を有してよい。また、分解能第1マルチストローク分解能データ設定部34a、及び第2マルチストローク分解能設定部34bは、例えばデジタル信号を記憶するレジスタであってよい。また、第1マルチストローク分解能データ設定部34a及び第2マルチストローク分解能設定部34bには、それぞれの動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

【0034】

第1基本タイミングデータ設定部32a及び第2基本タイミングデータ設定部32bには、第1基本タイミングデータ及び第2基本タイミングデータが設定される。第1基本タイミングデータ設定部32a及び第2基本タイミングデータ設定部32bは、それぞれ設定された基本タイミングデータを例えば18ビットのデジタル信号として、可変遅延量算出部40に出力する。第1基本タイミングデータ設定部32a、及び第2基本タイミングデータ設定部32bは、例えばデジタル信号を記憶するレジスタであってよい。また、第1基本タイミングデータ設定部32a及び第2基本タイミングデータ設定部32bには、それぞれの動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

【0035】

第1マルチストローク分解能データ設定部34aは、第1マルチストローク分解能データを第1マルチストローク分解能データ加算部36aに供給する。第1マルチストローク分解能データ加算部36aは、基準クロック発生部54が基準クロックを発生する毎に、マルチストロークデータ記憶部38が記憶した第2マルチストロークデータに、第1マルチストローク分解能データを加算する。つまり、第1マルチストローク分解能データ加算部36aは、前サイクルにおいて、第2マルチストローク分解能データ加算部36bが出力した第2マルチストロークデータに、第1マルチストローク分解能データを加算する。本例において、第1マルチストローク分解能データ加算部36aは、図3に示すように、デジタル回路94を介して、前サイクルの第2マルチストロークデータを受け取る。デジタル回路94は、論理積回路であって、第5設定制御信号と、マルチストロークデータ記憶部38が記憶した前サイクルの第2マルチストロークデータとの論理積を、第1マルチストローク分解能データ加算部36aに供給する。第5設定制御信号は、デジタル信号であってよい。つまり、デジタル回路94は、第5設定制御信号が0である場合に、第2マルチストロークデータを第1マルチストローク分解能データ加算部36aに供給し、第5設定制御信号が1である場合に、0の値を示すデータを第1マルチストローク分解能データ加算部36aに供給してよい。

【0036】

第2遅延制御部42bは、第2基本タイミングデータ設定部32bと、第2マルチストローク分解能データ設定部34bと、第2可変遅延量算出部40bと、第2マルチストロークデータ算出部46bと、第2マルチストローク分解能データ加算部36bとを含む。第

2 基本タイミングデータ設定部 3 2 b は、上述した第 1 基本タイミングデータ設定部 3 2 a と同一又は同様の機能及び構成を有してよい。

【 0 0 3 7 】

第 2 マルチストロープ分解能データ設定部 3 4 b は、上述した第 1 マルチストロープ分解能データ設定部 3 4 a と同一又は同様の機能及び構成を有してよい。第 2 マルチストロープ分解能データ設定部 3 4 b に設定される第 2 マルチストロープ分解能データは、前述したように、第 1 から第 4 設定制御信号の組み合わせに基づいて与えられる。第 2 マルチストロープ分解能データは、第 1 マルチストロープ分解能データの略 2 倍の値を示すデータであってよい。

【 0 0 3 8 】

第 2 マルチストロープデータ算出部 4 6 b は、上述した第 1 マルチストロープデータ算出部 4 6 a と同一又は同様の機能及び構成を有してよい。本例において、第 2 マルチストロープデータ算出部 4 6 b は、第 2 マルチストロープ分解能データ加算部 3 6 b と、マルチストロープデータ記憶部 3 8 とを有する。第 2 マルチストロープ分解能データ加算部 3 6 b は、基準クロックに応じて、マルチストロープデータ記憶部 3 8 に格納されている前サイクルの第 2 マルチストロープデータに、第 2 マルチストロープ分解能データを加算し、新たに第 2 マルチストロープ分解能データとしてマルチストロープデータ記憶部 3 8 に格納する。第 2 マルチストロープ分解能データ加算部 3 6 b は、図 3 に示すように、デジタル回路 9 6 を介して、マルチストロープデータ記憶部 3 8 が格納した第 2 マルチストロープデータを受け取る。デジタル回路 9 6 は、論理積回路であって、第 6 設定制御信号と、マルチストロープデータ記憶部 3 8 が格納した前サイクルの第 2 マルチストロープデータとの論理積を、第 2 マルチストロープ分解能データ加算部 3 6 b に供給する。第 6 設定制御信号は、デジタル信号であってよい。つまり、デジタル回路 9 6 は、第 6 設定制御信号が 0 である場合に、前サイクルの第 2 マルチストロープデータを第 2 マルチストロープ分解能データ加算部 3 6 b に供給し、第 6 設定制御信号が 1 である場合に、0 の値を示すデータを第 2 マルチストロープ分解能データ加算部 3 6 b に供給する。

【 0 0 3 9 】

マルチストロープデータ記憶部 3 8 は、第 2 マルチストロープデータ算出部 4 6 b の第 2 マルチストロープ分解能データ加算部 3 6 b が算出した第 2 マルチストロープデータを格納する。第 2 マルチストロープ分解能データ加算部 3 6 b は、デジタル信号を加算する論理回路を含む加算回路であってよい。初期状態において、マルチストロープデータ記憶部 3 8 には、所望の値が第 2 マルチストロープデータの初期値として与えられてよい。本例において、マルチストロープデータ記憶部 3 8 には、第 2 マルチストロープデータの初期値として零が与えられる。

【 0 0 4 0 】

第 1 マルチストロープデータ算出部 4 6 a は、第 1 マルチストロープデータ記憶部 3 8 が記憶した、第 1 マルチストロープデータを例えば 9 ビットのデジタル信号として、第 1 可変遅延量算出部 4 0 a に出力する。第 1 マルチストロープデータ記憶部 3 8 は、デジタル信号を記憶するレジスタであってよい。また、第 1 マルチストロープデータ記憶部 3 8 には、第 1 マルチストロープデータ記憶部 3 8 の動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

【 0 0 4 1 】

第 1 可変遅延量算出部 4 0 a は、第 1 基本タイミングデータと、第 1 マルチストロープデータ算出部 4 6 a が算出した、第 1 マルチストロープデータとに基づいて、第 1 可変遅延回路部 4 4 a において基準クロックが遅延されるべき遅延量を算出する。以上説明した第 1 遅延量制御部 4 2 a によれば、基準クロックのサイクルに応じて、第 1 マルチストロープ分解能データだけ増加した遅延設定値を容易に生成することができる。

【 0 0 4 2 】

本例においては、第 1 可変遅延量算出部 4 0 a は、18 ビットの第 1 基本タイミングデータと、9 ビットの第 1 マルチストロープデータとを受け取り、第 1 基本タイミングデータ

10

20

30

40

50

の下位9ビットに、第1マルチストローブデータの9ビットを加算する。また、他の例においては、第1可変遅延量算出部40aは、第1基本タイミングデータの下位9ビットから、第1マルチストローブデータの9ビットを減算してよい。また、第1遅延制御部42aは、第1可変遅延量算出部40aにおける加算又は減算を選択する、選択手段を更に含んでよい。第1可変遅延量算出部40aは、例えば第1基本タイミングデータと第1マルチストローブデータとの加算を行う加算論理回路、及び/又は第1基本タイミングデータと第1マルチストローブデータとの減算を行う減算論理回路を有してよい。また、第1可変遅延量算出部40aは、当該加算論理回路又は当該減算論理回路のいずれかを選択し、加算又は減算のいずれを行うかを選択する選択部を有してもよい。また、タイミング発生器30に含まれる構成要素は、基準クロックに基づいて、それぞれの動作を行ってよい。

10

【0043】

第2可変遅延量算出部40bは、第2基本タイミングデータと、マルチストローブデータ記憶部38が記憶した、第2マルチストローブデータとに基づいて、第2可変遅延回路部44bにおいて基準クロックが遅延されるべき遅延量を算出する。第2基本タイミングデータ設定部32bは、任意のデータを第2基本タイミングデータとして格納してよい。第2可変遅延量算出部40bは、上述した第1可変遅延量算出部40aと同一又は同様の機能及び構成を有してよい。以上説明した第2遅延量制御部42bによれば、基準クロックのサイクルに応じて、第2マルチストローブ分解能データだけ増加した遅延設定値を容易に生成することができる。

【0044】

20

タイミング生成部56は、第1可変遅延回路部44aが出力する第1遅延信号と、第2可変遅延回路部44bが出力する第2遅延信号とに基づいて、タイミング信号を生成する。タイミング生成部56は、第1遅延信号と、第2遅延信号とをインターリーブした信号に基づいて、タイミング信号を生成することが好ましい。すなわち、タイミング生成部56は、第1遅延信号の信号系列と、第2遅延信号の信号系列とに基づいて、それぞれの信号系列の信号順序を崩さずに、それぞれの信号系列の遅延信号を交互に配置したタイミング信号を生成することが好ましい。

【0045】

上述したタイミング発生器30の構成により、電子デバイス20が出力する信号に対して、位相が微小時間づつずれた、複数のタイミング(マルチストローブ)を有するタイミング信号を容易に生成することができる。例えば、第1マルチストローブ分解能データが示す設定値が、第2マルチストローブ分解能データが示す設定値の略半分の大きさである場合、電子デバイス20が出力する信号に対して、位相が所定の微小時間づつずれる、マルチストローブを容易に生成することができる。本例において、当該微小時間は、分解能データと各制御信号の組み合わせとに基づいて定まる。また、タイミング発生器30を構成する素子の特性により、単独の遅延信号では精度よく生成することのできない高分解能のマルチストローブを、2つの遅延信号をインターリーブし、マルチストローブを生成することにより、容易に生成することができる。本例において、電子デバイス20は、試験サイクルと同期して出力信号を出力する。本例におけるタイミング発生器30によれば、当該出力信号に対して位相が微小時間づつずれる、マルチストローブを容易に生成することができる。

30

40

【0046】

また、タイミング発生器30は、第1基本タイミングデータ設定部32a及び第2基本タイミングデータ設定部32bに、徐々に増加又は減少する基本タイミングデータを設定する、基本タイミングデータ算出部を更に有してよい。基本タイミングデータ算出部は、マルチストローブ算出部46a、マルチストローブ算出部46b、分解能データ設定部60、加算器82、第1マルチストローブ分解能データ設定部34a、第2マルチストローブ分解能データ設定部34b、並びにデジタル回路(82, 84, 86, 88, 及び92)と同一又は同様の機能及び構成を有してよい。

【0047】

50

また、本例におけるタイミング発生器 30 によれば、第 1 から第 6 設定制御信号の値を調整することにより、マルチストロープの位相を、所望の位相に容易に調整することができる。タイミング発生器 30 は、電子デバイス 20 を試験すべき試験パターンに基づいて、マルチストロープデータ記憶部 38 が記憶する第 2 マルチストロープデータを零に設定する手段を有してよい。例えば、タイミング発生器 30 は、電子デバイス 20 を試験すべき試験パターンに基づいて、第 1 から第 6 設定制御信号の値を所定の値に設定し、マルチストロープデータ記憶部 38 が記憶する第 2 マルチストロープデータを零に設定してよい。

【0048】

また、タイミング発生器 30 は、電子デバイス 20 を試験すべき試験パターンに基づいて、所定のタイミングで、第 1 基本タイミングデータ設定部 32 a 及び / 又は第 2 基本タイミング設定部 32 b に新たな基本タイミングデータを設定する手段を含んでよい。また、タイミング発生器 30 は、電子デバイス 20 を試験すべき試験パターンに基づいて、所定のタイミングで、第 1 マルチストロープ分解能データ設定部 34 a 及び / 又は第 2 マルチストロープ分解能データ設定部 34 b に新たなマルチストロープ分解能データを設定する手段を含んでよい。例えば、タイミング発生器 30 は、電子デバイス 20 を試験すべき試験パターンに基づいて、第 1 から第 4 設定制御信号に所定の値を設定し、第 1 マルチストロープ分解能データ設定部 34 a 及び / 又は第 2 マルチストロープ分解能データ設定部 34 b に新たなマルチストロープ分解能データを設定してよい。

【0049】

上述した、新たな基本タイミングデータを設定する手段、及び新たなマルチストロープ分解能データを設定する手段は、電子デバイス 20 を試験する一連の試験サイクルが終了した場合に、新たな基本タイミングデータ及び新たなマルチストロープ分解能データを設定することが好ましい。つまり、新たな基本タイミングデータを設定する手段、及び新たなマルチストロープ分解能データを設定する手段は、次に電子デバイス 20 を試験するべき一連の試験サイクルにおいて、タイミング発生器 30 が発生するべきマルチストロープに基づいた設定値を新たに設定することが好ましい。また、パターン発生部 10 (図 1 参照) 第 1 マルチストロープデータ算出部 46 a 及び / 又は第 2 マルチストロープデータ算出部 46 b において、マルチストロープ分解能データの加算を開始する信号を、第 1 マルチストロープデータ算出部 46 a 及び / 又は第 2 マルチストロープデータ算出部 46 b に入力する手段を含んでよい。第 1 マルチストロープデータ算出部 46 a 及び第 2 マルチストロープデータ算出部 46 b は、マルチストロープ分解能データの加算を開始する信号を受け取った場合に、マルチストロープデータ記憶部 38 から、第 1 マルチストロープ分解能データ加算部 36 a 又は第 2 マルチストロープ分解能データ加算部 36 b に対する、前サイクルの第 2 マルチストロープデータのフィードバックを開始する。当該開始する信号は、第 5 設定制御信号及び第 6 設定制御信号であってよい。また、第 1 マルチストロープ分解能データは、第 2 マルチストロープ分解能データの略半分であってよい。以下、各設定制御信号及び、マルチストロープデータ算出部 46 の動作の一例を、タイミングチャートを用いて説明する。

【0050】

図 4 は、マルチストロープデータ算出部 46 の動作の一例を示すタイミングチャートである。図 4 において、横軸は時間を表し、1 目盛りが 2 ns (ナノ秒) を示す。基準クロック段は、基準クロック発生部 54 が発生する基準クロックを、分解能設定データ段は、分解能データ設定部 60 に設定される分解能データを、各設定制御信号段は、それぞれ対応する設定制御信号を、各マルチストロープ分解能データ段は、それぞれ対応するマルチストロープ分解能データ設定部 34 に設定されるマルチストロープ分解能データを、各マルチストロープデータ段は、それぞれ対応するマルチストロープデータ算出部 46 が出力するマルチストロープデータを示す。

【0051】

本例においては、初期状態として、分解能設定部 60 に、分解能設定データとして、125 ps が設定されている。本例において、基準クロックの 1 周期を 1 サイクルとして説明

10

20

30

40

50

する。まず、第1マルチストローク分解能データ段及び第2マルチストローク分解能データ段について説明する。

【0052】

第1サイクルで、デジタル回路86に、第1設定制御信号として1が入力される。同様に、デジタル回路88に第2設定制御信号として1が入力される。この場合、加算器82は、分解能データである125psの2倍の値を示すデータ、すなわち250psをデジタル回路92に出力する。デジタル回路92は、第4設定制御信号の反転信号である1を受け取り、250psを出力する。第1マルチストローク分解能データ設定部34aは、図4に示すように、次サイクルの基準クロックの立ち上がりに基づくタイミングで、デジタル回路84から、125psを受け取り、第1マルチストローク分解能データとして設定する。同様に、第2マルチストローク分解能データ設定部34bは、デジタル回路92から、250psを受け取り、第2マルチストローク分解能データとして設定する。

10

【0053】

図4に示すように、第3サイクルの始まりで、第1設定制御信号が0となる。このため、デジタル回路86は、0を示すデータを、デジタル回路84を介して第1マルチストローク分解能データ設定部34aに供給する。第1マルチストローク分解能データ設定部34aは、次サイクルである第4サイクルで、デジタル回路84から0psを受け取り、第1マルチストローク分解能データとして設定する。また、加算器82は、デジタル回路88の出力である0psと、デジタル回路86の出力である125psとの和である125psを、デジタル回路92を介して、第2マルチストローク分解能データ設定部34bに供給する。第2マルチストローク分解能データ設定部34bは、第4サイクルで、デジタル回路92から125psを受け取り、第2マルチストローク分解能データとして設定する。

20

【0054】

次に、第4サイクルの始まりで、第2設定制御信号が0となる。このため、デジタル回路88は、0を示すデータを加算器82に供給する。加算器82は、デジタル回路86の出力である0psと、デジタル回路88の出力である0psの和である0psを、デジタル回路92を介して、第2マルチストローク分解能データ設定部34bに供給する。第2マルチストローク分解能データ設定部34bは、第5サイクルで、0psを第2マルチストローク分解能データとして設定する。

30

【0055】

以下同様に、第3設定制御信号及び第4設定制御信号が0の場合、第1マルチストローク分解能データ及び第2マルチストローク分解能データは、第1設定制御信号及び第2設定制御信号の組み合わせに基づいて定まる。第3設定制御信号が1になった場合、図4に示すように、第2マルチストローク分解能データとして、0psが設定される。また、同様に第4設定制御信号が0になった場合、第1マルチストローク分解能データとして、0psが設定される。

【0056】

次に、第1マルチストロークデータについて説明する。第1マルチストローク分解能データ加算部36aは、デジタル回路94が出力するデータと、第1マルチストローク分解能データ設定部34aが格納した、第1マルチストローク分解能データとの和を第1マルチストロークデータとして出力する。デジタル回路94は、一例としてマルチストロークデータ記憶部38が格納した前サイクルの第2マルチストロークデータと、第5設定制御信号の反転信号との論理積を出力する。第5設定制御信号が0の場合、第1マルチストロークデータ加算部36aは、前サイクルの第2マルチストロークデータと、第1マルチストローク分解能データとの和を出力する。つまり、図4に示すように、第5設定制御信号が0の場合、第1マルチストローク分解能データ加算部36aは、第1マルチストローク分解能データを次サイクルで受け取り、前サイクルの第2マルチストロークデータとの和を出力する。

40

50

【 0 0 5 7 】

本例においては、図 4 の矢印で示すように、第 3 サイクルで、第 1 マルチストロープ分解能データとして 1 2 5 p s を受け取り、前サイクルの第 2 マルチストロープデータとして 0 p s を受け取り、現サイクルの第 1 マルチストロープデータとして 1 2 5 p s を出力する。本例において、マルチストロープデータ記憶部 3 8 には、第 2 マルチストロープデータの初期値として 0 p s が与えられる。第 4 サイクルでは、第 1 マルチストロープ分解能データとして 1 2 5 p s を受け取り、前サイクルの第 2 マルチストロープデータとして 2 5 0 p s を受け取り、現サイクルの第 1 マルチストロープデータとして 3 7 5 p s を出力する。第 5 設定制御信号が 0 の場合は、以下同様に、第 1 マルチストロープデータを算出し、出力する。第 5 設定制御信号が 1 の場合、現サイクルの第 1 マルチストロープデータとして、第 1 マルチストロープ分解能データを出力する。

10

【 0 0 5 8 】

次に、第 2 マルチストロープデータ段について説明する。第 2 マルチストロープ分解能データ加算部 3 6 b は、デジタル回路 9 6 が出力するデータと、第 2 マルチストロープ分解能データ設定部 3 4 b が格納した、第 2 マルチストロープ分解能データとの和を、新たな第 2 マルチストロープデータとして出力する。デジタル回路 9 6 は、一例としてマルチストロープデータ記憶部 3 8 が格納した前サイクルの第 2 マルチストロープデータと、第 6 設定制御信号の反転信号との論理積を出力する。第 6 設定制御信号が 0 の場合、第 2 マルチストロープデータ加算部 3 6 b は、前サイクルの第 2 マルチストロープデータと、第 2 マルチストロープ分解能データとの和を出力する。つまり、図 4 に示すように、第 6 設定制御信号が 0 の場合、第 2 マルチストロープ分解能データ加算部 3 6 b は、第 2 マルチストロープ分解能データを次サイクルで受け取り、前サイクルの第 2 マルチストロープデータとの和を出力する。

20

【 0 0 5 9 】

本例においては、図 4 の矢印に示すように、第 3 サイクルで、第 2 マルチストロープ分解能データとして 2 5 0 p s を受け取り、前サイクルの第 2 マルチストロープデータとして 0 p s を受け取り、現サイクルの第 2 マルチストロープデータとして 2 5 0 p s を出力する。第 4 サイクルでは、第 2 マルチストロープ分解能データとして 2 5 0 p s を受け取り、前サイクルの第 2 マルチストロープデータとして 2 5 0 p s を受け取り、現サイクルの第 2 マルチストロープデータとして 5 0 0 p s を出力する。第 6 設定制御信号が 0 の場合は、他のサイクルでも同様に、第 2 マルチストロープデータを算出し、出力する。第 6 設定制御信号が 1 の場合、図 4 の第 8 サイクルに示すように、現サイクルの第 2 マルチストロープデータとして、第 2 マルチストロープ分解能データを出力する。

30

【 0 0 6 0 】

本例において、分解能設定データは 1 2 5 p s であったが、他の値が設定されて良いことは明らかである。分解能設定データは、タイミング発生器 3 0 が発生するタイミングの位相変化の分解能を示す。つまり、分解能設定データを変化させることにより、所望の位相変化の分解能を有するタイミングを発生させることができる。また、基本タイミングデータも、マルチストロープ分解能データと同様に、パターン発生部 1 0 が発生するテストパターンに基づいて、新たな遅延量が設定されてよい。また、本例においては、基準クロックの 1 周期を 1 サイクルとして、タイミング発生器 3 0 が動作したが、他の例においては、タイミング発生器 3 0 は、基準クロックの 1 周期の整数倍の周期を 1 サイクルとして動作してよい。

40

【 0 0 6 1 】

また、本例においては、タイミング発生器 3 0 は、二つの可変遅延回路部 4 4 を有し、二つの可変遅延回路部 4 4 において遅延された二つの遅延信号に基づいて、タイミング信号を生成していたが、他の例においては、タイミング発生器 3 0 は、複数の可変遅延回路部 4 4 と、複数の遅延制御部 4 2 とを有し、複数の可変遅延回路部 4 4 において遅延された複数の遅延信号に基づいて、タイミング信号を生成してよい。複数の遅延制御部 4 2 におけるそれぞれのマルチストロープ分解能データは、所定の基準値の整数倍がそれぞれ与え

50

られることが好ましい。また、複数の遅延制御部 4 2 の複数のマルチストローク分解能データ加算部 3 6 は、所定のマルチストローク分解能データ加算部 3 6 が出力したマルチストロークデータに、それぞれのマルチストローク分解能データを加算して出力することが好ましい。

【 0 0 6 2 】

図 5 は、複数のマルチストロークをインターリーブする場合の、マルチストローク分解能データ設定部 3 4 及びマルチストロークデータ算出部 4 6 の構成の一例を示す。分解能データ設定部 6 0 には、所定の基準値が与えられる。図 5 に示すように、第 1 マルチストローク分解能データ設定部 3 4 a には、当該基準値の 4 倍の値が、第 2 マルチストローク分解能データ設定部 3 4 b には、当該基準値の 3 倍の値が、第 3 マルチストローク分解能データ設定部 3 4 c には、当該基準値の 2 倍の値が、第 4 マルチストローク分解能データ設定部 3 4 d には、当該基準値の 1 倍の値が、それぞれマルチストローク分解能データとして与えられる。また、図 3 に関連して説明した各設定制御信号及びデジタル回路により、各マルチストローク分解能データ設定部 3 4 に設定されるマルチストローク分解能データを、所望の値に制御してもよい。

【 0 0 6 3 】

第 1 マルチストローク分解能データ加算部 3 6 a は、マルチストロークデータ記憶部 3 8 に記憶される第 1 マルチストロークデータに、第 1 マルチストローク分解能データを加算し、出力する。マルチストロークデータ記憶部 3 8 は、第 1 マルチストローク加算部 3 6 a が出力した第 1 マルチストロークデータを、新たに第 1 マルチストロークデータとして記憶する。マルチストロークデータ記憶部 3 8 には、初期状態として所定の値が与えられる。第 2 マルチストローク分解能データ加算部 3 6 b は、マルチストロークデータ記憶部 3 8 に記憶される第 1 マルチストロークデータに、第 2 マルチストローク分解能データを加算し、出力する。第 3 マルチストローク分解能データ加算部 3 6 c は、マルチストロークデータ記憶部 3 8 に記憶される第 1 マルチストロークデータに、第 3 マルチストローク分解能データを加算し、出力する。第 4 マルチストローク分解能データ加算部 3 6 d は、マルチストロークデータ記憶部 3 8 に記憶される第 1 マルチストロークデータに、第 4 マルチストローク分解能データを加算し、出力する。

【 0 0 6 4 】

例えば、分解能データ設定部 6 0 に 1 2 5 p s が設定され、マルチストロークデータ記憶部 3 8 に 0 p s が初期状態として記憶されている場合、第 1 から第 4 のマルチストローク分解能データ設定部には、それぞれ 5 0 0 p s 、 3 7 5 p s 、 2 5 0 p s 、 1 2 5 p s が設定される。第 4 マルチストローク分解能データ加算部 3 6 d は、1 2 5 p s を出力し、第 3 マルチストローク分解能データ加算部 3 6 c は、2 5 0 p s を出力し、第 2 マルチストローク分解能データ加算部 3 6 b は、3 7 5 p s を出力し、第 1 マルチストローク分解能データ加算部 3 6 a は、5 0 0 p s を出力する。マルチストロークデータ記憶部 3 8 は、5 0 0 p s を新たにマルチストロークデータとして記憶する。それぞれのマルチストローク分解能データ加算部 3 6 は、新たに記憶された 5 0 0 p s に基づいて、マルチストロークデータを算出し、出力する。つまり、第 4 マルチストローク分解能データ加算部 3 6 d は、6 2 5 p s を出力し、第 3 マルチストローク分解能データ加算部 3 6 c は、7 5 0 p s を出力し、第 2 マルチストローク分解能データ加算部 3 6 b は、8 7 5 p s を出力し、第 1 マルチストローク分解能データ加算部 3 6 a は、1 0 0 0 p s を出力する。マルチストロークデータ記憶部 3 8 は新たに 1 0 0 0 p s をマルチストロークデータとして記憶する。

【 0 0 6 5 】

上述した動作を繰り返すことにより、所定の時間づつ位相がずれた複数のタイミングを有するマルチストロークを容易に生成することが可能となる。また、本例においては、4 つのマルチストロークデータを算出したが、他の例においては、更に多くのマルチストロークデータを算出し、マルチストロークを生成してよい。つまり本発明は、N (N は任意の整数) 本のマルチストロークを生成し、それぞれをインターリーブし、高分解能のマルチ

10

20

30

40

50

ストローブを生成できるタイミング発生器に拡張可能であることは、本例における説明から明らかである。

【0066】

図6は、マルチストローブデータ算出部46の構成の他の例を示す。マルチストローブデータ算出部46a及び46bは、それぞれシフト回路62、セクタ64、加算器66、マルチストローブデータ記憶部68を有する。まず、マルチストローブデータ算出部46aの動作について説明する。

【0067】

分解能データ設定部60は、図3、及び図5に関連して説明した分解能データ設定部60と同様の機能を有する。分解能データ設定部60には、マルチストローブの分解能データである所定の基準値が設定される。第1シフト回路62aは、分解能データ設定部60から、当該所定の基準値をデジタル信号として受け取り、当該デジタル信号を1ビット左にシフトさせ、第1セクタ64aに出力する。つまり、第1シフト回路62aは、所定の基準値(分解能データ)の2倍の値を第1セクタ64aに出力する。

10

【0068】

第1セクタ64aは、第1シフト回路62aから分解能データの2倍の値を受け取り、分解能データ設定部60から分解能データを受け取る。一例として、第1セクタ64aは、図6のように0~3で示される経路からデータを受け取る。本例において、第1セクタ64aは、3で示される経路から、分解能データの2倍の値を受け取り、2及び1で示される経路から、分解能データを受け取り、0で示される経路から、0を示すデータを受け取る。第1セクタ64aは、 S_0 及び S_1 に入力されるデータに基づいて、所定の番号で示される経路を選択し、選択した経路から受け取ったデータを第1加算器66aに出力する。例えば、第1セクタ64aは、 S_0 及び S_1 の端子に、0又は1で表されるデジタル信号を受け取り、 S_0 、 S_1 に入力されたデジタル信号の値の組み合わせに基づいて、0~3の経路のいずれかを選択し、選択した経路から受け取ったデータを、加算器66aに出力する。

20

【0069】

加算器66aは、第1セクタ64aが出力したデータと、デジタル回路72aが出力したデータとを加算し、加算したデータを第1マルチストローブデータ記憶部68aに供給する。第1マルチストローブデータ記憶部68aは、加算器66aから受け取ったデータを、マルチストローブデータとして出力する。デジタル回路72aは、前ストローブ発生サイクル(以下、前サイクルとする)において、第1マルチストローブデータ記憶部68aが出力したマルチストローブデータを受け取り、受け取った前サイクルのマルチストローブデータを、加算器66aに供給するか否かを選択する。デジタル回路72aは、図6に示すように、論理積回路であってよい。つまり、デジタル回路72aは、前サイクルのマルチストローブデータに、第1セクタ64aが出力したデータを加算したデータを、第1マルチストローブデータ記憶部68aに供給するか、第1セクタ64aが出力したデータと同一のデータを第1マルチストローブデータ記憶部68aに供給するかを選択する。

30

【0070】

デジタル回路74a、及びデジタル回路76bは、第1セクタ64aがどの経路のデータを選択するかを制御する信号を、第1セクタ64aに供給する。デジタル回路74a、及びデジタル回路76bは、図6に示すように論理積回路であってよい。つまり、デジタル回路74a、及びデジタル回路76bは、第1セクタ64aの S_0 、及び S_1 端子に、データ選択用の信号を供給する。

40

【0071】

デジタル回路72a、デジタル回路74a、及びデジタル回路76aは、それぞれ制御信号を受け取る。本例においては、デジタル回路72aは、MUTCMD2_1st 1、及びMUTCMD2_2nd 2を受け取り、デジタル回路74aは、MUTCMD1_1st 1、及びMUTCMD2_1st 2を受け取り、デジタル回路76aは、MUTCMD1_2nd 2、MUTCMD2_

50

1st 1、及びMUTCMD2_2nd 2を受け取る。本例において、MUTCMD1_1st 1、及びMUTCMD2_1st 1は、現サイクルにおいて、マルチストローブデータ算出部46aに与えられる制御信号であって、MUTCMD1_2nd 2、及びMUTCMD2_2nd 2は、前ストローブ発生サイクル(以下、前サイクルとする)において、マルチストローブデータ算出部46bに与えられた制御信号である。MUTCMD1_1st 1、MUTCMD1_2nd 2、MUTCMD2_1st 1、及びMUTCMD2_2nd 2の値と、マルチストローブデータ算出部46aが出力するマルチストローブデータとの真理値表の一例を図6(b)に示す。

【0072】

マルチストローブデータ算出部46aにおいて、図6(b)の現サイクルMUTCMD1は、MUTCMD1_1st 1を指し、前サイクルMUTCMD1は、MUTCMD1_2nd 2を指し、現サイクルMUTCMD2は、MUTCMD2_1st 1を指し、前サイクルMUTCMD2は、MUTCMD2_2nd 2を指す。また、図6(b)におけるOFFSET DATAは、マルチストローブデータ算出部46が出力するマルチストローブデータを指す。つまり、OFFSET DATAは、可変遅延回路部における遅延量を指す。また、OFFSET DATAにおける、前値は、前サイクルにおける、マルチストローブデータであり、分解能データは、分解能データ設定部60に設定される分解能データを指す。

【0073】

デジタル回路72a、デジタル回路74a、及びデジタル回路76aは、それぞれ図6(b)に示す真理値表を満たす回路構成を有する。例えば、デジタル回路72aは、MUTCMD2_1st 1及びMUTCMD2_2nd 2の少なくともいずれかが1の場合、0を出力する。つまり、真理値表に示すように、デジタル回路72bは、MUTCMD2_1st 1及びMUTCMD2_2nd 2の少なくともいずれかが1の場合、前サイクルのマルチストローブデータを加算器66aに供給しない。

【0074】

第1セレクタ64aは、一例として、 S_1 、 S_0 に共に1が入力された場合に、3で示される経路から受け取ったデータを出力し、 S_1 、 S_0 に共に0が入力された場合に、0番地のアドレスに記憶したデータを出力し、 S_1 、 S_0 に異なる値が入力された場合に、1又は2番地のアドレスに記憶したデータを出力する。デジタル回路74a及びデジタル回路76aは、前述したように制御信号を受け取り、制御信号に基づいて、第1セレクタ64aにデジタル信号を供給する。以下、MUTCMD2_1st 1、及びMUTCMD2_2nd 2が共に0の場合、すなわち図6(b)に示す真理値表における上4段について説明する。

【0075】

MUTCMD1_1st 1とMUTCMD1_2nd 2とが共に0であるとき、図6(a)から明らかなように、デジタル回路74a及びデジタル回路76aは、共に0を出力する。このため、第1セレクタ64aは0で示される経路から受け取るデータ、すなわち0を加算器66aに供給する。MUTCMD1_1st 1とMUTCMD1_2nd 2とが異なる値を取るとき、図6(a)から明らかなように、デジタル回路74a及びデジタル回路76aは、それぞれ異なる値を出力する。このため、第1セレクタ64aは、1又は2で示される経路から受け取るデータ、すなわち分解能データを加算器66aに供給する。MUTCMD1_1st 1とMUTCMD1_2nd 2とが共に1であるとき、図6(a)から明らかなように、デジタル回路74a及びデジタル回路76aは、それぞれ1を出力する。このため、第1セレクタ64aは、3で示される経路から受け取るデータ、すなわち分解能の2倍のデータを出力する。

【0076】

MUTCMD2_1st 1、及びMUTCMD2_2nd 2が共に0の場合、デジタル回路72aは、前サイクルのマルチストローブデータを、加算器66aに供給する。このため、第1マルチストローブデータ記憶部68aが出力するマルチストローブデータ(OFFSET DATA)は、図6(b)に示すデータとなる。

【0077】

10

20

30

40

50

次に、MUTCMD2_1st 1、及びMUTCMD2_2nd 2のすくなくともいずれかが1で有る場合、すなわち図6(b)に示す真理値表の下4段について説明する。MUTCMD2_1st 1、及びMUTCMD2_2nd 2のすくなくともいずれかが1で有る場合、デジタル回路72aは、加算器66aに0を供給する。

【0078】

MUTCMD2_1st 1、及びMUTCMD2_2nd 2が共に1で有る場合、デジタル回路74a及びデジタル回路76aは、共に0を出力する。このため、第1セレクタ64aは、0で示される経路から受け取ったデータ、すなわち0を加算器66aに供給する。この場合、第1マルチストロークデータ記憶部68aが出力するマルチストロークデータは、真理値表の8段目に示すように、0となる。

【0079】

MUTCMD2_1st 1が1、MUTCMD2_2nd 2が0である場合、デジタル回路74a及びデジタル回路76aは、共に0を出力する。このため、第1セレクタ64aは、0で示される経路から受け取ったデータ、すなわち0を加算器66aに供給する。この場合、第1マルチストロークデータ記憶部68aが出力するマルチストロークデータは、真理値表の7段目に示すように、0となる。

【0080】

MUTCMD2_1st 1が0、MUTCMD2_2nd 2が1である場合、デジタル回路76aは、0を出力する。デジタル回路74aは、MUTCMD1_1ST 1の値によって、異なる値を出力する。つまり、デジタル回路74aは、MUTCMD1_1ST 1が1の場合、1を出力し、MUTCMD1_1STが0の場合、0を出力する。MUTCMD1_1ST 1が1の場合、デジタル回路74aが出力する値とデジタル回路76aが出力する値とは異なる。このため、第1セレクタは、1又は2で示される経路から受け取ったデータ、すなわち分解能データを加算器66bに出力する。このため、第1マルチストロークデータ記憶部68aが出力するマルチストロークデータは、真理値表の6段目に示すように、分解能データとなる。MUTCMD1_1ST 1が0の場合、デジタル回路74a及びデジタル回路76aは、共に0を出力する。このため、真理値表の5段目に示すように、マルチストロークデータは0となる。

【0081】

本例において、マルチストロークデータ算出部46aは、図6(b)に示した真理値表に基づいたデジタル回路72a、デジタル回路74a、及びデジタル回路76aを有していたが、他の例においては、マルチストロークデータ算出部46aは、他の真理値表に基づいたデジタル回路72a、デジタル回路74a、及びデジタル回路76aを有してよい。本例において説明したマルチストロークデータ算出部46aによれば、マルチストロークデータ算出部46aに適切な制御信号を与えることにより、図2から図4に関連して説明したマルチストロークデータ算出部46と同様に、位相が微小時間ずつずれたマルチストロークデータを生成することができる。

【0082】

マルチストロークデータ算出部46bは、マルチストロークデータ算出部46aと同一又は同様の機能及び構成を有してよい。マルチストロークデータ算出部46bは、第2マルチストロークデータ記憶部68b、加算器66b、第2セレクタ64b、第2シフト回路62b、デジタル回路72b、デジタル回路74b、及びデジタル回路76bを有する。第2マルチストロークデータ記憶部68b、加算器66b、第2セレクタ64b、第2シフト回路62b、デジタル回路72b、デジタル回路74b、及びデジタル回路76bは、それぞれ第1マルチストロークデータ記憶部68a、加算器66a、第1セレクタ64a、第1シフト回路62a、デジタル回路72a、デジタル回路74a、及びデジタル回路76aと同一又は同様の機能及び構成を有してよい。また、マルチストロークデータ算出部46bは、マルチストロークデータ算出部46aと同様に、図6(b)に示した真理値表に基づいた動作をしてよい。マルチストローク算出部46bにおいて、現サイクルMUTCMD1は、MUTCMD1_2nd 1を指し、前サイクルMUTCMD1は、MUTCMD1

10

20

30

40

50

_1st 2 を指し、現サイクルMUTCMD2は、MUTCMD2_2nd 1 を指し、前サイクルMUTCMD2は、MUTCMD2_1st 2 を指す。本例において説明したマルチストローブデータ算出部46bによれば、マルチストローブデータ算出部46bに適切な制御信号を与えることにより、マルチストローブデータ算出部46aと同様に、位相が微小時間ずつずれたマルチストローブデータを生成することができる。本例において説明したマルチストローブデータ算出部46によれば、図3に関連して説明したマルチストローブデータ算出部46に比べ、回路規模が小さくできる。以下、タイミングチャートを用いて、マルチストローブデータ算出部46a及びマルチストローブデータ算出部46bの動作を説明する。

【0083】

図7は、マルチストローブデータ算出部46の動作の一例を示すタイミングチャートである。図7において、横軸は時間を表し、1目盛りが2ns(ナノ秒)を示す。基準クロック段は、基準クロック発生部54が発生する基準クロックを、分解能設定データ段は、分解能データ設定部60に設定される分解能データを、各MUTCMD段は、それぞれ対応するMUTCMD信号を、各デジタル回路72の出力段は、対応するデジタル回路72の出力を、各セクタ64の出力段は、対応するセクタ64の出力を、各マルチストローブデータ段は、対応するマルチストローブデータ記憶部68が出力するマルチストローブデータを示す。

10

【0084】

本例においては、初期状態として、分解能設定部60に、分解能設定データとして、125psが設定されている。本例において、基準クロックの1周期を1サイクルとして説明する。各MUTCMD段には、図7に示すような値が与えられる。まず、デジタル回路72aの出力段、第1セクタ64aの出力段、及び第1マルチストローブデータ段について説明する。

20

【0085】

本例において、MUTCMD2_1st 1 及びMUTCMD2_2nd 2 は、図7に示すように常に0であるとする。この場合、図6(b)の真理値表に関連して説明したように、第1セクタ64aは、MUTCMD1_1st 1 及びMUTCMD1_2nd 2 の値に基づいた値を出力する。第2サイクルで、MUTCMD1_1st 1 に1が与えられ、第1セクタ64aは、分解能データである125psを出力する。第3サイクルで、MUTCMD1_1st 1 及びMUTCMD1_2nd 2 に共に1が与えられ、第1セクタ64aは、分解能データの2倍の250psを出力する。以下同様に、第4から第6サイクルで、第1セクタ64aは125psを出力し、第7サイクルで250psを出力し、第8及び第9サイクルで0psを出力する。

30

【0086】

第2サイクルで、加算器66aは、デジタル回路72aの出力である0psと、第1セクタ64aの出力である125psを加算したデータである125psを、第1マルチストローブデータ記憶部68aに出力する。次サイクルである第3サイクルで、図7に示すように、第1マルチストローブデータ記憶部68aは、125psをマルチストローブデータとして出力する。

【0087】

本例において、MUTCMD2_1st 1 及びMUTCMD2_2nd 2 は、図7に示すように常に0であるため、デジタル回路72aは、第1マルチストローブデータ記憶部68aが出力したマルチストローブデータを、加算器66aに出力する。第3サイクルで、デジタル回路72aは、第1マルチストローブデータ記憶部68aが出力したマルチストローブデータである125psを、加算器66aに出力する。加算器66aは、図7に示すように、デジタル回路72aの出力である125psと、第1セクタ64aの出力である250psとを加算したデータを、第1マルチストローブデータ記憶部68aに出力する。第1マルチストローブデータ記憶部68aは、図7に示すように、次サイクルである第4サイクルで、加算器66aから受け取ったデータを、マルチストローブデータとして出力する。同様に、第5サイクル以下において、第1マルチストローブデータ記憶部68aは、図7に示すようなデータを出力する。第8サイクルで、MUTCMD2_2nd 2 に1が与え

40

50

られ、デジタル回路 7 2 a の出力は 0 p s となる。また、第 8 サイクルで、MUTCMD2_2nd 2 に 1 が与えられ、MUTCMD1_1st 1 に 1 が与えられ、第 1 セレクタ 6 4 a の出力は 0 p s となる。この場合、次サイクルから、異なる試験パターン等による次の試験を行ってよい。

【 0 0 8 8 】

次に、デジタル回路 7 2 b の出力段、第 2 セレクタ 6 4 b の出力段、及び第 2 マルチストローブデータ段について説明する。本例において、MUTCMD2_1st 2 は、図 7 に示すように常に 0 であるとする。デジタル回路 7 2 b は、図 6 に示すように、MUTCMD2_2nd 1 及び MUTCMD2_1st 2 の値に基づいて、第 2 マルチストローブデータ記憶部 6 8 b が出力したマルチストローブデータを、加算器 6 6 b に供給するか否かを決定する。本例において図 7 にしめすように、MUTCMD2_1st 2 は、常に 0 であるので、デジタル回路 7 2 b は、MUTCMD2_2nd 1 の値に基づいて、マルチストローブデータを加算器 6 6 b に供給するか否かを選択する。図 6 (b) の真理値表に示すように、デジタル回路 7 2 b は、MUTCMD2_2nd 1 の値が 0 の場合、前サイクルにおいて第 2 マルチストローブデータ記憶部 6 8 b が出力したマルチストローブデータを、加算器 6 6 b に供給する。図 7 に示すように、MUTCMD2_2nd 1 は第 7 サイクルで 1 の値が与えられ、デジタル回路 7 2 b は、第 7 サイクルで 0 p s を加算器 6 6 b に供給し、他のサイクルでは、第 2 マルチストローブデータ記憶部 6 8 b が前サイクルにおいて出力したマルチストローブデータを、加算器 6 6 b に供給する。

【 0 0 8 9 】

第 2 セレクタ 6 4 b は、MUTCMD2_2nd 1 、 MUTCMD2_1st 2 、 MUTCMD1_2nd 1 、 及び MUTCMD1_1st 2 に基づいて、図 6 (b) に示した真理値表に従い、加算器 6 6 b にデータを供給する。第 2 セレクタ 6 4 b の動作は、第 1 セレクタ 6 4 a と同様である。

【 0 0 9 0 】

第 2 マルチストローブデータ記憶部 6 8 b は、第 2 マルチストローブデータ段に示すようなマルチストローブデータを出力する。第 2 マルチストローブデータ記憶部 6 8 b の動作は、第 1 マルチストローブデータ記憶部 6 8 a の動作と同様である。以上説明したマルチストローブデータ算出部 4 6 によれば、第 1 マルチストローブデータ及び第 2 マルチストローブデータに基づいて、微小時間ずつタイミングが変化した複数のストローブを有するマルチストローブを容易に生成することができる。

【 0 0 9 1 】

図 8 は、本発明に係る試験装置 1 0 0 の構成の他の例を示す。図 8 において、図 1 から図 6 と同一の符号を付したものは、図 1 から図 6 に関連して説明したものと同一又は同様の機能及び構成を有してよい。試験装置 1 0 0 は、電子デバイス 2 0 の内部クロックに基づいたクロックであるデータストローブに応じて、電子デバイス 2 0 から出力信号を受け取る。試験装置 1 0 0 は、基準クロックを発生する基準クロック発生部 5 4 と、基準クロックに同期して試験パターンを発生するパターン発生部 1 0 と、試験パターンを整形する波形整形部 1 2 と、電子デバイス 2 0 と信号を受け渡しする信号入出力部 1 4 と、タイミングを発生する第 1 タイミング発生器 3 0 a と、タイミングを発生する第 2 タイミング発生器 3 0 b と、電子デバイス 2 0 が出力する出力信号をサンプリングする出力信号サンプリング回路 2 4 と、データストローブをサンプリングするデータストローブサンプリング回路 2 6 と、電子デバイス 2 0 の良否を判定する判定部 2 2 とを備える。

【 0 0 9 2 】

パターン発生部 1 0 は、基準クロックに同期して、電子デバイス 2 0 の試験用の試験パターンを発生し、電子デバイス 2 0 に、波形整形部 1 2 及び信号入出力部 1 4 を介して入力する。基準クロック発生部 5 4 は、基準クロックを発生し、第 1 タイミング発生器 3 0 a 及び第 2 タイミング発生器 3 0 b に供給する。基準クロック発生部 5 4 は、当該試験パターンに基づいた基準クロックを発生することが好ましい。波形整形部 1 2 は、パターン発生部 1 0 が生成した試験パターンを整形する。例えば、波形整形部 1 2 は、パターン発生部 1 0 が生成した試験パターンを所望の時間遅延させた整形パターンを信号入出力部 1 4

に入力する。信号入出力部 14 は、電子デバイス 20 と電氣的に接続され、波形整形部 12 から受け取った整形パターンを、電子デバイス 20 に入力する。また、信号入出力部 14 は、整形パターンに基づいて電子デバイス 20 が出力する出力信号を受け取り、出力信号サンプリング回路 24 に出力する。また、信号入出力部 14 は、データストローブを受け取り、データストローブサンプリング回路 26 に出力する。

【0093】

第 1 タイミング発生器 30 a は、電子デバイス 20 の出力信号に対して、微小時間ずつ位相がずれた複数のタイミングを、出力信号サンプリング回路 24 に供給する。出力信号サンプリング回路 24 は、電子デバイス 20 が試験パターンに基づいて出力する出力信号を、第 1 タイミング発生器 30 a が発生したタイミングでサンプリングする。

10

【0094】

第 2 タイミング発生器 30 b は、データストローブに対して、微小時間ずつ位相がずれた複数のタイミングを、データストローブサンプリング回路 26 に供給する。データストローブサンプリング回路 26 は、データストローブを、第 2 タイミング発生器 30 b が発生したタイミングでサンプリングする。第 1 タイミング発生器 30 a 及び第 2 タイミング発生器 30 b は、図 1 から図 6 に関連して説明したタイミング発生器 30 と同一又は同様の機能及び構成を有してよい。

【0095】

判定部 22 は、出力信号サンプリング回路 26 におけるサンプリング結果、データストローブサンプリング回路 28 におけるサンプリング結果の少なくともいずれかに基づいて、電子デバイス 20 の良否を判定する。判定部 22 は、出力信号サンプリング回路 24 におけるサンプリング結果に基づいて、電子デバイス 20 が出力する出力信号のジッタを算出する出力信号ジッタ算出手段を有してよい。また、判定部 22 は、データストローブサンプリング回路 26 におけるサンプリング結果に基づいて、データストローブのジッタを算出するデータストローブジッタ算出手段を有してよい。また、判定部 20 は、出力信号サンプリング回路 26 におけるサンプリング結果に基づいて、出力信号のジッタを算出する出力信号ジッタ算出手段及び、データストローブサンプリング回路 28 におけるサンプリング結果に基づいて、データストローブのジッタを算出するデータストローブジッタ算出手段を有してよい。この場合、判定部は、出力信号サンプリング回路 26 におけるサンプリング結果、データストローブサンプリング回路 28 におけるサンプリング結果、出力信号のジッタ、データストローブのジッタの少なくともいずれかに基づいて、前記電子デバイスの良否を判定してよい。

20

30

【0096】

例えば、判定部 22 は、出力信号ジッタ算出手段が算出した出力信号のジッタ、及びデータストローブジッタ算出手段が算出したデータストローブのジッタに基づいて、電子デバイス 20 の良否を判定してよい。つまり、判定部 22 は、予めジッタ基準値が与えられ、与えられたジッタ基準値と、出力信号のジッタ及びデータストローブのジッタとを比較して、電子デバイス 20 の良否を判定してよい。この場合、出力信号サンプリング回路 26 は、受け取った位相の異なる複数のタイミング毎に、電子デバイス 20 の出力信号を複数回サンプリングすることが好ましい。また、出力信号ジッタ算出手段は、予め基準値が与えられ、出力信号サンプリング回路 26 において、位相の異なる複数のタイミング毎に複数回サンプリングした結果と当該基準値とを比較し、位相の異なるそれぞれのタイミングにおける当該サンプリング結果が、当該基準値以上となる回数分布に基づいて、電子デバイス 20 の出力信号のジッタを算出してよい。

40

【0097】

また、データストローブサンプリング回路 28 は、受け取った位相の異なる複数のタイミング毎に、電子デバイス 20 のデータストローブを複数回サンプリングすることが好ましい。また、データストローブジッタ算出手段は、予め基準値が与えられ、データストローブサンプリング回路 28 において、位相の異なる複数のタイミング毎に複数回サンプリングした結果と当該基準値とを比較し、位相の異なるそれぞれのタイミングにおける当該サ

50

ンプリング結果が、当該基準値以上となる回数分布に基づいて、電子デバイス20のデータストローブのジッタを算出してよい。また、判定部22には、異なる複数のジッタ基準値が与えられ、異なる複数のジッタ基準値と、算出したジッタとを比較し、それぞれのジッタ基準値に対して電子デバイス20の良否を判定し、電子デバイス20の品質を判定してよい。つまり、判定部22は、算出したジッタに基づいて、電子デバイス20の品質を判定してよい。

【0098】

また、他の例においては、判定部22は、出力信号サンプリング回路26におけるサンプリング結果、及びデータストローブサンプリング回路28におけるサンプリング結果に基づいて、電子デバイス20の良否を判定してよい。例えば、いわゆるデータのSetup/Holdのタイミングに関する基準を満たすか否かに基づいて、電子デバイス20の良否を判定してよい。例えば、判定部22は、電子デバイス20の出力信号が、予め与えられた出力信号の基準値となるタイミングと、データストローブが予め与えられたデータストローブの基準値となるタイミングとに基づいて、電子デバイス20の良否を判定してよい。電子デバイス20の出力信号が、予め与えられた出力信号の基準値となるタイミングと、データストローブが予め与えられたデータストローブの基準値となるタイミングとの前後関係に基づいて、電子デバイス20の良否を判定してよい。

【0099】

第1タイミング発生器30aは、第1可変遅延回路部44aと、第2可変遅延回路部44bと、第1遅延制御部42aと、第2遅延制御部42bとを有し、第2タイミング発生器30bは、第3可変遅延回路部44cと、第4可変遅延回路部44dと、第3遅延制御部42cと、第4遅延制御部42dとを有する。第1可変遅延回路部44a及び第3可変遅延回路部44cは、図2から図4に関連して説明した第1可変遅延回路部44aと同一又は同様の機能及び構成を有してよい。第2可変遅延回路部44b及び第4可変遅延回路部44dは、図2から図4に関連して説明した第2可変遅延回路部44bと同一又は同様の機能及び構成を有してよい。また、第1遅延制御部42aと第3遅延制御部42cは、図2から図6に関連して説明した第1遅延制御部42aと同一又は同様の機能及び構成を有してよい。第2遅延制御部42bと第4遅延制御部42dは、図2から図6に関連して説明した第2遅延制御部42bと同一又は同様の機能及び構成を有してよい。

【0100】

以上説明した試験装置100によれば、電子デバイス20の出力信号又はデータストローブに対して、微小時間ずつ位相のずれた複数のタイミングを容易に生成することができる。このため、電子デバイス20の出力信号又はデータストローブを異なる位相を有する複数のタイミングで容易にサンプリングすることができる。また、異なる位相を有するサンプリングタイミングの位相データをサンプリングタイミング毎に有する必要が無い場合、試験装置100の記憶容量に対する負荷を低減することができる。

【0101】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0102】

【発明の効果】

本発明に係る試験装置100によれば、微小時間ずつ位相のずれた複数のタイミングを容易に生成することができ、電子デバイス20の出力信号又はデータストローブを異なる位相を有する複数のタイミングで容易にサンプリングすることができる。

【図面の簡単な説明】

【図1】 本発明に係る試験装置100の構成の一例を示す。

【図2】 本発明に係るタイミング発生器30の構成の一例を示すブロック図である。

【図3】 タイミング発生器30の構成の一例を示す。

10

20

30

40

50

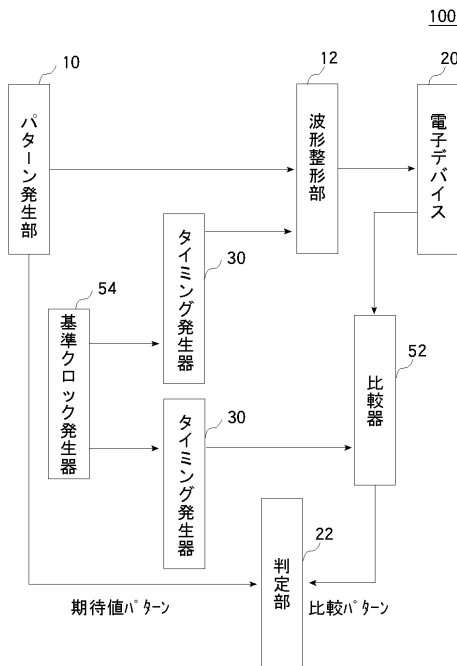
- 【図4】 タイミング発生器30の動作の一例を示すタイミングチャートである。
- 【図5】 複数の遅延制御部44におけるそれぞれのマルチストローブデータを説明する。
- 【図6】 マルチストローブデータ算出部46の構成の他の例を示す。
- 【図7】 タイミング発生器30の動作の一例を示すタイミングチャートである。
- 【図8】 本発明に係る試験装置100の構成の他の例を示す。

【符号の説明】

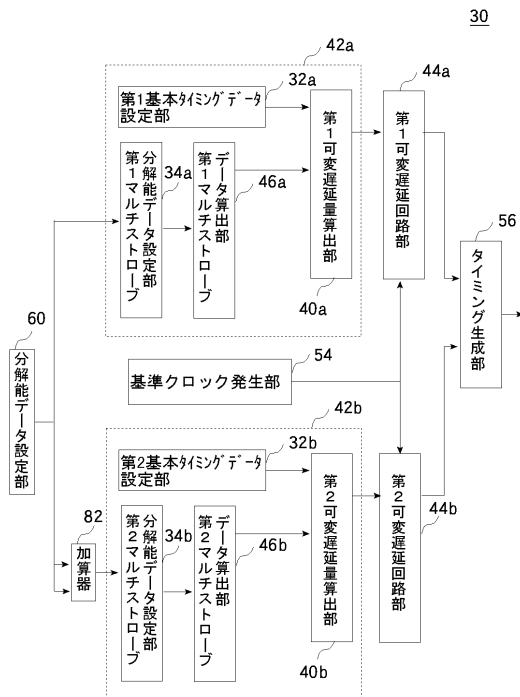
10・・・パターン発生部、12・・・波形整形部、14・・・信号入出力部、20・・・電子デバイス、22・・・判定部、24・・・出力信号サンプリング回路、26・・・データストローブサンプリング回路、30・・・タイミング発生器、32・・・基本タイ
 ミングデータ設定部、34・・・マルチストローブ分解能データ設定部、36・・・マルチ
 ストローブ分解能データ加算部、38・・・マルチストローブ分解能データ記憶部、4
 0・・・可変遅延量算出部、42・・・遅延制御部、44・・・可変遅延回路部、46・・・
 マルチストローブデータ算出部、48・・・リニアライズメモリ、50・・・可変遅
 延回路、54・・・基準クロック発生部、56・・・タイミング生成部、60・・・分解
 能データ設定部、72、74、76・・・デジタル回路、100・・・試験装置

10

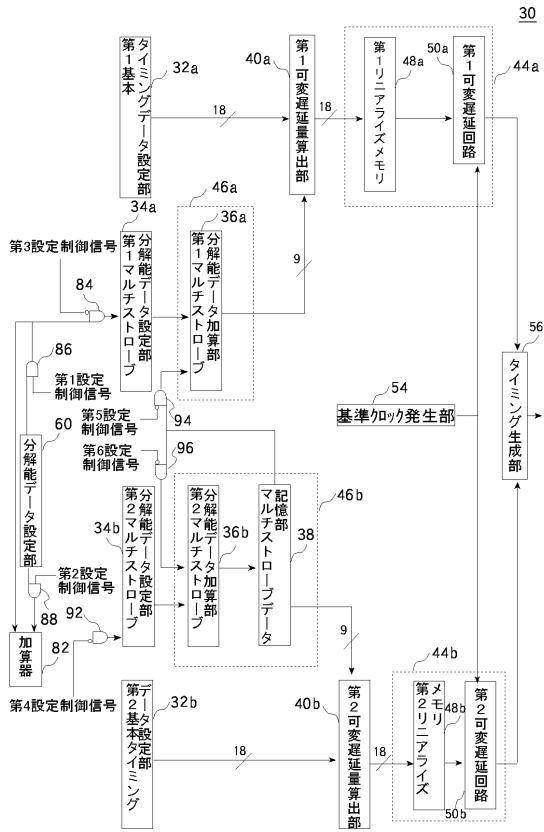
【図1】



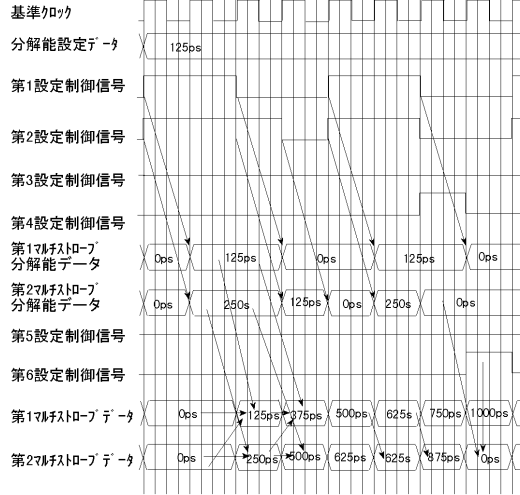
【図2】



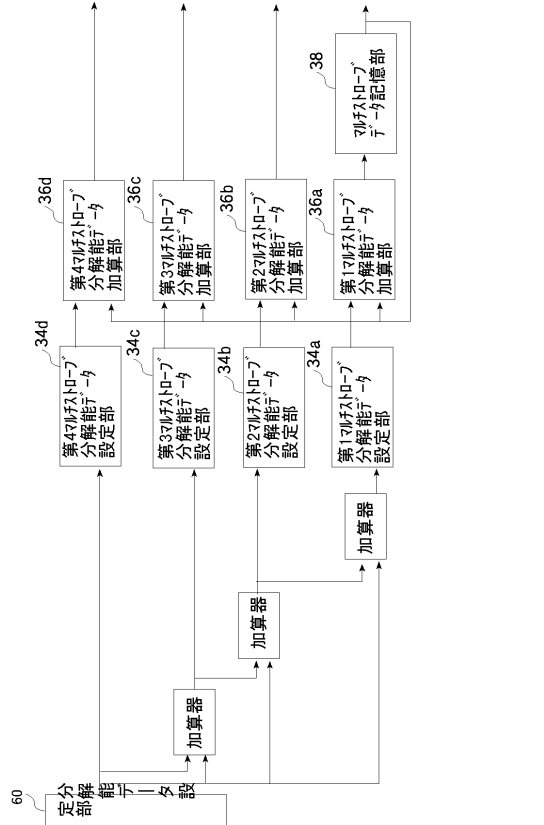
【図3】



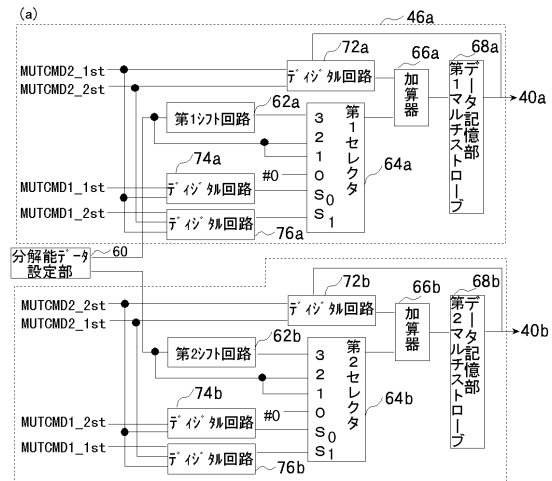
【図4】



【図5】



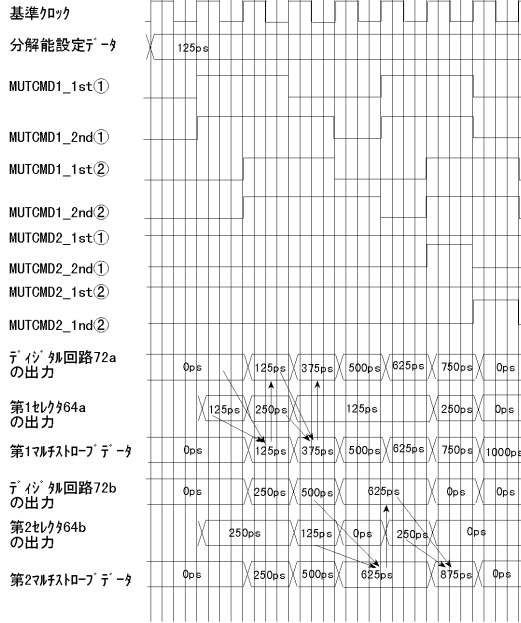
【図6】



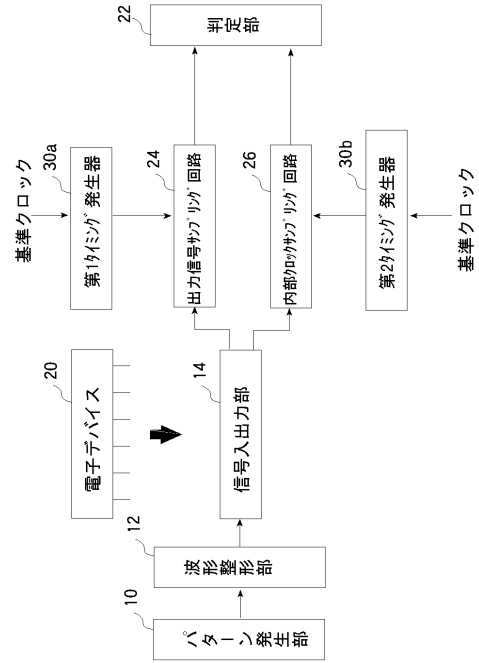
(b)

MULTI STROBE OFFSET DATA				OFFSET DATA
現サイクル MUTCMD1	前サイクル MUTCMD1	現サイクル MUTCMD2	前サイクル MUTCMD2	
0	0	0	0	前値
0	1	0	0	前値 + 分解能データ
1	0	0	0	前値 + 分解能データ
1	1	0	0	前値 + 分解能データ × 2
0	x	0	1	0
1	x	0	1	0
x	x	1	0	0
x	x	1	1	0

【図7】



【図8】



フロントページの続き

- (56)参考文献 国際公開第96/032654(WO,A1)
国際公開第00/040984(WO,A1)
特開平06-324118(JP,A)
特開2001-194425(JP,A)
特開平11-352198(JP,A)
米国特許第06058057(US,A)

- (58)調査した分野(Int.Cl.,DB名)
G01R 31/28-31/3193