

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610064394.2

[51] Int. Cl.

H01L 27/115 (2006.01)

G11C 16/02 (2006.01)

G11C 16/10 (2006.01)

G11C 16/26 (2006.01)

[43] 公开日 2007 年 8 月 8 日

[11] 公开号 CN 101013701A

[22] 申请日 2006.12.22

[21] 申请号 200610064394.2

[30] 优先权

[32] 2005.12.22 [33] KR [31] 127770/05

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴根淑 李相培 李受哲 黄皓益
李泰政

[74] 专利代理机构 北京市柳沈律师事务所
代理人 陶凤波

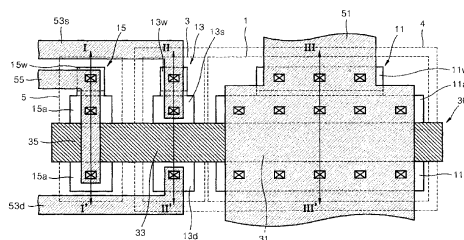
权利要求书 8 页 说明书 13 页 附图 7 页

[54] 发明名称

电可擦除可编程只读存储器及其制造和操作方法

[57] 摘要

本发明在一方面提供一种电可擦除可编程只读存储器 (EEPROM)。该 EEPROM 包括：半导体衬底，包括间隔开的第一、第二和第三有源区；公共浮置栅极，横跨该第一至第三有源区；源/漏区，形成在该浮置栅极相对两侧在该第三有源区中；第一互连，连接到该第一有源区；第二互连，连接到该第二有源区；以及第三互连，连接到该源/漏区的任一个。



1. 一种电可擦除可编程只读存储器, 包括:
半导体衬底, 包括间隔开的第一、第二和第三有源区;
公共浮置栅极, 横跨该第一至第三有源区;
源/漏区, 形成在该浮置栅极相对两侧在该第三有源区中;
第一互连, 连接到该第一有源区;
第二互连, 连接到该第二有源区; 以及
第三互连, 连接到该源/漏区的任一个。
2. 根据权利要求1的电可擦除可编程只读存储器, 还包括:
第一阱, 设置在该第一有源区的半导体衬底内; 以及
第一杂质区域, 形成在该浮置栅极相对两侧在该第一有源区中。
3. 根据权利要求2的电可擦除可编程只读存储器, 其中该第一互连公共连接到该第一阱和该第一杂质区域。
4. 根据权利要求1的电可擦除可编程只读存储器, 还包括:
第二阱, 设置在该第二有源区的半导体衬底内; 以及
第二杂质区域, 形成在该浮置栅极相对两侧在该第二有源区中。
5. 根据权利要求4的电可擦除可编程只读存储器, 其中该第二互连公共连接到该第二阱和该第二杂质区域。
6. 根据权利要求1的电可擦除可编程只读存储器, 还包括:
第一阱, 设置在该第一有源区的半导体衬底内; 以及
第二阱, 设置在该第二有源区的半导体衬底内, 其中该第二阱的导电类型与该第一阱的导电类型相同。
7. 根据权利要求6的电可擦除可编程只读存储器, 其中该半导体衬底是P型衬底, 该第一阱和该第二阱是N阱。
8. 根据权利要求1的电可擦除可编程只读存储器, 还包括设置在该第三有源区的半导体衬底中且围绕该源/漏区的第三阱。
9. 根据权利要求8的电可擦除可编程只读存储器, 还包括公共连接到该源/漏区之一和该第三阱的第四互连。
10. 根据权利要求8的电可擦除可编程只读存储器, 其中该半导体衬底是P型衬底, 该第三阱是P阱。

11. 根据权利要求 10 的电可擦除可编程只读存储器,还包括围绕该第三阱的深 N 阱。

12. 根据权利要求 1 的电可擦除可编程只读存储器,其中交迭该第一有源区的该浮置栅极的面积大于交迭该第二有源区的该浮置栅极的面积,且大于交迭该第三有源区的该浮置栅极的面积。

13. 一种电可擦除可编程只读存储器,包括:

第一导电类型的半导体衬底;

在该半导体衬底中彼此间隔开的读取有源区、控制有源区、以及擦除有源区;

第二导电类型的控制阱,设置在该控制有源区的半导体衬底内;

第二导电类型的擦除阱,设置在该擦除有源区的半导体衬底内;

公共浮置栅极,横跨该读取有源区、该控制有源区、以及该擦除有源区;

第二导电类型的源/漏区,形成在该浮置栅极相对两侧在该读取有源区中;

第一导电类型的控制杂质区域,形成在该浮置栅极相对两侧在该控制有源区中;

第一导电类型的擦除杂质区域,形成在该浮置栅极相对两侧在该擦除有源区中;

字线,公共连接到该控制阱和该控制杂质区域;以及

擦除线,公共连接到该擦除阱和该擦除杂质区域。

14. 根据权利要求 13 的电可擦除可编程只读存储器,其中该浮置栅极伸长且长度方向上横跨该读取有源区、该控制有源区、以及该擦除有源区。

15. 根据权利要求 13 的电可擦除可编程只读存储器,还包括连接到该源/漏区之一的位线。

16. 根据权利要求 13 的电可擦除可编程只读存储器,还包括第一导电类型的读取阱,设置在该读取有源区的半导体衬底中并围绕该源/漏区;以及第二导电类型的深阱,设置在该读取阱之下并围绕该读取阱。

17. 根据权利要求 16 的电可擦除可编程只读存储器,还包括公共连接到该源/漏区的任一个和该读取阱的源线。

18. 根据权利要求 13 的电可擦除可编程只读存储器,其中该第一导电类型是 P 型,该第二导电类型是 N 型。

19. 一种电可擦除可编程只读存储器, 包括:

读取晶体管, 包括连接到位线的漏区、连接到源线的源区、以及浮置栅极;

控制 MOS 电容器, 具有共用该浮置栅极的第一电极、以及连接到字线的第二电极; 以及

擦除 MOS 电容器, 具有共用该浮置栅极的第一电极、以及连接到擦除线的第二电极。

20. 根据权利要求 19 的电可擦除可编程只读存储器, 其中该控制 MOS 电容器的第二电极是设置在该半导体衬底中的控制有源区, 该控制有源区包括在该浮置栅极相对两侧的控制杂质区域和在该浮置栅极之下的控制阱; 以及

其中该字线公共连接到该控制阱和该控制杂质区域。

21. 根据权利要求 19 的电可擦除可编程只读存储器, 其中该擦除 MOS 电容器的第二电极是设置在该半导体衬底中的擦除有源区, 该擦除有源区包括在该浮置栅极相对两侧的擦除杂质区域和在该浮置栅极之下的擦除阱; 且其中该擦除线公共连接到该擦除阱和该擦除杂质区域。

22. 一种写数据到电可擦除可编程只读存储器的方法, 该电可擦除可编程只读存储器包括: 半导体衬底, 包括间隔开的第一、第二和第三有源区; 公共浮置栅极, 横跨该第一至第三有源区; 以及源/漏区, 形成在该浮置栅极相对两侧在该第三有源区中, 所述方法包括提供编程电压至该第一有源区和提供接地电压至该第二有源区。

23. 根据权利要求 22 的方法, 其中该编程电压导致该第二有源区的电子经历 Fowler-Nordheim 隧穿到该浮置栅极中。

24. 根据权利要求 22 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第一有源区的半导体衬底内的第一阱、以及形成在该浮置栅极相对两侧在该第一有源区中的第一杂质区域, 其中提供该编程电压至该第一有源区包括提供该编程电压至该第一阱和该第一杂质区域。

25. 根据权利要求 22 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第二有源区的半导体衬底内的第二阱、以及形成在该浮置栅极相对两侧在该第二有源区中的第二杂质区域, 其中提供该接地电压至该第二有源区包括提供该接地电压至该第二阱和该第二杂质区域。

26. 根据权利要求 22 的方法, 另外其中该源/漏区处于浮置电压状态。

27. 根据权利要求 22 的方法, 还包括提供该接地电压至该源/漏区。

28. 根据权利要求 27 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第三有源区的半导体衬底内且围绕该源/漏区的第三阱, 且其中该方法还包括提供该接地电压至该第三阱。

29. 一种擦除电可擦除可编程只读存储器的数据的方法, 该电可擦除可编程只读存储器包括: 半导体衬底, 包括间隔开的第一、第二和第三有源区; 公共浮置栅极, 横跨该第一至第三有源区; 以及源/漏区, 形成在该浮置栅极相对两侧在该第三有源区中, 所述方法包括提供接地电压至该第一有源区, 提供擦除电压至该第二有源区。

30. 根据权利要求 29 的方法, 其中该擦除电压导致该浮置栅极的电子经历 Fowler-Nordheim 隧穿到该第二有源区中。

31. 根据权利要求 29 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第一有源区的半导体衬底内的第一阱、以及形成在该浮置栅极相对两侧在该第一有源区中的第一杂质区域, 其中提供该接地电压至该第一有源区包括提供该接地电压至该第一阱和该第一杂质区域。

32. 根据权利要求 29 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第二有源区的半导体衬底内的第二阱、以及形成在该浮置栅极相对两侧在该第二有源区中的第二杂质区域, 其中提供该擦除电压至该第二有源区包括提供该擦除电压至该第二阱和该第二杂质区域。

33. 根据权利要求 29 的方法, 还包括提供该接地电压至该源/漏区。

34. 根据权利要求 33 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第三有源区的半导体衬底内且围绕该源/漏区的第三阱, 且其中该方法还包括提供该接地电压至该第三阱。

35. 一种读取电可擦除可编程只读存储器的数据的方法, 该电可擦除可编程只读存储器包括: 半导体衬底, 包括间隔开的第一、第二和第三有源区; 公共浮置栅极, 横跨该第一至第三有源区; 以及源/漏区, 形成在该浮置栅极相对两侧在该第三有源区中, 所述方法包括提供读取电压至该第一有源区, 提供电源电压至该漏区, 以及提供接地电压至该源区。

36. 根据权利要求 35 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第一有源区的半导体衬底内的第一阱、以及形成在该浮置栅极相对

两侧在该第一有源区中的第一杂质区域,其中提供该读取电压至该第一有源区包括提供该读取电压至该第一阱和该第一杂质区域。

37. 根据权利要求 35 的方法,还包括提供接地电压至该第二有源区。

38. 根据权利要求 37 的方法,其中该电可擦除可编程只读存储器还包括设置在该第二有源区的半导体衬底内的第二阱、以及形成在该浮置栅极相对两侧在该第二有源区中的第二杂质区域,且其中提供该接地电压至该第二有源区包括提供该接地电压至该第二阱和该第二杂质区域。

39. 根据权利要求 35 的方法,其中该电可擦除可编程只读存储器还包括设置在该第三有源区的半导体衬底内且围绕该源/漏区的第三阱,且其中该方法还包括提供接地电压至该第三阱。

40. 一种操作电可擦除可编程只读存储器的方法,该电可擦除可编程只读存储器包括:半导体衬底,包括间隔开的第一、第二和第三有源区;公共浮置栅极,横跨该第一至第三有源区;以及源/漏区,形成在该浮置栅极相对两侧在该第三有源区中,所述方法包括:

提供编程电压至该第一有源区,提供接地电压至该第二有源区以写入数据;

提供读取电压至该第一有源区,提供电源电压至该漏区,且提供接地电压至该源区以读取所写入的数据;以及

提供接地电压至该第一有源区,提供擦除电压至该第二有源区以擦除所写入的数据。

41. 根据权利要求 40 的方法,其中该编程电压导致该第二有源区的电子经历 Fowler-Nordheim 隧穿到该浮置栅极中;且

其中该擦除电压导致该浮置栅极的电子经历 Fowler-Nordheim 隧穿到该第二有源区中。

42. 根据权利要求 40 的方法,其中该电可擦除可编程只读存储器还包括设置在该第一有源区的半导体衬底内的第一阱、以及形成在该浮置栅极相对两侧在该第一有源区中的第一杂质区,该方法还包括:

当写入数据时,提供编程电压至该第一阱和该第一杂质区域;

当读取数据时,提供读取电压至该第一阱和该第一杂质区域;以及

当擦除数据时,将提供给该第一有源区的擦除电压提供到该第一阱和该第一杂质区域。

43. 根据权利要求 40 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第二有源区的半导体衬底内的第二阱、以及形成在该浮置栅极相对两侧在该第二有源区中的第二杂质区, 且其中该方法还包括:

当写入数据时, 将提供给该第二有源区的接地电压提供到该第二阱和该第二杂质区;

当读取所写入的数据时, 提供接地电压至该第二阱和该第二杂质区; 以及

当擦除所写入的数据时, 提供擦除电压至该第二阱和该第二杂质区。

44. 根据权利要求 40 的方法, 还包括当写入和擦除数据时提供接地电压至该源/漏区。

45. 根据权利要求 44 的方法, 其中该电可擦除可编程只读存储器还包括设置在该第三有源区的半导体衬底内且围绕该源/漏区的第三阱, 且其中该方法还包括当写入、读取和擦除数据时提供接地电压至该第三阱。

46. 一种写数据到电可擦除可编程只读存储器的方法, 该电可擦除可编程只读存储器包括: 读取晶体管, 包括连接到位线的漏区、连接到源线的源区、以及浮置栅极; 控制 MOS 电容器, 具有共用该浮置栅极的第一电极、以及连接到字线的第二电极; 以及擦除 MOS 电容器, 具有共用该浮置栅极的第一电极、以及连接到擦除线的第二电极, 所述方法包括提供编程电压至该字线和提供接地电压至该擦除线。

47. 根据权利要求 46 的方法, 其中该位线和该源线处于浮置电压状态。

48. 根据权利要求 46 的方法, 还包括提供接地电压至该位线和该源线。

49. 根据权利要求 46 的方法, 其中该控制 MOS 电容器的第二电极是设置在该半导体衬底中的控制有源区, 该控制有源区包括在该浮置栅极相对两侧的控制杂质区域和在该浮置栅极之下的控制阱, 且其中该方法还包括公共地连接该字线至该控制阱和该控制杂质区域。

50. 根据权利要求 46 的方法, 其中该擦除 MOS 电容器的第二电极是设置在该半导体衬底中的擦除有源区, 该擦除有源区包括在该浮置栅极相对两侧的擦除杂质区域和在该浮置栅极之下的擦除阱, 且其中该方法还包括公共地连接该擦除线至该擦除阱和该擦除杂质区域。

51. 一种擦除电可擦除可编程只读存储器的数据的方法, 该电可擦除可编程只读存储器包括: 读取晶体管, 包括连接到位线的漏区、连接到源线的

源区、以及浮置栅极；控制 MOS 电容器，包括共用该浮置栅极的第一电极、以及连接到字线的第二电极；以及擦除 MOS 电容器，包括共用该浮置栅极的第一电极、以及连接到擦除线的第二电极，所述方法包括提供接地电压至该字线和提供擦除电压至该擦除线。

52. 根据权利要求 51 的方法，还包括提供接地电压至该位线和该源线。

53. 根据权利要求 51 的方法，其中该控制 MOS 电容器的第二电极是设置在该半导体衬底中的控制有源区，该控制有源区包括在该浮置栅极相对两侧的控制杂质区域和在该浮置栅极之下的控制阱，且其中该方法还包括公共地连接该字线至该控制阱和该控制杂质区域。

54. 根据权利要求 51 的方法，其中该擦除 MOS 电容器的第二电极是设置在该半导体衬底中的擦除有源区，该擦除有源区包括在该浮置栅极相对两侧的擦除杂质区域和在该浮置栅极之下的擦除阱，且其中该方法还包括公共地连接该擦除线至该擦除阱和该擦除杂质区域。

55. 一种制造电可擦除可编程只读存储器的方法，所述方法包括：

在半导体衬底内形成器件隔离层以定义彼此间隔开的第一有源区、第二有源区和第三有源区；

形成横跨该第一至第三有源区的公共浮置栅极；

在该浮置栅极相对两侧在该第三有源区中形成源/漏区；

形成连接到该第一有源区的第一互连；

形成连接到该第二有源区的第二互连；以及

形成连接到该源/漏区的任一个的第三互连。

56. 根据权利要求 55 的方法，还包括：

在形成该浮置栅极之前，在该第一有源区的半导体衬底内形成第一阱且在该第二有源区的半导体衬底内形成第二阱；以及

在形成该互连之前，在该浮置栅极相对两侧在该第一有源区中形成第一杂质区域，在该浮置栅极相对两侧在该第二有源区中形成第二杂质区域。

57. 根据权利要求 56 的方法，还包括，在形成该浮置栅极之前，在该第三有源区的半导体衬底内形成第三阱。

58. 根据权利要求 57 的方法，还包括：

公共地连接该第二互连至该第二阱和该第二杂质区域；

在该第三阱中形成第三杂质区域；以及

公共地连接该第三互连至该第三阱和该第三杂质区域。

59. 根据权利要求 57 的方法, 其中该第二阱和该第三阱具有相同导电类型。

电可擦除可编程只读存储器及其制造和操作方法

技术领域

本发明总地涉及半导体存储器器件，更特别地，涉及电可擦可编程只读存储器（EEPROM）及其制造和操作方法。

背景技术

半导体存储器器件通常分为中断电源时丢失所存储数据的易失性存储器器件或即使中断电源时仍保持所存储数据的非易失性存储器器件。电可擦除可编程只读存储器（EEPROM）是一种非易失性存储器器件。

EEPROM 通常在各单位存储单元中采用堆叠栅极结构，其中堆叠栅极结构包括浮置栅极和形成在浮置栅极上方的控制栅极。

同时，可以使用不同的制造技术来形成半导体器件。一种这样的技术包括芯片上系统（SOC）。在 SOC 中，半导体器件的逻辑器件、存储器件、以及其他这样的部件包括在单个芯片中。因为这些部件的全部功能集成在单个芯片上，所以可以显著减小器件尺寸。此外，因为这些部件的全部功能存在于一个芯片中，所以还可以减小半导体器件的制造成本。

因为 SOC 包括大量器件，所以如果 SOC 上的组成器件可以使用相同加工技术来制造，将是优选的。例如，当 SOC 包括逻辑器件和 EEPROM 存储器件时，如果使用同样的加工技术制造逻辑器件和 EEPROM 将是有利的。然而，会有与对 SOC 上的不同的部件使用相同加工技术有关的问题。这主要是由于 SOC 上部件的不同结构。例如，逻辑器件使用具有单栅极结构的晶体管，而 EEPROM 使用具有堆叠栅极结构的晶体管。这些不同的结构可以使 SOC 的制造显著地复杂化。

在克服该问题的努力中，已经研究具有单栅极结构的 EEPROM。通过采用具有单栅极结构的 EEPROM，可以使用也用于制造逻辑器件的相同 CMOS 工艺制造 SOC。

图 1A 和 1B 示出用于具有单栅极结构的 EEPROM 的数据写入和数据擦除的常规技术。参照图 1A，提供 P 型半导体衬底 100。此外，在半导体衬底

100 中形成 N 型源/漏区 117 和 N 阱接触区 115。另外，在半导体衬底 100 中形成 N 阱 110。此外，在 N 阱 110 中形成 P 型源/漏区 113。最后，在半导体衬底 100 上形成 N 栅极 127 和 P 栅极 123。在图 1A 所示的 EEPROM 中，N 栅极 127 和 P 栅极 123 是单浮置栅极的部分。

如下将数据写在 EEPROM 器件上。首先，是正高压的编程电压 V_p 施加到 P 型源/漏区 113 和 N 阱接触区 115。通过这样做，编程电压 V_p 提供给 N 阱 110，且然后电容性地耦合到 P 栅极 123，即浮置栅极。此外，N 型源/漏区 117 和半导体衬底 100 接地。因此，高电场形成在 N 栅极 127 和半导体衬底 100 之间。因此，半导体衬底 100 的电子经历 Fowler-Nordheim (F-N) 隧穿到 N 栅极 127，即浮置栅极，且存储在浮置栅极中。

参照图 1B，现在将描述从 EEPROM 擦除数据。N 阱接触区 115 和 P 型源/漏区 113 接地。通过这样做，接地电压提供给 N 阱 110，且然后电容性地耦合到 P 栅极 123，即浮置栅极。另外，是正高压的擦除电压 V_e 施加于 N 型源/漏区 117。此外，半导体衬底 100 接地。结果，在 N 型源/漏区 117 和 N 栅极 127 之间形成高电场。因此，N 栅极 127 即浮置栅极的电子经历 F-N 隧穿到 N 型源/漏区 117。该 F-N 隧穿擦除存储在浮置栅极中的电荷。

虽然上述技术可用于将数据编程到具有单栅极结构的 EEPROM 且从其擦除数据，但是这些技术具有几个缺点。例如，擦除数据期间施加于 N 型源/漏区 117 的高压会击穿 N 型源/漏区 117 和半导体衬底 100 之间的结。当通过 CMOS 工艺形成具有单栅极结构的 EEPROM 时这个问题特别地严重，即 N 型源/漏区 117 和半导体衬底 100 之间的结击穿电压可以低到 10V 或更低。

发明内容

根据本发明的一个方面，提供一种电可擦除可编程只读存储器 (EEPROM)。该 EEPROM 包括：半导体衬底，包括间隔开的第一、第二和第三有源区；公共浮置栅极，横跨该第一至第三有源区；源/漏区，形成在该浮置栅极相对两侧在该第三有源区中；第一互连，连接到该第一有源区；第二互连，连接到该第二有源区；以及第三互连，连接到该源/漏区的任一个。

根据本发明的另一方面，提供一种电可擦除可编程只读存储器 (EEPROM)。该 EEPROM 包括：第一导电类型的半导体衬底；在该半导体衬底中彼此间隔开的读取有源区、控制有源区、以及擦除有源区；设置在该

控制有源区的半导体衬底内的第二导电类型的控制阱；设置在该擦除有源区的半导体衬底内的第二导电类型的擦除阱；横跨该读取有源区、该控制有源区、以及该擦除有源区的公共浮置栅极；形成在该浮置栅极相对两侧在该读取有源区中的第二导电类型的源/漏区；形成在该浮置栅极相对两侧在该控制有源区中的第一导电类型的控制杂质区；形成在该浮置栅极相对两侧在该擦除有源区中的第一导电类型的擦除杂质区；公共连接到该控制阱和该控制杂质区的字线；以及公共连接到该擦除阱和该擦除杂质区的擦除线。

根据本发明的又一方面，提供一种电可擦除可编程只读存储器（EEPROM）。该 EEPROM 包括：读取晶体管，包括连接到位线的漏区、连接到源线的源区、以及浮置栅极；控制 MOS 电容器，具有共用该浮置栅极的第一电极、以及连接到字线的第二电极；以及擦除 MOS 电容器，具有共用该浮置栅极的第一电极、以及连接到擦除线的第二电极。

根据本发明的又一方面，提供一种将数据写入到电可擦除可编程只读存储器（EEPROM）的方法，其中该 EEPROM 包括：半导体衬底，包括间隔开的第一、第二和第三有源区；公共浮置栅极，横跨该第一至第三有源区；以及源/漏区，形成在该浮置栅极相对两侧在该第三有源区中。该方法包含提供编程电压到该第一有源区和提供接地电压到该第二有源区。

根据本发明的另一个方面，提供一种擦除电可擦除可编程只读存储器（EEPROM）的数据的方法，其中该 EEPROM 包括：半导体衬底，包括间隔开的第一、第二和第三有源区；公共浮置栅极，横跨该第一至第三有源区；以及源/漏区，形成在该浮置栅极相对两侧在该第三有源区中。该方法包括提供接地电压至该第一有源区、以及提供擦除电压至该第二有源区。

根据本发明的另一个方面，提供一种读取电可擦除可编程只读存储器（EEPROM）的数据的方法，其中该 EEPROM 包括：半导体衬底，包括间隔开的第一、第二和第三有源区；公共浮置栅极，横跨该第一至第三有源区；以及源/漏区，形成在该浮置栅极相对两侧在该第三有源区中。该方法包括提供读取电压至该第一有源区、提供电源电压至该漏区、以及提供接地电压至该源区。

根据本发明的又一方面，提供一种操作电可擦除可编程只读存储器（EEPROM）的方法，其中该 EEPROM 包括：半导体衬底，包括间隔开的第一、第二和第三有源区；公共浮置栅极，横跨该第一至第三有源区；以及

源/漏区，形成在该浮置栅极相对两侧在该第三有源区中。该方法包括：提供编程电压至该第一有源区，且提供接地电压至该第二有源区以写数据；提供读取电压至该第一有源区，提供电源电压至该漏区，且提供接地电压至该源区以读取所写入的数据；以及提供接地电压至该第一有源区，且提供擦除电压至该第二有源区以擦除所写入的数据。

根据本发明的另一个方面，提供一种写数据到电可擦除可编程只读存储器（EEPROM）的方法，其中该 EEPROM 包括：读取晶体管，包括连接到位线的漏区、连接到源线的源区、以及浮置栅极；控制 MOS 电容器，具有共用该浮置栅极的第一电极、和连接到字线的第二电极；以及擦除 MOS 电容器，具有共用该浮置栅极的第一电极、和连接到擦除线的第二电极。该方法包括提供编程电压至该字线和提供接地电压至该擦除线。

根据本发明的另一方面，提供一种擦除电可擦除可编程只读存储器（EEPROM）的数据的方法，其中该 EEPROM 包括：读取晶体管，包括连接到位线的漏区、连接到源线的源区、以及浮置栅极；控制 MOS 电容器，具有共用该浮置栅极的第一电极、和连接到字线的第二电极；以及擦除 MOS 电容器，具有共用该浮置栅极的第一电极、和连接到擦除线的第二电极。该方法包括提供接地电压至该字线和提供擦除电压至该擦除线。

根据本发明的另一方面，提供一种制造电可擦除可编程只读存储器（EEPROM）的方法。该方法包括：在半导体衬底内形成器件隔离层以定义彼此间隔开的第一有源区、第二有源区和第三有源区；形成横跨该第一至第三有源区的公共浮置栅极；形成在该浮置栅极相对两侧在该第三有源区中的源/漏区；形成连接到该第一有源区的第一互连；形成连接到该第二有源区的第二互连；以及形成连接到该源/漏区之一的第三互连。

附图说明

参照附图，本发明的上述和其他特征将从下面的详细描述变得显然，附图中：

图 1A 和 1B 示出根据常规技术的具有单栅极结构的 EEPROM 的数据写入和擦除；

图 2 是等效电路图，示出根据本发明的示范性公开的实施例的 EEPROM 的单位单元；

图 3 是布局图，示出根据本发明的示范性公开的实施例的 EEPROM 的单位单元；

图 4 是剖视图，示出沿图 3 的线 I-I'、II-II'和 III-III'取得的剖面；

图 5A 示出根据本发明的示范性公开实施例向 EEPROM 写入数据；

图 5B 示出根据本发明的示范性公开实施例读取 EEPROM 的数据；以及

图 5C 示出根据本发明的示范性公开实施例从 EEPROM 擦除数据。

具体实施方式

现在将通过优选的但并非限制性的本发明的实施例来描述本发明的方面和特征。图 2 是等效电路图，示出根据示范性公开实施例的 EEPROM 的单位单元。

参照图 2，EEPROM 的单位单元包括读取晶体管 Tr、控制 MOS 电容器 Cc、和擦除 MOS 电容器 Ce。读取晶体管 Tr 的漏区连接到位线 B/L。此外，读取晶体管 Tr 的源区连接到源线 S/L。此外，读取晶体管 Tr 的栅极连接到控制 MOS 电容器 Cc 的一个电极和擦除 MOS 电容器 Ce 的一个电极。具体地，读取晶体管 Tr 的栅极、控制 MOS 电容器 Cc 的一个电极、和擦除 MOS 电容器 Ce 的一个电极通常共用单浮置栅极 FG。另外，控制 MOS 电容器 Cc 的另一电极连接到字线 W/L，擦除 MOS 电容器 Ce 的另一电极连接到擦除线 E/L。

图 3 是布局图，示出根据示范性公开实施例的 EEPROM 的单位单元，图 4 是剖视图，显示沿图 3 的线 I-I'、II-II'和 III-III'取得的部分。

参照图 3 和 4，半导体衬底 10 包括通过器件隔离区 10a 分隔和定义的第一有源区、第二有源区和第三有源区。第一有源区可以是控制有源区 11，第二有源区可以是擦除有源区 15，第三有源区可以是读取有源区 13。有源区可以以擦除有源区 15、读取有源区 13 和控制有源区 11 的顺序定位，其不限于此。

该单位单元还包括公共浮置栅极 30。特别地，公共浮置栅极 30 横跨有源区 11、13 和 15，且设置在有源区 11、13 和 15 上。在示范的实施例中，浮置栅极 30 可具有线性形式。这样做，可以减小单位单元的面积。此外，浮置栅极 30 可以是 N 型栅极，更具体地，掺杂 N 型杂质的多晶硅层。

浮置栅极 30 包括控制栅极部分 31、读取栅极部分 33 和擦除栅极部分

35。具体地，控制栅极部分 31 与控制有源区 11 交迭。读取栅极部分 33 与读取有源区 13 交迭。类似地，擦除栅极部分 35 与擦除有源区 15 交迭。浮置栅极 30 与控制有源区 11 交迭的面积可大于浮置栅极 30 与擦除有源区 15 和读取有源区 13 交迭的面积。这样做，可以容易地实现控制有源区 11 和浮置栅极 30 之间的电容性耦合。

第一阱即控制阱 1 形成在控制有源区 11 的半导体衬底 10 内。此外，一对第一杂质区域，即一对控制杂质区域 11a 设置在浮置栅极 30 即控制栅极部分 31 的相对两侧在控制有源区 11 内。控制杂质区域 11a 具有与控制阱 1 的导电类型相反的导电类型。此外，与浮置栅极 30 间隔开且邻近控制杂质区域 11a 的任一个的控制阱接触区 11w 设置在控制在有源区 11 中。控制阱接触区 11w 具有与控制阱 1 一致的导电类型。此外，控制阱接触区具有高杂质密度。虽然公开的实施例包括控制杂质区域，但是控制杂质区域可以不形成在另外的示范性实施例中。

第二阱即擦除阱 5 形成在擦除有源区 15 的半导体衬底 10 内。此外，一对第二杂质区域，即一对擦除杂质区域 15a 设置在浮置栅极 30 即擦除栅极部分 35 的相对两侧在擦除有源区 15 中。擦除杂质区域 15a 具有与擦除阱 5 相反的导电类型。此外，与浮置栅极 30 间隔开且邻近擦除杂质区域 15a 的任一个的擦除阱接触区 15w 设置在擦除有源区 15 中。擦除阱接触区 15w 具有与擦除阱 5 一致的导电类型。此外，擦除阱接触区具有高杂质密度。虽然公开的实施例包括擦除杂质区域，但是擦除杂质区域可以不形成在另外的示范性实施例中。

控制阱 1 和擦除阱 5 可以具有相同的导电类型。特别地，当半导体衬底 10 具有第一导电类型，即 P 型衬底时，控制阱 1 和擦除阱 5 具有第二导电类型，即具有 N 型导电性的 N 阱。在这种情况下，控制杂质区域 11a 和擦除杂质区域 15a 是 P 型杂质区。

第三阱，即读取阱 3 设置在读取有源区 13 的半导体衬底 10 内。此外，具有与读取阱 3 相反的导电类型的源区 13s 和漏区 13d 设置在浮置栅极 30 即读取栅极部分 33 的相对两侧在读取有源区 13 中。这样做，读取阱 3 围绕源/漏区 13s 和 13d。另外，与浮置栅极 30 间隔开且邻近源区 13s 的读取阱接触区 13w 设置在读取有源区 13 中。读取阱接触区 13w 具有与读取阱 3 一致的导电类型。此外，读取阱接触区 13w 具有高杂质密度。

EEPROM 单位单元还可包括第四阱。具体地, 围绕读取阱 3 且具有与读取阱 3 相反的导电类型的第四阱, 即深阱 4 设置在读取有源区 13 的半导体衬底 10 内。读取阱 3 和深阱 4 可防止源/漏区 13s 和 13d 被可施加到半导体衬底 10 的反偏置 (back bias) 影响。另外, 深阱 4 可延伸以围绕控制阱 1。更具体地, 当半导体衬底 10 是 P 型衬底时, 读取阱 3 可以是 P 阱, 深阱 4 可以是深 N 阱。在这种情况下, 源/漏区 13s 和 13d 是 N 型杂质区。应当注意, 读取阱 3 和深阱 4 可以不形成在另外的示范性实施例中。

EEPROM 单位单元还可包括栅极绝缘层 20。在一示范性实施例中, 栅极绝缘层 20 置于浮置栅极 30 与各有源区 11、13 和 15 之间。栅极绝缘层 20 可具有约 150Å 的厚度。

浮置栅极 30 的控制部分即控制栅极部分 31、控制有源区 11、和插入的栅极绝缘层 20 构成控制 MOS 电容器 Cc。这样, 控制 MOS 电容器 Cc 的一个电极是控制栅极部分 31 且其另一电极是控制有源区 11。类似地, 浮置栅极 30 的擦除部分即擦除栅极部分 35、擦除有源区 15、和插入的栅极绝缘层 20 构成擦除 MOS 电容器 Ce。这样, 擦除 MOS 电容器 Ce 的一个电极是擦除栅极部分 35 且其另一电极是擦除有源区 15。

如上所述, 控制有源区 11 包括在控制栅极部分 31 相对两侧的控制杂质区域 11a 和在控制栅极部分 31 之下的控制阱 1。类似地, 如上所述, 擦除有源区 15 包括在擦除栅极部分 35 相对两侧的擦除杂质区域 15a、和在擦除部分 35 之下的擦除阱 5。此外, 也如上所述, EEPROM 单位存储单元包括读取晶体管 Tr。在一示范性实施例中, 读取栅极部分 33、源/漏区 13s 和 13d、和栅极绝缘层 20 构成读取晶体管 Tr。

EEPROM 单位单元还可以包括层间绝缘层 40。具体地, 在一示范性实施例中, 覆盖浮置栅极 30 以及有源区 11、13 和 15 的层间绝缘层 40 可设置在浮置栅极 30 以及有源区 11、13 和 15 上。

EEPROM 单位单元还可以包括可连接到单位单元的有源区的一个或多个互连。例如, 彼此间隔开的第一互连 51、第二互连 55、第三互连 53d、和第四互连 53s 可以设置在层间绝缘层 40 上。具体地, 第一互连 51 穿过层间绝缘层 40 从而连接到控制有源区 11。更详细地, 第一互连 51 公共地连接到控制阱 1, 即控制阱接触区 11w, 和控制杂质区域 11a。类似地, 第二互连 55 穿过层间绝缘层 40 从而连接到擦除有源区 15。更详细地, 第二互连 55

公共地连接到擦除阱 5，即擦除阱接触区 15w、和擦除杂质区域 15a。另外，第三互连 53d 穿过层间绝缘层 40 从而连接到漏区 13d。另外，第四互连 53s 穿过层间绝缘层 40 从而公共地连接到读取阱接触区 13w 和源区 13s。在示范性实施例中，第一互连 51 是字线（图 2 的 W/L），第二互连 55 是擦除线（图 2 的 E/L），第三互连 53d 是位线（图 2 的 B/L），第四互连是源线（图 2 的 S/L）。

下文中，将描述根据示范性公开实施例的 EEPROM 的制造方法。

参照图 4，在半导体衬底 10 中形成器件隔离层 10a。器件隔离层 10a 可以通过浅沟槽隔离（STI）形成。另外，还可以使用形成器件隔离层的其他方法来形成器件隔离层 10a。此外，通过器件隔离层 10a 分隔开且定义第一有源区、第二有源区和第三有源区。特别地，第一有源区是控制有源区（图 3 的 11），第二有源区是擦除有源区（图 3 的 15），第三有源区是读取有源区（图 3 的 13）。在一示范性实施例中，半导体衬底 10 可以是 P 型衬底。

然后，形成光致抗蚀剂图案（未显示）以部分地暴露包括控制有源区（图 3 的 11）的半导体衬底 10 且还部分地暴露包括擦除有源区（图 3 的 15）的半导体衬底 10。另外，使用光致抗蚀剂图案作为掩模，将杂质例如 N 型杂质以低密度注入到半导体衬底 10 中。因此，在控制有源区（图 3 的 11）的半导体衬底 10 中形成第一阱，即控制阱 1。另外，在擦除有源区（图 3 的 15）的半导体衬底 10 内形成第二阱，即擦除阱 5。供选地，可以利用分别进行的光刻法形成控制阱 1 和擦除阱 5。

类似地，形成光致抗蚀剂图案（未显示）以部分地暴露包括读取有源区（图 3 的 13）的半导体衬底 10。此外，使用光致抗蚀剂图案作为掩模，将杂质例如 P 型杂质以低密度注入半导体衬底 10。这样做，在读取有源区（图 3 的 13）的半导体衬底 10 中形成第三阱，即读取阱 3。

随后，形成光致抗蚀剂图案（未显示）以部分地暴露包括控制有源区（图 3 的 11）和读取有源区（图 3 的 13）的半导体衬底 10。然后，使用光致抗蚀剂图案作为掩模，用比形成读取阱 3 和控制阱 1 的杂质注入更大的能量将杂质例如 N 型杂质以低密度注入到暴露的半导体衬底 10。这样做，在控制有源区（图 3 的 11）和读取有源区（图 3 的 13）的半导体衬底 10 中形成第四阱，即深阱 4。

本领域技术人员将意识到，形成控制阱 1、形成擦除阱 5、形成读取阱 3、

和形成深阱4的顺序不限于此。此外，可以在其他实施例中不进行读取阱3的形成和深阱4的形成。

在形成阱1、3、4和5的半导体衬底10上形成栅极绝缘层20。然而，可以在形成阱1、3、4和5之前形成栅极绝缘层20。栅极绝缘层20可以是热氧化物层或沉积氧化物层。

栅极导电层堆叠在栅极绝缘层20上，且然后被构图以形成横跨有源区（图3的11、13和15）的浮置栅极30。浮置栅极30可以具有线性形式。另外，浮置栅极30可以是N型杂质掺杂的多晶硅层。另外，如上所述，浮置栅极30包括与控制有源区11交迭的控制栅极部分31、与读取有源区13交迭的读取栅极部分33、和与擦除有源区15交迭的擦除栅极部分35。

形成光致抗蚀剂图案（未显示）以暴露邻近控制栅极部分31的控制有源区（图3的11）、与读取栅极部分33间隔开的读取有源区（图3的13）、和邻近擦除栅极部分35的擦除有源区（图3的15）。使用光致抗蚀剂图案作为掩模，将杂质例如P型杂质以高密度注入到暴露的有源区（图3的11、13和15）中。这样做，在控制栅极部分31相对两侧在控制有源区（图3的11）中形成一对第一杂质区域，即一对控制杂质区域11a。类似地，在擦除栅极部分35相对两侧在擦除有源区15中形成一对第二杂质区域，即一对擦除杂质区域15a。另外，与读取栅极部分33间隔开的读取阱接触区13w以类似方式形成在读取有源区13中。虽然公开的示范性实施例提出使用一个公共光刻工艺形成杂质区域，但是在其他实施例中可以通过分别进行的光刻形成控制杂质区域11a、擦除杂质区域15a、和读取阱接触区13w。

类似工艺可用在EEPROM单位单元的半导体衬底上形成阱接触区以及源和漏区。例如，形成光致抗蚀剂图案（未显示）以暴露与控制栅极部分31间隔开且邻近控制杂质区域11a的任一个的控制有源区（图3的11）、邻近读取栅极部分33的读取有源区（图3的13）、以及与擦除栅极部分35间隔开且邻近擦除杂质区域15a的任一个的擦除有源区（图3的15）。此外，使用光致抗蚀剂图案作为掩模，将杂质例如N型杂质以高密度注入到暴露的有源区（图3的11、13和15）。这样做，在控制有源区11中形成控制阱接触区11w。另外，在读取栅极部分33相对两侧在读取有源区13中形成源区13s和漏区13d，在擦除有源区15中形成擦除阱接触区15w。

另一方面，代替使用一个公共光刻工艺的工艺，在其他示范性实施例中

可以通过分别进行的光刻形成控制阱接触区 11w、源/漏区 13s 和 13d、以及擦除阱接触区 15w。随后，形成层间绝缘层 40 以覆盖浮置栅极 30 和有源区（图 3 的 11、13 和 15）。

EEPROM 单位单元还可包括接触孔。接触孔可以执行各种功能。例如，在层间绝缘层 40 中形成接触孔以暴露控制有源区 11，更具体地，控制杂质区域 11a 和控制阱接触区 11w。类似地，可以形成接触孔以暴露擦除有源区 15，更具体地，擦除杂质区域 15a 和擦除阱接触区 15w。另外，可以形成接触孔以暴露漏区 13d、源区 13s、和读取阱接触区 13w。

之后，在其中具有接触孔的半导体衬底 10 上堆叠互连导电层。构图该堆叠的互连导电层以形成第一互连、第二互连、第三互连、和第四互连。具体地，第一互连是字线 51，第二互连是擦除线 55，第三互连是位线 53d，第四互连是源线 53s。字线 51 公共地连接到控制有源区（图 3 的 11），更具体地，连接到控制杂质区域 11a 和控制阱接触区 11w。擦除线 55 公共地连接到擦除有源区（图 3 的 15），更具体地，连接到擦除杂质区域 15a 和擦除阱接触区 15w。另外，位线 53d 连接到漏区 13d，源线 53s 公共地连接到源区 13s 和读取阱接触区 13w。

下文中，将参照图 5A 至 5C 描述根据示范性公开实施例操作 EEPROM 的方法。具体地，参照图 5A，现在将描述写入数据的方法。是正高压的编程电压 V_p 经字线 51 施加于控制有源区（图 3 的 11）。此外，经擦除线 55 将接地电压提供给擦除有源区（图 3 的 15）。另外，半导体衬底 10 接地。

更详细地，编程电压 V_p 经控制阱接触区 11w 施加到控制阱 1，且如果形成控制杂质区域 11a 则施加到控制杂质区域 11a。地电压经擦除阱接触区 15w 施加到擦除阱 5，且如果形成擦除杂质区 15a 则施加到擦除杂质区 15a。此外，当深阱 4 形成得围绕控制阱 1 时，也向深阱 4 提供编程电压 V_p 。

在这种情况下，浮置栅极（图 3 的 30），即控制栅极部分 31 与控制有源区（图 3 的 11）交迭的面积大于浮置栅极（图 3 的 30），即擦除栅极部分 35 与擦除有源区（图 3 的 15）交迭的面积。因此，提供给控制有源区（图 3 的 11）的编程电压 V_p 可以电容性耦合到浮置栅极（图 3 的 30）。结果，在擦除栅极部分 35 和擦除有源区（图 3 的 15）之间形成高电场。因此，擦除阱 5 的电子相对于擦除栅极部分 35 经历 F-N 隧穿且然后存储在浮置栅极中。这里，编程电压 V_p 具有一范围以便实现擦除有源区（图 3 的 15）的电子相

关于擦除栅极部分 35 的 F-N 隧穿。例如, 编程电压 V_p 可以是约 15V。同时, 控制杂质区域 11a 促进了电容性耦合。

此外, 位线 53d 和源线 53s 可被浮置。这样做, 源/漏区 13s 和 13d 以及读取阱 3 被浮置。当源/漏区 13s 和 13d 以及读取阱 3 被浮置时, 数据通过擦除栅极部分 35 和擦除阱 5 之间的电子 F-N 隧穿被写入。因此, 不需要经读取晶体管 Tr 的栅极绝缘层 20 的电子的隧穿。因此, 可以减小读取晶体管 Tr 的老化。

在供选的示范性实施例中, 可以向位线 53d 和源线 53s 提供接地电压。在这种情况下, 经读取阱接触区 13w 将接地电压提供给读取阱 3, 从而在浮置栅极 30, 即读取栅极部分 33 和读取阱 3 之间形成高电场。因此, 读取阱 3 的电子可相关于读取栅极部分 33 经历 F-N 隧穿, 且可以贮存在浮置栅极 30 中。

当如上所述地写入数据时, 编程电压 V_p 公共地提供给控制阱 1 和控制杂质区域 11a。编程电压 V_p 的该公共供给可防止控制阱 1 和控制杂质区域 11a 之间的结的击穿。另外, 接地电压公共地提供给擦除阱 5 和擦除杂质区域 15a。接地电压的该公共供给可防止擦除阱 5 和擦除杂质区域 15a 之间的结的击穿。类似地, 接地电压公共地提供给读取阱 3 以及源/漏区 13s 和 13d 以防止读取阱 3 与源/漏区 13s 和 13d 之间的结的击穿。

可以在深阱 4 和读取阱 3 之间以及在深阱 4 和半导体衬底 10 之间施加反向偏置 (backward bias)。然而, 因为阱 3 和 4 具有比杂质区域 11a、13s、13d 和 15a 低的杂质密度, 所以深阱 4 和读取阱 3 之间, 以及深阱 4 和半导体衬底 10 之间的结击穿电压可高于编程电压 V_p 。因此, 当写数据时不会发生结击穿。

参照图 5B, 现在将描述读出数据的方法。经字线 51 将读取电压 V_r 提供给控制有源区 (图 3 的 11)。此外, 经位线 53d 将电源电压 V_{dd} 提供给漏区 13d。另外, 经源线 53s 将接地电压提供给源区 13s 和读取阱 3。另外, 半导体衬底 10 接地。

更具体地, 读取电压 V_r 经控制阱接触区 11w 提供到控制阱 1, 且如果形成控制杂质区域 11a 则提供给控制杂质区域 11a。另外, 当深阱 4 形成得围绕控制阱 1 时, 将读取电压 V_r 提供给深阱 4。在示范性实施例中, 读取电压 V_r 为约 5V, 电源电压 V_{dd} 是约 3V。

另外,在示范性实施例中,提供给控制有源区(图3的11)的读取电压 V_r 电容性耦合到浮置栅极(图3的30)。因此,如果没有电子存储在浮置栅极30中,则电容性耦合到浮置栅极30的电压形成读取栅极部分33之下读取有源区13中的沟道。因此,读取晶体管 Tr 导通。相反,当电子存储在浮置栅极30中时,没有沟道形成在读取栅极部分33之下在读取有源区13中。因此,读取晶体管 Tr 截止。此时,经位线53d监视读取晶体管 Tr 的导通/截止状态,从而完成读取操作。

此外,接地电压可以经擦除线55提供到擦除有源区(图3的15)。更详细地,接地电压经擦除阱接触区15w提供到擦除阱5,且如果形成擦除杂质区域则提供给擦除杂质区域15a。

参照图5C,现在将描述擦除数据的方法。经字线51将接地电压提供给控制有源区(图3的11)。另外,是正高压的擦除电压 V_e 经擦除线55提供到擦除有源区(图3的15)。此外,半导体衬底10接地。

具体地,提供到控制有源区(图3的11)的接地电压经控制阱接触区11w提供到控制阱1,且当形成控制杂质区域11a时提供到控制杂质区域11a。另外,如果深阱4形成得围绕控制阱1,则也向深阱4提供接地电压。此外,擦除电压 V_e 经擦除阱接触区域15w提供到擦除阱5,且当形成擦除杂质区域15a时提供到擦除杂质区域15a。

提供给控制有源区(图3的11)的接地电压电容性耦合到浮置栅极(图3的30)。结果,在擦除栅极部分35和擦除有源区(图3的15)之间形成高电场。因此,擦除栅极部分35的电子相关于擦除阱5经历F-N隧穿,从而消除了储存在浮置栅极中的电荷。此时,擦除电压 V_e 具有一范围以便实现擦除栅极部分35的电子相关于擦除阱5的F-N隧穿。例如,擦除电压 V_e 可以是约15V。

另外,可以向位线53d和源线53s提供接地电压。这样做,接地电压可以提供到源/漏区13s和13d以及读取阱3。

当如上所述地擦除数据时,接地电压公共地提供到控制阱1和控制杂质区域11a。接地电压的该公共供给可以防止控制阱1和控制杂质区域11a之间的结的击穿。此外,擦除电压 V_e 公共地提供到擦除阱5和擦除杂质区15a。擦除电压的该公共供给可以防止擦除阱5和擦除杂质区域15a之间的结的击穿。另外,接地电压还公共地提供到读取阱3以及源/漏区13s和13d以防止

读取阱 3 与源/漏区 13s 和 13d 之间的结的击穿。

另外，反向偏置可以施加在擦除阱 5 和半导体衬底 10 之间。然而，因为擦除阱 5 具有比擦除杂质区域 15a 低的杂质浓度，所以擦除阱 5 和半导体衬底 10 之间的结击穿电压比擦除电压 V_e 高。因此，当如上所述地擦除数据时，不会发生结击穿。

此外，因为前述数据擦除通过擦除栅极部分 35 与擦除阱 5 之间的电子 F-N 隧穿进行，所以不需要经读取晶体管 Tr 的栅极绝缘层 20 的电子隧穿。因此，可以减小读取晶体管 Tr 的老化。

上述 EEPROM 单位单元可以用于任何半导体存储器件。如上所述，读取有源区和擦除有源区形成为半导体衬底上分隔的区域。此外，公开的单位单元中数据的写入和擦除通过擦除有源区与擦除栅极部分之间的电子隧穿进行，从而防止读取晶体管的老化。另外，可以防止数据的写入和擦除期间包括在 EEPROM 单位单元中的全部结的击穿。结果，可以保证 EEPROM 的可靠性。

虽然参照其示范性实施例特别显示和描述了所公开的 EEPROM 器件，但是本领域技术人员将理解，可以进行形式和细节上的各种改变而不偏离所附权利要求及其等价物定义的本公开的范围。

本申请要求 2005 年 12 月 22 日提交的韩国专利申请 No. 10-2005-0127770 的优先权，并在此引入其全部内容作为参考。

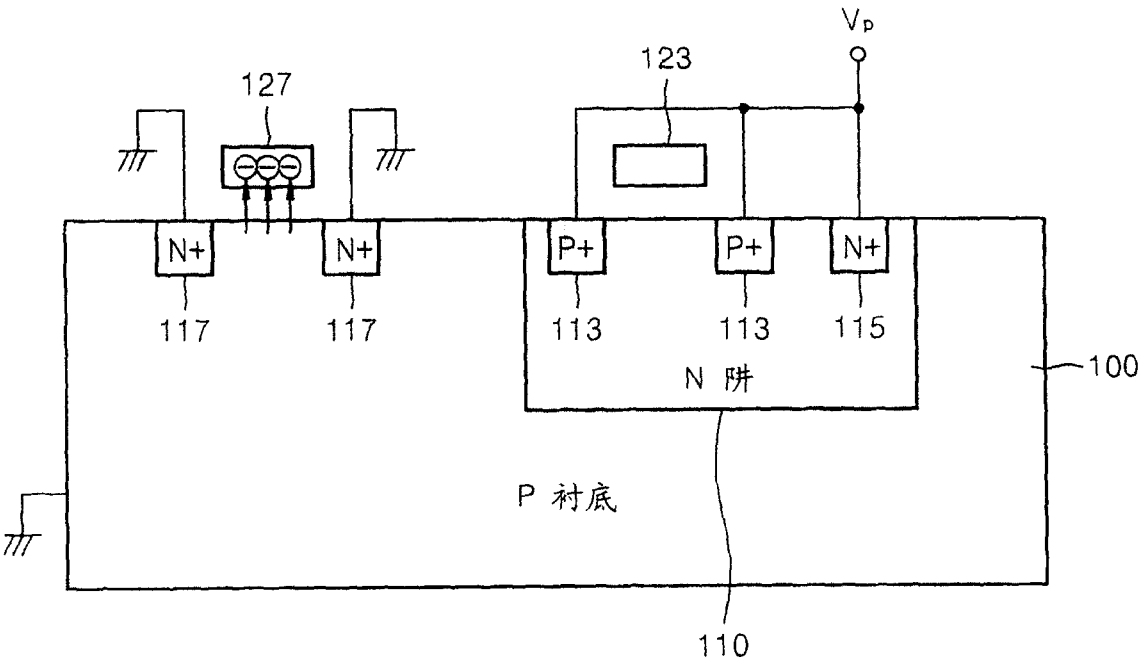


图 1A

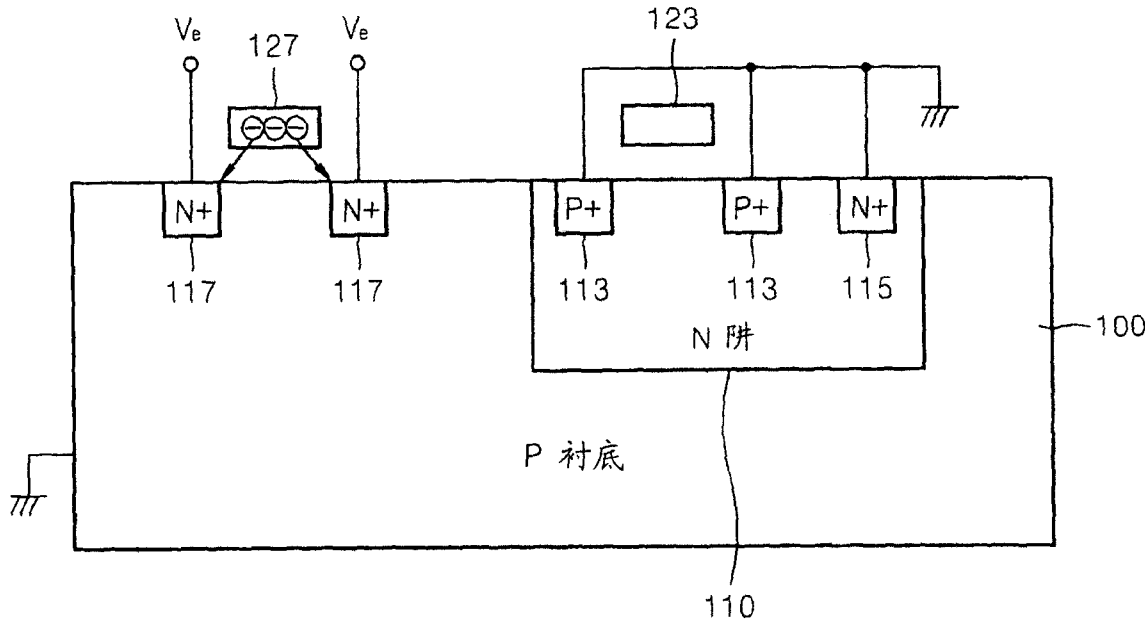


图 1B

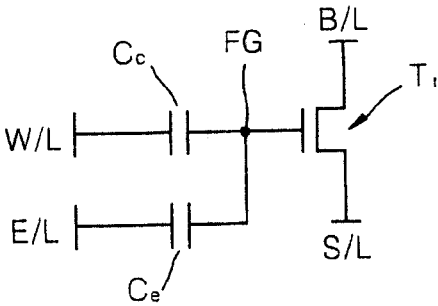


图 2

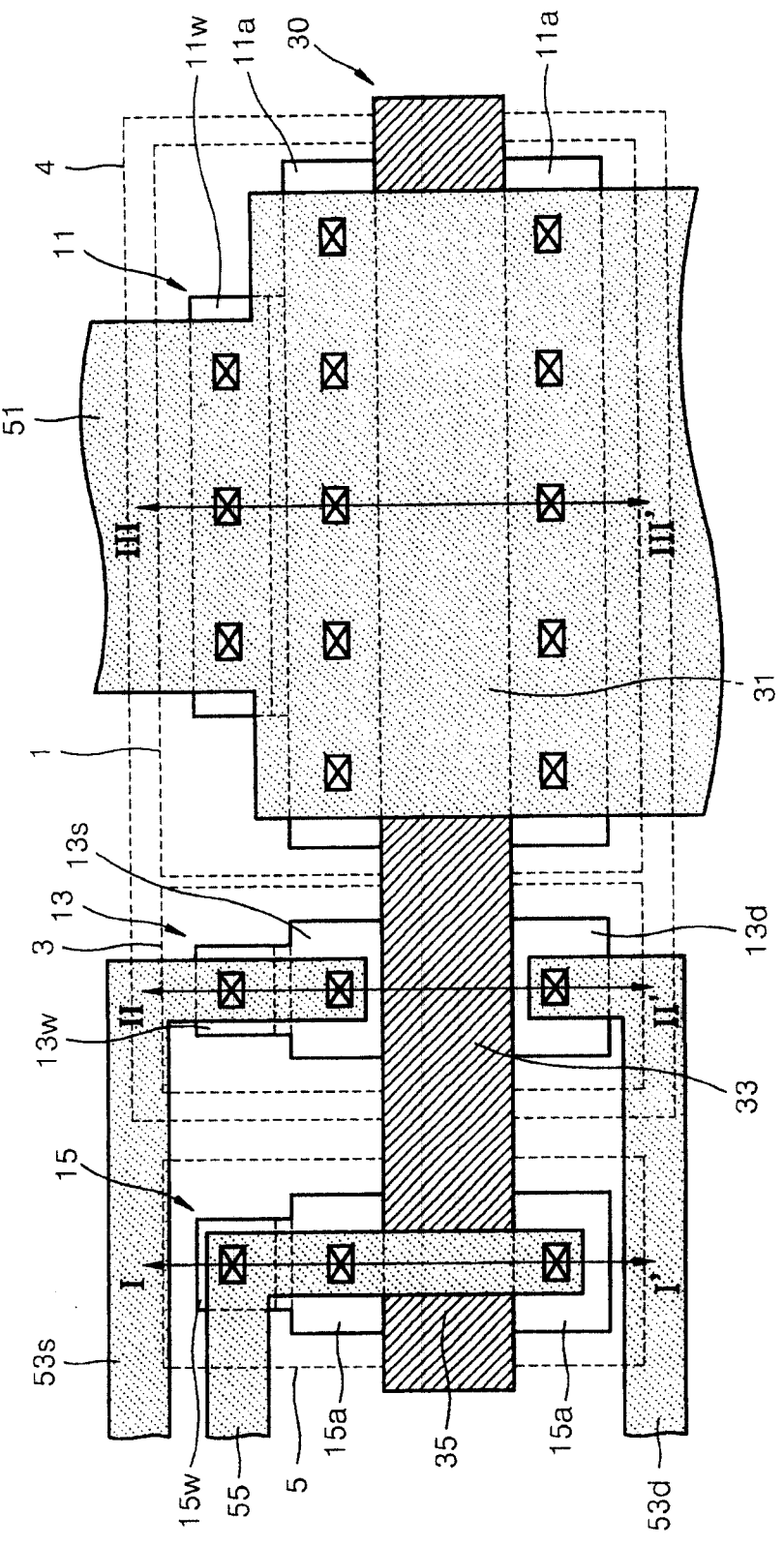


图 3

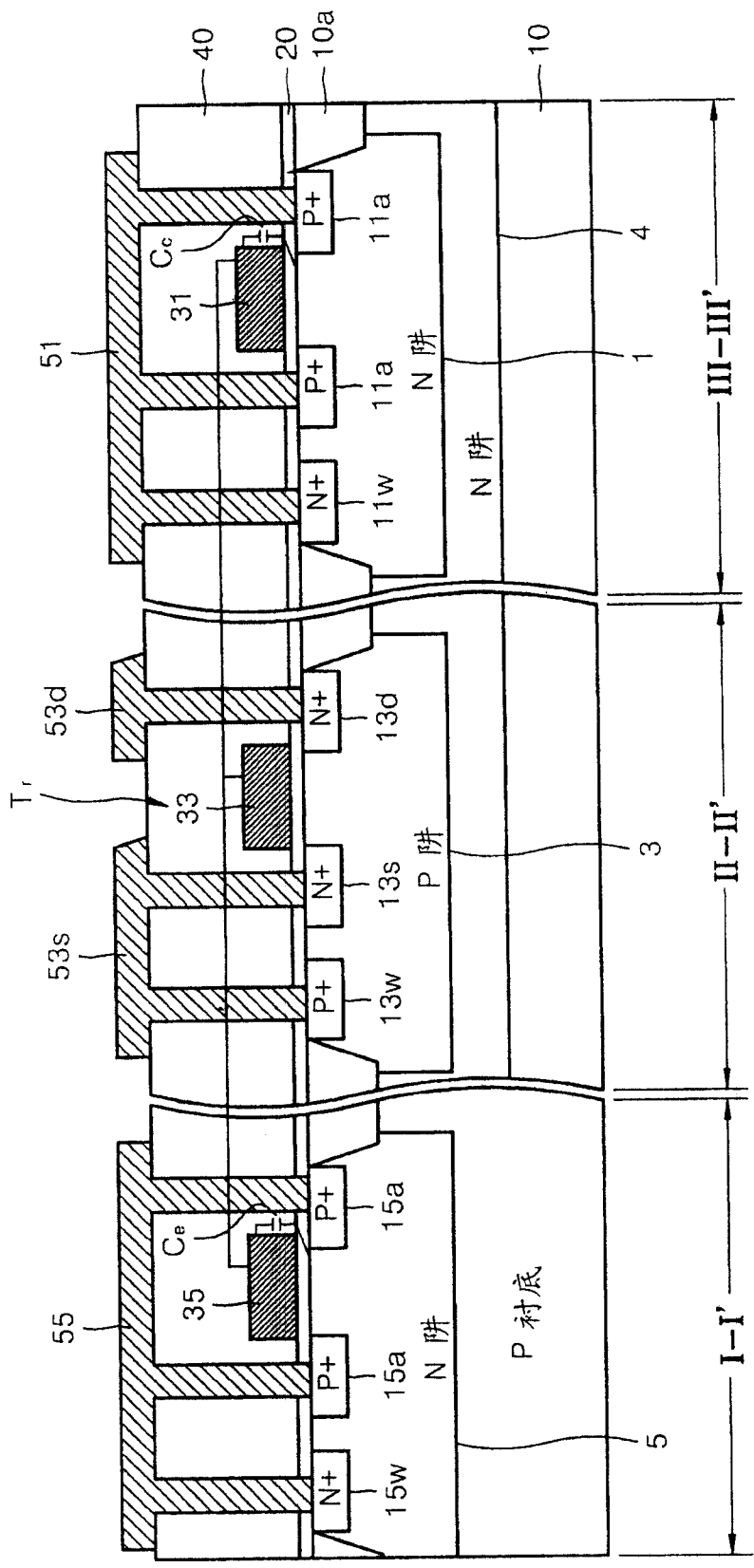


图 4

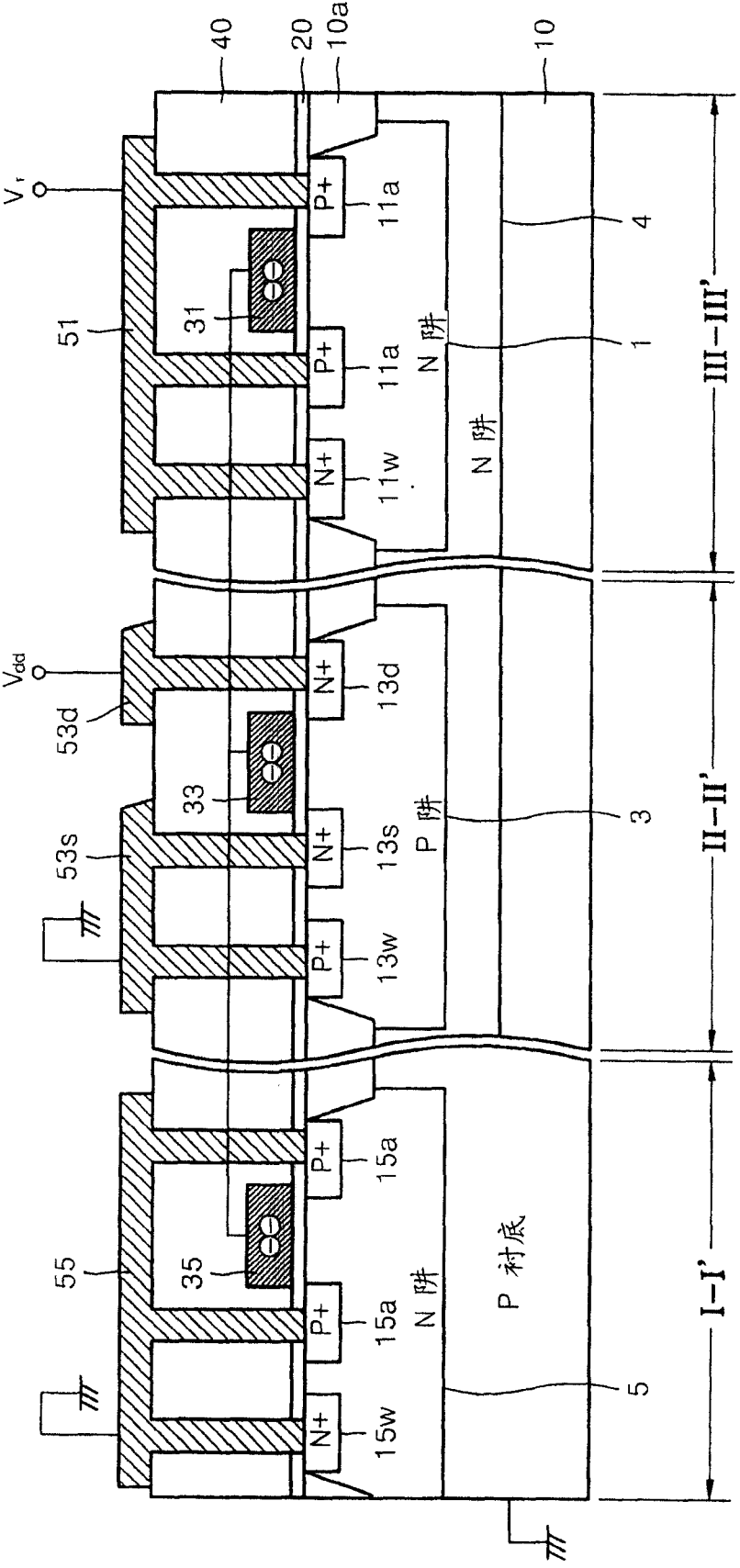


图 5B

