

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-200546
(P2004-200546A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/331	H O 1 L 29/72	5 F O O 3
H O 1 L 21/306	H O 1 L 21/306	5 F O 4 3
H O 1 L 29/732		

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号	特願2002-369391 (P2002-369391)	(71) 出願人	000002185
(22) 出願日	平成14年12月20日 (2002.12.20)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	小林 純一郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F003 AZ01 BA92 BB06 BB08 BC08
			BE08 BM03 BP95 BP96
			5F043 AA15 BB08

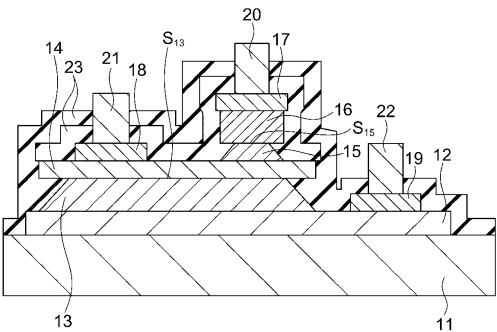
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体装置において、サイドエッチング量を制御し、安定的にメサ構造を形成し得る半導体装置およびその製造方法を提供する。

【解決手段】化合物半導体層の上面の面方位を所定のエッチング液によるエッチングレートが最も速い面方位にする。たとえば、化合物半導体層15の上面S₁₅の面方位を(110)面とし、パターンを形成する辺を[1-11]方向とすることで、サイドエッチングのエッチングレートは深さ方向の1/√2倍程度になる。また、深さ方向のエッチングには層を構成する化合物の種類により選択性があり、下層との界面で反応は停止する。つまり、オーバーエッチングを加えても、サイドエッチングが深さ方向に対して極端に進むことはなく、サイドエッチングの制御が容易になり、安定した形状を得ることができる。

【選択図】 図1



11:基板
12~16:化合物半導体層
S₁₃:化合物半導体層13の上面
S₁₅:化合物半導体層15の上面

【特許請求の範囲】

【請求項 1】

基板の主面に少なくとも 1 層の化合物半導体層を形成する工程と、
前記化合物半導体層をウェットエッチングし、メサ構造を形成する工程とを有し、
前記化合物半導体層を形成する工程において、前記化合物半導体層の上面の面方位を前記化合物半導体層の結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も速い面方位に形成する
半導体装置の製造方法。

【請求項 2】

前記化合物半導体層をウェットエッチングし、メサ構造を形成する工程において、前記化合物半導体層の側面の面方位を前記化合物半導体層の結晶構造における全面方位のうち、
所定のエッチング液による前記化合物半導体層のエッチングレートが最も遅い面方位を除く面方位に形成する
請求項 1 記載の半導体装置の製造方法。 10

【請求項 3】

基板と、
前記基板の主面に形成された少なくとも 1 層のメサ構造の化合物半導体層を有し、
前記メサ構造の化合物半導体層の上面の面方位が、前記化合物半導体層の結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も速い面方位に形成されている
半導体装置。 20

【請求項 4】

前記基板の主面の面方位が、前記化合物半導体層の結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も速い面方位と同一の面方位に形成されている
請求項 3 記載の半導体装置。

【請求項 5】

前記メサ構造の化合物半導体層の側面の面方位が、前記化合物半導体層の結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も遅い面方位と同一の面方位を除く面方位に形成されている
請求項 3 記載の半導体装置。 30

【請求項 6】

前記化合物半導体層において、エッチングレートの最も速い結晶面方位が (1 1 0) 面あるいは結晶構造上これと等価な面方位である
請求項 3 記載の半導体装置。

【請求項 7】

前記化合物半導体層において、エッチングレートの最も遅い結晶面方位が (1 1 1) 面あるいは結晶構造上これと等価な面方位である
請求項 5 記載の半導体装置。

【請求項 8】

前記化合物半導体層において、[1 - 1 1] 方向、[1 - 1 - 1] 方向、[- 1 1 - 1] 方向、[- 1 1 1] 方向、[0 0 1] 方向および [0 0 - 1] 方向のいずれかの方向と平行な直線を前記メサ構造の辺に含む
請求項 6 記載の半導体装置。 40

【請求項 9】

前記化合物半導体層において、[1 - 1 0] 方向および [- 1 1 0] 方向のいずれかの方向と平行な直線を前記メサ構造の辺に含む
請求項 6 記載の半導体装置。

【請求項 10】

前記基板および化合物半導体層が、5 族元素に P を含む 3 - 5 族化合物半導体で形成され 50

ている

請求項 3 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置およびその製造方法に関する。詳しくは、化合物半導体層の上面の面方位を、化合物半導体層の結晶構造における全面方位のうち、エッチングレートの最も速い面方位にすることによって、サイドエッチングの量を制御し得る半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

5 族元素を含む 3 - 5 族化合物半導体、たとえば InP は、結晶面方位に対するウェットエッチングにおいて、エッチングレートの異方性が強く、(111)面 < (100)面 < (110)面の順にエッチングレートが速くなることが知られている。

図 10 は、InP をエピタキシャル層に含むヘテロ接合バイポーラトランジスタ (HBT) の一例を示す断面図である。InP からなる基板 111 の主面に化合物半導体層 112 ~ 116 の積層体が形成されている。この積層体として、基板 111 上に InGaAs からなるサブコレクタ層 112 が形成され、InGaAs からなるサブコレクタ層 112 の上面の一部に InP からなるコレクタ層 113 が形成されている。また、InP からなるコレクタ層 113 の上面に InGaAs からなるベース層 114 が形成され、InGaAs からなるベース層 114 の上面の一部に InP からなるエミッタ層 115 が形成され、InP からなるエミッタ層 115 の上面に InGaAs からなるエミッタキャップ層 116 が形成されている。さらに、InGaAs からなるサブコレクタ層 112 の上面の一部にコレクタ電極 119 が形成されており、InGaAs からなるベース層 114 の上面の一部にベース電極 118 が形成されており、InGaAs からなるエミッタキャップ層 116 の上面の一部にエミッタ電極 117 が形成されている。一般的に、InP からなる基板 111 などは (100)面が主面として用いられ、エミッタ、ベース、コレクタおよびサブコレクタの各領域はウェットエッチングによりメサ構造に形成されている。

【0003】

InGaAs 層のエッチング液としては、たとえばリン酸および過酸化水素の混合水溶液、あるいはクエン酸および過酸化水素の混合水溶液などを用いるが、As 系である InGaAs 層においては顕著なエッチングレートの面方位依存性は現れない。

一方、InP 層のエッチング液としては、たとえば塩酸あるいは塩酸およびリン酸の混合水溶液などを用いる。これらの液では InGaAs 層は殆どエッチングされず、InP 層は上層の InGaAs 層のパターンをマスクとしてエッチングされるため、レジストマスク時などに見られる界面へのエッチング液のしみ込みなどは発生せず、InP 層のエッチング面方位依存性が強く発生する。

【0004】

たとえば、従来の基板に対して順テーパーに設けられたリッジ部の形成方法としては、基板に対して 2 種類のウェットエッチングを行い、特定の結晶面方位に対して選択性エッチングし、側面が特定の結晶面方位で構成されたリッジ部を形成する方法が知られている (たとえば、特許文献 1 参照)。

【0005】

【特許文献 1】

特開 2001 - 332530 号公報 (第 3 - 7 頁、第 1 図)

【0006】

【発明が解決しようとする課題】

しかしながら、上記のように (100)面よりもエッチングレートの大きい面方位が存在するので、(100)面を上面とした化合物半導体層をエッチングすると、面方向依存性により深さ方向に対して横方向のエッチングが速く進む場合があり、サイドエッチングの

10

20

30

40

50

量を制御することは困難であった。

図 11 (a) は HBT を構成する化合物半導体層の一部のエッチング後の工程を示す平面図であり、ベース層上に形成されたエミッタ層およびエミッタキャップ層のみを示している。図 11 (b) は、図 11 (a) 中の Y1 - Y2 断面における断面図である。InGaAs からなるベース層 114 の上面に InP からなるエミッタ層 115 および InGaAs からなるエミッタキャップ層 116 が形成されており、他の層は省略されている。ここで、化合物半導体層 114 ~ 116 の上面は (100) 面であり、[010] 方向および [001] 方向に平行な直線でパターニングを行った InGaAs からなるエミッタキャップ層 116 をマスクとして、InP からなるエミッタ層 115 をエッチングした後の状態を示している。

10

図 11 (a) に示すように、[010] 方向および [001] 方向に平行な直線でパターニングを行うと、エッチングの過程でエッチングレートの速い (110) 面と等価の面が現れ、図 11 (b) の Y1 - Y2 断面に示すように、たとえば、[010] 方向に平行な辺の側面に深さ方向の数倍以上のサイドエッチングが入る。このため、制御性が悪く、微細パターンの形成は難しい。

【0007】

また、図 12 は HBT を構成する化合物半導体層の一部のエッチング後の工程における設計図であり、図 13 は HBT を構成する化合物半導体層の一部のエッチング後の工程を示す平面図である。図 12 および図 13 とともにベース層 114 上に形成されたエミッタ層 115 およびエミッタキャップ層 116 のみを示している。InGaAs からなるベース層 114 の上面に InP からなるエミッタ層 115 および InGaAs からなるエミッタキャップ層 116 が形成されており、他の層は省略されている。ここで、化合物半導体層 114 ~ 116 の上面は (100) 面であり、[01-1] 方向および [011] 方向に平行な直線でパターニングを行った InGaAs からなるエミッタキャップ層 116 をマスクとして、InP からなるエミッタ層 115 をエッチングした後の状態を示している。

20

図 12 に示すように、[01-1] 方向および [011] 方向に平行な直線でパターニングを行い、エミッタ層 115 はサイドエッチングによりエミッタキャップ層 116 よりも小さく形成されることが望ましい。しかし、実際には、パターンの角の部分から [010] 方向および [001] 方向にレートの速いエッチングが進むため、図 13 に示すような、角が面取りされた形状となる。この面取り部のサイドエッチングを制御することは困難であり、設計通りのパターンにならない。これら为了避免するためには、InP 層の異方性ドライエッチングなどの特殊・高度な設備技術が必要であった。

30

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、サイドエッチング量を制御し、安定的にメサ構造を形成し得る半導体装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、上記の本発明の半導体装置の製造方法は、基板の主面に少なくとも 1 層の化合物半導体層を形成する工程と、前記化合物半導体層をウェットエッチングし、メサ構造を形成する工程とを有し、前記化合物半導体層を形成する工程において、前記化合物半導体層の上面の面方位を前記化合物半導体層の結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も速い面方位に形成する。

40

【0010】

上記の本発明の半導体装置の製造方法においては、基板の主面に少なくとも 1 層の化合物半導体層を形成し、化合物半導体層をウェットエッチングし、メサ構造を形成する。このとき、化合物半導体層の上面の面方位は、結晶構造の全面方位のうち、所定のエッチング液によるエッチングレートが最も速い面方位に形成する。

【0011】

50

上記の本発明の半導体装置は、基板と、前記基板の主面に形成された少なくとも１層のメサ構造の化合物半導体層を有し、前記メサ構造の化合物半導体層の上面の面方位が、前記化合物半導体層の結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も速い面方位である。

【 0 0 1 2 】

上記の本発明の半導体装置においては、化合物半導体層の上面の面方位が、結晶構造における全面方位のうち、所定のエッチング液による前記化合物半導体層のエッチングレートが最も速い面方位であることにより、深さ方向のエッチングが最も速く進む。

【 0 0 1 3 】

【 発明の実施の形態 】

10

以下、本発明の実施形態について、図面に基づいて説明する。

〔 第 1 の実施形態 〕

以下、本発明の第 1 の実施形態について図 1 を参照して説明する。図 1 は本実施形態にかかる半導体装置の一部を模式的に示した [1 - 1 - 1] 方向における概略断面図である。半絶縁性の InP からなる基板 11 の主面上に、化合物半導体層 12 ~ 16 の積層体がメサ構造を形成している。基板 11 の主面上に、 n^+ 型 InGaAs からなるサブコレクタ層 12 が形成され、 n^+ 型 InGaAs からなるサブコレクタ層 12 の上面の一部に、 n 型 InP からなるコレクタ層 13 が形成されている。 n 型 InP からなるコレクタ層 13 の上面 S_{13} に、 p 型 InGaAs からなるベース層 14 が形成され、 InGaAs からなるベース層 14 の上面の一部に、 n 型 InP からなるエミッタ層 15 が形成されている。 InP からなるエミッタ層 15 の上面 S_{15} に n 型 InGaAs からなるエミッタキャップ層 16 が形成され、エミッタキャップ層 16 の上面の一部にエミッタ電極 17 が形成されている。また、ベース層 14 の上面の一部にベース電極 18 が形成され、コレクタ層 12 の上面の一部にコレクタ電極 19 が形成されている。

20

化合物半導体層 13 および 15 の上面 S_{13} および S_{15} を含むすべての層の上面は (1 1 0) 面あるいは結晶構造上これと等価な面方位のエピタキシャル層からなる。(1 1 0) 面と等価な面方位とは、(1 0 1) 面、(1 - 1 0) 面、(1 0 - 1) 面、(- 1 - 1 0) 面、(- 1 0 1) 面、(- 1 1 0) 面、(- 1 0 - 1) 面、(0 1 1) 面、(0 - 1 1) 面、(0 - 1 - 1) 面および (0 1 - 1) 面である。

【 0 0 1 4 】

30

図 2 ~ 6 は本実施形態にかかる半導体装置の製造方法の主要な工程を示す [1 - 1 - 1] 方向における断面図である。

まず、図 2 (a) に示すように、(1 1 0) 面を主面とする Fe ドープした半絶縁性の InP からなる基板 11 の主面上に、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度の Si ドープした n^+ 型 InGaAs からなる化合物半導体層 12 を厚さ $400 \text{ nm} \sim 1 \mu$ 程度形成する。化合物半導体層 12 はサブコレクタ層とし、たとえば、分子線エピタキシ法 (MBE 法 : Molecular Beam Epitaxy 法) あるいは有機金属化学的気相成長法 (MOCVD 法 : Metal Organic Chemical Vapor Deposition 法) などのエピタキシャル成長により形成される。サブコレクタ層 12 の上面に、 $2 \times 10^{16} \text{ cm}^{-3}$ 程度の Si ドープした n 型 InP からなる化合物半導体層 13 を 500 nm 程度形成しコレクタ層とする。

40

【 0 0 1 5 】

コレクタ層 13 の上面 S_{13} に、 $2 \times 10^{19} \text{ cm}^{-3}$ 程度の C あるいは Be ドープした p 型 InGaAs からなる化合物半導体層 14 が 75 nm 程度形成され、ベース層とする。ベース層 14 の上面に、 $5 \times 10^{17} \text{ cm}^{-3}$ 程度の Si ドープした n 型 InP からなる化合物半導体層 15 が 50 nm 程度形成され、エミッタ層とする。エミッタ層 15 の上面 S_{15} に $1 \times 10^{19} \text{ cm}^{-3}$ 程度の Si ドープした n 型 InGaAs からなる化合物半導体層 16 が 50 nm 程度形成され、エミッタキャップ層とする。上記の化合物半導体層 13 ~ 16 は、MBE 法あるいは MOCVD 法などのエピタキシャル成長により形成される。このため、形成された化合物半導体層 12 ~ 16 の上面は (1 1 0) 面となる。

50

【0016】

次に、図2(b)に示すように、エミッタキャップ層16の上面にレジスト膜24を形成し、リフトオフ法などによりエミッタキャップ層16の上面の一部に電極層17としてTi、PtおよびAuをそれぞれ50nm、50nmおよび200nm程度積層し、エミッタ電極17を形成する。このとき、エミッタ電極17は[1-11]方向に平行な辺を有する形状とする。

次に、図3(c)に示すように、エミッタ電極17をマスクとし、リン酸過水系のエッチング液を用いてn型InGaAsからなるエミッタキャップ層16のエッチングを行い、所定のパターンを形成する。

【0017】

さらに、n型InGaAsからなるエミッタキャップ層16をマスクとし、塩酸系のエッチング液を用いてn型InPからなるエミッタ層15のエッチングを行い第1のメサ構造を形成する。このとき、エミッタ層15はエミッタ電極17およびエミッタキャップ層16をマスクとしているので、[1-11]方向に平行な辺を有する形状にパターンニングされる。

ここで、(110)面上に、[1-11]方向あるいはそれと垂直な[1-1-1]方向の各方向と平行な直線で囲まれる四角形にウェットエッチングを行ない、メサ構造を形成する工程を図7に基づいて説明する。

図7(a)は、図1に示すHBT構造を構成する化合物半導体層の一部のエッチング後の工程を示す平面図であり、ベース層14に形成されたエミッタ層15およびエミッタキャップ層16のみを示している。また、図7(b)は、図7(a)中のY1-Y2における断面図であり、図1~6と同じ方向における断面を示している。

InPからなるエミッタ層15のエッチング過程において、[1-11]方向と平行な辺は、図7(b)に示すように、側面に(110)面と等価な面が現れる。つまり、サイドエッチングは、(110)面がエッチングされる[110]方向と同じエッチングレートである[101]方向、[10-1]方向、[01-1]方向および[011]方向へのエッチングの水平成分で進む。そのため、サイドエッチングのエッチングレートは、深さ方向の1/√2倍程度になるものと考えられ、サイドエッチングの量は深さ方向よりも少なくなる。

また、InP層のエッチング液では、InGaAs層はほとんどエッチングされないため、InPからなるエミッタ層15は上層のInGaAsからなるエミッタキャップ層16をマスクとしてエッチングすることができる。つまり、深さ方向に対してサイドエッチングが極端に大きくなることはない。

【0018】

続いて、図3(d)に示すように、ベース層14の上面にレジスト膜24を形成し、第1のメサ構造が形成されていない部分にリフトオフ法などによりベース電極18を形成する。ベース電極18はTi、PtおよびAuをそれぞれ50nm、50nm、200nm程度形成した積層体とする。次に、図4(e)に示すように、レジスト膜24を除去したのち、ベース層14、ベース電極18およびエミッタ層15、エミッタキャップ層16とエミッタ電極17の積層体上にSiN膜23を100nm程度形成する。

次に、図4(f)に示すように、上記のベース電極18、エミッタ層15、エミッタキャップ層16およびエミッタ電極17の積層体を覆うようにSiN膜23上の一部にレジスト膜24を形成し、レジスト膜24に覆われていない部分のSiN膜23を反応性イオンエッチング(RIE: Reactive Ion Etching)などにより除去する。その後、残ったレジスト膜24およびSiN膜23をマスクとし、ベース層14およびコレクタ層13をそれぞれ別種のエッチング液により除去する。

【0019】

このとき、第1のメサ構造と同様に、InPからなるコレクタ層13のエッチング過程において、図7(b)に示すように、側面に(110)面と等価な面が現れる。つまり、サイドエッチングは、(110)面がエッチングされる[110]方向と同じエッチングレ

10

20

30

40

50

ートである $[101]$ 方向、 $[10-1]$ 方向、 $[01-1]$ 方向および $[011]$ 方向へのエッチングの水平成分で進む。そのため、サイドエッチングのエッチングレートは、深さ方向の $1/\sqrt{2}$ 倍程度になるものと考えられ、サイドエッチングの量は深さ方向よりも少なくなる。

また、 InP 層のエッチング液では、 InGaAs 層はほとんどエッチングされないため、 InP からなるエミッタ層15は上層の InGaAs からなるエミッタキャップ層16をマスクとしてエッチングすることができる。つまり、深さ方向に対してサイドエッチングが極端に大きくなることはない。

【0020】

次に、図5(g)に示すように、サブコレクタ層12上のメサ構造が形成されていない部分にリフトオフ法などによりコレクタ電極19を形成する。次に、図5(h)に示すように、サブコレクタ層12をエッチングし、レジスト膜24を除去する。次に、図6(i)に示すように、全体に SiN 膜を200nm程度形成し、図6(j)に示すように、エミッタ電極17、ベース電極18およびコレクタ電極19にリフトオフ法などにより Ti 、 Pt および Au をそれぞれ50nm、50nm、500nm程度積層したそれぞれ取り出し電極20、21および22を形成する。

【0021】

本実施形態においては、結晶面方位において、 (110) 面を主面および上面とし、パターンを形成する辺を $[1-11]$ 方向とすることで、サイドエッチングのエッチングレートは深さ方向の $1/\sqrt{2}$ 倍程度になる。また、深さ方向のエッチングには層を構成する化合物の種類により選択性があり、下層との界面で反応は停止する。つまり、オーバーエッチングを加えてもサイドエッチングが深さ方向に対して極端に進むことはない。

【0022】

本実施形態によれば、エッチングを行う化合物半導体層の上面を (110) 面とすることにより、オーバーエッチングによるサイドエッチングの制御が容易になり安定した形状を得ることができる。

【0023】

〔第2の実施形態〕

以下、本発明の第2の実施形態について図1および図8を参照して説明する。第1の実施形態と同様の部分は番号を同じくし、説明を省略し、以下、異なる部分についてのみ説明する。

図1に示すようなメサ構造を有するHBTを形成する工程において、基板および各化合物半導体層12~16は (110) 面、あるいは結晶構造上これと等価な面方位を主面あるいは上面に形成されている。ここで、 (110) 面上に、 $[1-1-1]$ 方向、 $[1-11]$ 方向および $[001]$ 方向の各方向と平行な直線で囲まれる多角形にウェットエッチングを行い、メサ構造の化合物半導体層を形成する。

図8(a)は本実施形態にかかるHBTを構成する化合物半導体層の一部のエッチング後の工程を示す平面図であり、 InGaAs からなるベース層14上に形成された InP からなるエミッタ層15および InGaAs からなるエミッタキャップ層16からなるメサ構造のみを示している。図8(b)は、図8(a)中のP1-P2における断面図である。本実施形態においては、エミッタ層15のエッチングの工程のみを説明する。

【0024】

図8(a)に示したような $[1-1-1]$ 方向、 $[1-11]$ 方向および $[001]$ 方向の各方向と平行な直線で囲まれる多角形に形成されたエミッタキャップ層16をマスクとし、エミッタ層15の選択性エッチングを行う。このとき、エミッタキャップ層16およびベース層14を形成する InGaAs とエミッタ層15を形成する InP とは異なるエッチング特性を有するので、同じエッチング液ではエッチングされない。エッチング後の $[001]$ 方向と平行な辺におけるエミッタ層15は図8(b)に示すような断面形状を有する。 $[001]$ 方向と平行な辺におけるサイドエッチングは、 $[1-10]$ 方向および $[-110]$ 方向へのエッチングレートで進むため、深さ方向とほぼ同量のサイドエッ

10

20

30

40

50

チングが生じる。[1 - 1 - 1] 方向および [1 - 1 1] 方向と平行な辺においては、上記第 1 の実施形態に示したようなサイドエッチングが生じる。

【 0 0 2 5 】

本実施形態によれば、(1 1 0) 面上に、[0 0 1] 方向と平行な辺におけるサイドエッチングを行う。[0 0 1] 方向と平行な辺におけるサイドエッチングは、[1 - 1 0] 方向および [- 1 1 0] 方向へのエッチングで進むため、深さ方向とほぼ同量のサイドエッチが生じる。このため、サイドエッチング量の予測が容易になり制御し易くなる。

【 0 0 2 6 】

本実施形態においては、エミッタ層 1 5 のエッチングの工程についてのみ説明したが、InP からなるコレクタ層 1 3 も同様な形状にエッチングされるため、深さ方向に対してサイドエッチングが大きく入ることなく、安定なメサ構造を形成することができる。 10

【 0 0 2 7 】

〔 第 3 の実施形態 〕

以下、本発明の第 3 の実施形態について図 1 および図 9 を参照して説明する。第 1 の実施形態と同様の部分は番号を同じくし、説明を省略し、以下、異なる部分についてのみ説明する。

図 1 に示すようなメサ構造を有する HBT を形成する工程において、基板および各化合物半導体層 1 2 ~ 1 6 は (1 1 0) 面、あるいは結晶構造上これと等価な面方位を主面あるいは上面に形成されている。ここで、(1 1 0) 面上に、[0 0 1] 方向および [1 - 1 0] 方向の各方向と平行な直線で囲まれる四角形にウェットエッチングを行い、メサ構造の化合物半導体層を形成する。 20

図 9 (a) は本実施形態にかかる HBT を構成する化合物半導体層の一部のエッチング後の工程を示す平面図であり、InGaAs からなるベース層 1 4 上に形成された InP からなるエミッタ層 1 5 および InGaAs からなるエミッタキャップ層 1 6 からなるメサ構造のみを示している。図 9 (b) は、図 9 (a) 中の X 1 - X 2 における断面図であり、図 9 (c) は、図 9 (a) 中の Y 1 - Y 2 における断面図である。本実施形態においては、エミッタ層 1 5 のエッチングの工程のみを説明する。

【 0 0 2 8 】

図 9 (a) に示したような [0 0 1] 方向および [1 - 1 0] 方向の各方向と平行な直線で囲まれる四角形に形成されたエミッタキャップ層 1 6 をマスクとし、エミッタ層 1 5 の選択性エッチングを行う。 30

エッチング後の [1 - 1 0] 方向と平行な辺におけるエミッタ層 1 5 は図 9 (b) に示すような断面形状を有する。X 1 - X 2 断面に示した [1 - 1 0] 方向と平行な辺では、エッチング中に全結晶面方位のうちエッチングレートの最も遅い面方位である (1 1 1) 面およびそれと等価な (1 1 - 1) 面が現れるため、[0 0 1] 方向へはサイドエッチングがほとんど入らない順メサ状となる。[0 0 - 1] 方向へはエッチング中に (- 1 - 1 - 1) 面が現れるため、わずかにサイドエッチングが入った逆メサ状になる。また、[0 0 1] 方向と平行な辺におけるエミッタ層 1 5 は図 9 (c) に示すような断面形状を形成する。このとき、Y 1 - Y 2 断面に示した [1 - 1 0] 方向と平行な位置に隣り合うメサ構造を形成すれば、隣接する層との乗り上げ接触を防止できる。 40

【 0 0 2 9 】

本実施形態によれば、(1 1 0) 面上に、[0 0 1] 方向および [1 - 1 0] 方向の各方向と平行な直線で囲まれる四角形を形成することにより、向かい合う辺ごとに異なるテーパ形状を有するメサ構造を得ることができる。[1 - 1 0] 方向と平行な位置に隣り合うメサ構造を形成すれば、乗り上げ接触を防止することができる。

【 0 0 3 0 】

本実施形態においては、エミッタ層 1 5 のエッチングの工程についてのみ説明したが、InP からなるコレクタ層 1 3 も同様な形状にエッチングされるため、同様な形状を有する層を得ることができる。よって、(1 1 0) 面上に、[0 0 1] 方向と平行な辺においては、深さ方向とほぼ同程度のサイドエッチングが生じ、[1 - 1 0] 方向と平行な辺にお 50

いては、順メサ状あるいは逆メサ状となる。

【0031】

上記の各実施形態は、エッチングレートの結晶面方位依存性の大きな材料、たとえば、5族元素にリン(P)を含む3-5族化合物半導体、特にInPをHBTのエピタキシャル層中に有する場合において最も有効であるが、エッチングレートの結晶面方位依存性を示す他の半導体に対しても適用可能である。また、半導体デバイスとしては、HBTに限定されるものではなく、他のメサ構造を有するデバイスに対しても適用可能である。

【0032】

本発明は、上記の実施形態に限定されない。たとえば、化合物半導体層の上面を(110)面以外のこれと等価な面方位に変更できる。その場合、結晶構造的に各面方位および結晶方位をそれぞれ等価な方向に置き換えれば同様に成り立つ。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能になる。

【0033】

上記の各実施形態によれば、メサ部の面積を安定して形成でき、微細なエミッタサイズの実現が可能になる。また、RIEのようなドライエッチング設備を使わずにウェットエッチングのみで制御性よく、メサ形成が可能になるため、高価な設備が不要で、工程数も少なくて済み、ウェーハコストを削減できる。

【0034】

【発明の効果】

以上説明してきたように、本発明によれば、半導体装置において、ウェットエッチングを用いてメサ構造を形成するときに、サイドエッチング量を制御し、設計通りのメサ構造を有する半導体装置を得ることができる。

また、本発明の半導体装置の製造方法において、サイドエッチングの量を制御し、安定的なメサ構造を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1、第2および第3の実施形態にかかる半導体装置の構造を模式的に示す概略断面図である。

【図2】本発明の第1の実施形態にかかる半導体装置の製造方法の主要な工程を順次模式的に示す概略断面図である。

【図3】本発明の第1の実施形態にかかる半導体装置の製造方法の主要な工程を順次模式的に示す概略断面図である。

【図4】本発明の第1の実施形態にかかる半導体装置の製造方法の主要な工程を順次模式的に示す概略断面図である。

【図5】本発明の第1の実施形態にかかる半導体装置の製造方法の主要な工程を順次模式的に示す概略断面図である。

【図6】本発明の第1の実施形態にかかる半導体装置の製造方法の主要な工程を順次模式的に示す概略断面図である。

【図7】(a)は本発明の第1の実施形態にかかる半導体装置の一部のエッチング後の工程を示す平面図、(b)は(a)中のY1-Y2における断面図である。

【図8】(a)は本発明の第2の実施形態にかかる半導体装置の一部のエッチング後の工程を示す平面図、(b)は(a)中のP1-P2における断面図である。

【図9】(a)は本発明の第3の実施形態にかかる半導体装置の一部のエッチング後の工程を示す平面図、(b)は(a)中のX1-X2における断面図、(c)は(a)中のY1-Y2における断面図である。

【図10】従来の技術を示す概略断面図である。

【図11】(a)は従来の技術の一部の工程を示す平面図、(b)は(a)中のY1-Y2における断面図である。

【図12】従来の技術を示す概略平面図である。

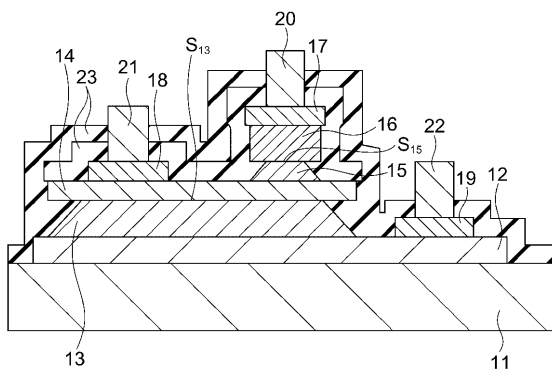
【図13】従来の技術を示す概略平面図である。

【符号の説明】

1 1 ... 基板 (I n P 基板)、1 2 ... 化合物半導体層 (I n G a A s サブコレクタ層)、1 3 ... 化合物半導体層 (I n P コレクタ層)、1 4 ... 化合物半導体層 (I n G a A s ベース層)、1 5 ... 化合物半導体層 (I n P エミッタ層)、1 6 ... 化合物半導体層 (I n G a A s エミッタキャップ層)、1 7 ... 電極 (エミッタ電極)、1 8 ... 電極 (ベース電極)、1 9 ... 電極 (コレクタ電極)、2 0 ... エミッタ電極引き出し配線層、2 1 ... ベース電極引き出し配線層、2 2 ... コレクタ電極引き出し配線層、2 3 ... S i N 膜、2 4 ... レジスト膜、1 1 1 ... 基板 (I n P 基板)、1 1 2 ... 化合物半導体層 (I n G a A s サブコレクタ層)、1 1 3 ... 化合物半導体層 (I n P コレクタ層)、1 1 4 ... 化合物半導体層 (I n G a A s ベース層)、1 1 5 ... 化合物半導体層 (I n P エミッタ層)、1 1 6 ... 化合物半導体層 (I n G a A s エミッタキャップ層)、1 1 7 ... 電極 (エミッタ電極)、1 1 8 ... 電極 (ベース電極)、1 1 9 ... 電極 (コレクタ電極)、 S_{13} ... 化合物半導体層 1 3 の上面、 S_{15} ... 化合物半導体層 1 5 の上面

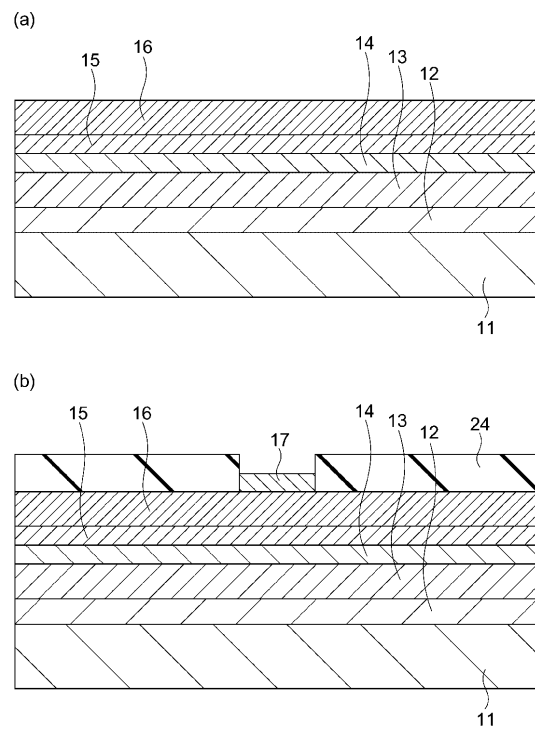
10

【 図 1 】



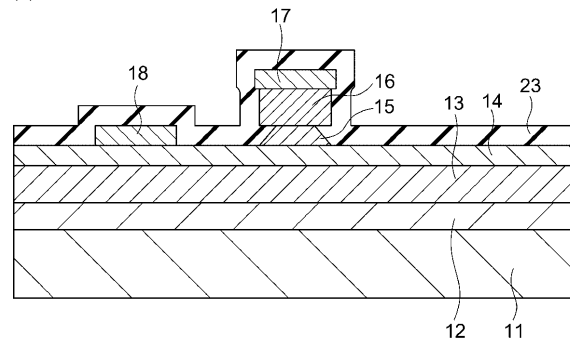
11: 基板
12~16: 化合物半導体層
 S_{13} : 化合物半導体層 13 の上面
 S_{15} : 化合物半導体層 15 の上面

【 図 2 】

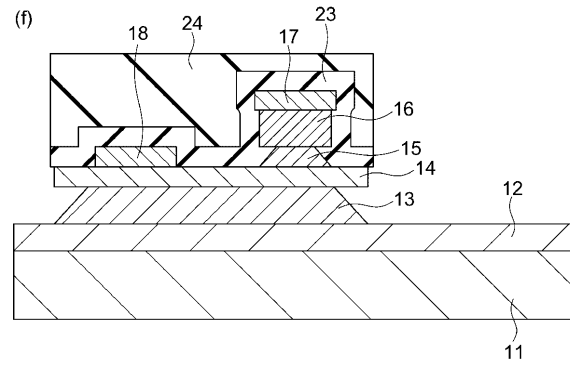


【 図 4 】

(e)

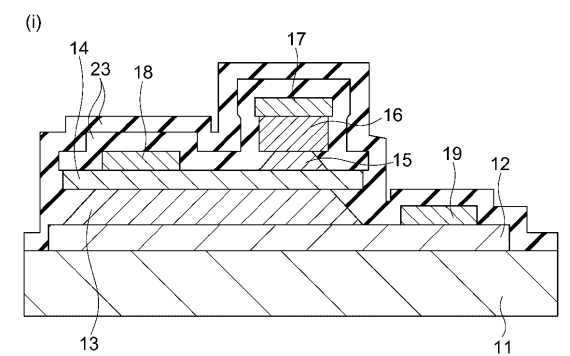


(f)

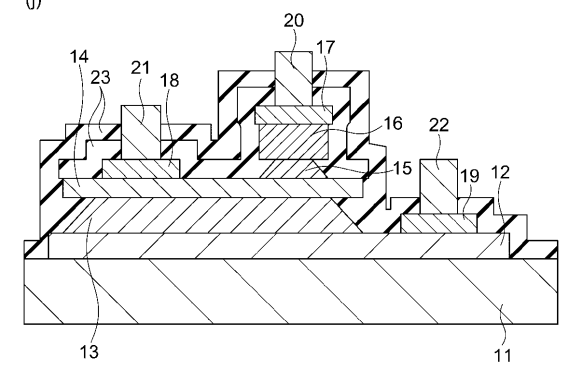


【 図 6 】

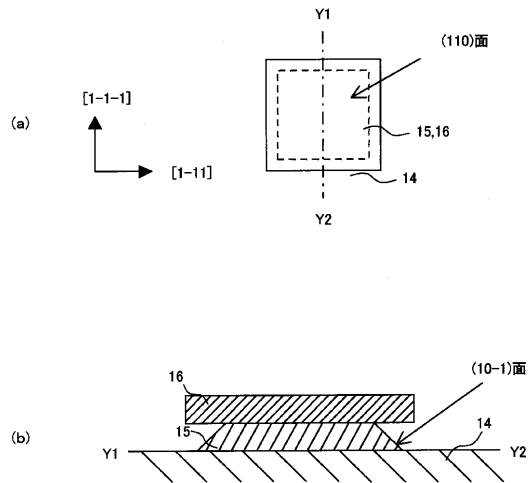
(i)



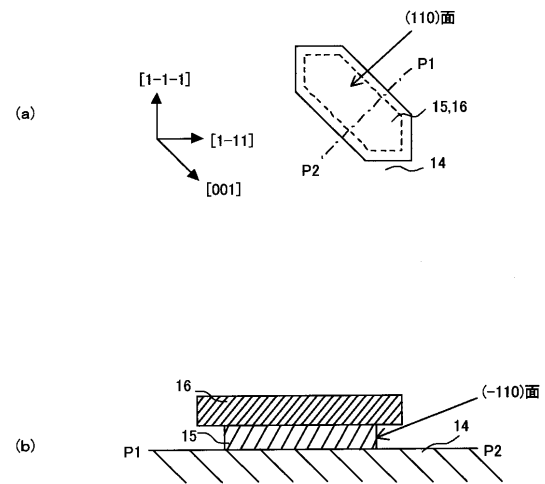
(j)



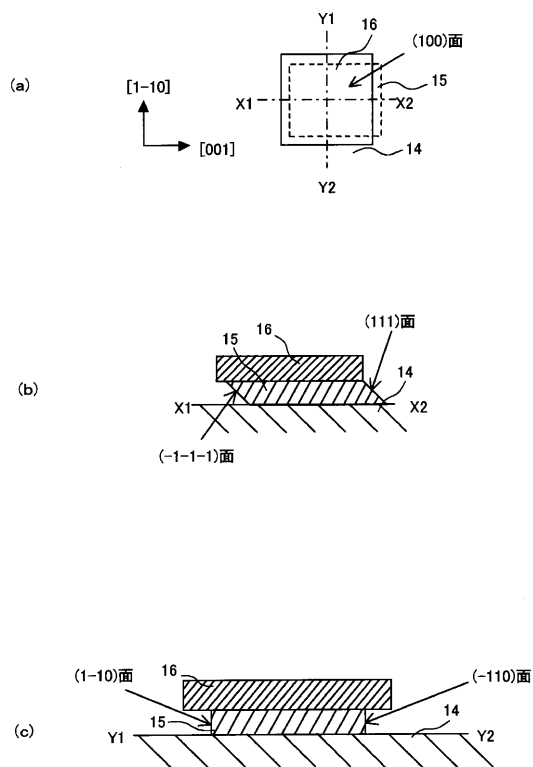
【 図 7 】



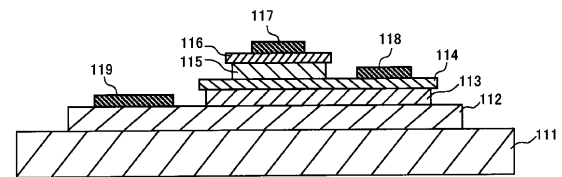
【 図 8 】



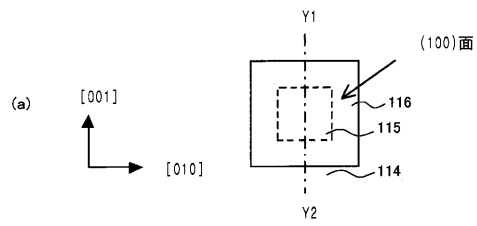
【 図 9 】



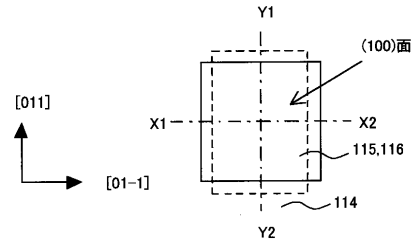
【 図 10 】



【図 1 1】



【図 1 2】



【図 1 3】

