

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196668

(P2006-196668A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 R	5 F O 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/02 B	
HO 1 L 21/02 (2006.01)	HO 1 L 23/12 N	
HO 1 L 23/12 (2006.01)		

審査請求 有 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2005-6433 (P2005-6433)
 (22) 出願日 平成17年1月13日 (2005.1.13)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

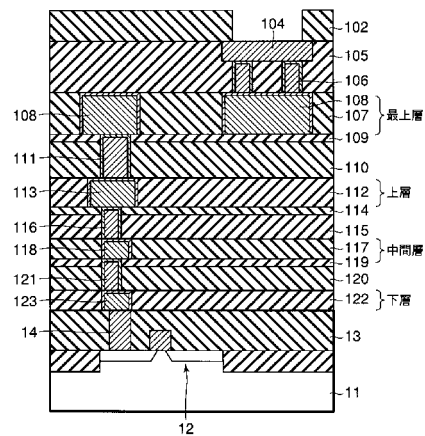
(57) 【要約】 (修正有)

【課題】 L S I の多層配線、特に半導体素子と接続する下層に近い配線に対して低誘電率絶縁膜や微細な配線の機械的/熱的ストレスを抑えた半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上に形成された半導体素子 1 2 と、前記半導体基板上に積層された複数の絶縁膜 1 0 7 , 1 1 2 , 1 1 7 , 1 2 2 と、前記複数の絶縁膜内にそれぞれ形成された複数の配線層 1 0 8 , 1 1 3 , 1 1 8 , 1 2 3 と、前記各配線層の上面及び両側面を連続的に覆うバリアメタルとを具備する半導体装置。

【選択図】 図 1

図 1



【特許請求の範囲】

【請求項 1】

半導体基板上に形成された半導体素子と、
前記半導体基板上に積層された複数の絶縁膜と、
前記複数の絶縁膜内にそれぞれ形成された複数の配線層と、
前記各配線層の上面及び両側面を連続的に覆うバリアメタルと
を具備することを特徴とする半導体装置。

【請求項 2】

半導体基板内に形成された半導体素子と、
前記半導体基板上に積層された複数の絶縁膜と、
前記複数の絶縁膜内にそれぞれ形成された複数の配線層と、
前記複数の絶縁膜内にそれぞれ形成され、複数の配線層を接続する複数のプラグと、
前記複数の配線層のそれぞれとその上の前記プラグの上面及び両側面を連続的に覆うバ
リアメタルと
を具備することを特徴とする半導体装置。

10

【請求項 3】

第 1 の半導体基板上に上層配線層を形成し、
前記上層配線層の上方に少なくとも下層配線層を形成し、
前記第 1 の半導体基板上に形成された前記下層配線を、半導体素子を含む第 2 の半導体
基板上に張り合わせることを特徴とする半導体装置の製造方法。

20

【請求項 4】

第 1 の半導体基板上に第 1 の誘電率を有する第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜内に上層配線層を形成し、
前記第 1 の絶縁膜の上方に前記第 1 の誘電率より低い第 2 の誘電率を有する第 2 の絶縁
膜を形成し、
前記第 2 の絶縁膜内に少なくとも下層配線層を形成し、
前記第 1 の半導体基板上に形成された前記下層配線を、半導体素子を含む第 2 の半導体
基板上に張り合わせることを特徴とする半導体装置の製造方法。

【請求項 5】

第 1 の半導体基板上に第 1 の誘電率を有する第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜内に上層配線層を形成し、
第 2 の半導体基板上に前記第 1 の誘電率より低い第 2 の誘電率を有する第 2 の絶縁膜を
形成し、
前記第 2 の絶縁膜内に少なくとも下層配線層を形成し、
前記第 2 の半導体基板上に形成された前記下層配線を、半導体素子を含む第 3 の半導体
基板上に張り合わせ、
前記第 2 の半導体基板を除去した後、前記第 1 の絶縁膜及び前記上層配線層を有する前
記第 1 の半導体基板を前記第 2 の絶縁膜に張り合わせる
ことを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、例えば low - k (low-dielectric constant:低誘電率) 絶縁膜を用いた多
層配線に係り、特に、2 層以上の配線層を積層した半導体装置およびその製造方法に関す
る。

【背景技術】

【0002】

近年、コンピューターや通信機器には、多数のトランジスタや抵抗などからなる電気回
路を 1 チップ上に集積化した大規模集積回路 (L S I) が多用されている。このため、機
器全体の性能は、L S I 単体に依存している。L S I 単体の性能向上は、集積度を高める

50

こと、つまり、素子の微細化により実現できる。

【0003】

しかしながら、素子の微細化により、配線間の容量結合に起因する信号の遅延が増大し、素子の高速動作を阻害する問題が顕著になってきている。そこで、配線間容量を低減させるため、比誘電率の小さな絶縁膜材料が使用されてきている。また、絶縁膜材料以外による配線間容量の低減方法としては、対向する配線の膜厚を薄くして対向面積を小さくする方法がある。配線間容量の低減としてすすめられてきている低誘電率材料の導入と、配線の薄膜化には次のような問題がある。

【0004】

即ち、近年の絶縁膜の低誘電率化は絶縁膜の材料を変更するのみではその要求に十分応じることができない。このため、絶縁膜自体の比誘電率を下げ、さらに絶縁膜の密度を下げることで達成されようとしている。この場合、低誘電率化された絶縁膜の機械的強度や密着性が減少するため、機械的ストレスや、成膜プロセスや熱処理などの熱ストレスに対する耐性が著しく低下する。特に、多層に積層した配線を形成する場合、幾度もの成膜プロセスや熱処理、CMP(化学的機械的研磨)処理が行なわれるため、絶縁膜の機械的ストレスや、熱ストレスに対する耐性が著しく低下する。

10

【0005】

また、同様に配線を薄膜化した場合、微細配線が多層に積層された場合、成膜プロセスや熱処理などの熱ストレスのサイクルによってストレスマイグレーションなど、配線の信頼性低下を引き起こす懸念がある。

20

【0006】

このように、高性能化、高集積化がすすむLSIの多層配線において、低誘電率絶縁膜や微細な配線の機械的/熱的ストレスをいかに抑えるかが重要になってくる。

【0007】

従来、多層配線構造の品質向上及び製造時間の短縮化を目的として、複数の多層配線領域をそれぞれ個別に形成する製造方法が提案されている(例えば特許文献1参照)。

【0008】

しかしながら、この製造方法では、low-k材料を用いた絶縁膜に対する機械的、熱的ストレスを十分に抑えることが困難であった。

【特許文献1】特開2004-235454号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、半導体素子に近い下層の配線や低誘電率絶縁膜に対する機械的/熱的ストレスを抑えた半導体装置及びその製造方法を提供する。

【課題を解決するための手段】

【0010】

本発明の半導体装置の態様は、半導体基板上に形成された半導体素子と、前記半導体基板上に積層された複数の絶縁膜と、前記複数の絶縁膜内にそれぞれ形成された複数の配線層と、前記各配線層の上面及び両側面を連続的に覆うバリアメタルとを具備することを特徴としている。

40

【0011】

本発明の半導体装置の態様は、半導体基板内に形成された半導体素子と、前記半導体基板上に積層された複数の絶縁膜と、前記複数の絶縁膜内にそれぞれ形成された複数の配線層と、前記複数の絶縁膜内にそれぞれ形成され、複数の配線層を接続する複数のプラグと、前記複数の配線層のそれぞれとその上の前記プラグの上面及び両側面を連続的に覆うバリアメタルとを具備することを特徴としている。

【0012】

本発明の半導体装置の製造方法の態様は、第1の半導体基板上に上層配線層を形成し、前記上層配線層の上方に少なくとも下層配線層を形成し、前記第1の半導体基板上に形成

50

された前記下層配線を、半導体素子を含む第2の半導体基板上に張り合わせることを特徴としている。

【0013】

本発明の半導体装置の製造方法の態様は、第1の半導体基板上に第1の誘電率を有する第1の絶縁膜を形成し、前記第1の絶縁膜内に上層配線層を形成し、前記第1の絶縁膜の上方に前記第1の誘電率より低い第2の誘電率を有する第2の絶縁膜を形成し、前記第2の絶縁膜内に少なくとも下層配線層を形成し、前記第1の半導体基板上に形成された前記下層配線を、半導体素子を含む第2の半導体基板上に張り合わせることを特徴としている。

【0014】

本発明の半導体装置の製造方法の態様は、第1の半導体基板上に第1の誘電率を有する第1の絶縁膜を形成し、前記第1の絶縁膜内に上層配線層を形成し、第2の半導体基板上に前記第1の誘電率より低い第2の誘電率を有する第2の絶縁膜を形成し、前記第2の絶縁膜内に少なくとも下層配線層を形成し、前記第2の半導体基板上に形成された前記下層配線を、半導体素子を含む第3の半導体基板上に張り合わせ、前記第2の半導体基板を除去した後、前記第1の絶縁膜及び前記上層配線層を有する前記第1の半導体基板を前記第2の絶縁膜に張り合わせることを特徴としている。

【発明の効果】

【0015】

本発明によれば、半導体素子に近い下層の配線や低誘電率絶縁膜に対する機械的/熱的ストレスを抑えた半導体装置及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施の形態を詳細に説明する。

【0017】

(第1の実施形態)

図1は、第1の実施形態に係る半導体装置の構成を示している。この半導体装置は、例えば二つの半導体基板に形成された半導体装置と多層配線層を張り合わせて形成されている。すなわち、半導体基板11には、例えばMOSFET12と、MOSFET12を覆う絶縁膜13、この絶縁膜13内に形成され、MOSFET12の例えばソースに接続されたコンタクト14が形成されている。

【0018】

また、半導体基板(図示せず)には、第1の層間絶縁膜102、第2層間絶縁膜105、第3の層間絶縁膜107、第4の層間絶縁膜110、第5の層間絶縁膜112、第6の層間絶縁膜115、第7の層間絶縁膜117、第8の層間絶縁膜120、第9の層間絶縁膜122、拡散防止膜109、114、119、ボンディング電極104、最上層配線108、上層配線113、中間層配線118、下層配線123、接続プラグ106、ビアプラグ111、116、121が形成されている。第1、第2、第3、第4の層間絶縁膜102、105、107、110は、例えばシリコン酸化膜(SiO_2)により形成され、第5、第6、第7、第8、第9の層間絶縁膜112、115、117、120、122は、low-k膜例えばSiOC(炭素含有シリコン酸化膜)により形成されている。これら層間絶縁膜、配線、ビアプラグは、図示せぬ半導体基板に対して、第1の層間絶縁膜102から第9の層間絶縁膜122と下層配線123へと順次形成される。すなわち、図示せぬ半導体基板に対して、上層配線から下層配線へと、通常の製造順序とは逆の順序により形成される。

【0019】

このように形成された第1の基板の絶縁膜13及びコンタクト14の表面に、第2の基板の第9の層間絶縁膜122と下層配線123が張り合わされ、図1に示す構成とされている。

【0020】

10

20

30

40

50

上記のように、上層の絶縁膜、配線及びビアプラグを下層の絶縁膜、配線及びビアプラグより先に形成することにより、low-k膜により構成された下層の絶縁膜、及び上層の配線に比べて膜厚が薄く、幅が狭い下層配線に対する機械的、熱的ストレスを緩和することができる。

【0021】

次に、図2乃至図7を参照して、第1の実施形態に係る半導体装置の製造方法について説明する。図2乃至図7は、図1に示す第2の基板上に多層配線を形成する場合を示しており、Cu配線及びプラグをシングルダマシーン(single-Damascene)プロセスを用いて形成する場合を示している。

【0022】

尚、図1に示す第1の基板内における半導体装置の製造方法は、従来の製造方法と同様であるため説明は省略する。

【0023】

まず、図2に示すように、半導体基板101に対し絶縁分離層となる第1の層間絶縁膜102を堆積する。その後、ボンディング電極となる図示せぬ開口を設け、この開口に犠牲膜103を形成する。次いで、犠牲膜103上にボンディング電極金属となるAl膜104を形成し、電極の形に加工する。次いで、例えばSiO₂からなる第2の層間絶縁膜105を堆積し、平坦化処理を行う。

【0024】

次に、図3に示すように、第2の層間絶縁膜105内にボンディング電極金属104を露出する複数の開口105-1を形成する。この後、第2の層間絶縁膜105上及び開口105-1の底面及び側面に例えばタンタルからなるバリアメタル106-1を形成し、このバリアメタル106-1の上にCu膜106-2を形成する。バリアメタル106-1は、Cuの拡散を防止する。次いで、例えばCMP(Chemical Mechanical Polishing)により、第2の層間絶縁膜105上のCu膜106-2及びバリアメタル106-1を平坦化し、開口105-1内に接続プラグ106を形成する。この接続プラグ106は、開口105-1の底部と側面に形成されたバリアメタル106-1と、Cu膜106-2とにより構成されている。

【0025】

次いで、第2の層間絶縁膜105上の全面に、例えばSiO₂からなる第3の層間絶縁膜107を堆積する。この第3の層間絶縁膜107内に、図示せぬレジストをマスクとして、RIE(Reactive Ion Etching)により最上層配線を形成するための配線溝107-1を形成する。その後、第3の層間絶縁膜107上及び配線溝107-1の底面及び側面に例えばタンタルからなるバリアメタル108-1を形成し、このバリアメタル108-1の上にCu膜108-2を形成する。この後、例えばCMPにより、第3の層間絶縁膜107上のCu膜108-2及びバリアメタル108-1を平坦化し、配線溝107-1内に最上層配線108を形成する。この最上層配線108は、配線溝107-1の底部と側面に形成されたバリアメタル108-1とCu膜108-2とにより構成されている。この最上層配線108は、例えば電源線、データバス線、クロック線のようなチップ全体に配置された機能回路ブロック間の電気信号受け渡しを担うグローバル配線である。

【0026】

以下、同様にして、配線及びコンタクトが順次形成される。尚、以下の説明において、バリアメタルと配線、コンタクトの詳細な製造工程は省略する。

【0027】

図4に示すように、最上層配線108及び第3の層間絶縁膜107の上全面に最上層配線108のCuの拡散を防止する例えばSiCからなる拡散防止膜109を堆積する。その後、例えばSiO₂からなる第4の層間絶縁膜110を基板全面に堆積させる。第4の層間絶縁膜110と拡散防止膜109に開口を形成し、この開口内に最上層配線108と上層配線とを接続するビアプラグ111を形成する。このビアプラグ111は、バリアメタル111-1で底部及び側面が連続的に覆われたCu膜111-2により形成されてい

10

20

30

40

50

る。

【0028】

次いで、ビアプラグ111及び第4の層間絶縁膜110の上全面に第5の層間絶縁膜112を堆積する。この第5の層間絶縁膜112は、例えば無空孔のSiOCからなるlow-k膜である。この後、レジストをマスクとして、RIEにより上層配線を形成するための配線溝を形成する。この配線溝内に上層配線113を形成する。この上層配線は、バリアメタル113-1で底部及び側面が連続的に覆われたCu膜113-2により形成されている。上層配線113は、例えば制御信号やクロック分配支線、電源支線などの役割を担うセミグローバル配線である。

【0029】

次に、図5に示すように、上層配線113及び第5の層間絶縁膜112の上全面にCuの拡散を防止する例えばSiC膜からなる拡散防止膜114を堆積する。この拡散防止膜114の上に、例えば無空孔のSiOCからなるlow-k膜である第6の層間絶縁膜115を堆積する。次いで、第6の層間絶縁膜115と拡散防止膜114に開口をする。この開口内にビアプラグ116を形成する。このビアプラグ116は、バリアメタル116-1で底部及び側面が連続的に覆われたCu膜116-2により形成されている。

【0030】

次いで、第6の層間絶縁膜115とビアプラグ116の上全面に、例えば空孔率の大きいSiOCからなるlow-k膜である第7の層間絶縁膜117を堆積する。この後、レジストをマスクとして、RIEにより第7の層間絶縁膜117内に配線溝を形成する。この配線溝内に中間層配線118を形成する。この中間層配線118は、バリアメタル118-1で下方及び側面が連続的に覆われたCu膜118-2により構成されている。中間層配線118は、例えば単位回路ブロック内や隣接回路ブロック間を接続するインターメディアイト配線である。

【0031】

次に、図6に示すように、第7の層間絶縁膜117と中間層配線118の上にCuの拡散を防止する例えばSiC膜からなる拡散防止膜119を形成する。この拡散防止膜119の上に、例えば空孔率の大きいSiOCからなるlow-k膜である第8の層間絶縁膜120を堆積させる。第8の層間絶縁膜120と拡散防止膜119に開口を設け、この開口内にビアプラグ121を形成する。このビアプラグ121は、バリアメタル121-1

【0032】

次いで、第8の層間絶縁膜120とビアプラグ121の上全面に例えば空孔率の大きいSiOCからなるlow-k膜である第9の層間絶縁膜122を堆積する。この後、レジストをマスクとして、RIEにより第9の層間絶縁膜122内に配線溝を形成する。この配線溝内に下層配線123を形成する。この下層配線123は、バリアメタル123-1で底部及び側面が連続的に覆われたCu膜123-2により形成されている。下層配線123は、例えばトランジスタやメモリセル内を接続するローカル配線である。この後、前記第9の層間絶縁膜122及び下層配線123の表面は鏡面状に仕上げられる。

【0033】

次いで、図1に示すように、図2乃至図6で作製した多層配線が形成された半導体基板101とトランジスタが形成された半導体基板11とが貼り合わされる。すなわち、半導体基板101の上方に形成された下層配線金属123と、これとは別途形成された半導体基板11のコンタクト電極14とを接触させ貼り合わせる。

【0034】

その後、基板101、犠牲膜103を順次剥離することにより、図1に示すような、半導体素子からボンディング電極の開口した半導体装置が形成される。

【0035】

上記第1の実施形態によれば、従来とは逆に、上層、中層、下層の絶縁膜、配線及びビアプラグの順に形成している。このため、従来の製造方法により形成した場合、先に形成

10

20

30

40

50

した low - k 膜が後に形成される層間絶縁膜や配線の形成に係る CMP における機械的ストレスや、熱処理における熱ストレスを受けるが、上記第 1 の実施形態によれば、low - k 膜により構成された第 5 乃至第 9 の層間絶縁膜や、上層の配線に比べて膜厚が薄く、幅が狭い中間層配線 118、下層配線 123 は、シリコン酸化膜により形成された第 1 乃至第 4 の層間絶縁膜や、上層の配線より後に形成される。したがって、low - k 膜により構成された第 5 乃至第 9 の層間絶縁膜や、幅が狭い中間層配線 118、下層配線 123 に対する機械的、熱的ストレスを緩和することができる。

【0036】

(第 2 の実施形態)

図 7 乃至図 9 は、第 2 の実施形態を示している。

10

【0037】

第 1 の実施形態は、シングルダマシーン法で作製した下層、中間層、上層、最上層を含む 4 層配線の例であるが、図 7 に示すように、例えば最上層配線を 2 層 (108a 及び 108b)、上層配線を 4 層 (113a、113b、113c 及び 113d)、中間層配線を 4 層 (118a、118b、118c 及び 118d)、下層配線を 1 層 123 の計 11 層あるいは更に多層の半導体装置に上記製造方法を適用することも可能である。

【0038】

このように多層の配線を含む半導体装置を形成する場合、例えば low - k 膜を含む配線層と SiO₂ 膜を含む配線層とを別々の半導体基板に形成し、これらを張り合わせることも可能である。

20

【0039】

一般に low - k 膜は SiO₂ 膜に比べて歩留りが低い。このため、これらを一緒に形成した場合、例えば low - k 膜が剥がれて、それがウェハ表面に付着してスクラッチが生じたりする。即ち low - k 膜の歩留りが製品全体の歩留りに影響してしまう。

【0040】

そこで、第 2 の実施形態では、図 7 に示す半導体装置のうち low - k 膜を含む例えば下層及び中間層と、SiO₂ 膜を含む上層及び最上層とをそれぞれ別個に形成する。

【0041】

すなわち、図 8 に示すように、半導体基板 101 上に、第 1 の実施形態と同様に、図 7 に示す最上層の部分と、上層の部分形成する。また、図 9 に示すように、半導体基板 201 上に、図 7 に示す中間層の部分と下層の部分順次形成する。半導体基板 201 上にこのように形成された下層の部分と、図 7 に示すように、MOSFET が形成された半導体基板 11 に張り合わせる。その後、半導体基板 201 を除去し、中間層の部分に図 8 に示す半導体基板 101 に形成された上層の部分張り合わせる。その後、半導体基板 101 を除去した後、犠牲膜を除去して、図 7 に示す半導体装置を形成する。

30

【0042】

上記第 2 の実施形態によれば、low - k 膜を含む例えば下層と中間層と、SiO₂ 膜を含む上層と最上層をそれぞれ別の半導体基板上に製造し、これらを MOSFET が形成された半導体基板 11 に順次張り合わせている。このため、例えば low - k 膜を含む層を形成した後、これをスクリーニングして、良品のみを選択し、これを MOSFET が形成された半導体基板 11 と、SiO₂ 膜を含む層との間に張り合わせて最終的な製品を作製すれば、low - k 膜の歩留りの影響を除去することができ、製品全体としての歩留りを向上することが出来る。

40

【0043】

(第 3 の実施形態)

上記第 1、第 2 の実施形態は、配線及びプラグを別々に形成するシングルダマシーン法を用いた製造方法について説明した。しかし、これに限らず、デュアルダマシーン法を用いて形成することも可能である。

【0044】

図 10 は、第 3 の実施形態に係る半導体装置を示している。この半導体装置は、MOS

50

T E F を含む半導体基板 1 1 にデュアルダマシーン法を用いて形成した多層配線層を張り合わせた状態を示している。図 1 0 に示す半導体装置は、図 1 と同様に 4 層の配線層を有している。

【 0 0 4 5 】

各絶縁膜 2 0 2 - 2 0 5 には、配線及びプラグのための溝が一体的に形成され、この溝内に例えばタンタル等のバリアメタル 2 0 6 - 1 , 2 1 1 - 1 , 2 1 6 - 1 , 2 2 1 - 1 で覆われた配線及びプラグ 2 0 6 , 2 1 1 , 2 1 6 , 2 2 1 が一体的に形成されている。この多層配線の製造過程は、図 1 0 に示す形状を上下を逆とした状態でなされる。

【 0 0 4 6 】

上記のようにして形成された配線層は、半導体素子としての M O S F E T が形成された半導体基板に貼り合わせた状態において、プラグの上方がバリアメタルで塞がれている。

10

【 0 0 4 7 】

上記第 3 の実施形態によれば、デュアルダマシーン法を用いて最上層の配線及びビアプラグから形成し始めて下層の配線及びビアプラグを最後に形成し、この後、下層の配線を半導体素子としての M O S F E T が形成された半導体基板に張り合わせている。このため、シングルダマシーン法を用いて形成した第 1、第 2 の実施形態と同様に、low - k 膜により構成された層間絶縁膜や、幅が狭い中間層配線、下層配線に対する機械的、熱的ストレスを緩和することができる。

【 0 0 4 8 】

しかも、デュアルダマシーン法を用いて配線とビアプラグを同時に形成した場合、次のような効果を得ることができる。図 1 1 に示すように、デュアルダマシーン法を用いた従来の製造方法により図 1 0 と同様の半導体装置を形成した場合、例えばバリアメタル 3 1 1 - 1 は、配線 3 1 1 と、この配線 3 1 1 の下方に位置するビアプラグ 3 1 2 の底部及び側面に形成される。しかも、下層配線から上層配線に向かって配線の幅、膜厚が大きくなっている。上層配線のように、幅が広く、膜厚が厚い配線は、配線材料としての C u 膜内に多くの空孔を有している。このため、例えば最終的な熱処理において、配線 3 1 1 より下方に位置するビアプラグ 3 1 2 より、C u 元素が配線 3 1 1 に移動し、ビアプラグ 3 1 2 内にボイドが発生するおそれを有している。その他の層のプラグも同様にボイドが生じるおそれを有している。

20

【 0 0 4 9 】

これに対して、第 3 の実施形態の場合、図 1 0 に示すように、最終的に形成される半導体装置において、バリアメタル 2 1 1 - 1 は配線 2 1 2 と配線 2 1 2 上のビアプラグ 2 1 1 を一体的に覆っている。このため、例えば最終的な熱処理において、ビアプラグ 2 1 1 とその上方に位置する配線 2 0 6 との間にはバリアメタル 2 1 1 - 1 があるため、ビアプラグ 2 1 1 から上方の配線 2 0 6 へ C u 元素が移動することがない。しかも、ビアプラグ 2 1 1 の下の配線 2 1 2 は上層の配線 2 0 6 より幅が狭く膜厚も薄いため、下層の配線 2 1 2 内の空孔は上層の配線 2 0 6 より少ない。このため、ビアプラグ 2 1 1 から下層の配線 2 1 2 に移動する C u 元素はごく僅かである。したがって、ビアプラグ 2 1 1 内にボイドが発生することを防止できる。その他の層の配線とビアプラグとの構成も配線 2 1 2 とビアプラグ 2 1 1 と同様であるため、各層のビアプラグ内にボイドが発生することを防止

30

40

【 0 0 5 0 】

なお、上記各実施形態は、多層配線とビアプラグの形成について説明した。しかし、これに限らず、多層配線部分には配線のみではなく、キャパシタなどの機能素子を作製することも可能である。

【 0 0 5 1 】

その他、本発明の主旨を逸脱しない範囲で、種々変形実施可能なことは勿論である。

【 図面の簡単な説明 】

【 0 0 5 2 】

【 図 1 】 第 1 の実施形態に係る半導体装置を示す断面図。

50

- 【図2】図1に示す半導体装置の製造工程を示す断面図。
- 【図3】図2に続く製造工程を示す断面図。
- 【図4】図3に続く製造工程を示す断面図。
- 【図5】図4に続く製造工程を示す断面図。
- 【図6】図5に続く製造工程を示す断面図。
- 【図7】第2の実施形態に係る半導体装置の断面図。
- 【図8】図7に示す半導体装置の一部の製造工程を示す断面図。
- 【図9】図7に示す半導体装置の他の部分の製造工程を示す断面図。
- 【図10】第3の実施形態に係る半導体装置を示すものであり、デュアルダマシーン法を用いて製造された半導体装置の断面図。

10

20

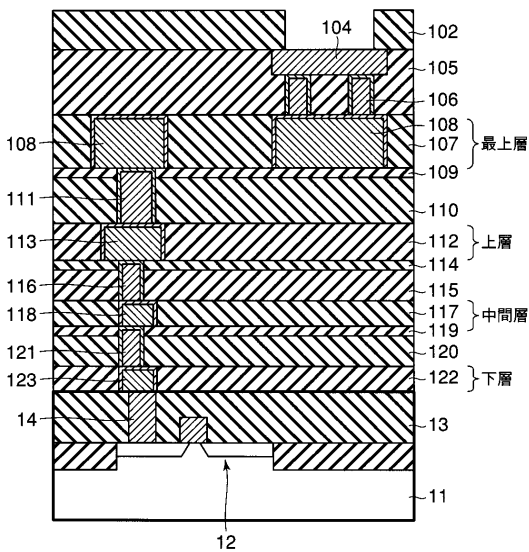
【符号の説明】

【0053】

101...基板、102...第1の層間絶縁膜、103...犠牲膜、104...ボンディング電極(A1)、105...第2層間絶縁膜、106...接続プラグ(Cu)、107...第3の層間絶縁膜、108...最上層配線(Cu)、109、114、119...拡散防止膜(SiC)、110...第4の層間絶縁膜、111、116、121...ビアプラグ(Cu)、112...第5の層間絶縁膜、113...上層配線(Cu)、115...第6の層間絶縁膜、117...第7の層間絶縁膜、118...中間層配線(Cu)、120...第8の層間絶縁膜、122...第9の層間絶縁膜、123...下層配線(Cu)、14...コンタクト電極、106-1、108-1、111-1、113-1、116-1、118-1、121-1、123-1、211-1、216-1、221-1、311-1、316-1、321-1...バリアメタル、211、216、221、311、316、321...配線及びビアプラグ(Cu)。

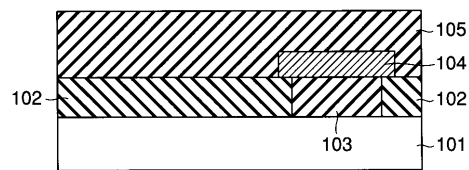
【図1】

図1



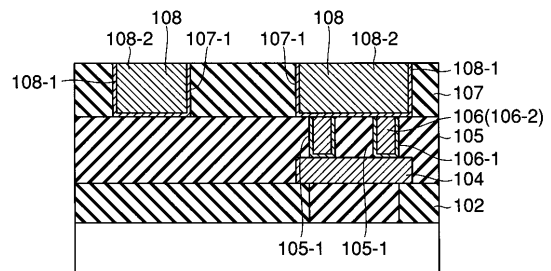
【図2】

図2



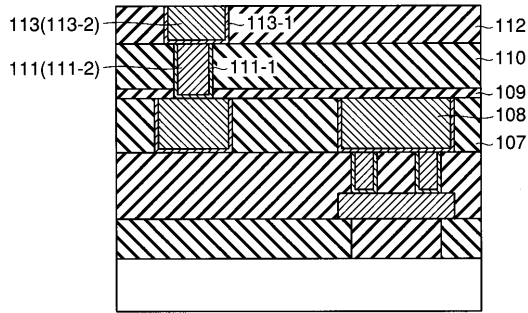
【図3】

図3



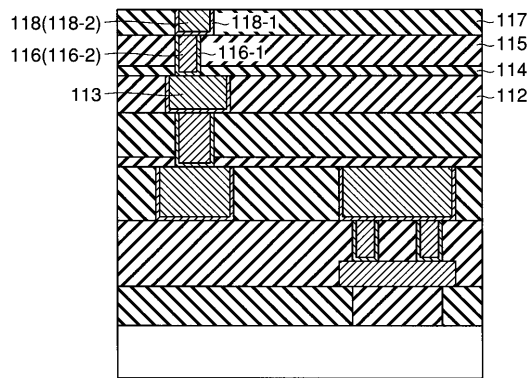
【 図 4 】

図 4



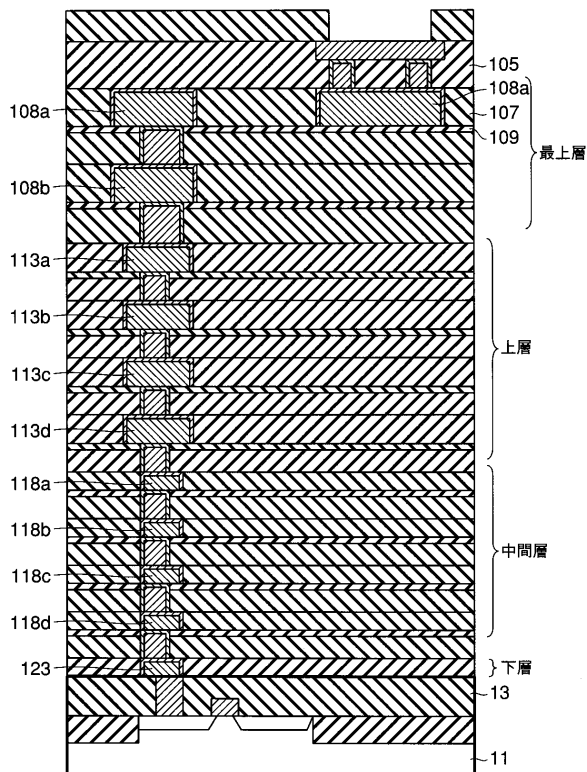
【 図 5 】

図 5



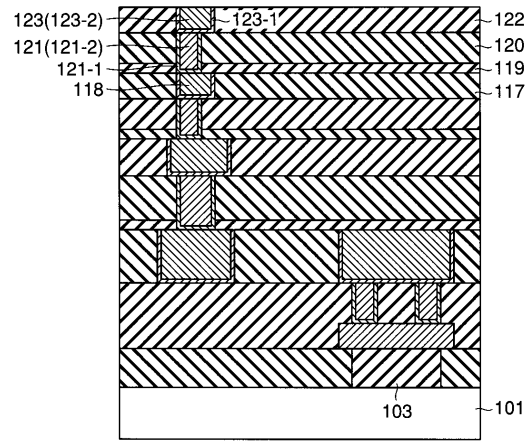
【 図 7 】

図 7



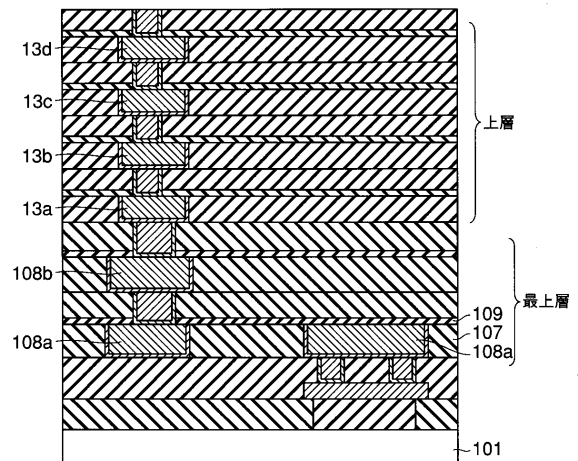
【 図 6 】

図 6



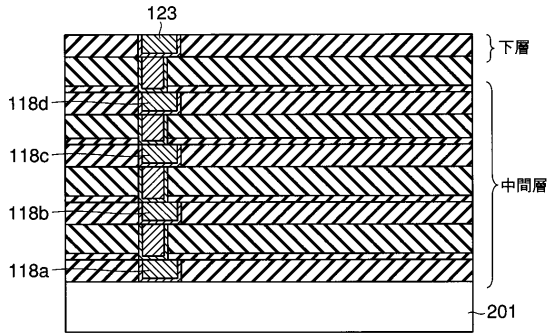
【 図 8 】

図 8



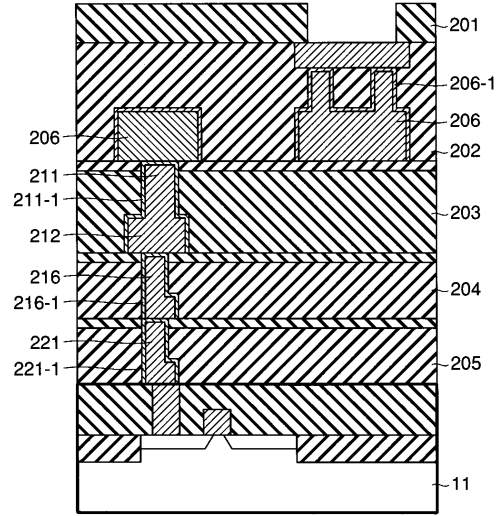
【 図 9 】

図 9



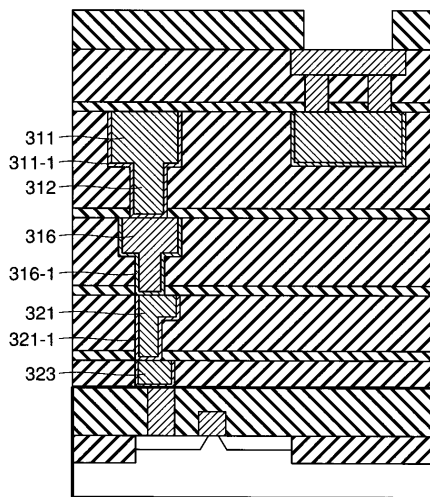
【 図 1 0 】

図 10



【 図 1 1 】

図 11



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山田 雅基

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F033 HH08 HH11 HH21 JJ11 JJ21 KK11 KK21 MM01 MM02 MM11
MM13 NN02 NN07 QQ00 QQ09 QQ13 QQ37 QQ48 RR01 RR04
VV04 VV07 XX01 XX19 XX24 XX28