

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月19日(19.10.2023)



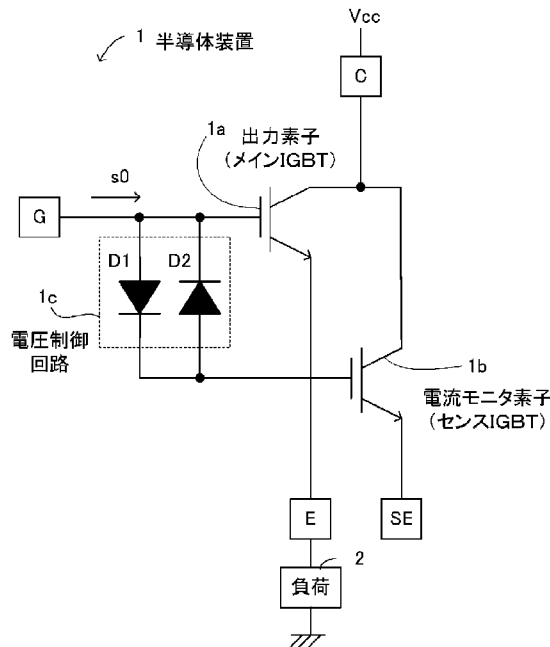
(10) 国際公開番号

WO 2023/199840 A1

- (51) 国際特許分類:
H02M 1/00 (2007.01) *H03K 17/00* (2006.01)
H02M 1/08 (2006.01) *H03K 17/08* (2006.01)
- (21) 国際出願番号: PCT/JP2023/014242
- (22) 国際出願日: 2023年4月6日(06.04.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-065091 2022年4月11日(11.04.2022) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 佐藤 茂樹 (SATO, Shigeki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人扶桑国際特許事務所 (FUSO INTERNATIONAL PATENT FIRM); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 5 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW,

(54) Title: SEMICONDUCTOR DEVICE AND OVERCURRENT PROTECTION DEVICE

(54) 発明の名称: 半導体装置および過電流保護装置



- 1 Semiconductor device
1a Output element (main IGBT)
1b Current monitoring element (sense IGBT)
1c Voltage control circuit
2 Load

(57) Abstract: The present invention suppresses oscillation in a sense current detection signal outputted from a power semiconductor element for current monitoring. A voltage control circuit (1c) includes a diode (D1) for charging a gate voltage to be applied to the gate of a current monitoring element (1b) and a diode (D2) for discharging the gate voltage, and controls the gate voltage for the current monitoring element (1b). The collector of an output element (1a) and the collector of the current monitoring element (1b) are connected to a supply voltage via a terminal (C). The emitter of the

MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

output element (1a) is connected to a load (2) via a terminal (E). The sense emitter of the current monitoring element (1b) is connected to a terminal (SE). The anode of the diode (D1) is connected to the gate of the output element (1a) and the cathode of the diode (D2). The cathode of the diode (D1) is connected to the anode of the diode (D2) and the gate of the current monitoring element (1b).

(57) 要約: 電流モニタ用パワー半導体素子から出力されるセンス電流の検出信号に生じるオシレーションを抑制する。電圧制御回路(1c)は、電流モニタ素子(1b)のゲートに印加するゲート電圧を充電するダイオード(D1)と、ゲート電圧を放電するダイオード(D2)とを含み、電流モニタ素子(1b)のゲート電圧を制御する。出力素子(1a)のコレクタおよび電流モニタ素子(1b)のコレクタは、端子(C)を介して電源電圧に接続される。出力素子(1a)のエミッタは、端子(E)を介して負荷(2)に接続される。電流モニタ素子(1b)のセンスエミッタは、端子(SE)に接続される。ダイオード(D1)のアノードは、出力素子(1a)のゲートおよびダイオード(D2)のカソードに接続され、ダイオード(D1)のカソードは、ダイオード(D2)のアノードおよび電流モニタ素子(1b)のゲートに接続される。

明 細 書

発明の名称：半導体装置および過電流保護装置

技術分野

[0001] 本発明は、半導体装置および過電流保護装置に関する。

背景技術

[0002] 近年、パワー半導体素子である I G B T (Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) の次世代技術として、シリコンカーバイド化合物半導体 (S i C : Silicon carbide) 素子、窒化ガリウム化合物半導体 (G a N) 素子等の次世代半導体素子の開発が進められている。

[0003] 関連技術としては、例えば、半導体素子のターンオンに応じてセンス電流の検出信号の過渡センス期間を検出し、過渡センス期間におけるセンス電流の検出信号にもとづいて、半導体素子の制御を行う技術が提案されている (特許文献 1)。また、センス I G B T セルのゲート電極に連なるオン側抵抗配線に正のゲート電圧に対して順方向に接続されたオン側ダイオードと、センス I G B T セルのオフ側抵抗配線に正のゲート電圧に対して逆方向に接続されたオフ側ダイオードとを含む半導体装置が提案されている (特許文献 2)。

先行技術文献

特許文献

[0004] 特許文献 1 : 国際公開第 2 0 1 8 / 2 1 1 8 4 0 号

特許文献 2 : 特開 2 0 1 9 - 1 4 9 5 5 8 号公報

発明の概要

発明が解決しようとする課題

[0005] I P S (Intelligent Power Switch) と呼ばれる半導体装置は、負荷作動用のパワー半導体素子であるメイン I G B T と、メイン I G B T を流れる電流に比例するセンス電流を流す電流モニタ用パワー半導体素子であるセンス I G B T とを備えている。また、I P S は、センス電流の検出信号 (センス

電流検出信号)により、メイン IGBT の過電流検出を行う過電流検出回路を備えている。

[0006] しかし、上記のような従来の I P S の構成では、センス電流検出信号の過渡的な立上りから立下りまでの期間（過渡センス期間）において、センス電流検出信号にオシレーション（oscillation）が生じる。この場合、例えば、定格を超えるような電圧値のオシレーションが生じると、過電流検出回路の誤動作や IGBT 等のデバイスの破壊等を引き起こす可能性があり、装置動作の信頼性が低下するという問題がある。

[0007] 1 つの側面では、本発明は、電流モニタ用パワー半導体素子から出力されるセンス電流の検出信号に生じるオシレーションの抑制を図った半導体装置および過電流保護装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するために、半導体装置が提供される。半導体装置は、出力素子、電流モニタ素子および電圧制御回路を有する。出力素子は、駆動信号にもとづきスイッチングして負荷を作動する。電流モニタ素子は、出力素子に流れる電流をモニタする。電圧制御回路は、電流モニタ素子のゲートに印加するゲート電圧を充電する第 1 のダイオードと、ゲート電圧を放電する第 2 のダイオードとを含み、ゲート電圧を制御する。

[0009] また、上記課題を解決するために、過電流保護装置が提供される。過電流保護装置は、出力素子、電流モニタ素子、電圧制御回路、制御回路、電流検出用抵抗および過電流検出回路を有する。出力素子は、電源端子を介して電源電圧に接続し、出力端子を介して負荷に接続して、駆動信号にもとづきスイッチングして負荷を作動する。電流モニタ素子は、出力素子に流れる電流をモニタする。電圧制御回路は、電流モニタ素子のゲートに印加するゲート電圧を充電する第 1 のダイオードと、ゲート電圧を放電する第 2 のダイオードとを含み、ゲート電圧を制御する。制御回路は、駆動信号を出力して出力素子のスイッチングを制御する。電流検出用抵抗は、電流モニタ素子から出力されるセンス電流を電圧のセンス電流検出信号として出力する。過電流検

出回路は、センス電流検出信号と基準電圧との比較により、出力素子の過電流状態を検出する。

発明の効果

[0010] 1 側面によれば、電流モニタ用パワー半導体素子から出力されるセンス電流の検出信号に生じるオーバーシュートを抑制することが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0011] [図1]半導体装置の一例を説明するための図である。

[図2]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図3]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図4]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図5]センス IGBT のセルフチャージを説明するための図である。

[図6]シミュレーション波形の一例を示す図である。

[図7]シミュレーション波形の一例を示す図である。

[図8]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図9]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図10]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図11]過電流保護回路を含む半導体装置の構成の一例を示す図である。

[図12]過電流保護装置の構成の一例を示す図である。

[図13]過電流保護装置の構成の一例を示す図である。

[図14]過電流保護装置の構成の一例を示す図である。

[図15]過電流保護装置の構成の一例を示す図である。

[図16]過電流保護装置の構成の一例を示す図である。

[図17]過電流保護装置の構成の一例を示す図である。

発明を実施するための形態

[0012] 以下、本実施の形態について図面を参照して説明する。なお、本明細書お

よび図面において実質的に同一の機能を有する要素については、同一の符号を付することにより重複説明を省略する場合がある。

[0013] 図1は半導体装置の一例を説明するための図である。半導体装置1は、出力素子1a、電流モニタ素子1bおよび電圧制御回路1cを備える。電圧制御回路1cは、電流モニタ素子1bのゲートに印加するゲート電圧を充電するダイオードD1（第1のダイオード）と、ゲート電圧を放電するダイオードD2（第2のダイオード）とを含み、電流モニタ素子1bのゲート電圧を制御する。

[0014] 出力素子1aおよび電流モニタ素子1bは、例えば、IGBT、IGBTとFWD（Free Wheeling Diode）を1チップ化したRC（Reverse Conducting）-IGBTである。または、SiCデバイスを使用してもよい。SiCデバイスには、SiC-MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）等がある。なお、以降の説明では、出力素子をメインIGBT、電流モニタ素子をセンスIGBTと呼ぶ。

[0015] メインIGBT1aのコレクタおよびセンスIGBT1bのコレクタは、端子Cを介して電源電圧Vccに接続される。メインIGBT1aのエミッタは、端子Eを介して負荷2に接続される。センスIGBT1bのセンスエミッタは、端子SEに接続される。

[0016] また、ダイオードD1のアノードは、端子G、メインIGBT1aのゲートおよびダイオードD2のカソードに接続され、ダイオードD1のカソードは、ダイオードD2のアノードおよびセンスIGBT1bのゲートに接続される。

[0017] ここで、メインIGBT1aは、駆動信号s0にもとづきスイッチングして負荷2を作動する。この場合、駆動信号s0によるメインIGBT1aのターンオンの指示があった場合、メインIGBT1aはターンオンして、メインIGBT1aは、コレクタからエミッタに向けて電流を流す。また、センスIGBT1bは、メインIGBT1aの電流モニタを行う素子であり、駆動信号s0によるメインIGBT1aのターンオンの指示があった場合、

メイン IGBT 1a を流れる電流に比例するセンス電流をコレクタからセンスエミッタに向けて流す。

[0018] 図2は過電流保護回路を含む半導体装置の構成の一例を示す図である。半導体装置1-1は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路1cおよび過電流保護回路10を備える。過電流保護回路10は、抵抗Rs（電流検出用抵抗）および過電流検出回路11を含む。抵抗Rsの一端は、センス IGBT 1bのセンスエミッタおよび過電流検出回路11の入力端に接続され、抵抗Rsの他端は、メイン IGBT 1aのエミッタおよび負荷2に接続される。

[0019] 抵抗Rsの一端からは、センス IGBT 1bから出力されるセンス電流が電圧に変換されたセンス電流検出信号Vsenseが出力される。また、過電流検出回路11は、センス電流検出信号Vsenseと基準電圧との比較により、メイン IGBT 1aの過電流状態を検出する。

[0020] 上記のような半導体装置1-1では、メイン IGBT 1aのゲートと、センス IGBT 1bのゲートとが電圧制御回路1cを介して接続される構成を有している。これにより、後述するセルフチャージの影響を低減することができ、センス電流検出信号Vsenseの過渡センス期間において、センス電流検出信号Vsenseに生じるオシレーションを抑制することが可能になる。

[0021] 図3は過電流保護回路を含む半導体装置の構成の一例を示す図である。半導体装置1-1aは、メイン IGBT 1a、センス IGBT 1b、電圧制御回路1c1および過電流保護回路10を備える。電圧制御回路1c1は、ダイオードD1、D1a、D2を含む。ダイオードD1aのアノードは、ダイオードD1のカソードに接続され、ダイオードD1aのカソードは、ダイオードD2のアノードおよびセンス IGBT 1bのゲートに接続される。

[0022] このように、半導体装置1-1aは、ダイオードD1にダイオードD1aを直列に接続した構成であり、その他の構成は図2と同じである。なお、図3の例ではダイオードD1aを追加して充電側のダイオードを直列2段の構

成にしたが、直列３段以上の構成にして直列段数を増加させてもよい。

[0023] 上記のような半導体装置１－１aでは、メインＩＧＢＴ１aのゲートと、センスＩＧＢＴ１bのゲートとが電圧制御回路１c１を介して接続される構成を有している。これにより、後述するセルフチャージの影響を低減することができ、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。

[0024] 図４は過電流保護回路を含む半導体装置の構成の一例を示す図である。半導体装置１－２は、メインＩＧＢＴ１a、センスＩＧＢＴ１b、電圧制御回路１c－２および過電流保護回路１０を備える。電圧制御回路１c－２は、ダイオード D_1 、 D_2 およびキャパシタンス C_0 を含む。

[0025] キャパシタンス C_0 の一端は、ダイオード D_1 のカソード、ダイオード D_2 のアノードおよびセンスＩＧＢＴ１bのゲートに接続され、キャパシタンス C_0 の他端は、メインＩＧＢＴ１aのエミッタに接続される。その他の構成は図２と同じである。

[0026] 上記のような半導体装置１－２では、メインＩＧＢＴ１aのゲートと、センスＩＧＢＴ１bのゲートとが電圧制御回路１c－２を介して接続される構成を有している。これにより、後述するセルフチャージの影響を低減することができ、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。

[0027] <センスＩＧＢＴのセルフチャージ>

図５はセンスＩＧＢＴのセルフチャージを説明するための図である。ＩＧＢＴのようなパワー半導体素子では、ＩＧＢＴのオン時にセルフチャージと呼ばれる現象が生じる。

[0028] セルフチャージは、ＩＧＢＴのコレクタから注入されるホールがトレンチ部の周りにあるゲート酸化膜をチャージして、ゲート電圧を持ち上げるという現象である。

セルフチャージが発生すると、ゲートドライバから出力される駆動信号 s_0 の充電 chg_0 によるゲート電圧の上昇だけでなく、セルフチャージの充電 chg_1 によるゲート電圧の上昇も生じることになる。

[0029] また、通常は、メイン IGBT 1a のチップ面積よりもセンス IGBT 1b のチップ面積の方が小さい。このように、メイン IGBT 1a のチップ面積とセンス IGBT 1b のチップ面積とには大小関係があるため、メイン IGBT 1a の寄生 GE（ゲート-エミッタ）間容量と、センス IGBT 1b の寄生 GE 間容量とが異なる。

[0030] このため、駆動信号 s_0 によるメイン IGBT 1a のターンオンの指示があった場合、センス IGBT 1b の方がメイン IGBT 1a よりも早く充電を完了してオンを開始するので、センス IGBT 1b の方がメイン IGBT 1a よりもオンする順番が先になる。これにより、センス IGBT 1b は、IGBT 周辺の配線経路上の物理的な差異による起電力の影響をメイン IGBT 1a よりも第一番に受けてしまう。

[0031] このように、センス IGBT 1b では、セルフチャージの充電 chg_1 によるゲート電圧の上昇がメイン IGBT 1a よりも先に現れることになる。このため、センス IGBT 1b のセンスエミッタから流れるセンス電流にもとづいて出力されるセンス電流検出信号 V_{sense} には、過渡センス期間において、セルフチャージの充電 chg_1 によって波形が持ち上がるオシレーションが生じることになる。

[0032] また、オシレーションの電圧レベルが高いと、上述のように、過電流検出回路の誤動作や IGBT 等のデバイスの破壊等を引き起こす可能性がある。本発明では、このような点に鑑みて、センス IGBT のゲートに双方向ダイオード（ダイオード D1、D2）を含む電圧制御回路を接続する構成にしてオシレーションの抑制を図るものである。

[0033] <シミュレーション波形>

図6はシミュレーション波形の一例を示す図である。縦軸はセンス電流検出信号 V_{sense} の電圧（V）および横軸は時間（s）である。

[0034] 〔波形k 1〕 電圧制御回路を有していない半導体装置（従来装置）のセンス電流検出信号 V_{sense} の波形である。メインIGBT1aとセンスIGBT1bがオンした場合、センス電流検出信号 V_{sense} が出力される。

[0035] 〔波形k 2〕 電圧制御回路1cを有している半導体装置1-1（図2）のセンス電流検出信号 V_{sense} の波形である。半導体装置1-1では、ダイオードD1の順方向電圧降下を利用して、セルフチャージの影響を抑制しており、センスIGBT1bのゲート電圧 V_f を低下させて、センス電流検出信号 V_{sense} のオシレーションを低下させている。

[0036] 〔波形k 3〕 電圧制御回路1c1を有している半導体装置1-1a（図3）のセンス電流検出信号 V_{sense} の波形である。半導体装置1-1aでは、上述のように、ダイオードD1にダイオードD1aを直列に接続した構成であり、充電側のダイオードに対して直列段数を2段にしているものである。直列段数を増加させることで、半導体装置1-1よりも順方向電圧 V_f をより低下させることができるので、センスIGBT1bのゲート電圧をさらに低下させることができる。このため、センス電流検出信号 V_{sense} のオシレーションがさらに低下している。

[0037] このように、本発明の構成により、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。

[0038] 図7はシミュレーション波形の一例を示す図である。縦軸はセンス電流検出信号 V_{sense} の電圧（V）および横軸は時間（s）である。

 〔波形k 1 1〕 電圧制御回路を有していない半導体装置（従来装置）のセンス電流検出信号 V_{sense} の波形である。メインIGBT1aとセンスIGBT1bがオンした場合、センス電流検出信号 V_{sense} が出力される。

[0039] 〔波形k 1 2〕 電圧制御回路1cを有している半導体装置1-1（図2）のセンス電流検出信号 V_{sense} の波形である。半導体装置1-1では、

ダイオードD 1の順方向電圧降下を利用して、センスIGBT 1bのゲート電圧を低下させて、センス電流検出信号V senseのオシレーションを低下させる。

[0040] 〔波形k 1 3〕電圧制御回路1 c-2を有している半導体装置1-2（図4）のセンス電流検出信号V senseの波形である。半導体装置1-2では、上述のように、ダイオードD 1、D 2に加えてキャパシタンスC 0を有した構成である。

[0041] ここで、時刻t 1でセンスIGBT 1bがターンオンした場合、センス電流検出信号V senseには電圧の跳ね上がり（オーバーシュート）が生じる。このため、半導体装置1-2では、キャパシタンスC 0を設けることで、キャパシタンスC 0がセンスIGBT 1bのゲートに蓄積するセルフチャージによる電荷をメインIGBT 1aのエミッタへ転送している。

[0042] これにより、半導体装置1-2では、センス電流検出信号V senseのオシレーションの低下、さらにはセンスIGBT 1bのターンオン時におけるゲート電圧の跳ね上がりも抑制することができる。

[0043] <変形例>

図8は過電流保護回路を含む半導体装置の構成の一例を示す図である。半導体装置1-3は、メインIGBT 1a、センスIGBT 1b、電圧制御回路1 c-3および過電流保護回路1 0を備える。電圧制御回路1 c-3は、ダイオードD 1、D 2および抵抗R 1（第1の抵抗）、R 2（第2の抵抗）を含む。抵抗R 1、R 2は分圧回路を構成している。

[0044] メインIGBT 1aのコレクタおよびセンスIGBT 1bのコレクタは、端子Cを介して電源電圧V ccに接続される。メインIGBT 1aのエミッタは、端子Eを介して負荷2に接続される。

[0045] メインIGBT 1aのゲートは、端子G、ダイオードD 1のアノード、ダイオードD 2のカソードおよび抵抗R 1の一端に接続される。センスIGBT 1bのゲートは、ダイオードD 1のカソード、ダイオードD 2のアノード、抵抗R 1の他端および抵抗R 2の一端に接続される。抵抗R 2の他端は、

センス IGBT 1b のセンスエミッタおよび端子 S E に接続される。

[0046] また、過電流保護回路 10 は、抵抗 R_s （電流検出用抵抗）および過電流検出回路 11 を含む。抵抗 R_s の一端は、センス IGBT 1b のセンスエミッタ、抵抗 R_2 の他端および過電流検出回路 11 の入力端に接続され、抵抗 R_s の他端は、メイン IGBT 1a のエミッタおよび負荷 2 に接続される。

[0047] 上記のような半導体装置 1-3 では、電圧制御回路 1c-3 において、ダイオード D1、D2 を含む双方向ダイオードがメイン IGBT 1a のゲートとセンス IGBT 1b のゲートとの間に配置され、さらにメイン IGBT 1a のゲート電圧を分圧して、分圧した電圧をセンス IGBT 1b のゲートに印加する抵抗 R_1 、 R_2 を有している。

[0048] このような半導体装置 1-3 の構成においても、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。また、分圧抵抗によってセンス IGBT 1b のゲート電圧を低減できるため、ダイオード D1 による順方向電圧降下を補ってさらにセンス IGBT 1b のゲート電圧を低減することができ、セルフチャージの影響を効率よく抑制することが可能になる。

[0049] 図 9 は過電流保護回路を含む半導体装置の構成の一例を示す図である。半導体装置 1-4 は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路 1c-4 および過電流保護回路 10 を備える。電圧制御回路 1c-4 は、ダイオード D1、D2、抵抗 R_1 、 R_2 およびキャパシタンス C_0 を含む。

[0050] キャパシタンス C_0 の一端は、ダイオード D1 のカソード、ダイオード D2 のアノード、抵抗 R_1 の他端、抵抗 R_2 の一端およびセンス IGBT 1b のゲートに接続される。キャパシタンス C_0 の他端は、抵抗 R_2 の他端およびセンス IGBT 1b のセンスエミッタに接続される。その他の構成は図 8 と同じである。

[0051] 上記のような半導体装置 1-4 では、電圧制御回路 1c-4 において、ダイオード D1、D2 を含む双方向ダイオードがメイン IGBT 1a のゲートとセンス IGBT 1b のゲートとの間に配置され、またメイン IGBT 1a

のゲート電圧を分圧して、分圧した電圧をセンス IGBT 1b のゲートに印加する抵抗 R1、R2 を有している。さらにセンス IGBT 1b のゲートとセンスエミッタとの間にキャパシタンス C0 が配置されている。

[0052] このような半導体装置 1-4 の構成においても、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。また、分圧抵抗によってセンス IGBT 1b のゲート電圧を低減できるため、ダイオード D1 による順方向電圧降下を補ってさらにセンス IGBT 1b のゲート電圧を低減することができる。さらにキャパシタンス C0 によってセルフチャージによる電荷をセンスエミッタ側に転送する効果も有している。

[0053] 図 10 は過電流保護回路を含む半導体装置の構成の一例を示す図である。半導体装置 1-5 は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路 1c-5 および過電流保護回路 10 を備える。電圧制御回路 1c-5 は、ダイオード D1、D2 および抵抗 R3 を含む。

[0054] 抵抗 R3 の一端は、ダイオード D1 のカソード、ダイオード D2 のアノードおよびセンス IGBT 1b のゲートに接続される。抵抗 R3 の他端は、センス IGBT 1b のセンスエミッタに接続される。その他の構成は図 2 と同じである。

[0055] 上記のような半導体装置 1-5 では、電圧制御回路 1c-5 において、ダイオード D1、D2 を含む双方向ダイオードがメイン IGBT 1a のゲートとセンス IGBT 1b のゲートとの間に配置され、またセンス IGBT 1b のゲートとセンスエミッタとの間に抵抗 R3 が配置されている。

[0056] このような半導体装置 1-5 の構成においても、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。また、順方向電圧 V_f の降下分低下した電圧が抵抗 R3 によってさらに低下するので、ダイオード D1 による順方向電圧降下を補ってさらにセンス IGBT 1b のゲート電圧を低減することができ、セルフチャージの影響を抑制することが可能になる。

[0057] 図 1 1 は過電流保護回路を含む半導体装置の構成の一例を示す図である。

半導体装置 1-6 は、メイン IGBT 1 a、センス IGBT 1 b、電圧制御回路 1 c-6 および過電流保護回路 1 0 を備える。電圧制御回路 1 c-6 は、ダイオード D 1、D 2、抵抗 R 3 およびキャパシタンス C 0 を含む。

[0058] キャパシタンス C 0 の一端は、ダイオード D 1 のカソード、ダイオード D 2 のアノード、抵抗 R 3 の一端およびセンス IGBT 1 b のゲートに接続される。キャパシタンス C 0 の他端は、抵抗 R 3 の他端およびセンス IGBT 1 b のセンスエミッタに接続される。その他の構成は図 1 0 と同じである。

[0059] 上記のような半導体装置 1-6 では、電圧制御回路 1 c-6 において、ダイオード D 1、D 2 を含む双方向ダイオードがメイン IGBT 1 a のゲートとセンス IGBT 1 b のゲートとの間に配置され、またセンス IGBT 1 b のゲートとセンスエミッタとの間に抵抗 R 3 が配置されている。さらにセンス IGBT 1 b のゲートとセンスエミッタとの間にキャパシタンス C 0 が配置されている。

[0060] このような半導体装置 1-6 の構成においても、センス電流検出信号 V_{sense} の過渡センス期間において、センス電流検出信号 V_{sense} に生じるオシレーションを抑制することが可能になる。また、順方向電圧 V_f の降下分低下した電圧が抵抗 R 3 によってさらに低下するので、ダイオード D 1 による順方向電圧降下を補ってさらにセンス IGBT 1 b のゲート電圧を低減することができる。さらにキャパシタンス C 0 によってセルフチャージによる電荷をセンスエミッタ側に転送する効果も有している。

[0061] <過電流保護装置>

以下、本発明の半導体装置が適用される過電流保護装置について説明する。図 1 2 は過電流保護装置の構成の一例を示す図である。過電流保護装置 1 0-1 は、入力端子 I N、出力端子 O U T、電源端子 V T および接地端子 G N D を備える。

[0062] 入力端子 I N には、マイコン等から出力されるパルス状の制御信号が入力される。出力端子 O U T には負荷 2 が接続される。電源端子 V T には電源電

圧 V_{cc} が接続され、接地端子 GND にはグラウンド(GND)が接続される。

[0063] また、過電流保護装置10-1は、メインIGBT1a、センスIGBT1b、電圧制御回路1c、抵抗 R_s 、過電流検出回路11および制御回路12を備える。制御回路12は、論理回路12aおよびゲートドライバ12bを含む。

[0064] 論理回路12aは、入力端子INを通じて入力された制御信号を受信してメインIGBT1aをオンまたはオフさせる論理信号を生成する。ゲートドライバ12bは、論理回路12aから出力された論理信号にもとづいて、メインIGBT1aをオンまたはオフする駆動信号 s_0 を生成してメインIGBT1aのゲートに印加する。

[0065] 抵抗 R_s は、センスIGBT1bのセンスエミッタおよびメインIGBT1aのエミッタの間に接続され、センスエミッタから流れ出るセンス電流が抵抗 R_s を流れることで生じる電位を検出する。それにより、センス電流がセンス電流検出信号 V_{sense} として検出される。

[0066] 過電流検出回路11は、センス電流検出信号 V_{sense} と基準電圧との比較によりメインIGBT1aが過電流状態であるか否かを検出し、過電流状態を検出した場合には過電流検出信号 s_1 を出力する。論理回路12aは、過電流検出信号 s_1 を検出すると、メインIGBT1aをオフさせる。

[0067] このように、図2の半導体装置1-1の構成を有する過電流保護装置10-1は、センス電流検出信号 V_{sense} のオシレーションを抑制することができるので、オシレーションによる過電流検出回路11の誤動作を防止して高精度の過電流検出・保護を行うことが可能になる。なお、図には示していないが、図3で上述したように充電側のダイオードD1を直列多段の構成にしてもよい。

[0068] 図13は過電流保護装置の構成の一例を示す図である。過電流保護装置10-2は、メインIGBT1a、センスIGBT1b、電圧制御回路1c-2、抵抗 R_s 、過電流検出回路11および制御回路12を備える。過電流保

護装置 10-2 は、図 4 の半導体装置 1-2 を適用したものである。過電流保護装置 10-2 においても、センス電流検出信号 V_{sense} のオシレーションを抑制することができ、オシレーションによる過電流検出回路 11 の誤動作を防止して高精度の過電流検出・保護を行うことが可能になる。

[0069] 図 14 は過電流保護装置の構成の一例を示す図である。過電流保護装置 10-3 は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路 1c-3、抵抗 R_s 、過電流検出回路 11 および制御回路 12 を備える。過電流保護装置 10-3 は、図 8 の半導体装置 1-3 を適用したものである。過電流保護装置 10-3 においても、センス電流検出信号 V_{sense} のオシレーションを抑制することができ、オシレーションによる過電流検出回路 11 の誤動作を防止して高精度の過電流検出・保護を行うことが可能になる。

[0070] 図 15 は過電流保護装置の構成の一例を示す図である。過電流保護装置 10-4 は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路 1c-4、抵抗 R_s 、過電流検出回路 11 および制御回路 12 を備える。過電流保護装置 10-4 は、図 9 の半導体装置 1-4 を適用したものである。過電流保護装置 10-4 においても、センス電流検出信号 V_{sense} のオシレーションを抑制することができ、オシレーションによる過電流検出回路 11 の誤動作を防止して高精度の過電流検出・保護を行うことが可能になる。

[0071] 図 16 は過電流保護装置の構成の一例を示す図である。過電流保護装置 10-5 は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路 1c-5、抵抗 R_s 、過電流検出回路 11 および制御回路 12 を備える。過電流保護装置 10-5 は、図 10 の半導体装置 1-5 を適用したものである。過電流保護装置 10-5 においても、センス電流検出信号 V_{sense} のオシレーションを抑制することができ、オシレーションによる過電流検出回路 11 の誤動作を防止して高精度の過電流検出・保護を行うことが可能になる。

[0072] 図 17 は過電流保護装置の構成の一例を示す図である。過電流保護装置 10-6 は、メイン IGBT 1a、センス IGBT 1b、電圧制御回路 1c-6、抵抗 R_s 、過電流検出回路 11 および制御回路 12 を備える。過電流保

護装置 10-6 は、図 11 の半導体装置 1-6 を適用したものである。過電流保護装置 10-6 においても、センス電流検出信号 V_{sense} のオシレーションを抑制することができ、オシレーションによる過電流検出回路 11 の誤動作を防止して高精度の過電流検出・保護を行うことが可能になる。

[0073] 以上説明したように、本発明によれば、電流モニタ用パワー半導体素子から出力されるセンス電流検出信号に生じるオシレーションを抑制することが可能になる。また、素子数の少ない受動部品によって効果的にオシレーションを抑制することができるので、オシレーションを検出制御するための複雑な回路が不要であり、回路規模の増大を抑制するという効果も奏する。

[0074] 以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。さらに、前述した実施の形態のうちの任意の 2 以上の構成（特徴）を組み合わせたものであってもよい。

[0075] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0076]
- 1 半導体装置
 - 1 a 出力素子（メイン IGBT）
 - 1 b 電流モニタ素子（センス IGBT）
 - 1 c 電圧制御回路
 - D 1 第 1 のダイオード
 - D 2 第 2 のダイオード
 - 2 負荷
 - s 0 駆動信号
 - G 出力素子のゲートに接続される端子

- C 出力素子および電流モニタ素子のコレクタに接続される端子
- E 出力素子のエミッタに接続される端子
- S E 電流モニタ素子のセンスエミッタに接続される端子

請求の範囲

- [請求項1] 駆動信号にもとづきスイッチングして負荷を作動する出力素子と、
前記出力素子に流れる電流をモニタする電流モニタ素子と、
前記電流モニタ素子のゲートに印加するゲート電圧を充電する第1のダイオードと、前記ゲート電圧を放電する第2のダイオードとを含み、前記ゲート電圧を制御する電圧制御回路と、
を有する半導体装置。
- [請求項2] 前記第1のダイオードのアノードは、前記出力素子のゲートおよび前記第2のダイオードのカソードに接続され、前記第1のダイオードのカソードは、前記第2のダイオードのアノードおよび前記電流モニタ素子のゲートに接続される、
請求項1記載の半導体装置。
- [請求項3] 前記出力素子および前記電流モニタ素子は、パワー半導体素子であり、IGBT (Insulated Gate Bipolar Transistor)、RC (Reverse Conducting) - IGBT、SiC (Silicon carbide) デバイスのうちの1つである、
請求項1記載の半導体装置。
- [請求項4] 前記電流モニタ素子から出力されるセンス電流を電圧のセンス電流検出信号として出力する電流検出用抵抗と、前記センス電流検出信号と基準電圧との比較により、前記出力素子の過電流状態を検出する過電流検出回路とをさらに有する、
請求項1記載の半導体装置。
- [請求項5] 前記電流モニタ素子のセンスエミッタは、前記電流検出用抵抗の一端および前記過電流検出回路の入力端に接続され、
前記出力素子のコレクタは、前記電流モニタ素子のコレクタおよび電源電圧に接続され、
前記出力素子のエミッタは、前記電流検出用抵抗の他端および前記負荷に接続される、

請求項4記載の半導体装置。

[請求項6] 前記電圧制御回路に含まれる前記第1のダイオードは、複数のダイオードが直列接続されて形成される、

請求項1記載の半導体装置。

[請求項7] 前記電圧制御回路は、キャパシタンスをさらに有し、前記キャパシタンスの一端は、前記第1のダイオードのカソード、前記第2のダイオードのアノードおよび前記電流モニタ素子のゲートに接続され、前記キャパシタンスの他端は、前記出力素子のエミッタに接続される、

請求項2記載の半導体装置。

[請求項8] 前記電圧制御回路は、第1の抵抗と第2の抵抗と含む分圧回路をさらに有し、前記第1の抵抗の一端は、前記第1のダイオードのアノード、前記第2のダイオードのカソードおよび前記出力素子のゲートに接続され、前記第1の抵抗の他端は、前記第1のダイオードのカソード、前記第2のダイオードのアノード、前記第2の抵抗の一端および前記電流モニタ素子のゲートに接続され、前記第2の抵抗の他端は、前記電流モニタ素子のセンスエミッタに接続される、

請求項2記載の半導体装置。

[請求項9] 前記電圧制御回路は、キャパシタンスをさらに有し、前記キャパシタンスの一端は、前記第1のダイオードのカソード、前記第2のダイオードのアノード、前記第1の抵抗の他端および前記電流モニタ素子のゲートに接続され、前記キャパシタンスの他端は、前記第2の抵抗の他端および前記電流モニタ素子のセンスエミッタに接続される、

請求項8記載の半導体装置。

[請求項10] 前記電圧制御回路は、抵抗をさらに有し、前記抵抗の一端は、前記第1のダイオードのカソード、前記第2のダイオードのアノードおよび前記電流モニタ素子のゲートに接続され、前記抵抗の他端は、前記電流モニタ素子のセンスエミッタに接続される、

請求項2記載の半導体装置。

[請求項11] 前記電圧制御回路は、キャパシタンスをさらに有し、前記キャパシタンスの一端は、前記第1のダイオードのカソード、前記第2のダイオードのアノード、前記抵抗の一端および前記電流モニタ素子のゲートに接続され、前記キャパシタンスの他端は、前記抵抗の他端および前記電流モニタ素子のセンスエミッタに接続される、

請求項10記載の半導体装置。

[請求項12] 電源端子を介して電源電圧に接続し、出力端子を介して負荷に接続して、駆動信号にもとづきスイッチングして前記負荷を作動する出力素子と、

前記出力素子に流れる電流をモニタする電流モニタ素子と、

前記電流モニタ素子のゲートに印加するゲート電圧を充電する第1のダイオードと、前記ゲート電圧を放電する第2のダイオードとを含み、前記ゲート電圧を制御する電圧制御回路と、

前記駆動信号を出力して前記出力素子のスイッチングを制御する制御回路と、

前記電流モニタ素子から出力されるセンス電流を電圧のセンス電流検出信号として出力する電流検出用抵抗と、

前記センス電流検出信号と基準電圧との比較により、前記出力素子の過電流状態を検出する過電流検出回路と、

を有する過電流保護装置。

[請求項13] 前記第1のダイオードのアノードは、前記出力素子のゲートおよび前記第2のダイオードのカソードに接続され、前記第1のダイオードのカソードは、前記第2のダイオードのアノードおよび前記電流モニタ素子のゲートに接続される、

請求項12記載の過電流保護装置。

[請求項14] 前記電流モニタ素子のセンスエミッタは、前記電流検出用抵抗の一端および前記過電流検出回路の入力端に接続され、

前記出力素子のコレクタは、前記電流モニタ素子のコレクタおよび

前記電源電圧に接続され、

前記出力素子のエミッタは、前記電流検出用抵抗の他端および前記負荷に接続される、

請求項 1 2 記載の過電流保護装置。

[請求項15] 前記電圧制御回路に含まれる前記第 1 のダイオードは、複数のダイオードが直列接続されて形成される、

請求項 1 2 記載の過電流保護装置。

[請求項16] 前記電圧制御回路は、キャパシタンスをさらに有し、前記キャパシタンスの一端は、前記第 1 のダイオードのカソード、前記第 2 のダイオードのアノードおよび前記電流モニタ素子のゲートに接続され、前記キャパシタンスの他端は、前記出力素子のエミッタに接続される、

請求項 1 3 記載の過電流保護装置。

[請求項17] 前記電圧制御回路は、第 1 の抵抗と第 2 の抵抗と含む分圧回路をさらに有し、前記第 1 の抵抗の一端は、前記第 1 のダイオードのアノード、前記第 2 のダイオードのカソードおよび前記出力素子のゲートに接続され、前記第 1 の抵抗の他端は、前記第 1 のダイオードのカソード、前記第 2 のダイオードのアノード、前記第 2 の抵抗の一端および前記電流モニタ素子のゲートに接続され、前記第 2 の抵抗の他端は、前記電流モニタ素子のセンスエミッタに接続される、

請求項 1 3 記載の過電流保護装置。

[請求項18] 前記電圧制御回路は、キャパシタンスをさらに有し、前記キャパシタンスの一端は、前記第 1 のダイオードのカソード、前記第 2 のダイオードのアノード、前記第 1 の抵抗の他端および前記電流モニタ素子のゲートに接続され、前記キャパシタンスの他端は、前記第 2 の抵抗の他端および前記電流モニタ素子のセンスエミッタに接続される、

請求項 1 7 記載の過電流保護装置。

[請求項19] 前記電圧制御回路は、抵抗をさらに有し、前記抵抗の一端は、前記第 1 のダイオードのカソード、前記第 2 のダイオードのアノードおよ

び前記電流モニタ素子のゲートに接続され、前記抵抗の他端は、前記電流モニタ素子のセンスエミッタに接続される、

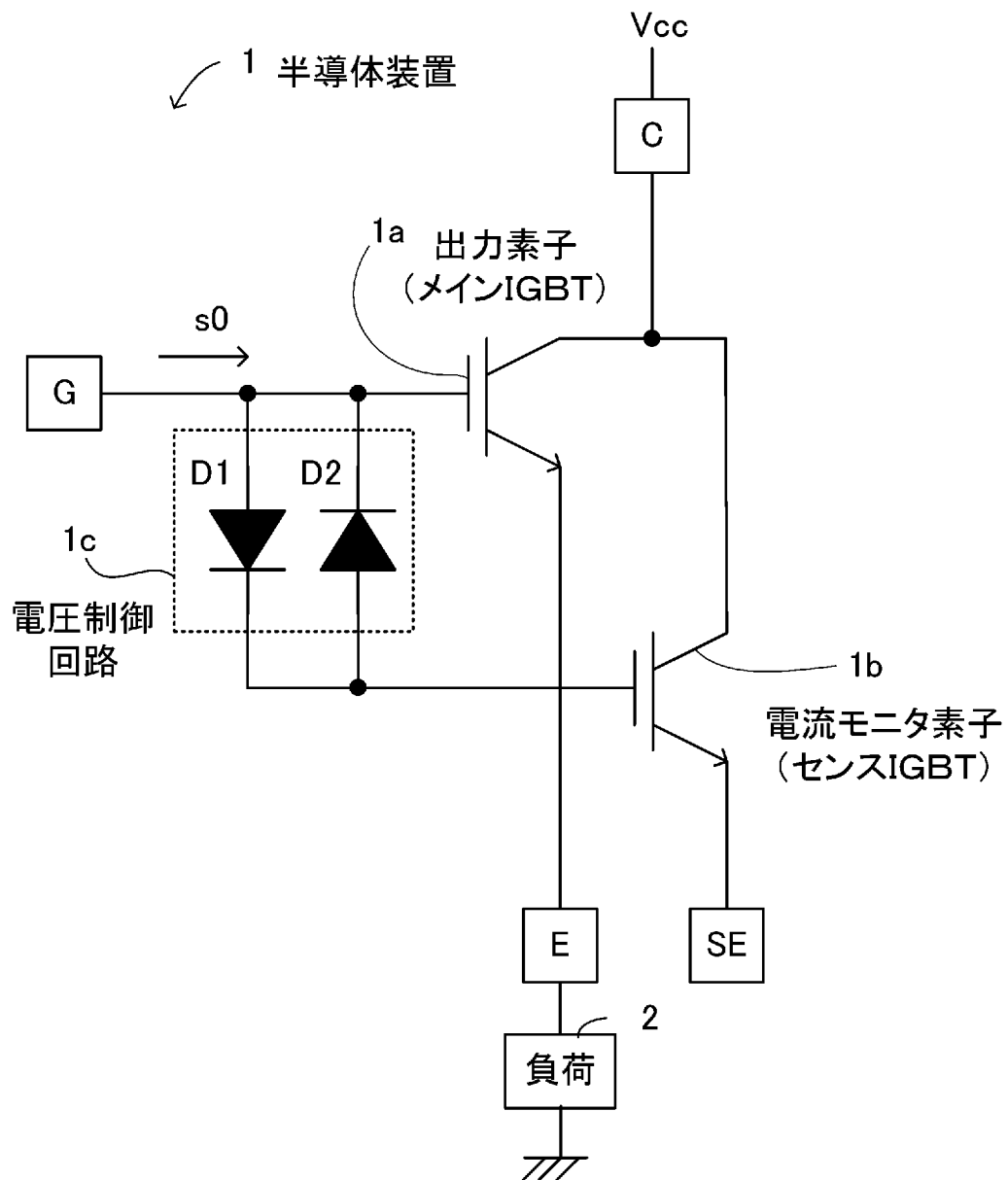
請求項 13 記載の過電流保護装置。

[請求項20]

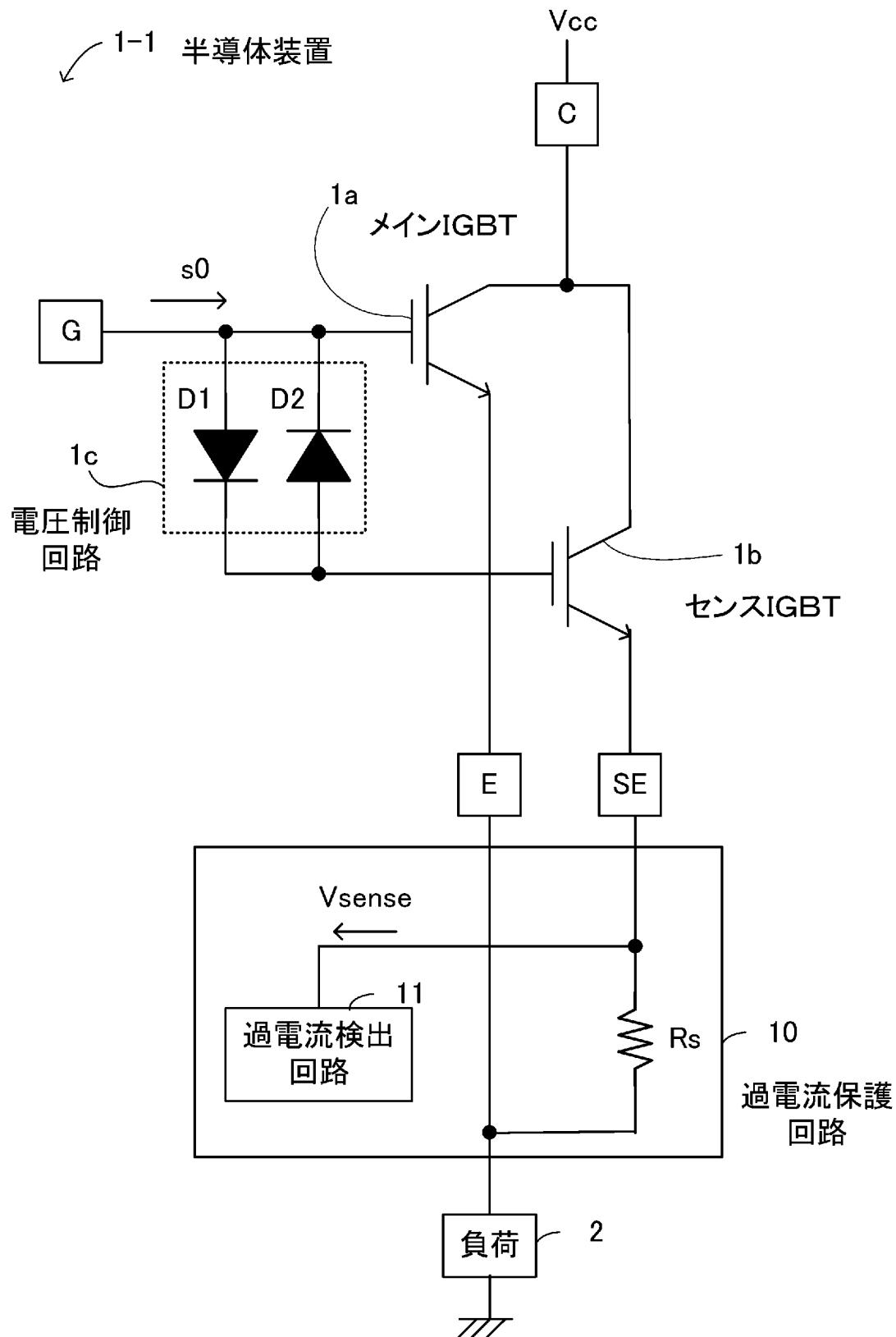
前記電圧制御回路は、キャパシタンスをさらに有し、前記キャパシタンスの一端は、前記第1のダイオードのカソード、前記第2のダイオードのアノード、前記抵抗の一端および前記電流モニタ素子のゲートに接続され、前記キャパシタンスの他端は、前記抵抗の他端および前記電流モニタ素子のセンスエミッタに接続される、

請求項 19 記載の過電流保護装置。

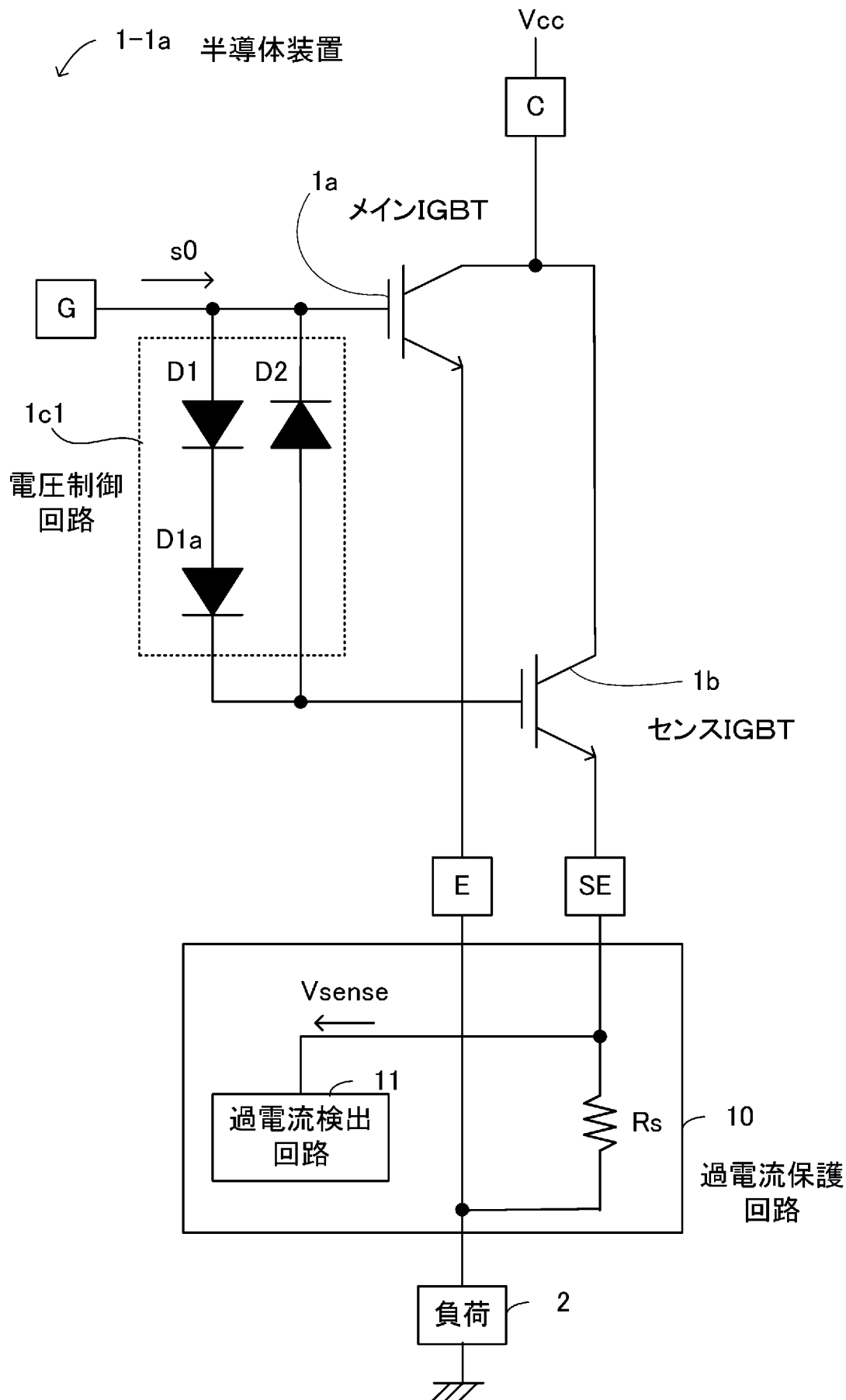
[図1]



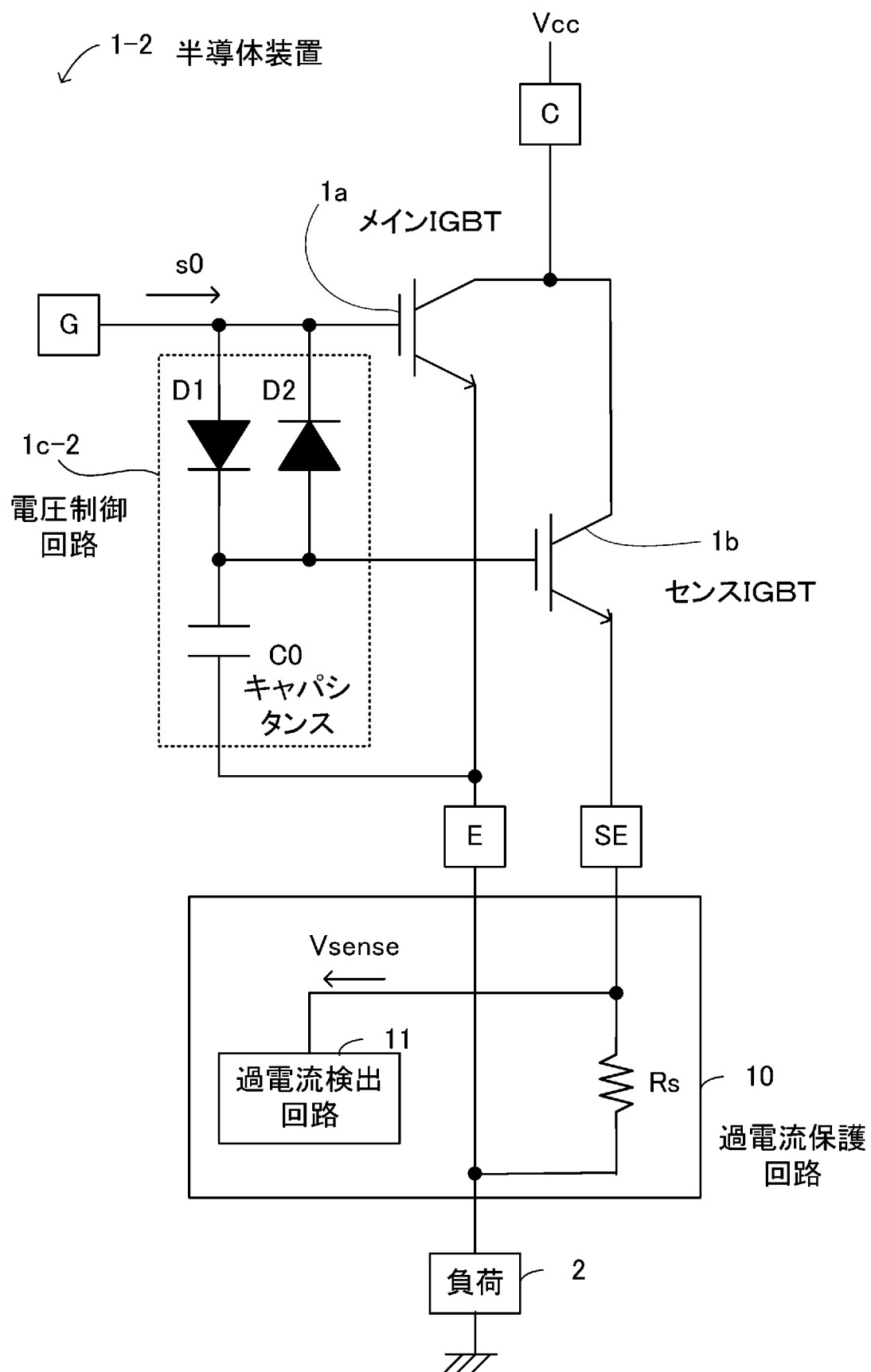
[図2]



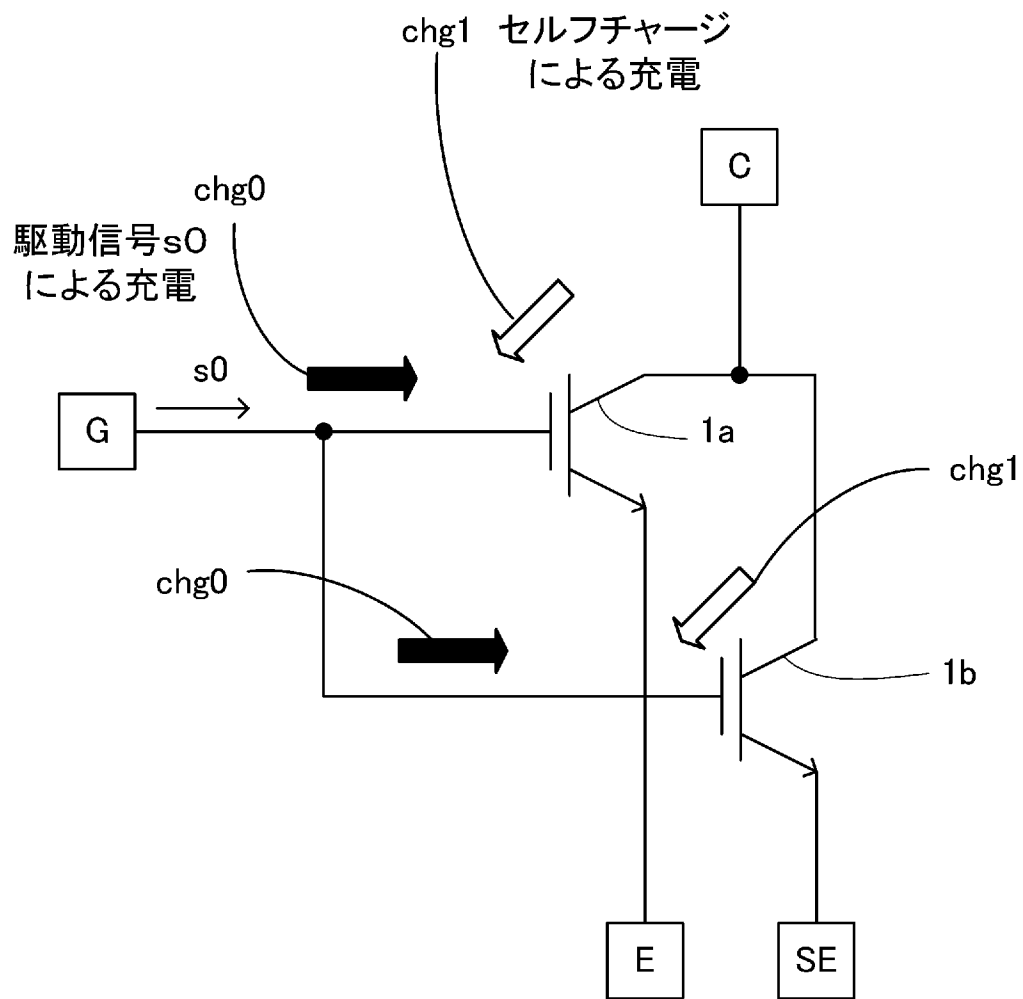
[図3]



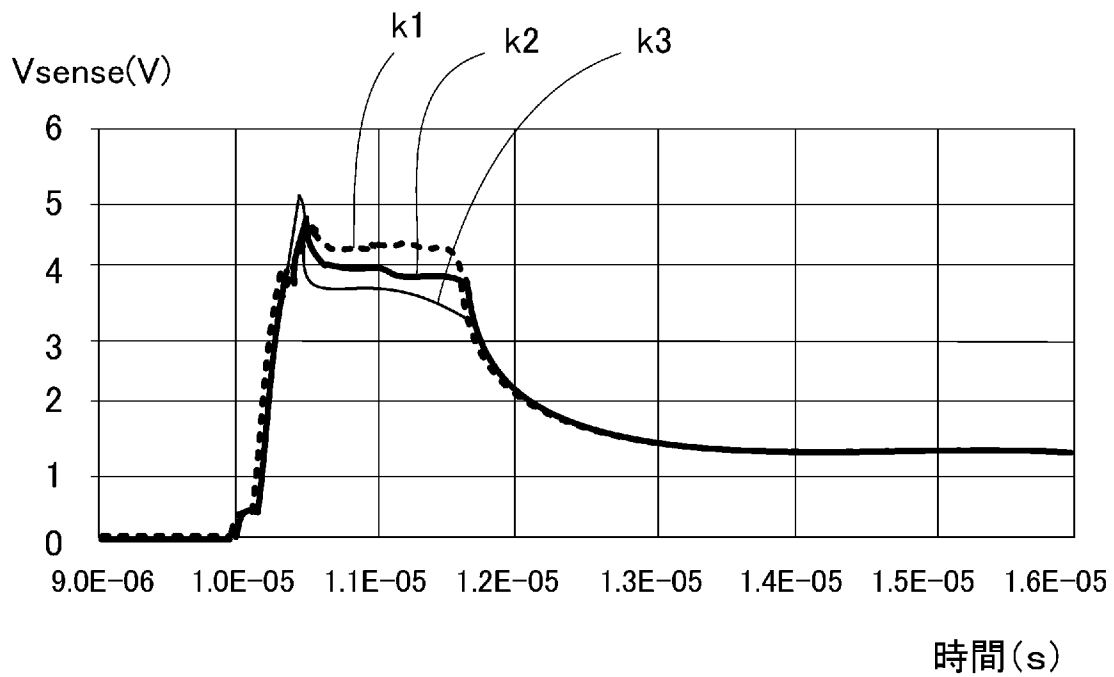
1-2 半導體裝置



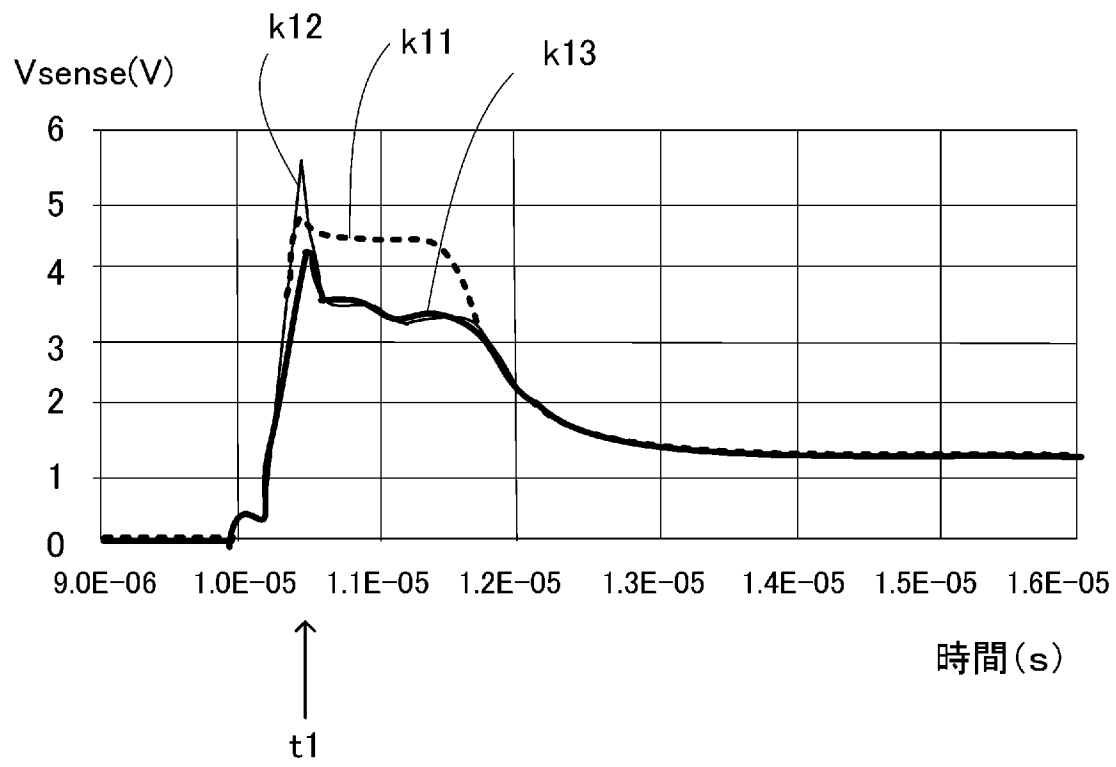
[図5]



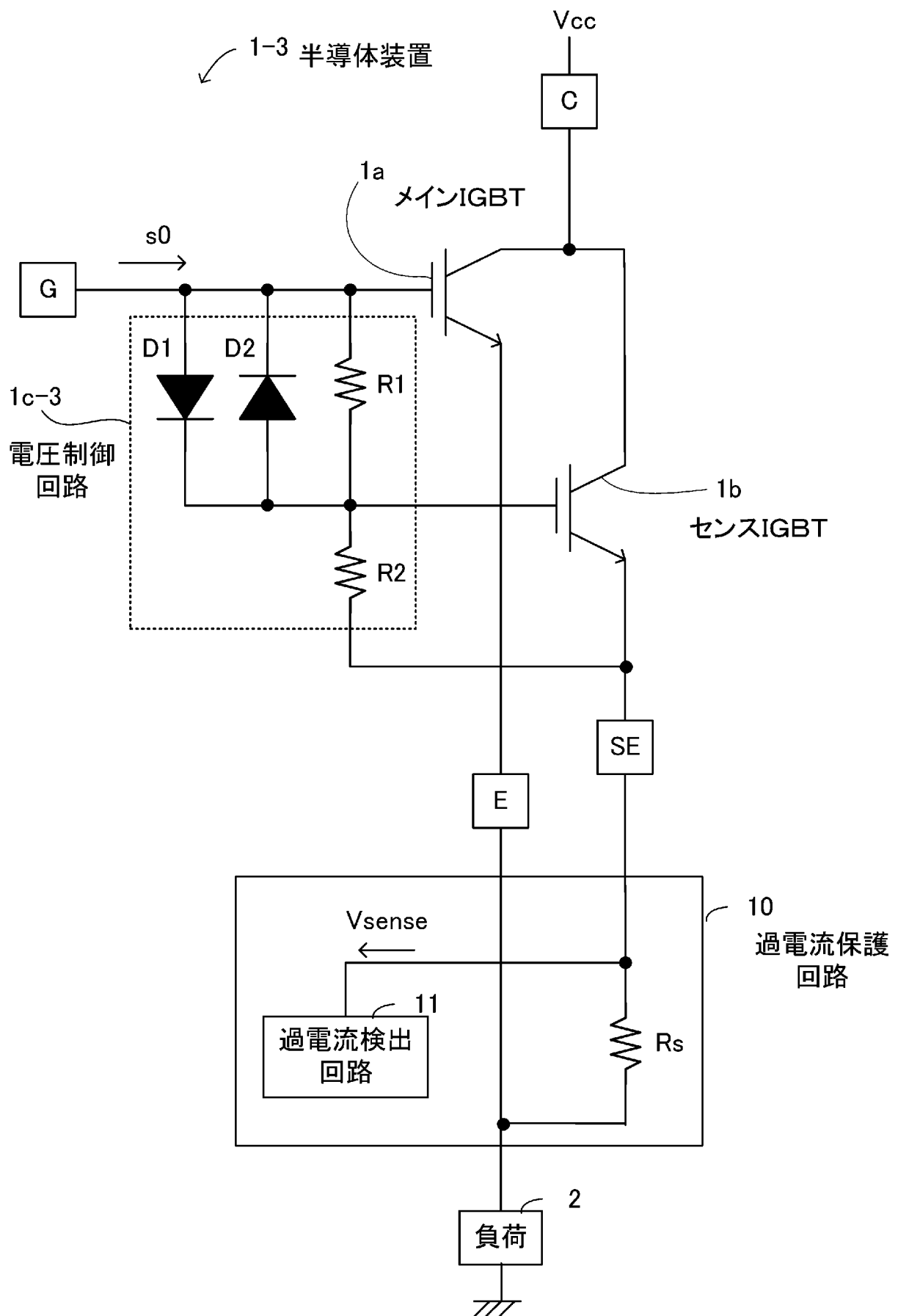
[図6]



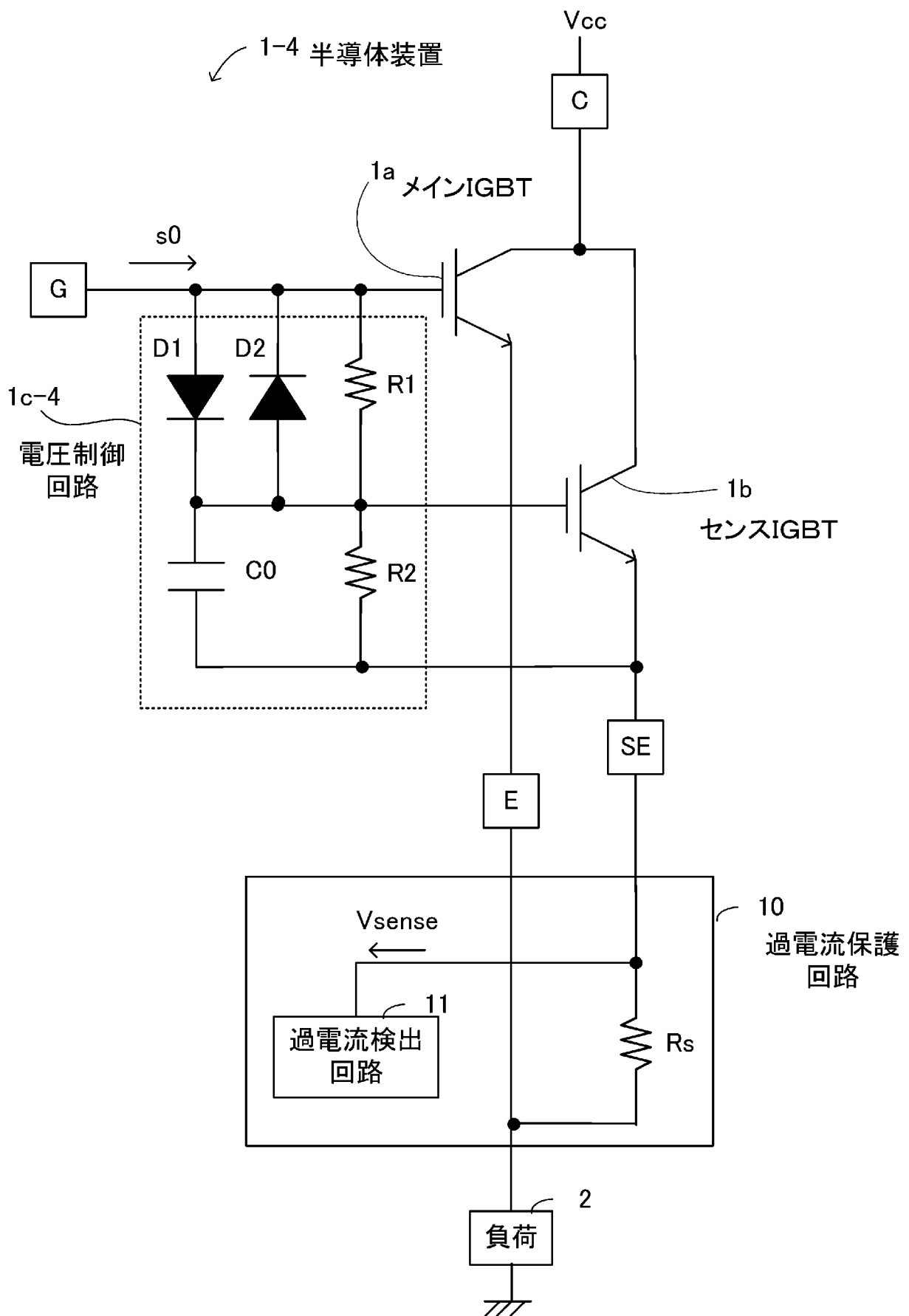
[図7]

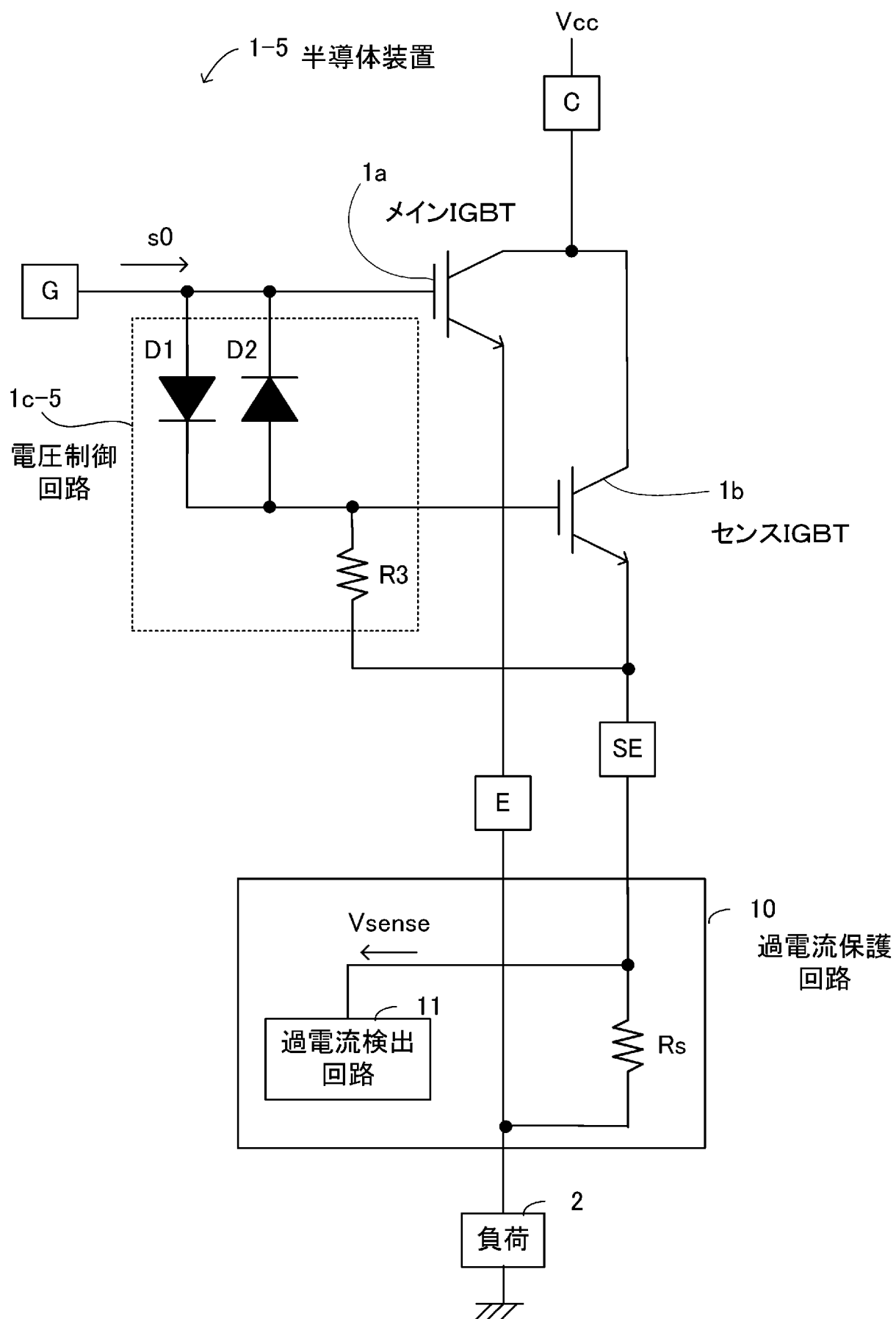


[図8]

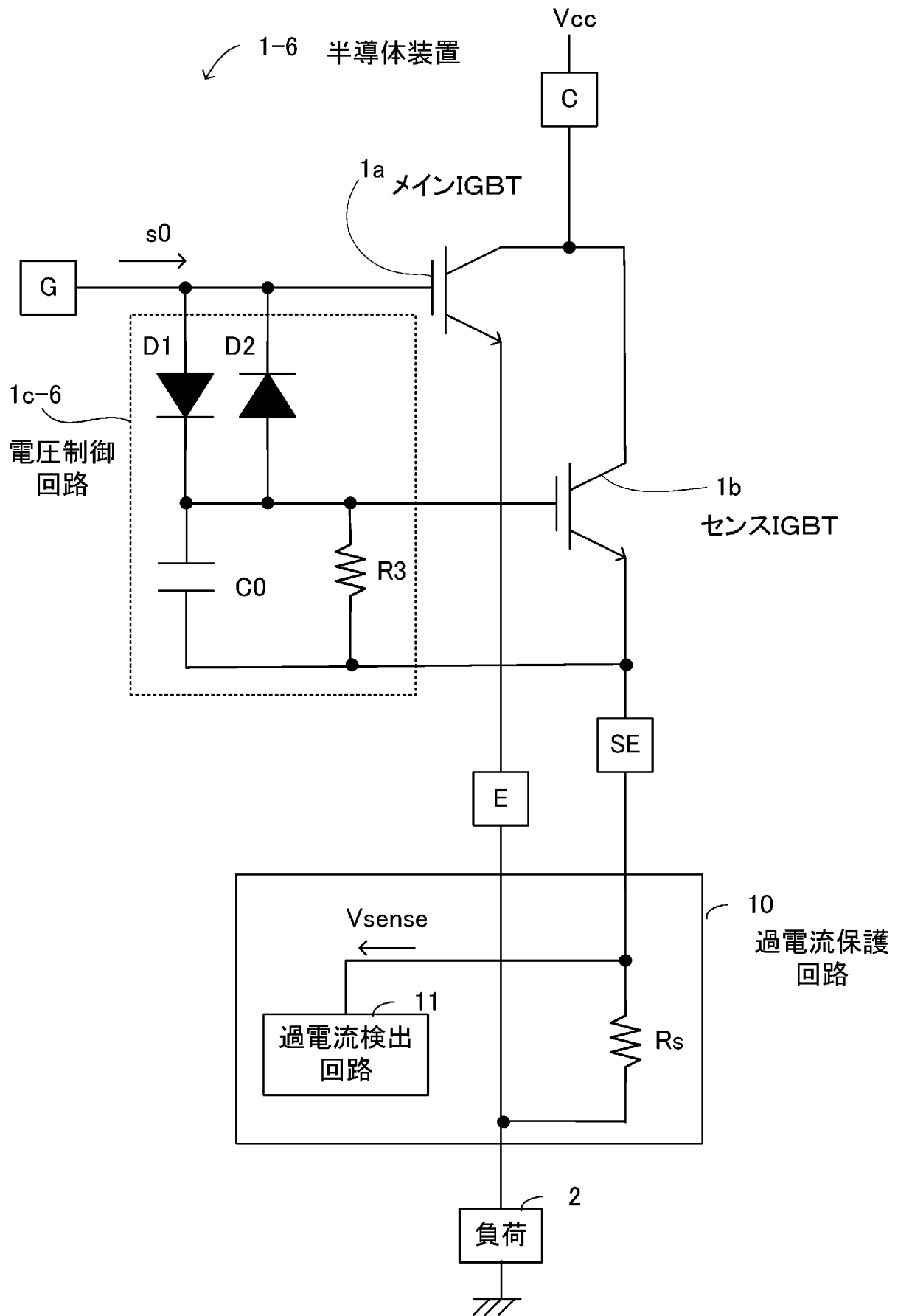


[図9]

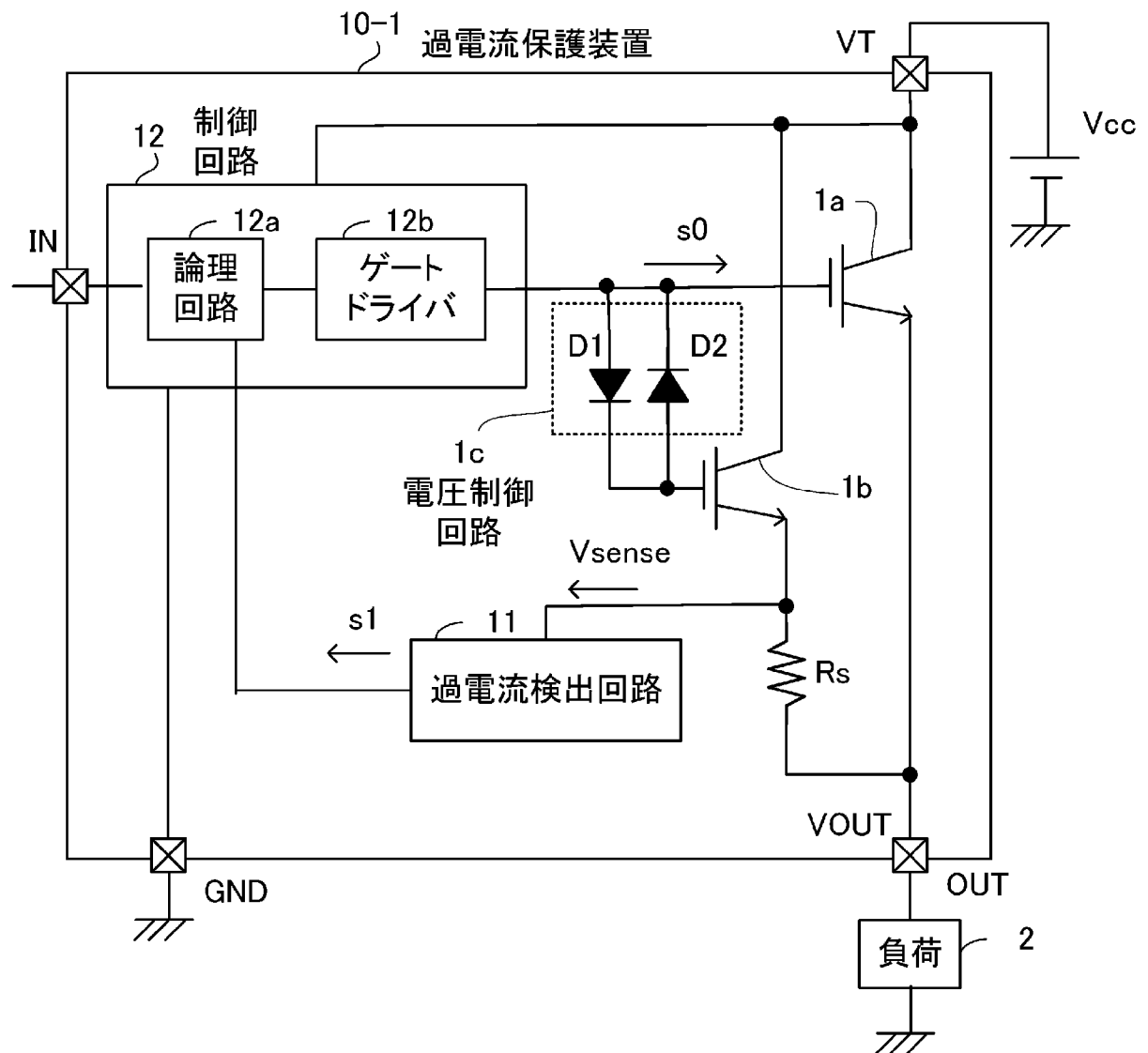




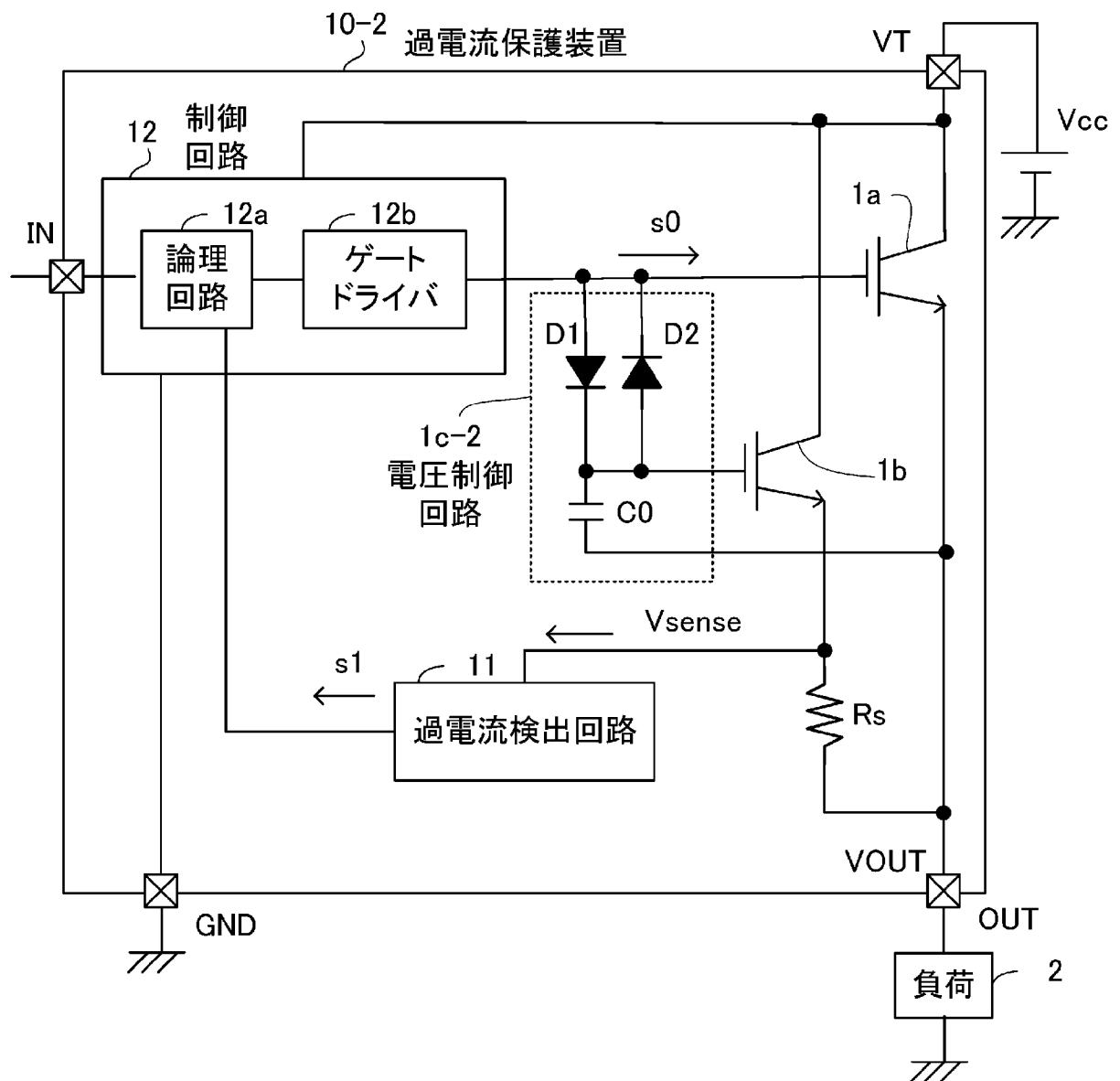
[図11]



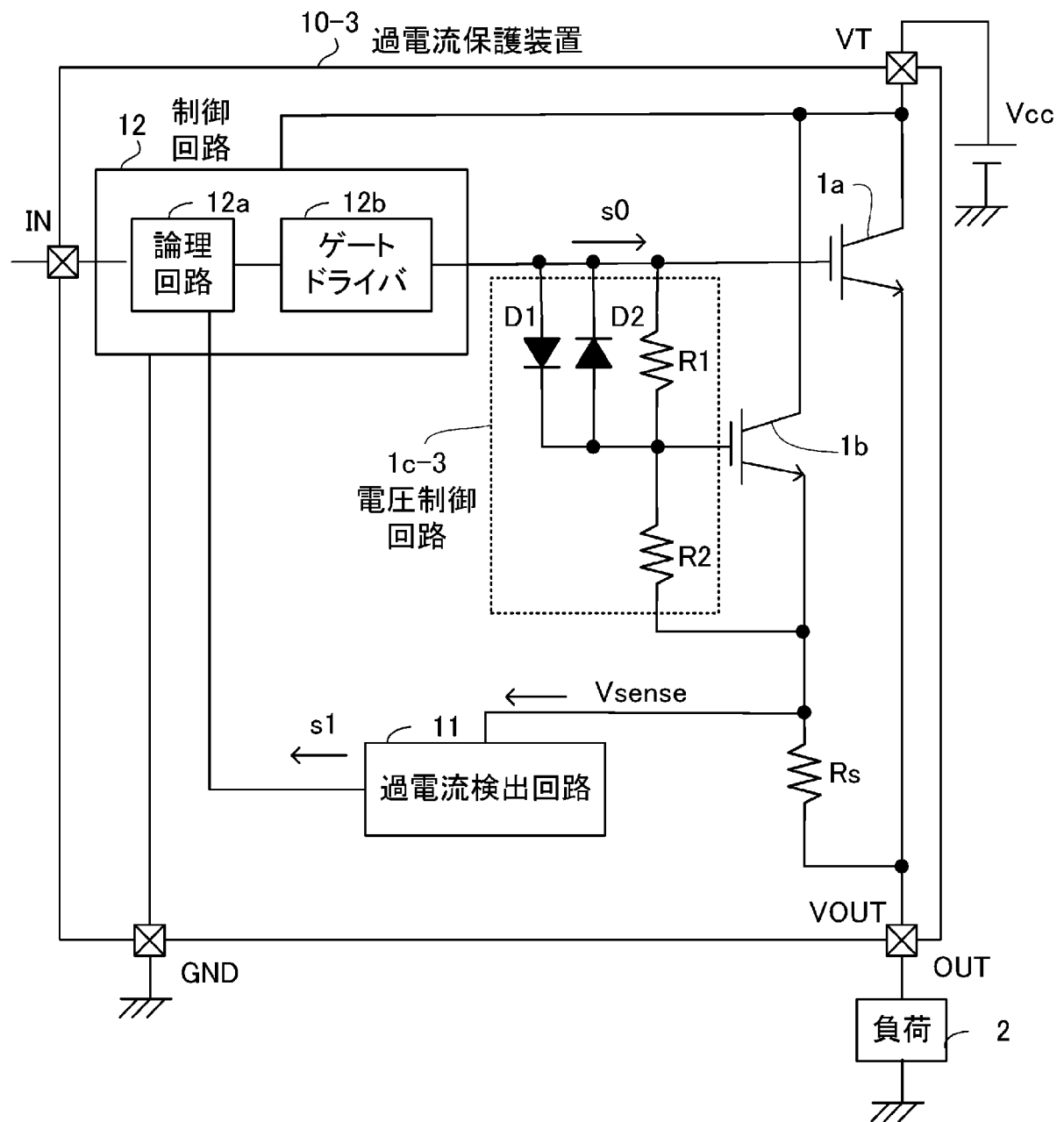
[図12]



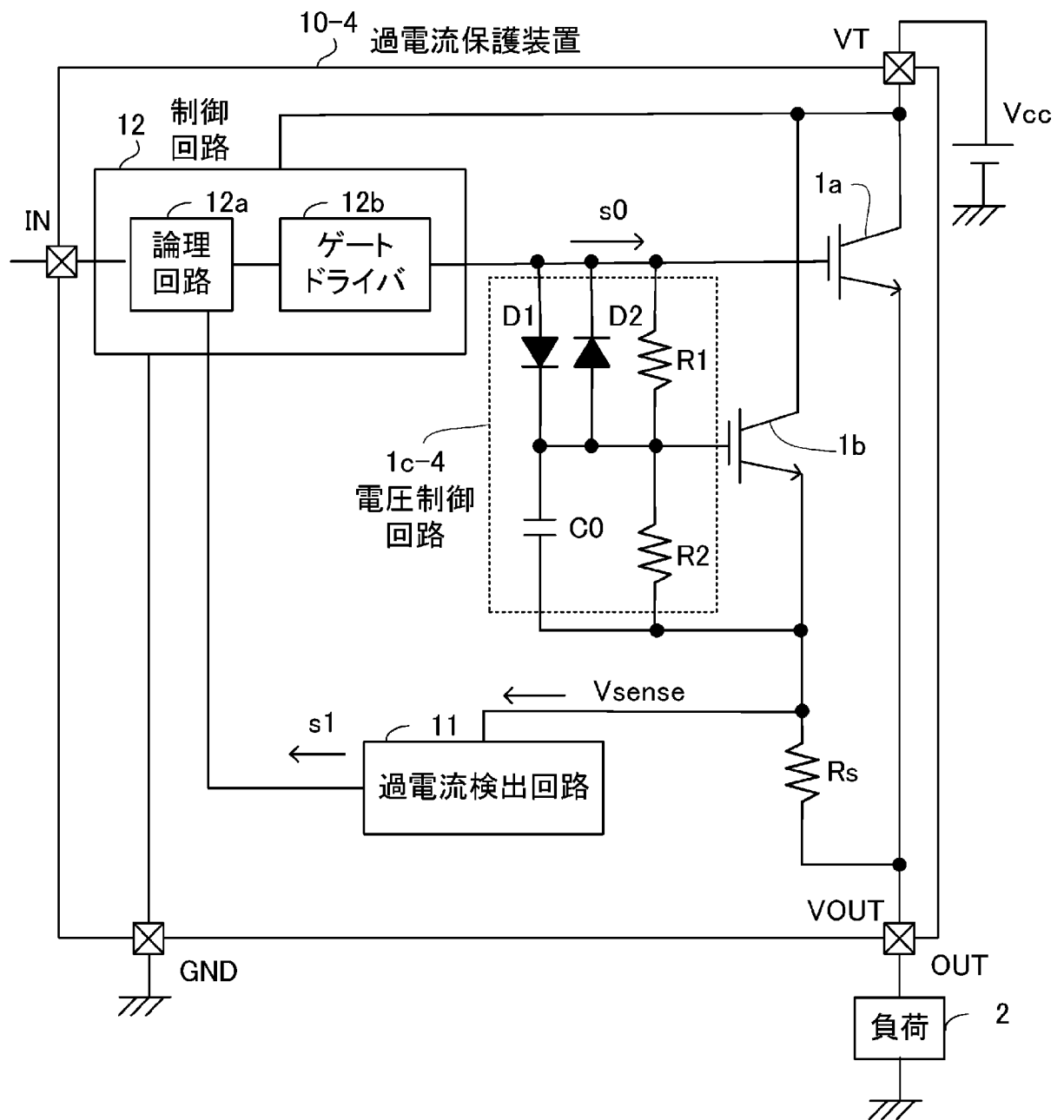
10-2 過電流保護裝置



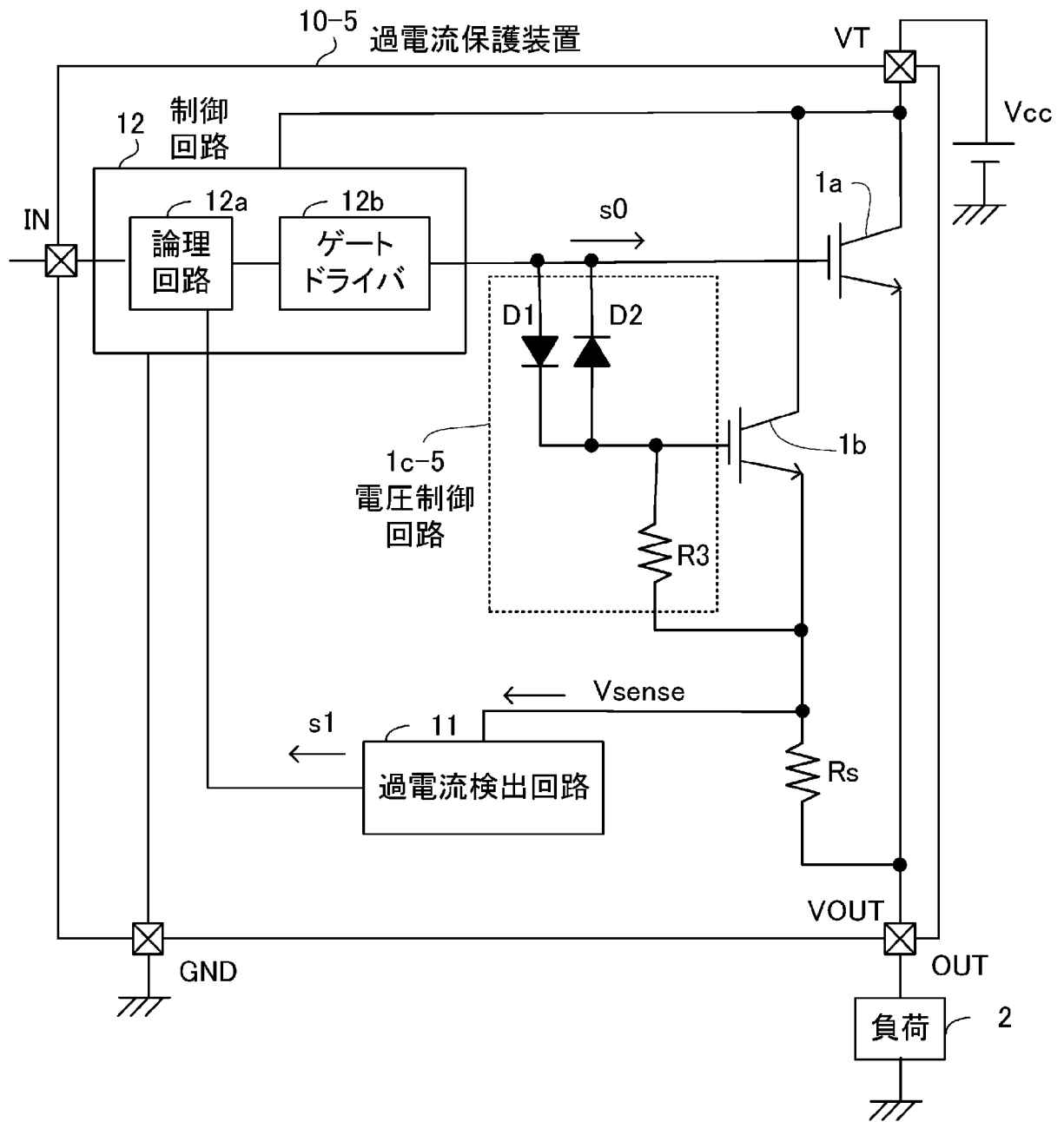
[図14]



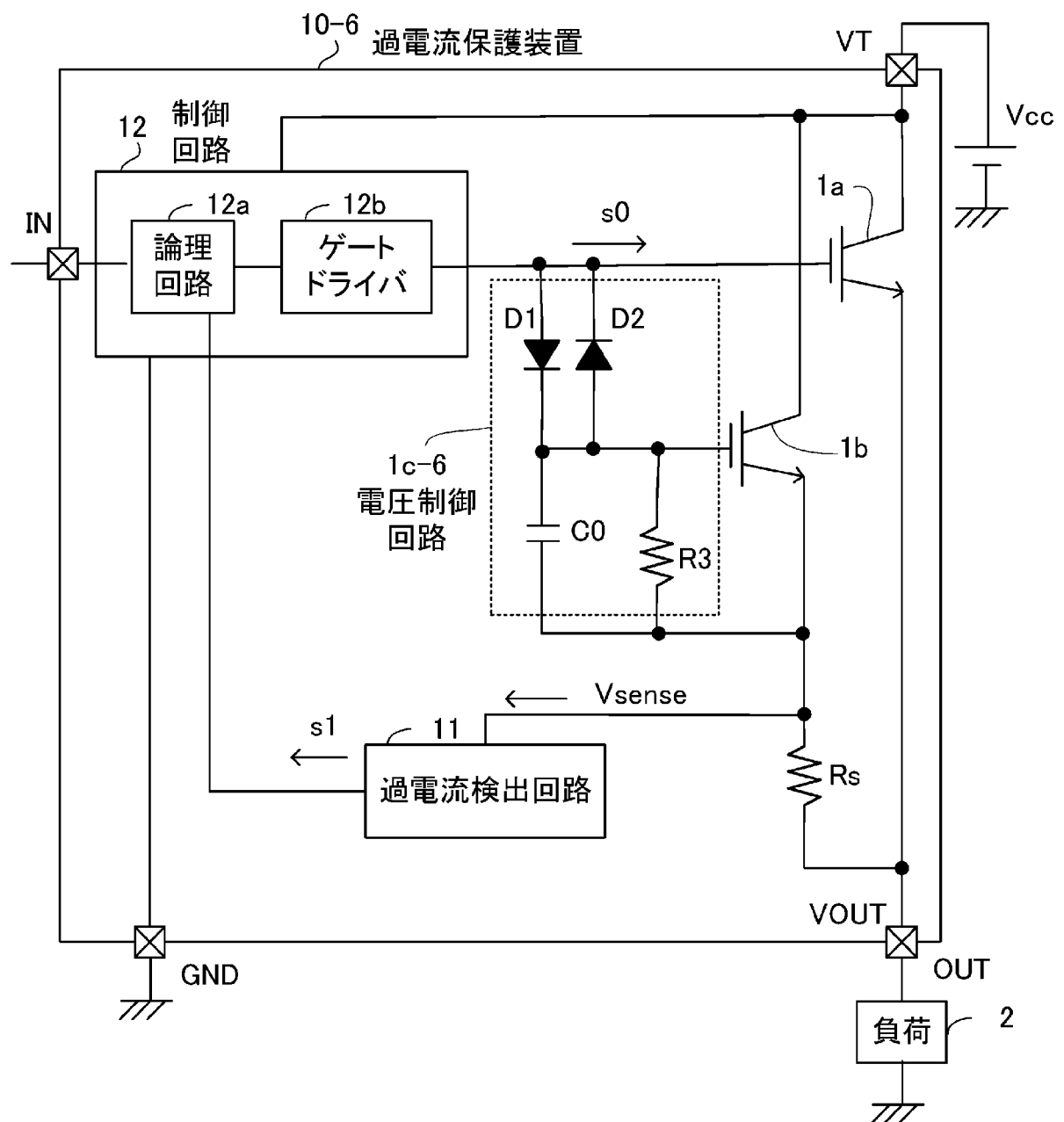
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/014242

A. CLASSIFICATION OF SUBJECT MATTER**H02M 1/00**(2007.01)i; **H02M 1/08**(2006.01)i; **H03K 17/00**(2006.01)i; **H03K 17/08**(2006.01)i

FI: H02M1/00 H; H03K17/00 B; H03K17/08 B; H03K17/08 Z; H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/00; H02M1/08; H03K17/00; H03K17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-233133 A (ROHM CO LTD) 24 December 2015 (2015-12-24) paragraph [0055], fig. 10	1, 3
Y		4-5, 12, 14
Y	JP 2016-021652 A (TOYOTA MOTOR CORP) 04 February 2016 (2016-02-04) paragraphs [0025]-[0034], [0054]-[0055], [0058]-[0062], fig. 1, 4, 6	4-5, 12, 14
A	JP 2009-165285 A (PANASONIC CORP) 23 July 2009 (2009-07-23) paragraphs [0031]-[0033], fig. 1	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

30 May 2023

Date of mailing of the international search report

13 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/014242

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-233133	A	24 December 2015	US 2015/0325558 A1 paragraphs [0101]-[0102], fig. 10	
JP	2016-021652	A	04 February 2016	US 2016/0011266 A1 paragraphs [0037]-[0047], [0054]-[0066], [0076]-[0080], fig. 1, 4, 6 DE 102015110660 A1 CN 105305780 A	
JP	2009-165285	A	23 July 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/00(2007.01)i; H02M 1/08(2006.01)i; H03K 17/00(2006.01)i; H03K 17/08(2006.01)i FI: H02M1/00 H; H03K17/00 B; H03K17/08 B; H03K17/08 Z; H02M1/08 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H02M1/00; H02M1/08; H03K17/00; H03K17/08														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2023年													
日本国実用新案登録公報	1996-2023年													
日本国登録実用新案公報	1994-2023年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2015-233133 A（ローム株式会社）24.12.2015（2015-12-24） [0055], 図10	1, 3												
Y		4-5, 12, 14												
Y	JP 2016-021652 A（トヨタ自動車株式会社）04.02.2016（2016-02-04） [0025]-[0034], [0054]-[0055], [0058]-[0062], 図1, 4, 6	4-5, 12, 14												
A	JP 2009-165285 A（パナソニック株式会社）23.07.2009（2009-07-23） [0031]-[0033], 図1	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 30.05.2023	国際調査報告の発送日 13.06.2023													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 遠藤 尊志 5G 3052 電話番号 03-3581-1101 内線 3526													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/014242

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-233133	A	24.12.2015	US 2015/0325558 A1 [0101]-[0102], 図10	
JP	2016-021652	A	04.02.2016	US 2016/0011266 A1 [0037]-[0047], [0054]- [0066], [0076]-[0080], 図 1, 4, 6 DE 102015110660 A1 CN 105305780 A	
JP	2009-165285	A	23.07.2009	(ファミリーなし)	