



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201310580 A1

(43)公開日：中華民國 102 (2013) 年 03 月 01 日

(21)申請案號：101120842

(22)申請日：中華民國 101 (2012) 年 06 月 08 日

(51)Int. Cl. : *H01L21/8238(2006.01)*

H01L27/092 (2006.01)

(30)優先權：2011/06/10 日本

2011-130728

(71)申請人：住友化學股份有限公司 (日本) SUMITOMO CHEMICAL COMPANY, LIMITED
(JP)

日本

國立大學法人東京大學 (日本) THE UNIVERSITY OF TOKYO (JP)

日本

獨立行政法人產業技術總合研究所 (日本) NATIONAL INSTITUTE OF ADVANCED
INDUSTRIAL SCIENCE AND TECHNOLOGY (JP)

日本

(72)發明人：秦雅彥 HATA, MASAHIKO (JP)；山田永 YAMADA, HISASHI (JP)；橫山正史
YOKOYAMA, MASAFUMI (JP)；金相賢 KIM, SANGHYEON (KR)；竹中充
TAKENAKA, MITSURU (JP)；高木信一 TAKAGI, SHINICHI (JP)；安田哲二
YASUDA, TETSUJI (JP)

(74)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：25 項 圖式數：14 共 52 頁

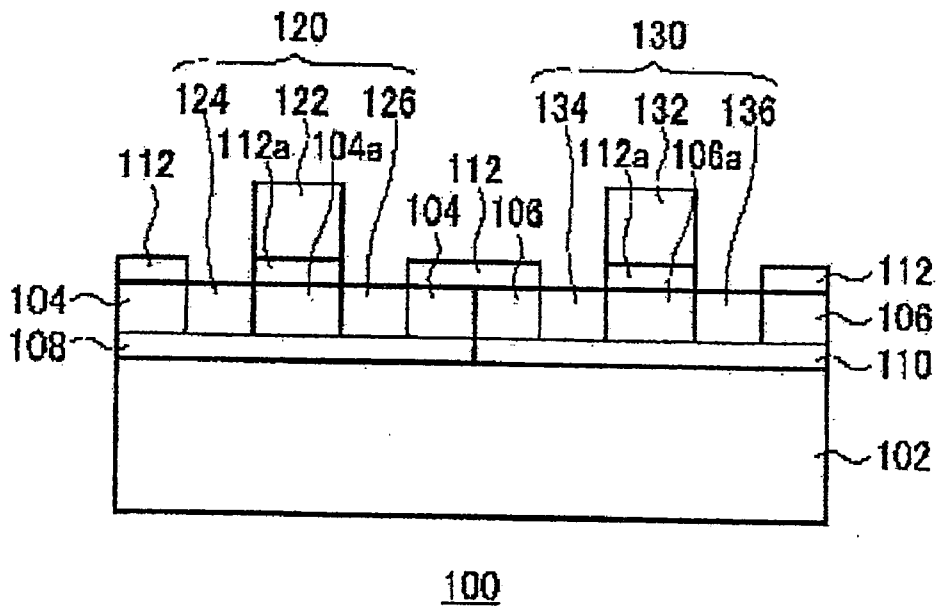
(54)名稱

半導體裝置、半導體基板、半導體基板之製造方法及半導體裝置之製造方法

SEMICONDUCTOR DEVICE, SEMICONDUCTOR SUBSTRATE, METHOD FOR MAKING A
SEMICONDUCTOR SUBSTRATE, AND METHOD FOR MAKING A SEMICONDUCTOR DEVICE

(57)摘要

提供一種半導體裝置，其在第 1 半導體結晶層形成之第 1 通道型之第 1MISFET 之第 1 源極及第 1 汲極係包含：係構成第 1 半導體結晶層之原子與鎳原子之化合物、構成第 1 半導體結晶層之原子與鈷原子之化合物、或構成第 1 半導體結晶層之原子與鎳原子與鈷原子之化合物，且在第 2 半導體結晶層形成之第 2 通道型之第 2MISFET 之第 2 源極及第 2 汲極係包含：構成第 2 半導體結晶層之原子與鎳原子之化合物、構成第 2 半導體結晶層之原子與鈷原子之化合物，或構成第 2 半導體結晶層之原子與鎳原子與鈷原子之化合物。



- 100：半導體裝置
- 102：基底基板
- 104：第1半導體結晶層
- 104a：第1半導體結晶層之一部分
- 106：第2半導體結晶層
- 106a：第2半導體結晶層之一部分
- 108：第1分離層
- 110：第2分離層
- 112：絕緣層
- 112a：絕緣層之一部分
- 120：第1MISFET
- 122：第1閘極
- 124：第1源極
- 126：第1汲極
- 130：第2MISFET
- 132：第2閘極
- 134：第2源極
- 136：第2汲極



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201310580 A1

(43)公開日：中華民國 102 (2013) 年 03 月 01 日

(21)申請案號：101120842

(22)申請日：中華民國 101 (2012) 年 06 月 08 日

(51)Int. Cl. : *H01L21/8238(2006.01)*

H01L27/092 (2006.01)

(30)優先權：2011/06/10 日本

2011-130728

(71)申請人：住友化學股份有限公司 (日本) SUMITOMO CHEMICAL COMPANY, LIMITED
(JP)

日本

國立大學法人東京大學 (日本) THE UNIVERSITY OF TOKYO (JP)

日本

獨立行政法人產業技術總合研究所 (日本) NATIONAL INSTITUTE OF ADVANCED
INDUSTRIAL SCIENCE AND TECHNOLOGY (JP)

日本

(72)發明人：秦雅彥 HATA, MASAHIKO (JP)；山田永 YAMADA, HISASHI (JP)；橫山正史
YOKOYAMA, MASAFUMI (JP)；金相賢 KIM, SANGHYEON (KR)；竹中充
TAKENAKA, MITSURU (JP)；高木信一 TAKAGI, SHINICHI (JP)；安田哲二
YASUDA, TETSUJI (JP)

(74)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：25 項 圖式數：14 共 52 頁

(54)名稱

半導體裝置、半導體基板、半導體基板之製造方法及半導體裝置之製造方法

SEMICONDUCTOR DEVICE, SEMICONDUCTOR SUBSTRATE, METHOD FOR MAKING A
SEMICONDUCTOR SUBSTRATE, AND METHOD FOR MAKING A SEMICONDUCTOR DEVICE

(57)摘要

提供一種半導體裝置，其在第 1 半導體結晶層形成之第 1 通道型之第 1MISFET 之第 1 源極及第 1 汲極係包含：係構成第 1 半導體結晶層之原子與鎳原子之化合物、構成第 1 半導體結晶層之原子與鈷原子之化合物、或構成第 1 半導體結晶層之原子與鎳原子與鈷原子之化合物，且在第 2 半導體結晶層形成之第 2 通道型之第 2MISFET 之第 2 源極及第 2 汲極係包含：構成第 2 半導體結晶層之原子與鎳原子之化合物、構成第 2 半導體結晶層之原子與鈷原子之化合物，或構成第 2 半導體結晶層之原子與鎳原子與鈷原子之化合物。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101120842

※申請日：101.6.8

※IPC 分類：H01L 21/8236 2006.01

H01L 21/092 2006.01

一、發明名稱：(中文/英文)

半導體裝置、半導體基板、半導體基板之製造方法及
半導體裝置之製造方法

SEMICONDUCTOR DEVICE, SEMICONDUCTOR SUBSTRATE,
METHOD FOR MAKING A SEMICONDUCTOR SUBSTRATE, AND
METHOD FOR MAKING A SEMICONDUCTOR DEVICE

二、中文發明摘要：

提供一種半導體裝置，其在第1半導體結晶層形成之第1通道型之第1MISFET之第1源極及第1汲極係包含：係構成第1半導體結晶層之原子與鎳原子之化合物、構成第1半導體結晶層之原子與鈷原子之化合物、或構成第1半導體結晶層之原子與鎳原子與鈷原子之化合物，且在第2半導體結晶層形成之第2通道型之第2MISFET之第2源極及第2汲極係包含：構成第2半導體結晶層之原子與鎳原子之化合物、構成第2半導體結晶層之原子與鈷原子之化合物，或構成第2半導體結晶層之原子與鎳原子與鈷原子之化合物。

三、英文發明摘要：

This invention provides a semiconductor device having a first semiconductor crystal layer in which a first channel type first MISFET is formed, and a second semiconductor crystal layer in which a second channel type second MISFET is formed. The first MISFET has a first source and a first drain which are formed by:

- a compound of the atoms that constitute the first semiconductor crystal layer and nickel atoms, or

- a compound of the atoms that constitute the first semiconductor crystal layer and cobalt atoms, or

- a compound of the atoms that constitute the first semiconductor crystal layer, nickel atoms and cobalt atoms.

The second MISFET has a second source and a second drain which are formed by:

- a compound of the atoms that constitute the second semiconductor crystal layer and nickel atoms, or

- a compound of the atoms that constitute the second semiconductor crystal layer and cobalt atoms, or

- a compound of the atoms that constitute the second semiconductor crystal layer, nickel atoms and cobalt atoms.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	半導體裝置
102	基底基板
104	第1半導體結晶層
104a	第1半導體結晶層之一部分
106	第2半導體結晶層
106a	第2半導體結晶層之一部分
108	第1分離層
110	第2分離層
112	絕緣層
112a	絕緣層之一部分
120	第1MISFET
122	第1閘極
124	第1源極
126	第1汲極
130	第2MISFET
132	第2閘極
134	第2源極
136	第2汲極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置，半導體基板，半導體基板之製造方法及半導體裝置的製造方法。又，本案係適用平成 22 年度獨立行政法人新能源/產業技術綜合開發機構委託研究「Nanoelectronic 半導體新材料，新構造奈米電子裝置技術開發-矽平台上 III-V 族半導體通道電晶體技術之研究開發」產業技術力強化法第 19 條之專利申請案。

【先前技術】

GaAs、InGaAs 等 III-V 族化合物半導體係具有高的電子遷移性，Ge、SiGe 等 IV 族半導體係具有高的電洞遷移性。因而，若以 III-V 族化合物半導體構成 N 通道型之 MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)，若以 IV 族半導體構成 P 通道型之 MOSFET，可實現具備高的性能之 CMOSFET (Complementary Metal-Oxide Semiconductor Field Effect Transistor)。在非專利文獻 1 中係已揭示一種將以 III-V 族化合物半導體作為通道的 N 通道型 MOSFET，與以 Ge 作為通道的 P 通道型 MOSFET 形成於單一基板之 CMOSFET 構造。

【先前技術文獻】

非專利文獻：S. Takagi, et al., SSE, Vol. 51, pp. 526-536, 2007.

【發明內容】

(發明欲解決之課題)

要將以 III-V 族化合物半導體作為通道的 N 通道型 MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor)(以下僅稱為「nMISFET」), 與以 IV 族半導體作為通道的 P 通道型 MISFET (以下僅稱為「pMISFET」) 形成於一個基板上, 係需要將 nMISFET 用之 III-V 族化合物半導體與 pMISFET 用之 IV 族半導體形成於同一基板上的技術。若考慮製造為 LSI (Large Scale Integration), 較佳為於既有製造裝置及既有步驟可活用之矽基板上形成 nMISFET 用之 III-V 族化合物半導體結晶層及 pMISFET 用之 IV 族半導體結晶層。

又, 為了將以 nMISFET 與 pMISFET 所構成之 CMISFET (Complementary Metal-Insulator-Semiconductor Field-Effect Transistor) 作為 LSI 而廉價且有效率地製造, 較佳為採用同時形成 nMISFET 與 pMISFET 之製造程序。尤其若同時形成 nMISFET 之源極/汲極與 pMISFET 之源極/汲極, 則可簡略化步驟, 亦可容易地對應成本削減以及元件微細化。

例如於 nMISFET 之源極/汲極形成區域與 pMISFET 之源極/汲極形成區域中, 將成為源極及汲極之材料作為薄膜而形成, 進一步藉光刻等圖案化而形成, 藉此可同時地形成 nMISFET 之源極/汲極與 pMISFET 之源極/汲極。但, 形成 nMISFET 之 III-V 族化合物半導體結晶層與形成 pMISFET 之 IV 族半導體結晶層兩者所構成之材料相異。因

此，nMISFET 或 pMISFET 之一者或兩者的源極/汲極區域之電阻變大，或 nMISFET 或 pMISFET 之一者或兩者的源極/汲極區域與源極/汲極電極之接觸電阻變大。因此，很難減少 nMISFET 或 pMISFET 之兩者的源極/汲極區域之電阻，或是與源極/汲極電極之接觸電阻。

本發明之目的係在於提供一種使通道為以 III-V 族化合物半導體的 nMISFET，與通道為以 IV 族半導體的 pMISFET 所構成之 CMISFET 形成於一個基板上時，同時地形成 nMISFET 及 pMISFET 之各源極及各汲極，且源極/汲極區域之電阻或與源極/汲極電極之接觸電阻變小之半導體裝置及其製造方法。又提供一種適於如此之技術的半導體基板。
(解決課題之手段)

為解決上述課題，本發明之第 1 態樣提供一種半導體裝置，其具有基底基板、位於基底基板表面一部分之上方之第 1 半導體結晶層、位於與基底基板表面一部分相異之其他部分上方之第 2 半導體結晶層、將第 1 半導體結晶層一部分作為通道並具有第 1 源極及第 1 汲極之第 1MISFET、以及將第 2 半導體結晶層之一部分作為通道並具有第 2 源極及第 2 汲極之第 2MISFET，其中，第 1MISFET 係第 1 通道型之 MISFET，第 2MISFET 係與第 1 通道型相異之第 2 通道型之 MISFET，第 1 源極及第 1 汲極係包含構成第 1 半導體結晶層之原子與鎳原子之化合物、構成第 1 半導體結晶層之原子與鈷原子之化合物、或是構成第 1 半導體結晶層之原子與鎳原子與鈷原子之化合物，第 2 源極及

第 2 汲極係包含構成第 2 半導體結晶層之原子與鎳原子之化合物、構成第 2 半導體結晶層之原子與鈷原子之化合物，或是構成第 2 半導體結晶層之原子與鎳原子與鈷原子之化合物。

可復具有：位於基底基板與第 1 半導體結晶層之間並使基底基板與第 1 半導體結晶層電性分離之第 1 分離層、位於基底基板與第 2 半導體結晶層之間並使基底基板與第 2 半導體結晶層電性分離之第 2 分離層。

基底基板與第 1 半導體結晶層相接於接合面，接合面附近之基底基板之區域可含有顯示 p 型或 n 型之傳導型之雜原子，接合面附近之第 1 半導體結晶層之區域可含有顯示與基底基板含有之雜原子所顯示傳導型相異之傳導型的雜原子，此時，可復具有位於基底基板與第 2 半導體結晶層之間並使基底基板與第 2 半導體結晶層電性分離之第 1 分離層。

基底基板與第 1 分離層可相接，此時，基底基板與第 1 分離層之相接區域為導電性，在基底基板與第 1 分離層之相接區域所施加之電壓係可作用為對第 1MISFET 之背閘極電壓。基底基板與第 2 分離層可相接，此時，基底基板與第 2 分離層之相接區域為導電性，在基底基板與第 2 分離層之相接區域所施加之電壓係可作用為對第 2MISFET 之背閘極電壓。

第 1 半導體結晶層包含 IV 族半導體結晶時，第 1MISFET 較佳為 P 通道型 MISFET，第 2 半導體結晶層包含 III-V 族

化合物半導體結晶時，第 2MISFET 較佳為 N 通道型 MISFET。第 1 半導體結晶層包含 III-V 族化合物半導體結晶時，第 1MISFET 較佳為 N 通道型 MISFET，第 2 半導體結晶層包含 IV 族半導體結晶時，第 2MISFET 較佳為 P 通道型 MISFET。

本發明之第 2 態樣提供一種半導體基板，係使用於第 1 態樣之半導體裝置之半導體基板，並具有基底基板、位於基底基板表面之一部分上方之第 1 半導體結晶層、位於與基底基板表面之一部分相異之其他部分上方之第 2 半導體結晶。

可復具有位於基底基板與第 1 半導體結晶層或第 2 半導體結晶層之間並使基底基板與第 1 半導體結晶層或第 2 半導體結晶層電性分離之分離層。此時，分離層可舉出包含非晶質絕緣體者。或者，分離層可舉出包含半導體結晶者，該半導體結晶具有較構成位於該分離層上之半導體結晶層之半導體結晶之禁制帶寬為更大的禁制帶寬。

由第 1 半導體結晶層及第 2 半導體結晶層所選擇之 1 個半導體結晶層亦可與基底基板相接於接合面，此時，接合面附近的基底基板之區域可含有顯示 p 型或 n 型之傳導型之雜原子，接合面附近之半導體結晶層之區域可含有顯示與基底基板含有之雜原子所顯示傳導型為相異傳導型之雜原子。

可具有複數個第 1 半導體結晶層、複數個第 2 半導體結晶層，此時，複數個第 1 半導體結晶層可分別在與基底

基板上面平行之面內規則性排列，複數個第 2 半導體結晶層可分別在與基底基板上面平行之面內規則性排列。

本發明之第 3 態樣提供半導體基板之製造方法，係製造第 2 態樣之半導體基板之方法，具有在基底基板表面之一部分上方形成第 1 半導體結晶層之第 1 半導體結晶層形成步驟、以及在與基底基板表面之一部分相異之其他部分上方形成第 2 半導體結晶層之第 2 半導體結晶層形成步驟，其中，第 2 半導體結晶層形成步驟具有：在半導體結晶層形成基板上藉由磊晶結晶成長法形成第 2 半導體結晶層之磊晶成長步驟；在基底基板上、第 2 半導體結晶層上、或基底基板及第 2 半導體結晶層兩者上，形成使基底基板與第 2 半導體結晶層電性分離之第 2 分離層的步驟；以使基底基板上之第 2 分離層與第 2 半導體結晶層接合之方式、使第 2 半導體結晶層上之第 2 分離層與基底基板接合之方式、或使基底基板上之第 2 分離層與第 2 半導體結晶層上之第 2 分離層接合之方式，貼合基底基板與半導體結晶層形成基板之貼合步驟。

第 1 半導體結晶層形成步驟可具有：在半導體結晶層形成基板上藉由磊晶結晶成長法形成第 1 半導體結晶層之磊晶成長步驟；在基底基板上、第 1 半導體結晶層上、或基底基板及第 1 半導體結晶層兩者上，形成使基底基板與第 1 半導體結晶層電性分離之第 1 分離層的步驟；以使基底基板上之第 1 分離層與第 1 半導體結晶層接合之方式、使第 1 半導體結晶層上之第 1 分離層與基底基板接合之方

式、或使基底基板上之第 1 分離層與第 1 半導體結晶層上之第 1 分離層接合之方式，而貼合基底基板與半導體結晶層形成基板之貼合步驟。

第 1 半導體結晶層包含 SiGe、第 2 半導體結晶層包含 III-V 族化合物半導體結晶時，可具有在第 1 半導體結晶層形成步驟之前，於基底基板上形成包含絕緣體之第 1 分離層的步驟，此時，第 1 半導體結晶層形成步驟可具有：在第 1 分離層上形成成為第 1 半導體結晶層之起始材料之 SiGe 層的步驟；將 SiGe 層在氧化氛圍中加熱並氧化表面，藉此提高 SiGe 層中之 Ge 原子濃度的步驟；以及蝕刻基底基板表面之其他部分上方之 SiGe 層的步驟。

第 1 半導體結晶層包含 IV 族半導體結晶、第 2 半導體結晶層包含 III-V 族化合物半導體結晶時，可具有：在包含 IV 族半導體結晶之半導體層材料基板之表面上形成包含絕緣體之第 1 分離層的步驟；通過第 1 分離層而將陽離子注入半導體層材料基板之分離預定深度的步驟；以使第 1 分離層之表面與基底基板之表面接合之方式，而貼合半導體層材料基板與基底基板之貼合步驟；加熱半導體層材料基板及基底基板，並使注入分離預定深度之陽離子與構成半導體層材料基板之 IV 族原子反應，藉此使位於分離預定深度之 IV 族半導體結晶改質的步驟；藉由分離半導體層材料基板與基底基板，而使較改質步驟所改質之 IV 族半導體結晶之改質部位更接近基底基板側之 IV 族半導體結晶由半導體層材料基板剝離的步驟；於基底基板上殘留之包含 IV 族

半導體結晶之半導體結晶層中，蝕刻位於基底基板表面之其他部分上方之區域的步驟。

可復具有僅在基底基板表面之一部分上方，藉由選擇磊晶成長法而選擇性形成包含半導體結晶之第1分離層的步驟，該半導體結晶具有較構成第1半導體結晶層之半導體結晶之禁制帶寬為更大的禁制帶寬，此時，第1半導體結晶層形成步驟可舉出藉由選擇磊晶成長法而僅在第1分離層上選擇性形成第1半導體結晶層之步驟。

可復具有在基底基板表面上方藉由磊晶成長法形成包含半導體結晶之第1分離層的步驟，該半導體結晶具有較構成第1半導體結晶層之半導體結晶之禁制帶寬為更大的禁制帶寬，此時，第1半導體結晶層形成步驟可含有在第1分離層上藉由磊晶成長法形成第1半導體結晶層的步驟，以及蝕刻基底基板表面之其他部分上方之第1半導體結晶層及第1分離層的步驟。

第1半導體結晶層形成步驟可為藉由選擇磊晶成長法而僅於基底基板表面之一部分上方選擇性形成第1半導體結晶層之步驟。第1半導體結晶層形成步驟可含有在基底基板表面上方藉由磊晶成長法形成第1半導體結晶層的步驟、以及蝕刻基底基板表面之其他部分上方之第1半導體結晶層的步驟。此時，基底基板之表面附近可含有顯示p型或n型之傳導型雜原子，在藉由磊晶成長法形成第1半導體結晶層之步驟中，可在第1半導體結晶層摻雜顯示與基底基板含有之雜原子所顯示之傳導型相異之傳導型的雜

原子。

可復具有：於半導體結晶層形成基板上形成半導體結晶層前，在半導體結晶層形成基板之表面藉由磊晶結晶成長法形成結晶性犧牲層的步驟；以及藉由除去結晶性犧牲層，而使藉由磊晶結晶成長法而形成在半導體結晶層形成基板上的半導體結晶層與半導體結晶層形成基板分離的步驟。

可具有：在第1半導體結晶層磊晶成長後將第1半導體結晶層規則排列並圖案化的步驟、或預先規則排列並選擇性磊晶成長第1半導體結晶層的步驟之任一步驟；以及
在第2半導體結晶層磊晶成長後將第2半導體結晶層規則排列並圖案化的步驟、或預先規則排列並選擇性磊晶成長第2半導體結晶層的步驟之任一步驟。

本發明之第4態樣提供半導體裝置之製造方法，係使用第3態樣之半導體基板之製造方法，具有：製造具有第1半導體結晶層及第2半導體結晶層之半導體基板的步驟；分別在第1半導體結晶層及第2半導體結晶層上介置著閘極絕緣層而形成閘極電極的步驟；在第1半導體結晶層之源極電極形成區域上、第1半導體結晶層之汲極電極形成區域上、第2半導體結晶層之源極電極形成區域上、及第2半導體結晶層之汲極電極形成區域上，形成由鎳膜、鈷膜及鎳-鈷合金膜所成群組選出之金屬膜的步驟；加熱金屬膜，在第1半導體結晶層上形成包含構成第1半導體結晶層之原子與鎳原子之化合物、構成第1半導體結晶

層之原子與鈷原子之化合物、或構成第 1 半導體結晶層之原子與鎳原子與鈷原子之化合物之第 1 源極及第 1 汲極，並在第 2 半導體結晶層上形成包含構成第 2 半導體結晶層之原子與鎳原子之化合物、構成第 2 半導體結晶層之原子與鈷原子之化合物、或構成第 2 半導體結晶層之原子與鎳原子與鈷原子之化合物之第 2 源極及第 2 汲極的步驟；除去未反應之金屬膜的步驟。

【實施方式】

第 1 圖係表示半導體裝置 100 之截面。半導體裝置 100 係具有基底基板 102、第 1 半導體結晶層 104、第 2 半導體結晶層 106。本例之半導體裝置 100 係在基底基板 102 與第 1 半導體結晶層 104 之間具有第 1 分離層 108，並在基底基板 102 與第 2 半導體結晶層 106 之間具有第 2 分離層 110。此外，本例之半導體裝置 100 係在第 1 半導體結晶層 104 及第 2 半導體結晶層 106 上具有絕緣層 112。另外，由第 1 圖所示實施例至少可掌握 2 發明：將基底基板 102、第 1 半導體結晶層 104、第 2 半導體結晶層 106 作為構成要件之半導體基板之發明；以及將基底基板 102、第 1 分離層 108、第 1 半導體結晶層 104、第 2 分離層 110 及第 2 半導體結晶層 106 作為構成要件之半導體基板之發明。在第 1 半導體結晶層 104 中形成第 1MISFET120，在第 2 半導體結晶層 106 中形成第 2MISFET130。

基底基板 102 可舉出表面為矽結晶之基板。表面為矽結晶之基板可舉出矽基板或 SOI (Silicon on Insulator)

基板，較佳為矽基板。基底基板 102 上使用表面為矽結晶之基板，藉此可利用既有之製造裝置及既有之製造程序，並可提高研究開發及製造之效率。基底基板 102 並不限為表面為矽結晶之基板，可為玻璃、陶瓷、塑膠等之絕緣體基板、金屬等之導電體基板或是碳化矽等之半導體基板。

第 1 半導體結晶層 104 係位於基底基板 102 表面之一部分上方。亦即，第 1 半導體結晶層 104 位於基底基板 102 的一部分領域上方、第 1 半導體結晶層 104 包含 IV 族半導體結晶或 III-V 族化合物半導體結晶。第 1 半導體結晶層 104 之厚度較佳為 20nm 以下。使第 1 半導體結晶層 104 之厚度為 20nm 以下，藉此可構成超薄膜主體之第 1MISFET 120。使第 1MISFET 120 之主體為超薄膜而可抑制短通道效應，可減少第 1MISFET 120 之漏電流。

第 2 半導體結晶層 106 係位於與基底基板 102 表面之一部分相異的其他部分之上方。亦即，第 2 半導體結晶層 106 位於在基底基板 102 之區域中且位於第 1 半導體結晶層 104 不位於上方之區域的上方。第 2 半導體結晶層 106 包含 III-V 族化合物半導體結晶或 IV 族半導體結晶。第 2 半導體結晶層 106 之厚度較佳為 20nm 以下。使第 2 半導體結晶層 106 之厚度為 20nm 以下，藉此可構成超薄膜主體之第 2MISFET 130。使第 2MISFET 130 之主體為超薄膜可抑制短通道效應，可減少第 2MISFET 130 之漏電流。

III-V 族化合物半導體結晶中係電子遷移性高，於 IV 族半導體結晶中，尤其 Ge 中係電洞遷移性高，故較佳為在

Ⅲ-V 族化合物半導體結晶層中形成 N 通道型 MISFET，較佳為在 IV 族半導體結晶層中形成 P 通道型 MISFET。亦即，第 1 半導體結晶層 104 包含 IV 族半導體結晶，第 2 半導體結晶層 106 包含Ⅲ-V 族化合物半導體結晶時，較佳係第 1MISFET120 為 P 通道型 MISFET，第 2MISFET130 為 N 通道型 MISFET。

相反地，第 1 半導體結晶層 104 包含Ⅲ-V 族化合物半導體結晶，第 2 半導體結晶層 106 包含 IV 族半導體結晶時，較佳為第 1MISFET120 為 N 通道型 MISFET，第 2MISFET130 為 P 通道型 MISFET。藉此可提高第 1MISFET120 及第 2MISFET130 各別之性能，可使包含第 1MISFET120 及第 2MISFET130 之 CMISFET 的性能最大化。

IV 族半導體結晶可舉出 Ge 結晶或 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) 結晶。IV 族半導體結晶為 $\text{Si}_x\text{Ge}_{1-x}$ 結晶時， x 較佳為 0.10 以下。Ⅲ-V 族化合物半導體結晶可舉出 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶、InAs 結晶、GaAs 結晶、InP 結晶。此外，Ⅲ-V 族化合物半導體結晶可舉出 GaAs 或 InP 進行晶格匹配或擬晶格匹配之Ⅲ-V 族化合物半導體的混晶。此外，Ⅲ-V 族化合物半導體結晶係可舉出該混晶與 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶、InAs 結晶、GaAs 結晶或 InP 結晶之積層體。另外，Ⅲ-V 族化合物半導體結晶係適宜為 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶及 InAs 結晶，更適宜為 InAs 結晶。

第 1 分離層 108 係位於基底基板 102 與第 1 半導體結晶層 104 之間。第 1 分離層 108 係使基底基板 102 與第 1

半導體結晶層 104 電性分離。

第 1 分離層 108 亦可為包含非晶質絕緣體者。第 1 半導體結晶層 104 及第 1 分離層 108 為藉由貼合法、氧化濃縮法或智切法(Smartcut)所形成時，第 1 分離層 108 包含非晶質絕緣體。包含非晶質絕緣體之第 1 分離層 108 可舉出包含 Al_2O_3 、 AlN 、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x (例如 SiO_2)、 SiN_x (例如 Si_3N_4) 及 SiO_xN_y 之中至少 1 個之層、或由此等之中選出至少 2 層之積層。

第 1 分離層 108 亦可為包含具有較構成第 1 半導體結晶層 104 的半導體結晶之禁制帶寬為更大的禁制帶寬之半導體結晶者。如此之半導體結晶係可藉由磊晶成長法形成。第 1 半導體結晶層 104 為 InGaAs 結晶層或 GaAs 結晶層時，構成第 1 分離層 108 的半導體結晶係可舉出 AlGaAs 結晶、 AlInGaP 結晶、 AlGaInAs 結晶或 InP 結晶。第 1 半導體結晶層 104 為 Ge 結晶層時，構成第 1 分離層 108 的半導體結晶係可舉出 SiGe 結晶、 Si 結晶、 SiC 結晶或 C 結晶。

第 2 分離層 110 係位於基底基板 102 與第 2 半導體結晶層 106 之間。第 2 分離層 110 係使基底基板 102 與第 2 半導體結晶層 106 電性分離。

第 2 分離層 110 亦可為包含非晶質絕緣體者。第 2 半導體結晶層 106 及第 2 分離層 110 為藉貼合法形成時，第 2 分離層 110 為非晶質絕緣體。包含非晶質絕緣體之第 2 分離層 110 可舉出包含 Al_2O_3 、 AlN 、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x (例如 SiO_2)、 SiN_x (例如 Si_3N_4) 及 SiO_xN_y 之中的至少

1 個之層、或由此等之中選出至少 2 層之積層。

第 2 分離層 110 亦可為包含具有較構成第 2 半導體結晶層 106 的半導體結晶之禁制帶寬為更大的禁制帶寬之半導體結晶者。如此之半導體結晶係可藉由磊晶成長法形成。第 2 半導體結晶層 106 為 InGaAs 結晶層或 GaAs 結晶層時，構成第 2 分離層 110 的半導體結晶係可舉出 AlGaAs 結晶、AlInGaP 結晶、AlGaInAs 結晶或 InP 結晶。第 2 半導體結晶層 106 為 Ge 結晶層時，構成第 2 分離層 110 的半導體結晶係可舉出 SiGe 結晶、Si 結晶、SiC 結晶或 C 結晶。

絕緣層 112 係具有作為第 1MISFET120 及第 2MISFET130 之閘極絕緣層之機能。絕緣層 112 可舉出包含 Al_2O_3 、AlN、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x （例如 SiO_2 ）、 SiN_x （例如 Si_3N_4 ）及 SiO_xN_y 至少一者的層、或是由該等中選擇至少 2 層之積層。

第 1MISFET120 具有第 1 閘極 122、第 1 源極 124 及第 1 汲極 126。第 1 源極 124 及第 1 汲極 126 係形成於第 1 半導體結晶層 104 上。第 1MISFET120 係使第 1 源極 124 及第 1 汲極 126 所夾著的第 1 半導體結晶層 104 之部分 104a 作為通道。第 1 閘極 122 係形成於該部分 104a 上方。在通道區域之第 1 半導體結晶層 104 之部分 104a 與第 1 閘極 122 所夾著的區域中形成有絕緣層 112 之部分 112a。該部分 112a 係有作為第 1MISFET120 之閘極絕緣層之機能。

第 1 源極 124 及第 1 汲極 126 係包含構成第 1 半導體結晶層 104 之原子與鎳原子之化合物。或是，第 1 源極 124

及第 1 汲極 126 係包含構成第 1 半導體結晶層 104 之原子與鈷原子之化合物。或是，第 1 源極 124 及第 1 汲極 126 係包含構成第 1 半導體結晶層 104 之原子與鎳原子與鈷原子之化合物。構成第 1 半導體結晶層 104 之鎳化合物、鈷化合物或鎳-鈷化合物係電阻低之低電阻化合物。

第 2MISFET130 係具有第 2 閘極 132、第 2 源極 134 及第 2 汲極 136。第 2 源極 134 及第 2 汲極 136 係形成於第 2 半導體結晶層 106 上。第 2MISFET120 係使第 2 源極 134 及第 2 汲極 136 所夾著的第 2 半導體結晶層 106 之部分 106a 作為通道。第 2 閘極 132 係形成於該部分 106a 上方。在通道區域之第 2 半導體結晶層 106 之部分 106a 與第 2 閘極 132 所夾著的區域中形成有絕緣層 112 之部分 112a。該一部分 112a 係有作為第 2MISFET130 之閘極絕緣層之機能。

第 2 源極 134 及第 2 汲極 136 係包含構成第 2 半導體結晶層 106 之原子與鎳原子之化合物。或是，第 2 源極 134 及第 2 汲極 136 係包含構成第 2 半導體結晶層 106 之原子與鈷原子之化合物。或是，第 2 源極 134 及第 2 汲極 136 係包含構成第 2 半導體結晶層 106 之原子與鎳原子與鈷原子之化合物。構成第 2 半導體結晶層 106 之鎳化合物、鈷化合物或鎳-鈷化合物係電阻低之低電阻化合物。

如以上所述，第 1MISFET120 之源極/汲極（第 1 源極 124 及第 1 汲極 126）與第 2MISFET130 之源極/汲極（第 2 源極 134 及第 2 汲極 136）係包含共通原子（鎳原子、鈷

原子或其兩原子)之化合物。此係可製造使用具有該等共通原子之材料膜之該部位的構成，可使製造步驟簡略化。此外，藉由使用共通原子之鎳或鈷或其兩者，而可使III-V族化合物半導體結晶層上形成之源極/汲極、IV族半導體結晶層上形成之源極/汲極兩者之源極區域及汲極區域之電阻降低。該結果可使製造步驟簡略化並提高FET之性能。

另外，第1MISFET120為P通道型MISFET、第2MISFET130為N通道型MISFET時，第1源極124及第1汲極126可復含有受體雜原子，第2源極134及第2汲極136可復含有供體雜原子。第1MISFET120為N通道型MISFET、第2MISFET130為P通道型MISFET時，第1源極124及第1汲極126可復含有供體雜原子、第2源極134及第2汲極136可復含有受體雜原子。N通道型MISFET之源極及汲極所含之供體雜原子可舉出Si、S、Se、Ge。P通道型MISFET之源極及汲極所含之受體雜原子可舉出B、Al、Ga、In。

第2圖至第8圖係表示在半導體裝置100之製造過程中的截面。首先，準備基底基板102與半導體結晶層形成基板140，於半導體結晶層形成基板140上藉由磊晶結晶成長法形成第1半導體結晶層104。其後，於第1半導體結晶層104上形成第1分離層108。第1分離層108係例如藉由ALD(Atomic Layer Deposition)法、熱氧化法、蒸鍍法、CVD(Chemical Vapor Deposition)法、濺鍍法等薄膜形成法而形成。

第 1 半導體結晶層 104 包含 III-V 族化合物半導體結晶時，半導體結晶層形成基板 140 可選擇 InP 基板或 GaAs 基板。第 1 半導體結晶層 104 包含 IV 族半導體結晶時，半導體結晶層形成基板 140 可選擇 Ge 基板、Si 基板、SiC 基板或 GaAs 基板。

於第 1 半導體結晶層 104 之磊晶結晶成長係可利用 MOCVD (Metal Organic Chemical Vapor Deposition) 法。以 MOCVD 法形成 III-V 族化合物半導體結晶層時，In 源極可使用 TMI_n(三甲基銦)、Ga 源極可使用 TMGa(三甲基鎵)、As 源極可使用 AsH₃(砷)、P 源極可使用 PH₃(磷)。載體氣體可使用氫氣。反應溫度可在 300°C 至 900°C 之範圍，較佳為在 450 至 750°C 之範圍適當選擇。以 CVD 法形成 IV 族半導體結晶層時，Ge 源極可使用 GeH₄(鍺)、Si 源極可使用 SiH₄(矽烷)或 Si₂H₆(二矽烷)，亦可使用以氯原子或鹵基取代該等之複數個氫原子之一部分的化合物。載體氣體可使用氫氣。反應溫度可在 300°C 至 900°C 之範圍，較佳為在 450 至 750°C 之範圍適當選擇。可適當選擇氣體源供給量或反應時間來調控磊晶成長層的厚度。

如第 2 圖所示般，使第 1 分離層 108 的表面與基底基板 102 之表面以氬束 150 活性化。其後，如第 3 圖所示般，使經以氬束 150 活性化之第 1 分離層 108 的表面貼合於基底基板 102 的表面之一部分而接合。貼合係可在室溫進行。另外，活性化係不一定要用氬束 150，亦可為其他稀有氣體等之束。其後，蝕刻去除半導體結晶層形成基板

140。藉此於基底基板 102 表面之一部分上形成第 1 分離層 108 及第 1 半導體結晶層 104。另外，在第 1 半導體結晶層 104 的形成與第 1 分離層 108 的形成之間，亦可進行以硫原子終端第 1 半導體結晶層 104 之表面的硫終端處理。

在第 2 圖及第 3 圖所示之例中說明使第 1 分離層 108 僅形成於第 1 半導體結晶層 104 上，並貼合第 1 分離層 108 的表面與基底基板 102 之表面的例子，但亦可於基底基板 102 上形成第 1 分離層 108，並貼合第 1 半導體結晶層 104 上之第 1 分離層 108 的表面與基底基板 102 上之第 1 分離層 108 的表面。此時，較佳為對第 1 分離層 108 之貼合面進行親水化處理。經親水化處理時，較佳為加熱第 1 分離層 108 彼此而貼合。或可只於基底基板 102 上形成第 1 分離層 108，並貼合第 1 半導體結晶層 104 之表面與基底基板 102 上之第 1 分離層 108 的表面。

在第 2 圖及第 3 圖所示之例中說明使第 1 分離層 108 及第 1 半導體結晶層 104 貼合於基底基板 102 後，使第 1 分離層 108 及第 1 半導體結晶層 104 從半導體結晶層形成基板 140 分離之例子，但亦可使第 1 分離層 108 及第 1 半導體結晶層 104 從半導體結晶層形成基板 140 分離之後，使第 1 分離層 108 及第 1 半導體結晶層 104 貼合於基底基板 102。此時，較佳為在使第 1 分離層 108 及第 1 半導體結晶層 104 從半導體結晶層形成基板 140 分離後至貼合於基底基板 102 為止之間，將第 1 分離層 108 及第 1 半導體結晶層 104 保持於適當轉印用基板。

接著準備半導體結晶層形成基板 160，於半導體結晶層形成基板 160 上藉由磊晶成長法形成第 2 半導體結晶層 106。之後，在第 2 半導體結晶層 106 上形成第 2 分離層 110。第 2 分離層 110 係藉由例如 ALD 法、熱氧化法、蒸鍍法、CVD 法、濺鍍法等之薄膜形成法來形成。另外，在第 2 分離層 110 的形成前，亦可進行以硫原子終端第 1 半導體結晶層 104 之表面的硫終端處理。

第 2 半導體結晶層 106 包含 III-V 族化合物半導體結晶時，半導體結晶層形成基板 160 可選擇 InP 基板或 GaAs 基板。第 2 半導體結晶層 106 包含 IV 族半導體結晶時，半導體結晶層形成基板 160 可選擇 Ge 基板、Si 基板、SiC 基板或 GaAs 基板。

於第 2 半導體結晶層 106 之磊晶成長係可利用 MOCVD 法。在 MOCVD 法使用之氣體、反應溫度之條件等係與第 1 半導體結晶層 104 時相同。

如第 4 圖所示般，以氬束 150 活性化未形成第 1 分離層 108 及第 1 半導體結晶層 104 之區域的基底基板 102 之表面與第 2 分離層 110 之表面。之後，如第 5 圖所示般，將第 2 分離層 110 之表面貼合於未形成第 1 分離層 108 及第 1 半導體結晶層 104 之區域的基底基板 102 之表面並接合。貼合可在室溫進行。活性化不一定要用氬束 150，亦可為其他之稀有氣體等之束。其後以 HCl 溶液等蝕刻、去除半導體結晶層形成基板 160。藉此在未形成第 1 分離層 108 及第 1 半導體結晶層 104 之區域的基底基板 102 上，

形成第 2 分離層 110 及第 2 半導體結晶層 106。另外，在第 2 分離層 110 形成前，可進行以硫原子終端第 2 半導體結晶層 106 之表面的硫終端處理。此外，半導體結晶層形成基板 140 及半導體結晶層形成基板 160 係可同時去除。亦即，可將半導體結晶層形成基板 140 及半導體結晶層形成基板 160 兩者之第 2 分離層 110 貼合於基底基板 102 後，除去半導體結晶層形成基板 140 及半導體結晶層形成基板 160。

在第 4 圖所示之例中說明使第 2 分離層 110 只形成於第 2 半導體結晶層 106 上，並貼合第 2 分離層 110 之表面與基底基板 102 之表面之例子，但亦可於基底基板 102 上形成第 2 分離層 110 並使第 2 半導體結晶層 106 上之第 2 分離層 110 之表面與基底基板 102 上之第 2 分離層 110 之表面貼合。此時，較佳為對第 2 分離層 110 之貼合面進行親水化處理。親水化處理時較佳為加熱第 2 分離層 110 彼此並貼合。或是可只在基底基板 102 上形成第 2 分離層 110，並貼合基底基板 102 之表面與第 2 半導體結晶層 106 上之第 2 分離層 110 之表面。

在第 4 圖所示之例中說明使第 2 半導體結晶層 106 及第 2 分離層 110 貼合於基底基板 102 後，使第 2 半導體結晶層 106 從半導體結晶層形成基板 160 分離之例子，但可使第 2 半導體結晶層 106 及第 2 分離層 110 從半導體結晶層形成基板 160 分離之後，使第 2 半導體結晶層 106 貼合於基底基板 102。此時，在使第 2 半導體結晶層 106 及第 2

分離層 110 從半導體結晶層形成基板 160 分離後至貼合於基底基板 102 為止之間，較佳為將第 2 半導體結晶層 106 及第 2 分離層 110 保持於適當轉印用基板。

接著，如第 6 圖所示般於第 1 半導體結晶層 104 及第 2 半導體結晶層 106 上形成絕緣層 112。絕緣層 112 係例如藉由 ALD 法、熱氧化法、蒸鍍法、CVD 法、濺鍍法等之薄膜形成法而形成。再者，藉由蒸鍍法、CVD 法或濺鍍法而形成成為閘極之金屬，例如鈹的薄膜，並使用光刻將該薄膜圖案化，而在第 1 半導體結晶層 104 上方形成第 1 閘極 122，並在第 2 半導體結晶層 106 上方形成第 2 閘極 132。

如第 7 圖所示般，在第 1 閘極 122 兩側之絕緣膜 112 形成到達第 1 半導體結晶層 104 之開口，並在第 2 閘極 132 兩側之絕緣層 112 形成到達第 2 半導體結晶層 106 之開口。各閘極的兩側是指形成第 2 分離層 110 之水平方向中，各閘極的兩側。該第 1 閘極 122 兩側之開口及第 2 閘極 132 兩側之開口分別為第 1 源極 124、第 1 汲極 126、第 2 源極 134 及第 2 汲極 136 各自形成之區域。以分別與該等開口底部所露出之第 1 半導體結晶層 104、以及第 2 半導體結晶層 106 相接之方式而形成包含鎳之金屬膜 170。金屬膜 170 可為鈷膜、或鎳-鈷合金膜。

如第 8 圖所示般加熱金屬膜 170。藉由加熱使第 1 半導體結晶層 104 與金屬膜 170 反應，而形成構成第 1 半導體結晶層 104 之原子與構成金屬膜 170 之原子的低電阻化合物，並成為第 1 源極 124 及第 1 汲極 126。同時使第 2

半導體結晶層 106 與金屬膜 170 反應，而形成構成第 2 半導體結晶層 106 之原子與構成金屬膜 170 之原子的低電阻化合物，並成為第 2 源極 134 及第 2 汲極 136。金屬膜 170 為鎳膜時，生成構成第 1 半導體結晶層 104 之原子與鎳原子之低電阻化合物並作為第 1 源極 124 及第 1 汲極 126，並且生成構成第 2 半導體結晶層 106 之原子與鎳原子之低電阻化合物並作為第 2 源極 134 及第 2 汲極 136。另外，金屬膜 170 為鈷膜時，生成構成第 1 半導體結晶層 104 之原子與鈷原子之低電阻化合物並作為第 1 源極 124 及第 1 汲極 126，並且生成構成第 2 半導體結晶層 106 之原子與鈷原子之低電阻化合物並作為第 2 源極 134 及第 2 汲極 136。金屬膜 170 為鎳-鈷合金膜時，生成構成第 1 半導體結晶層 104 之原子與鎳原子與鈷原子之低電阻化合物並作為第 1 源極 124 及第 1 汲極 126，並且生成構成第 2 半導體結晶層 106 之原子與鎳原子與鈷原子之低電阻化合物並作為第 2 源極 134 及第 2 汲極 136。最後將未反應之金屬膜 170 除去並可製造第 1 圖之半導體裝置 100。

金屬膜 170 之加熱方法較佳為 RTA (rapid thermal annealing) 法。使用 RTA 法時，加熱溫度可使用 250°C 至 450°C。藉由如上述之方法而可以自排列(self-alignment) 之方式形成第 1 源極 124、第 1 汲極 126、第 2 源極 134 及第 2 汲極 136。

根據以上說明之半導體裝置 100 與其製造方法，可以在同一製程中同時形成第 1 源極 124、第 1 汲極 126、第 2

源極 134 及第 2 汲極 136，故可使製造步驟簡略化。結果可降低製造成本並使微細化變得容易。此外，第 1 源極 124、第 1 汲極 126、第 2 源極 134 及第 2 汲極 136，係構成第 1 半導體結晶層 104 或第 2 半導體結晶層 106 之原子（亦即 IV 族原子或 III-V 族原子），與鎳、鈷或鎳/鈷合金之低電阻化合物。此外該等低電阻化合物與構成半導體裝置 100 之通道的第 1 半導體結晶層 104 及第 2 半導體結晶層 106 之接觸電位障為 0.1eV 以下之極小的值。此外，第 1 源極 124、第 1 汲極 126、第 2 源極 134 及第 2 汲極 136 各自與電極金屬之接觸為成為歐姆接觸（ohmic contact），可使第 1MISFET120 及第 2MISFET130 之各啟動電流變大。此外因第 1 源極 124、第 1 汲極 126、第 2 源極 134 及第 2 汲極 136 之各電阻變小，故不需要降低第 1MISFET120 及第 2MISFET130 之通道電阻，可減少摻雜雜原子之濃度。該結果可使通道層之載體遷移度變大。

上述半導體裝置 100 中，基底基板 102 與第 1 分離層 108 相接，若基底基板 102 中與第 1 分離層 108 相接的區域為導電性，則在基底基板 102 中與第 1 分離層 108 相接的區域施加電壓，該電壓可作用為對第 1MISFET120 之背閘極電壓。此外，上述半導體裝置 100 中，基底基板 102 與第 2 分離層 110 相接，若基底基板 102 中與第 2 分離層 110 相接的區域為導電性，則在基底基板 102 中與第 2 分離層 110 相接的區域施加電壓，該電壓可作用為對第 2MISFET130 之背閘極電壓。該等背閘極電壓之作用可使第

1MISFET120 及第 2MISFET130 之啟動電流變大並使關閉電流變小。

上述半導體裝置 100 中具有複數個第 1 半導體結晶層 104，複數個第 1 半導體結晶層 104 可分別在與基底基板 102 上面平行之面內規則性排列。規則性是指例如重複相同之排列圖案。此外，半導體裝置 100 可具有複數個第 2 半導體結晶層 106，複數個第 2 半導體結晶層 106 可分別在與基底基板 102 上面平行之面內規則性排列。此外，半導體裝置 100 可規則性具有複數個第 1 半導體結晶層 104 及第 2 半導體結晶層 106 兩者。如此，藉由規則性排列第 1 半導體結晶層 104 及第 2 半導體結晶層 106，而可提高半導體裝置 100 所使用之半導體基板的生產性。第 2 半導體結晶層 106 或第 1 半導體結晶層 104 之規則性排列可藉由以下任一方法實施：將第 2 半導體結晶層 106 或第 1 半導體結晶層 104 磊晶成長後使第 2 半導體結晶層 106 或第 1 半導體結晶層 104 規則性排列並圖案化之方法；將第 2 半導體結晶層 106 或第 1 半導體結晶層 104 預先規則性排列並選擇性磊晶成長之方法；或是將第 2 半導體結晶層 106 或第 1 半導體結晶層 104 任一者或兩者在半導體結晶層形成基板 160 上磊晶成長後，由半導體結晶層形成基板 160 分離並整形成預定形狀後，規則性排列並貼合於基底基板 102 上之方法，此外，可藉由組合任意複數方法之方法而實施。

上述半導體裝置 100 說明：使第 1 半導體結晶層 104

及第 1 分離層 108 形成於半導體結晶層形成基板 140 上，並貼合第 1 分離層 108 與基底基板 102 後，將半導體結晶層形成基板 140 除去，藉此使第 1 半導體結晶層 104 及第 1 分離層 108 形成於基底基板 102 上；並且使第 2 半導體結晶層 106 及第 2 分離層 110 形成於半導體結晶層形成基板 160 上，貼合第 2 分離層 110 與基底基板 102 後，將半導體結晶層形成基板 160 除去，藉此使第 2 半導體結晶層 106 及第 2 分離層 110 形成於基底基板 102 上。但是，第 1 半導體結晶層 104 與第 2 半導體結晶層 106 之任一者為包含 SiGe、另一者為包含 III-V 族化合物半導體結晶時，包含 SiGe 者之半導體結晶層及分離層可藉由氧化濃縮法而形成。以下說明第 1 半導體結晶層 104 為包含 SiGe 之情形。亦即，在形成第 1 半導體結晶層 104 前，於基底基板 102 上形成包含絕緣體之第 1 分離層 108，並在第 1 分離層 108 上形成成為第 1 半導體結晶層 104 之起始材料的 SiGe 層。將 SiGe 層在氧化氛圍中加熱並氧化表面。藉由氧化 SiGe 層而提高 SiGe 層中之 Ge 原子濃度，可作為 Ge 濃度高之第 1 半導體結晶層 104。之後，藉由蝕刻除去形成第 2 半導體結晶層 106 之區域之 SiGe 層並作為第 1 半導體結晶層 104。

或者，第 1 半導體結晶層 104 與第 2 半導體結晶層 106 之任一者為包含 IV 族半導體結晶，另一者為包含 III-V 族化合物半導體結晶時，包含 IV 族半導體結晶者之半導體結晶層及分離層可藉由智切法而形成。以下說明第 1 半導體結

晶層 104 為包含 IV 族半導體結晶之情形。亦即，於包含 IV 族半導體結晶的半導體層材料基板的表面形成包含絕緣體之第 1 分離層 108，通過第 1 分離層 108 使陽離子注入於半導體層材料基板的分離預定深度。以使第 1 分離層 108 之表面與基底基板 102 的表面接合之方式貼合半導體層材料基板與基底基板 102，加熱半導體層材料基板及基底基板 102。藉加熱使注入於分離預定深度之陽離子與構成半導體層材料基板之 IV 族原子反應，並使位於分離預定深度之 IV 族半導體結晶改質。若以此狀態分離半導體層材料基板與基底基板 102，則使較 IV 族半導體結晶的改質部位更位於基底基板 102 側之 IV 族半導體結晶從半導體層材料基板剝離。若對附著於基底基板 102 側之半導體層材料實施適當的研磨，並藉由蝕刻除去形成第 2 半導體結晶層 106 之區域之該半導體結晶層，可使基底基板 102 上殘留之半導體結晶層作為第 1 半導體結晶層 104。

上述半導體裝置 100 中，第 1 分離層 108 及第 2 分離層 110 之任一者為具有較位於其上之半導體結晶層之禁制帶寬為更大的禁制帶寬之半導體結晶時，分離層係可使用磊晶成長法連續地形成至半導體結晶層。以下說明第 1 分離層 108 包含半導體結晶之情形。在基底基板 102 上藉由磊晶成長法而形成第 1 分離層 108，並在第 1 分離層 108 上藉由磊晶成長法而形成第 1 半導體結晶層 104。磊晶成長之後，如第 9 圖所示般，使用遮罩 185 並藉由蝕刻而去除形成第 2 半導體結晶層 106 之區域之第 1 半導體結晶層

104 及第 1 分離層 108。如此可獲得與第 3 圖相同之半導體基板。本方法中，可使第 1 分離層 108 及第 1 半導體結晶層 104 連續、或第 2 分離層 110 及第 2 半導體結晶層 106 連續並藉由磊晶成長法形成，可使製造步驟變簡單。

將第 1 分離層 108 及第 1 半導體結晶層 104、或第 2 分離層 110 及第 2 半導體結晶層 106 之任一組藉由磊晶成長法而連續地形成時，可使用選擇磊晶成長法而形成第 1 分離層 108 及第 1 半導體結晶層 104、或第 2 分離層 110 及第 2 半導體結晶層 106。如第 10 圖所示般，將基底基板 102 表面之形成第 2 分離層 110 及第 2 半導體結晶層 106 之區域，以 SiO_2 等之成長阻礙層 187 覆蓋並實施磊晶成長。在不存在成長阻礙層 187 之區域之基底基板 102 上，選擇性磊晶成長第 1 半導體結晶層 104 及第 1 分離層 108。之後除去成長阻礙層 187，可獲得與第 3 圖相同之半導體基板。

第 1 分離層 108 或第 2 分離層 110 為磊晶成長結晶時，可氧化第 1 分離層 108 或第 2 分離層 110 而轉換為非晶質絕緣體層。例如，第 1 分離層 108 或第 2 分離層 110 為 AlAs 或 AlInP 時，可藉由選擇氧化技術而使第 1 分離層 108 或第 2 分離層 110 為絕緣性酸化物。

上述半導體裝置 100 之製造方法之貼合步驟中說明將半導體結晶層形成基板蝕刻並除去的例子，但可如第 11 圖所示般使用結晶性犧牲層 190 並除去半導體結晶層形成基板。亦即，在於半導體結晶層形成基板 140 上形成第 1

半導體結晶層 104 前，在半導體結晶層形成基板 140 表面藉由磊晶成長法而形成結晶性犧牲層 190。之後於結晶性犧牲層 190 表面藉由磊晶成長法而形成第 1 半導體結晶層 104 及第 1 分離層 108，並將第 1 分離層 108 表面與基底基板 102 表面以氫束 150 活性化。之後貼合第 1 分離層 108 表面與基底基板 102 表面，並如第 12 圖所示般除去結晶性犧牲層 190。如此而使半導體結晶層形成基板 140 上之第 1 半導體結晶層 104 及第 1 分離層 108 由半導體結晶層形成基板 140 分離。根據該方而使半導體結晶層形成基板 140 可再利用，並可降低製造成本。

第 13 圖係表示半導體裝置 200 之截面。半導體裝置 200 不具有半導體裝置 100 中之第 1 分離層 108，第 1 半導體結晶層 104 與基底基板 102 相接而配置。另外，除了沒有第 1 分離層 108 以外係具有與半導體裝置 100 相同構造，故省略共通構件等之說明。

亦即，半導體裝置 200 係基底基板 102 與第 1 半導體結晶層 104 相接在接合面 103，基底基板 102 之接合面 103 附近可含有顯示 p 型或 n 型傳導型的雜原子，於第 1 半導體結晶層 104 之接合面 103 附近含有顯示與基底基板 102 所含有雜原子所顯示之傳導型相異的傳導型之雜原子。亦即，半導體裝置 200 係於接合面 103 之附近具有 pn 接合。即使為無第 1 分離層 108 之構造，藉由形成於接合面 103 附近的 pn 接合而可使基底基板 102 與第 1 半導體結晶層 104 電性分離，可使形成於第 1 半導體結晶層 104 之第

1MISFET 120 與基底基板 102 電性分離。

半導體裝置 200 可以如下之方式製造。如第 14 圖所示般，在基底基板 102 表面之全面藉由磊晶成長法而形成第 1 半導體結晶層 104。接著，藉由蝕刻除去形成第 2 半導體結晶層 106 之區域之第 1 半導體結晶層 104。在除去第 1 半導體結晶層 104 之區域之基底基板 102 上，以相同與第 4 圖及第 5 圖所說明之步驟而形成第 2 分離層 110 及第 2 半導體結晶層 106。之後之步驟係與半導體裝置 100 相同。但是，pn 接合之形成係藉由以下方式實施：於基底基板 102 表面附近含有顯示 p 型或 n 型傳導型的雜原子，在藉由磊晶成長法而形成第 1 半導體結晶層 104 之步驟中，在第 1 半導體結晶層 104 摻雜顯示與基底基板 102 所含有雜原子所顯示之傳導型相異的傳導型之雜原子。

在基底基板 102 上直接形成第 1 半導體結晶層 104 之構造中，元件分離之必要性低時作為分離構造之 pn 接合並非必須。亦即，半導體裝置 200 可為在基底基板 102 之接合面 103 附近不含有顯示 p 型或 n 型傳導型的雜原子，並在第 1 半導體結晶層 104 之接合面 103 附近不含有顯示 p 型或 n 型傳導型的雜原子之構造。

在基底基板 102 上直接形成第 1 半導體結晶層 104 時，可在磊晶成長後或磊晶成長途中實施退火處理。藉由退火處理可降低第 1 半導體結晶層 104 中之移位 (dislocation)。此外，磊晶成長法可為於基底基板 102 表面全體使第 1 半導體結晶層 104 同樣地成長之方法，或

是以 SiO_2 等之成長阻礙層而將基底基板 102 表面分割為細部並選擇性成長之方法之任一磊晶成長法。

申請專利範圍、說明書及圖式中所示之裝置、裝置、程式及方法中的動作、順序、步驟及段階等各處理實行順序並無特別明示「在…之前」、「於…前」等，此外，在未限制將前面處理之輸出物用於後面處理時，可以任意順序實現，此係需留意。有關申請專利範圍、說明書及圖式之動作流程，方便上「首先」、「接著」等而說明，即使如此也並不代表必須以此順序實施。此外，第 1 層為第 2 層之「上方」係包括第 1 層接於第 2 層上面而設置之情形，與第 1 層下面及第 2 層上面之間介置有其他層之情形。此外，「上」、「下」等指示方向之詞句是表示半導體基板及半導體裝置中的相對方向，並非指對於地面等外部之基準面的絕對方向。

【圖式簡單說明】

第 1 圖表示半導體裝置 100 之截面。

第 2 圖表示半導體裝置 100 之製造過程中之截面。

第 3 圖表示半導體裝置 100 之製造過程中之截面。

第 4 圖表示半導體裝置 100 之製造過程中之截面。

第 5 圖表示半導體裝置 100 之製造過程中之截面。

第 6 圖表示半導體裝置 100 之製造過程中之截面。

第 7 圖表示半導體裝置 100 之製造過程中之截面。

第 8 圖表示半導體裝置 100 之製造過程中之截面。

第 9 圖表示其他半導體裝置之製造過程中之截面。

第 10 圖表示其他半導體裝置之製造過程中之截面。

第 11 圖表示其他半導體裝置之製造過程中之截面。

第 12 圖表示其他半導體裝置之製造過程中之截面。

第 13 圖表示半導體裝置 200 之截面。

第 14 圖表示半導體裝置 200 之製造過程中之截面。

【主要元件符號說明】

100、200	半導體裝置	102	基底基板
103	接合面	104	第 1 半導體結晶層
104a	第 1 半導體結晶層之一部分		
106	第 2 半導體結晶層		
106a	第 2 半導體結晶層之一部分		
108	第 1 分離層	110	第 2 分離層
112	絕緣層	112a	絕緣層之一部分
120	第 1 MISFET	122	第 1 閘極
124	第 1 源極	126	第 1 汲極
130	第 2 MISFET	132	第 2 閘極
134	第 2 源極	136	第 2 汲極
140、160	半導體結晶層形成基板		
150	氬束	170	金屬膜
185	遮罩	187	成長阻礙層
190	結晶性犧牲層		

七、申請專利範圍：

1. 一種半導體裝置，其具有：

基底基板、

位於前述基底基板表面一部分之上方之第 1 半導體結晶層、

位於與前述基底基板表面之前述一部分相異之其他部分上方之第 2 半導體結晶層、

將前述第 1 半導體結晶層一部分作為通道並具有第 1 源極及第 1 汲極之第 1MISFET、以及

將前述第 2 半導體結晶層之一部分作為通道並具有第 2 源極及第 2 汲極之第 2MISFET，其中，

前述第 1MISFET 係第 1 通道型之 MISFET，前述第 2MISFET 係與第 1 通道型相異之第 2 通道型之 MISFET，

前述第 1 源極及前述第 1 汲極係包含構成前述第 1 半導體結晶層之原子與鎳原子之化合物、構成前述第 1 半導體結晶層之原子與鈷原子之化合物、或是構成前述第 1 半導體結晶層之原子與鎳原子與鈷原子之化合物，

前述第 2 源極及前述第 2 汲極係包含構成前述第 2 半導體結晶層之原子與鎳原子之化合物、構成前述第 2 半導體結晶層之原子與鈷原子之化合物，或是構成前述第 2 半導體結晶層之原子與鎳原子與鈷原子之化合物。

2. 如申請專利範圍第 1 項所述之半導體裝置，其復具有：

位於前述基底基板與前述第 1 半導體結晶層之間並使前述基底基板與前述第 1 半導體結晶層電性分離之第 1 分離層、以及

位於前述基底基板與前述第 2 半導體結晶層之間並使前述基底基板與前述第 2 半導體結晶層電性分離之第 2 分離層。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中，前述基底基板與前述第 1 半導體結晶層相接於接合面，

前述接合面附近之前述基底基板之區域可含有顯示 p 型或 n 型之傳導型之雜原子，

前述接合面之附近之前述第 1 半導體結晶層之區域可含有顯示與前述基底基板含有之雜原子所顯示傳導型相異之傳導型的雜原子，

並且可復具有位於前述基底基板與前述第 2 半導體結晶層之間並使前述基底基板與前述第 2 半導體結晶層電性分離之第 1 分離層。

4. 如申請專利範圍第 2 項所述之半導體裝置，其中，前述基底基板與前述第 1 分離層相接，前述基底基板與前述第 1 分離層之相接區域為導電性，在前述基底基板與前述第 1 分離層之相接區域所施加之電壓係可作用為對前述第 1 MISFET 之背閘極電壓。

5. 如申請專利範圍第 2 項所述之半導體裝置，其中，前述基底基板與前述第 2 分離層相接，前述基底基板與前述第 2 分離層之相接區域為導電性，在前述基底基

板與前述第 2 分離層之相接區域所施加之電壓係可作用為對前述第 2MISFET 之背閘極電壓。

6. 如申請專利範圍第 1 項所述之半導體裝置，其中，

前述第 1 半導體結晶層為包含 IV 族半導體結晶，
且前述第 1MISFET 為 P 通道型 MISFET，

前述第 2 半導體結晶層為包含 III-V 族化合物半導體結晶，
且前述第 2MISFET 為 N 通道型 MISFET。

7. 如申請專利範圍第 1 項所述之半導體裝置，其中，

前述第 1 半導體結晶層為包含 III-V 族化合物半導體結晶，
且第 1MISFET 為 N 通道型 MISFET，

前述第 2 半導體結晶層為包含 IV 族半導體結晶，
且前述第 2MISFET 為 P 通道型 MISFET。

8. 一種半導體基板，其係使用於申請專利範圍第 1 項之半導體裝置的半導體基板，具有：

前述基底基板、

位於前述基底基板表面之一部分上方之第 1 半導體結晶層、以及

位於與前述基底基板表面之前述一部分相異之其他部分上方之第 2 半導體結晶。

9. 如申請專利範圍第 8 項所述之半導體基板，其復具有位於前述基底基板與前述第 1 半導體結晶層或前述第 2 半導體結晶層之間，並使前述基底基板與前述第 1 半導體結晶層或前述第 2 半導體結晶層電性分離之分離層。

10. 如申請專利範圍第 9 項所述之半導體基板，其中，前述分離層包含非晶質絕緣體。
11. 如申請專利範圍第 9 項所述之半導體基板，其中，前述分離層包含半導體結晶，該半導體結晶具有較構成位於該分離層上之半導體結晶層之半導體結晶之禁制帶寬為更大的禁制帶寬。
12. 如申請專利範圍第 8 項所述之半導體基板，其中，由前述第 1 半導體結晶層及前述第 2 半導體結晶層所選擇之 1 個半導體結晶層與前述基底基板相接於接合面，
前述接合面附近的前述基底基板之區域含有顯示 p 型或 n 型之傳導型之雜原子，
前述接合面附近之前述半導體結晶層之區域含有顯示與前述基底基板含有之雜原子所顯示傳導型相異傳導型之雜原子。
13. 如申請專利範圍第 8 項所述之半導體基板，其具有複數個前述第 1 半導體結晶層、複數個前述第 2 半導體結晶層，
複數個前述第 1 半導體結晶層分別在與前述基底基板上表面平行之面內規則性排列，
複數個前述第 2 半導體結晶層可分別在與前述基底基板上表面平行之面內規則性排列。
14. 一種半導體基板之製造方法，係製造申請專利範圍第 8 項所述之半導體基板的方法，具有在前述基底基板表面之一部分上方形成前述第 1 半導體結晶層之第 1 半

導體結晶層形成步驟、以及在與前述基底基板表面之前述一部分相異之其他部分上方形成前述第 2 半導體結晶層之第 2 半導體結晶層形成步驟，其中，

前述第 2 半導體結晶層形成步驟具有：

在半導體結晶層形成基板上藉由磊晶結晶成長法形成前述第 2 半導體結晶層之磊晶成長步驟；

在前述基底基板上、前述第 2 半導體結晶層上、或前述基底基板及前述第 2 半導體結晶層兩者上，形成使前述基底基板與前述第 2 半導體結晶層電性分離之第 2 分離層的步驟；

以使前述基底基板上之前述第 2 分離層與前述第 2 半導體結晶層接合之方式、使前述第 2 半導體結晶層上之前述第 2 分離層與前述基底基板接合之方式、或使前述基底基板上之前述第 2 分離層與前述第 2 半導體結晶層上之前述第 2 分離層接合之方式，貼合前述基底基板與前述半導體結晶層形成基板之貼合步驟。

15. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其中，前述第 1 半導體結晶層形成步驟具有：

在半導體結晶層形成基板上藉由磊晶結晶成長法形成前述第 1 半導體結晶層之磊晶成長步驟；

在前述基底基板上、前述第 1 半導體結晶層上、或前述基底基板及前述第 1 半導體結晶層兩者上，形成使前述基底基板與前述第 1 半導體結晶層電性分離之第 1 分離層的步驟；

以使前述基底基板上之前述第 1 分離層與前述第 1 半導體結晶層接合之方式、使前述第 1 半導體結晶層上之前述第 1 分離層與前述基底基板接合之方式、或使前述基底基板上之前述第 1 分離層與前述第 1 半導體結晶層之前述第 1 分離層接合之方式，而貼合前述基底基板與前述半導體結晶層形成基板之貼合步驟。

16. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其中，前述第 1 半導體結晶層包含 SiGe、前述第 2 半導體結晶層包含 III-V 族化合物半導體結晶，該方法具有：

在前述第 1 半導體結晶層形成步驟之前，於前述基底基板上形成包含絕緣體之第 1 分離層的步驟，

且前述第 1 半導體結晶層形成步驟具有：

在前述第 1 分離層上形成成為前述第 1 半導體結晶層之起始材料之 SiGe 層的步驟；

將前述 SiGe 層在氧化氛圍中加熱並氧化表面，藉此提高前述 SiGe 層中之 Ge 原子濃度的步驟；以及

蝕刻前述基底基板表面之前述其他部分上方之前述 SiGe 層的步驟。

17. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其中，前述第 1 半導體結晶層包含 IV 族半導體結晶、前述第 2 半導體結晶層包含 III-V 族化合物半導體結晶，並具有：

在包含 IV 族半導體結晶之半導體層材料基板之表

面形成包含絕緣體之第 1 分離層的步驟；

通過前述第 1 分離層而將陽離子注入半導體層材料基板之分離預定深度的步驟；

以使前述第 1 分離層之表面與前述基底基板之表面接合之方式，而貼合前述半導體層材料基板與前述基底基板之貼合步驟；

加熱前述半導體層材料基板及前述基底基板，並使注入前述分離預定深度之陽離子與構成前述半導體層材料基板之IV族原子反應，藉此使位於前述分離預定深度之前述IV族半導體結晶改質的步驟；

藉由分離前述半導體層材料基板與前述基底基板，而使較前述改質步驟所改質之前述IV族半導體結晶之改質部位更接近前述基底基板側之前述IV族半導體結晶由半導體層材料基板剝離的步驟；

蝕刻前述基底基板上殘留之前述IV族半導體結晶所構成半導體結晶層中，位於前述基底基板表面之前述其他部分上方之區域的步驟。

18. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其復具有僅在前述基底基板表面之前述一部分上方，藉由選擇磊晶成長法而選擇性形成包含半導體結晶之前述第 1 分離層的步驟，該半導體結晶具有較構成前述第 1 半導體結晶層之半導體結晶之禁制帶寬為更大的禁制帶寬，

前述第 1 半導體結晶層形成步驟係藉由選擇磊晶

成長法而僅在前述第 1 分離層上選擇性形成前述第 1 半導體結晶層之步驟。

19. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其復具有在前述基底基板表面上方藉由磊晶成長法形成半導體結晶所構成第 1 分離層的步驟，該半導體結晶具有較構成前述第 1 半導體結晶層之半導體結晶之禁制帶寬為更大的禁制帶寬，

且前述第 1 半導體結晶層形成步驟含有：

在前述第 1 分離層上藉由磊晶成長法形成前述第 1 半導體結晶層的步驟，以及

蝕刻前述基底基板表面之前述其他部分上方之前述第 1 半導體結晶層及前述第 1 分離層的步驟。

20. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其中，前述第 1 半導體結晶層形成步驟係藉由選擇磊晶成長法而僅於前述基底基板表面之前述一部分上方選擇性形成前述第 1 半導體結晶層之步驟。

21. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其中，前述第 1 半導體結晶層形成步驟含有：

在前述基底基板表面上方藉由磊晶成長法形成前述第 1 半導體結晶層的步驟、以及

蝕刻前述基底基板表面之前述其他部分上方之前述第 1 半導體結晶層的步驟。

22. 如申請專利範圍第 20 項所述之半導體基板之製造方法，其中，前述基底基板之表面附近可含有顯示 p 型

或 n 型之傳導型雜原子，

在藉由磊晶成長法形成前述第 1 半導體結晶層之步驟中，在第 1 半導體結晶層摻雜顯示與前述基底基板含有之雜原子所顯示之傳導型相異之傳導型的雜原子。

23. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其復具有：

於前述半導體結晶層形成基板上形成半導體結晶層前，在前述半導體結晶層形成基板之表面藉由磊晶結晶成長法形成結晶性犧牲層的步驟；以及

在貼合前述基板與前述半導體結晶層形成基板之後，藉由除去前述結晶性犧牲層，而使藉由磊晶結晶成長法而形成在前述半導體結晶層形成基板上的半導體結晶層與前述半導體結晶層形成基板分離的步驟。

24. 如申請專利範圍第 14 項所述之半導體基板之製造方法，其具有：

在前述第 1 半導體結晶層磊晶成長後將前述第 1 半導體結晶層規則性排列並圖案化的步驟、或預先規則性排列並選擇性磊晶成長前述第 1 半導體結晶層的步驟之任一步驟；以及

在前述第 2 半導體結晶層磊晶成長後將前述第 2 半導體結晶層規則性排列並圖案化的步驟、或預先規則排列並選擇性磊晶成長前述第 2 半導體結晶層的步驟之任一步驟。

25. 一種半導體裝置之製造方法，係使用申請專利範圍第 14 項所述之半導體基板之製造方法，具有：

製造具有前述第 1 半導體結晶層及前述第 2 半導體結晶層之半導體基板的步驟；

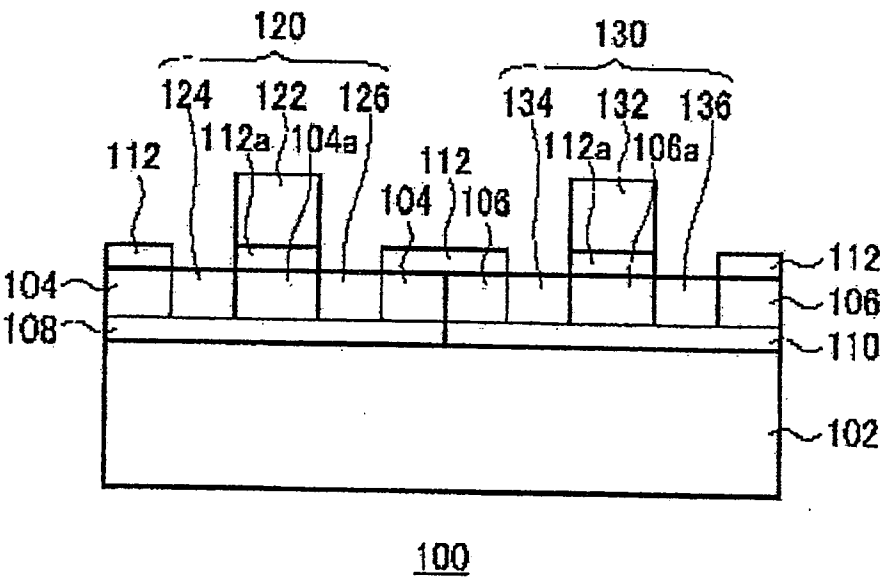
分別在前述第 1 半導體結晶層及前述第 2 半導體結晶層上介置著閘極絕緣層而形成閘極電極的步驟；

在前述第 1 半導體結晶層之源極電極形成區域上、前述第 1 半導體結晶層之汲極電極形成區域上、前述第 2 半導體結晶層之源極電極形成區域上、及前述第 2 半導體結晶層之汲極電極形成區域上，形成由鎳膜、鈷膜及鎳-鈷合金膜所成群組選出之金屬膜的步驟；

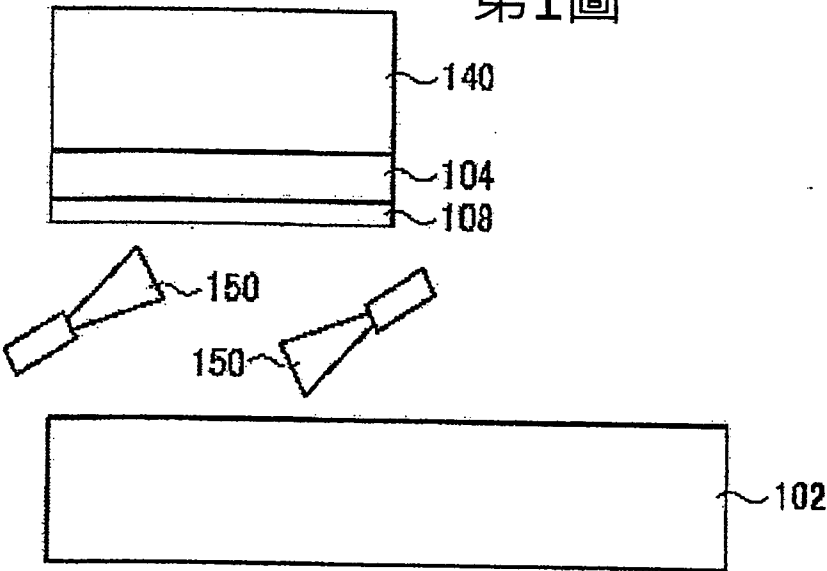
加熱前述金屬膜，在前述第 1 半導體結晶層上形成包含構成前述第 1 半導體結晶層之原子與鎳原子之化合物、構成前述第 1 半導體結晶層之原子與鈷原子之化合物、或構成前述第 1 半導體結晶層之原子與鎳原子與鈷原子之化合物之第 1 源極及第 1 汲極，並在前述第 2 半導體結晶層上形成包含構成前述第 2 半導體結晶層之原子與鎳原子之化合物、構成前述第 2 半導體結晶層之原子與鈷原子之化合物、或構成前述第 2 半導體結晶層之原子與鎳原子與鈷原子之化合物第 2 源極及第 2 汲極的步驟；以及

除去未反應之前述金屬膜的步驟。

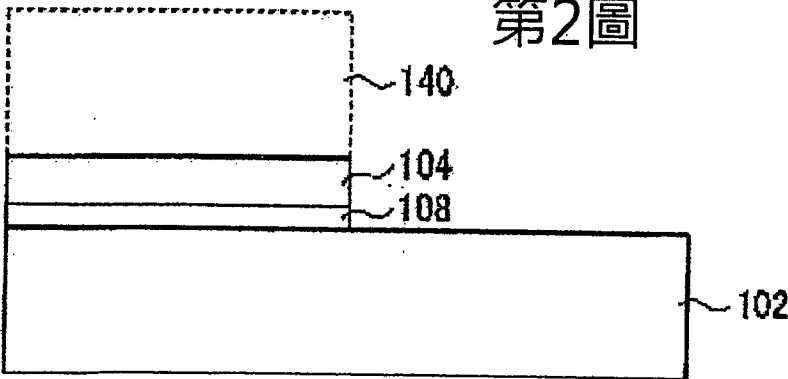
八、圖式：



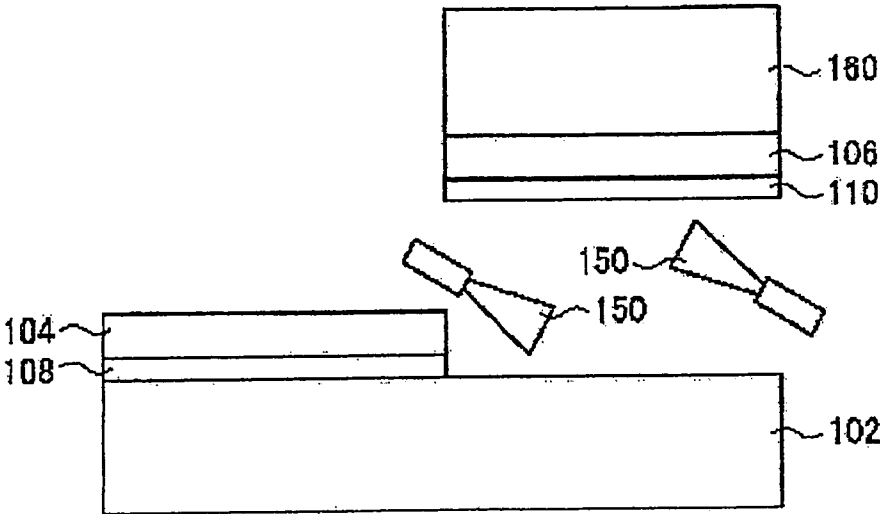
第1圖



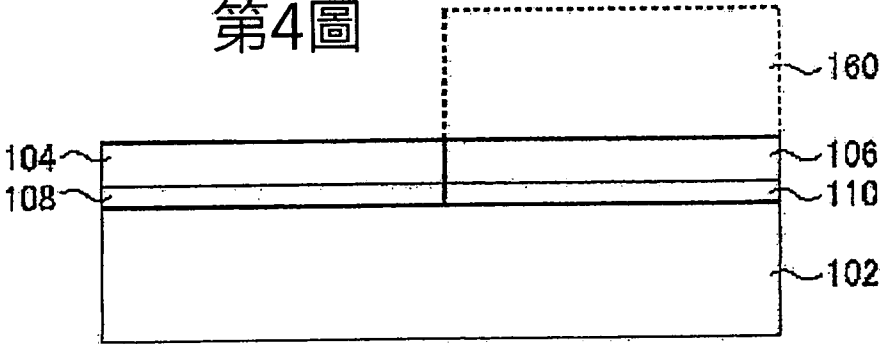
第2圖



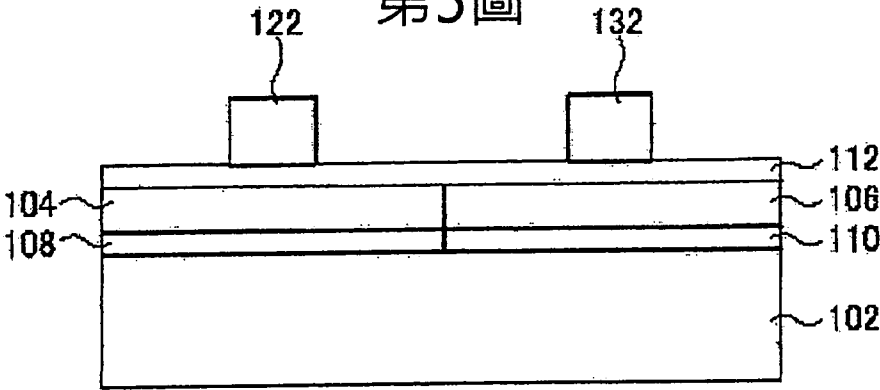
第3圖



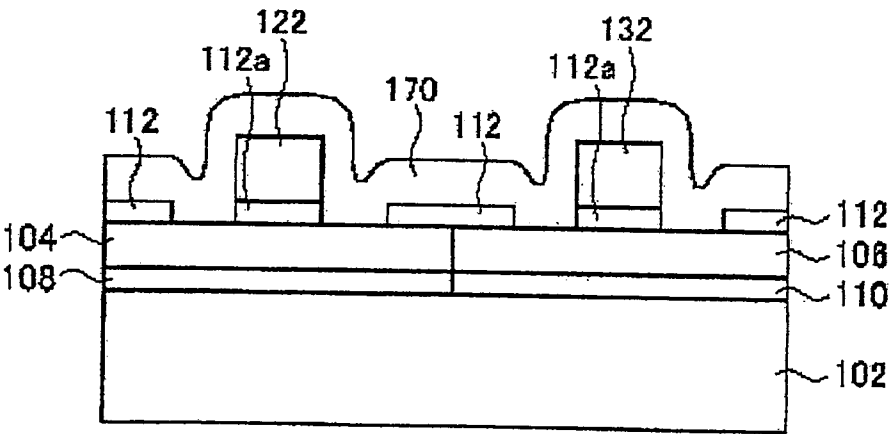
第4圖



第5圖

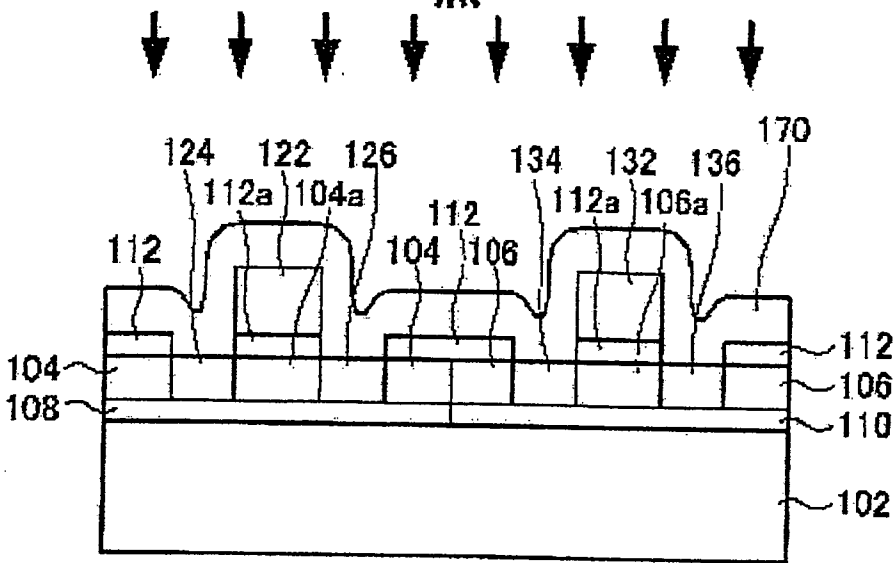


第6圖

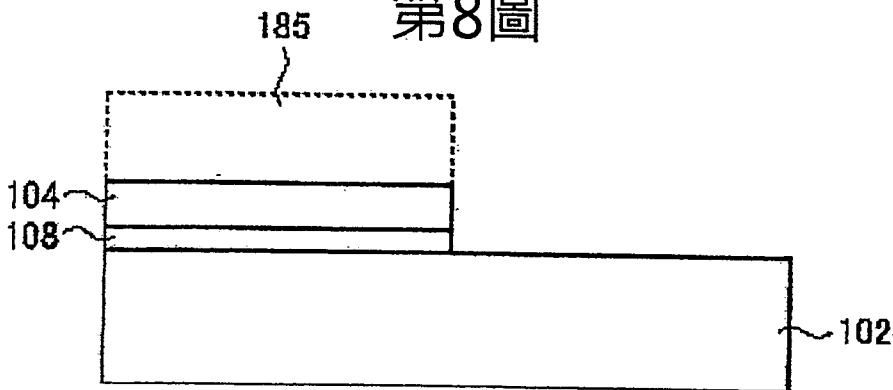


第7圖

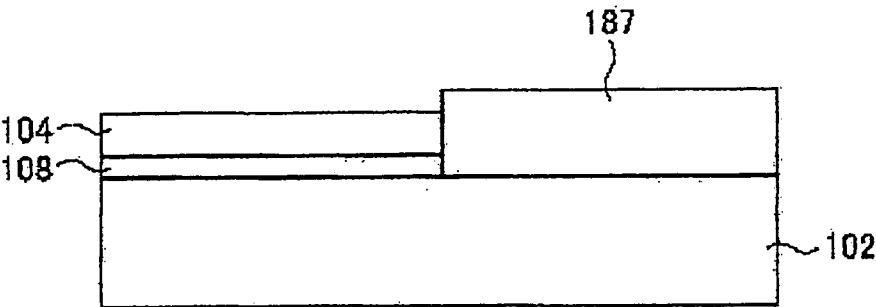
熱



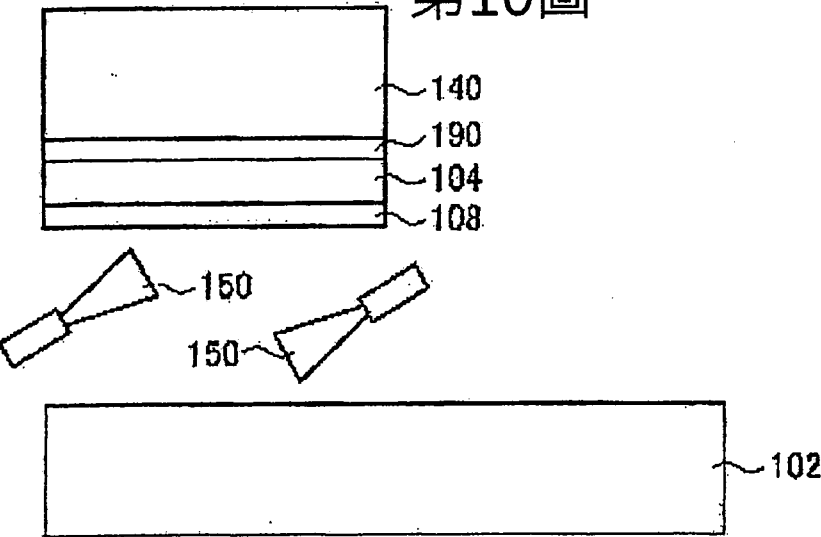
第8圖



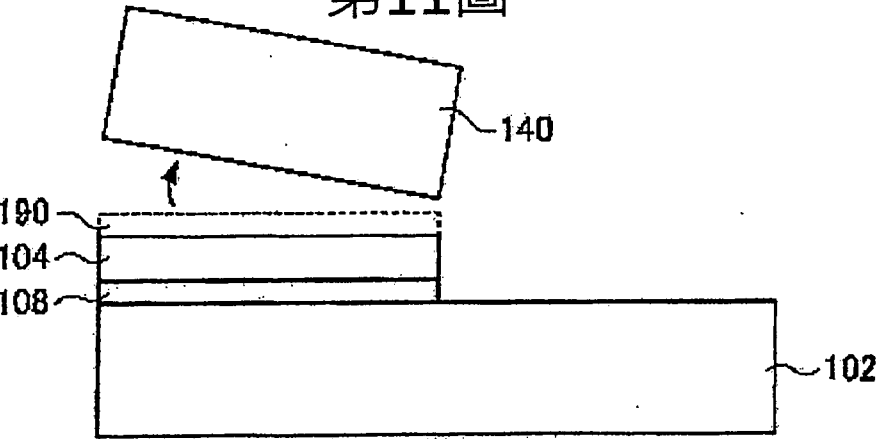
第9圖



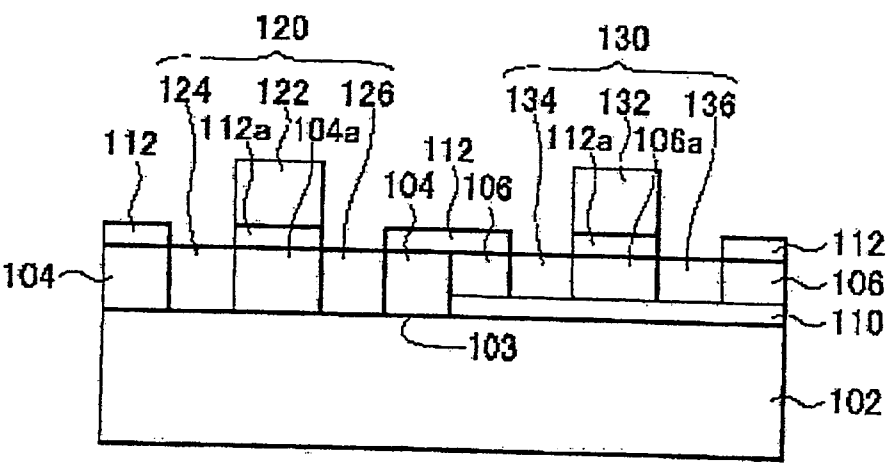
第10圖



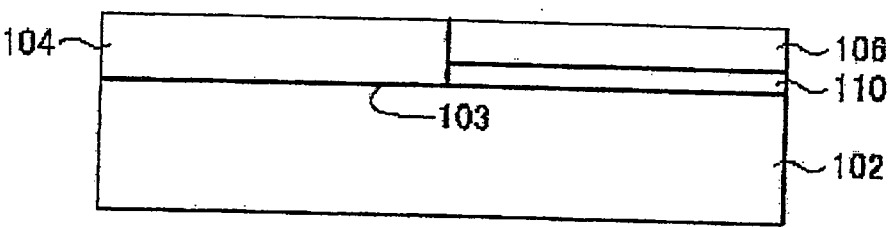
第11圖



第12圖



200 第13圖



第14圖