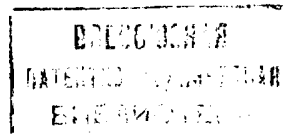




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4399377/24-24

(22) 28.03.88

(46) 23.10.89. Бюл. № 39

(72) В.Д.Герасичкин, В.М.Домнин
и Н.П.Пузеев

(53) 681.325(088.8)

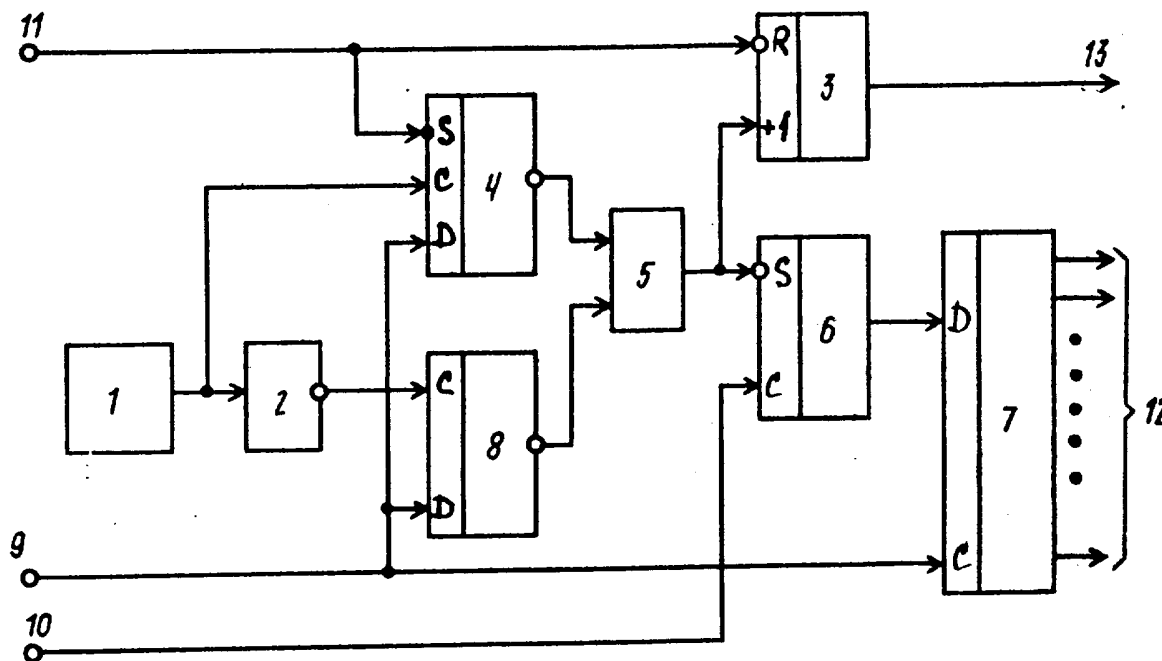
(56) Авторское свидетельство СССР
№ 924696, кл. Н 03 М 7/00, 1982.

Авторское свидетельство СССР
№ 1159164, кл. Н 03 М 7/00, 1983.

(54) ПРЕОБРАЗОВАТЕЛЬ ПОСЛЕДОВАТЕЛЬ-
НОГО КОДА В ПАРАЛЛЕЛЬНЫЙ

(57) Изобретение относится к вычисли-
тельной технике и может быть исполь-
зовано при построении преобразовате-

лей в устройствах сопряжения ЭВМ с двухпроводными каналами связи. Изобретение позволяет упростить конструкцию преобразователя и, кроме того, устранить искажение информации на его выходе, вызванное задержкой фронта сигнала на втором входе преобразователя относительно спада сигнала на его первом входе, чем обеспечивается повышение достоверности работы преобразователя. Преобразователь последовательного кода в параллельный содержит генератор 1 импульсов, элемент НЕ 2, счетчик 3 импульсов, три триггера 4, 6 и 8, элемент И 5 и регистр 7 сдвига. 2 ил.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано при построении преобразователей в устройствах сопряжения ЭВМ с двухпроводными каналами связи.

Целью изобретения является упрощение преобразователя и повышение достоверности его работы.

На фиг.1 представлена блок-схема преобразователя; на фиг.2 - временные диаграммы, поясняющие работу преобразователя.

Преобразователь последовательного кода в параллельный содержит генератор 1 импульсов, элемент НЕ 2, счетчик 3 импульсов, первый триггер 4, элемент И 5, второй триггер 6, регистр 7 сдвига, третий триггер 8 и имеет первый 9 и второй 10 информационные и установочные 11 входы, а также информационный 12 и управляющий 13 выходы.

На фиг.2 обозначены: а - сигнал, поступающий на преобразователь с двухпроводного канала связи; б - сигнал на входе 9; в - сигнал на входе 10; г - сигнал на выходе генератора 1; д - сигнал на выходе триггера 4; е - сигнал на выходе триггера 8; ж - сигнал на выходе элемента И 5; з - сигнал на выходе триггера 6.

Преобразователь последовательного кода в параллельный работает следующим образом.

Информационный бит передается за время, равное $4T_0$, и кодируется следующим образом: "1" как последовательность (+U, -U, 0), "0" как последовательность (-U, +U, 0). Информация следует последовательно бит за битом по одиннадцать бит в каждой информационной посылке. 11-битные информационные посылки разделяют время не менее $8T_0$.

При включении питания преобразователь устанавливается в исходное состояние, которое определяется обнулением 11-разрядного счетчика 3 и установкой триггера 6 в "1" через триггер 4 и элемент И 5 сигналом по входу 11. На информационных входах 9 и 10 сигналы отсутствуют.

Если первым появляется информационный сигнал на входе 9, то он записывает исходное единичное состояние триггера 6 в регистр 7, а также поступает на D-выходы триггеров 4 и 8, которые по синхросигналам от генератора 1, формирующего сигнала типа меандр с периодом следования импульсов не более $2/3 T_0$, устанавливаются в единичное состояние. Так как выходы триггеров 4 и 8 соединены с S-входом триггера 6 через элемент И 5, то срабатывание хотя бы одного из триггеров 8 и 4 обеспечивает сохранение исходного единичного состояния триггера 6.

Появившийся на втором информационном входе 10 сигнал вслед за сигналом на первом входе 9 не может вывести триггер 6 из исходного единичного состояния, так как на приоритетный вход (S-вход) триггера 6 воздействует сигнал с выхода элемента И 5.

Если первым появляется сигнал на втором входе 10, то он устанавливает триггер 6 в нулевое состояние. Сигнал, появившийся на первом входе 9, записывает нуль с выхода триггера 6 в регистр 7, а затем этим же сигналом через триггеры 4 и 8 и элемент И 5 триггер 6 устанавливается в исходное единичное состояние. С выхода элемента И 5 сигнал в это время поступает на счетный вход 11-разрядного счетчика 3, состояние которого увеличивается на единицу.

Задержка срабатывания триггеров 4 и 8 и элемента И 5 не приводит к опрокидыванию триггера 6 из нулевого состояния в единичное сигналом, появившимся на первом входе 9, прежде, чем этим сигналом нулевое состояние триггера 6 не будет записано в регистр 7.

Прием информационного бита завершается отсутствием сигналов на первом 9 и втором 10 входах устройства в течение времени не менее $2T_0$. За это время триггеры 4 и 8 установятся в исходное состояние и через элемент И 5 разрешат работу триггера 6, сохраняя на его выходе "1".

Если сигнал вновь появляется на первом входе 9, процедура обработки и записи информации в регистр 7 повторяется.

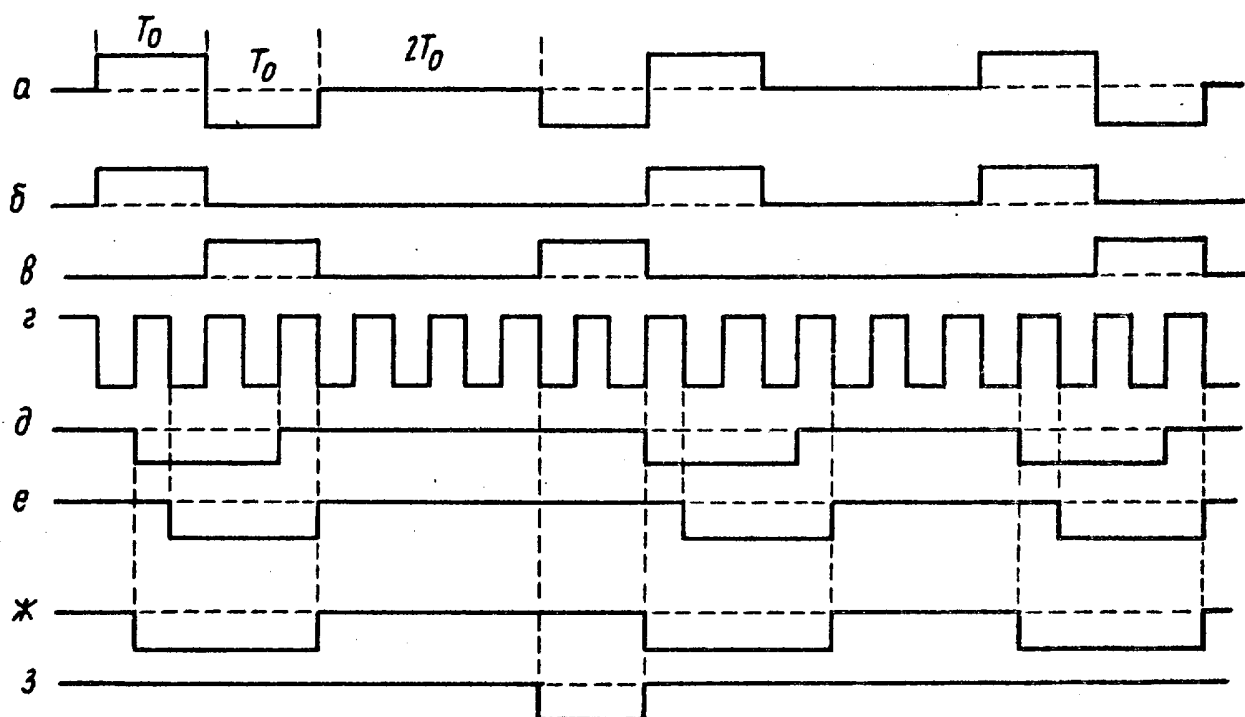
При состоянии счетчика 3, равном одиннадцати, на его выходе появляется сигнал, означающий, что в сдвиговый регистр 7 поступило 11 информационных бит, а сам счетчик 3 обнуляется.

Преобразователь готов к приему очередной 11-битной информационной посылки.

Ф о р м у л а и з о б р е т е н и я

Преобразователь последовательного кода в параллельный, содержащий генератор импульсов, элемент НЕ, счетчик импульсов, выход которого является управляющим выходом преобразователя, первый триггер, инвертирующий выход которого соединен с первым входом элемента И, выход которого соединен с S-входом второго триггера, выход которого соединен с D-входом регистра сдвига, выходы которого являются информационным выходом преобразователя, отличающийся тем, что, с целью упрощения преобразова-

теля и повышения достоверности его работы, в него введен третий триггер, инвертирующий выход которого соединен с вторым входом элемента И, выход генератора импульсов соединен непосредственно с С-входом первого триггера и через элемент НЕ с С-входом третьего триггера, вход записи регистра сдвига объединен с D-входами первого и третьего триггеров и является первым информационным входом преобразователя, С-вход второго триггера является вторым информационным входом преобразователя, счетный вход счетчика импульсов подключен к выходу элемента И, R-вход счетчика импульсов объединен с S-входом первого триггера и является установочным входом преобразователя.



Фиг. 2

Редактор И.Шамова Составитель Б.Ходов Техред Л.Олейник Корректор Э.Лончакова

Заказ 6400/56 Тираж 884 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина, 101