

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)



(10) 国際公開番号

WO 2020/044747 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/3745 (2011.01)
H04N 5/374 (2011.01)

(21) 国際出願番号: PCT/JP2019/024715

(22) 国際出願日: 2019年6月21日(21.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-160090 2018年8月29日(29.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 松村 勇 佑 (MATSUMURA Yusuke); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式

会社内 Kanagawa (JP). 豊福 卓哉(TOYOFUKU Takuya); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

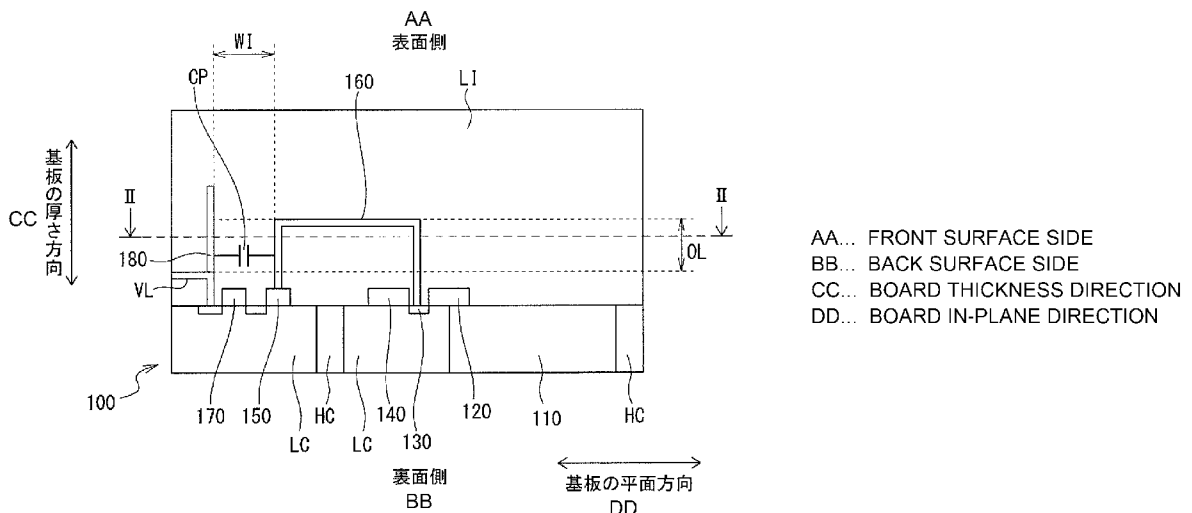
(74) 代理人: 田 中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー3階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子

[図1]



(57) Abstract: A solid-state imaging element comprising: a floating diffusion (130) to which a signal charge having accumulated in a photodiode (110) that performs photoelectric conversion is transferred; a common source amplifier transistor (150) that reads out the signal charge having transferred to the floating diffusion as an electrical signal and amplifies the electrical signal; a first wiring (160) that connects the floating diffusion with the amplifier transistor, and a second wiring (180) that is provided electrically downstream the amplifier transistor, wherein the first wiring and the second wiring face each other at least partially.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 固体撮像素子が、光電変換を行うフォトダイオード (110) に蓄積された信号電荷が転送されるフローティングディフュージョン (130) と、フローティングディフュージョンに転送された信号電荷を電気信号として読み出して増幅するソース接地型の増幅トランジスタ (150) と、フローティングディフュージョンと増幅トランジスタとを接続する第一配線 (160) と、増幅トランジスタよりも電氣的に下流側へ配置された第二配線 (180) を備え、第一配線の少なくとも一部と第二配線の少なくとも一部とが対向している。

明 細 書

発明の名称： 固体撮像素子

技術分野

[0001] 本開示に係る技術（本技術）は、例えば、撮像装置に用いる固体撮像素子に関する。

背景技術

[0002] 固体撮像素子を高感度化させるための技術としては、例えば、特許文献１に開示されている技術のように、増幅トランジスタをソース接地で接続する技術がある。

先行技術文献

特許文献

[0003] 特許文献１：特開２００８－２７１２８０号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献１に開示されている技術では、増幅トランジスタをドレイン接地で接続する技術と比較して、変換効率を決める帰還容量のばらつきが大きくなるため、変換効率のばらつきが大きくなるという問題点がある。

[0005] 本技術は、上記問題点を鑑み、変換効率のばらつきを減少させることが可能な固体撮像素子を提供することを目的とする。

課題を解決するための手段

[0006] 本技術の一態様に係る固体撮像素子は、フローティングディフュージョンと、ソース接地型の増幅トランジスタと、第一配線と、第二配線を備える。

フローティングディフュージョンには、光電変換を行うフォトダイオードに蓄積された信号電荷が転送される。増幅トランジスタは、フローティングディフュージョンに転送された信号電荷を電気信号として読み出して増幅する。第一配線は、フローティングディフュージョンと増幅トランジスタとを

接続する。第二配線は、増幅トランジスタよりも電氣的に下流側へ配置されている。また、第一配線の少なくとも一部と第二配線の少なくとも一部とが対向している。

図面の簡単な説明

- [0007] [図1]第1実施形態に係る固体撮像素子の構成を示す断面図である。
- [図2]図1のⅠ－Ⅰ線断面図である。
- [図3]第2実施形態に係る固体撮像素子の構成を示す断面図である。
- [図4]第3実施形態に係る固体撮像素子の構成を示す断面図である。
- [図5]図4のV－V線断面図である。
- [図6]第4実施形態に係る固体撮像素子の構成を示す断面図である。
- [図7]図6のVⅠ－VⅠ線断面図である。
- [図8]図6のVⅠⅠ－VⅠⅠ線断面図である。
- [図9]第4実施形態の変形例を示す断面図である。
- [図10]第4実施形態の変形例に係る固体撮像素子の構成を示す断面図である。
- 。
- [図11]図10のXⅠ－XⅠ線断面図である。
- [図12]第5実施形態に係る固体撮像素子の構成を示す断面図である。
- [図13]第5実施形態の変形例に係る固体撮像素子の構成を示す断面図である。
- 。
- [図14]第6実施形態に係る固体撮像素子の構成を示す断面図である。
- [図15]第6実施形態の変形例に係る固体撮像素子の構成を示す断面図である。
- 。
- [図16]第7実施形態に係る固体撮像素子の構成を示す断面図である。
- [図17]図16のXⅠ－XⅠ線断面図である。
- [図18]図16のXⅠⅠ－XⅠⅠ線断面図である。
- [図19]第7実施形態の変形例を示す断面図である。
- [図20]第7実施形態の変形例に係る固体撮像素子の構成を示す断面図である。
- 。

[図21]図20のXXI-XXI線断面図である。

[図22]第8実施形態に係る固体撮像素子の構成を示す断面図である。

[図23]図22のXXIII-XXIII線断面図である。

[図24]図22のXXIV-XXIV線断面図である。

[図25]第8実施形態の変形例を示す断面図である。

[図26]第8実施形態の変形例に係る固体撮像素子の構成を示す断面図である。

[図27]図26のXXV-XXV線断面図である。

[図28]第9実施形態に係る固体撮像素子の構成を示す断面図である。

[図29]本技術の第1適用例としての撮像装置の一例を示す断面図である。

[図30]本技術の第2適用例としての電子機器の一例を示す断面図である。

発明を実施するための形態

[0008] 以下、図面を参照して、本技術の実施形態を説明する。図面の記載において、同一または類似の部分には同一または類似の符号を付し、重複する説明を省略する。各図面は模式的なものであり、現実のものとは異なる場合が含まれる。以下に示す実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであって、本技術の技術的思想は、下記の実施形態に例示した装置や方法に特定するものでない。本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることが可能である。

[0009] (第1実施形態)

<固体撮像素子の全体構成>

第1実施形態に係る固体撮像素子は、例えば、CCDイメージセンサやCMOSイメージセンサ等、監視カメラ等に用いる固体撮像装置が備える1つの画素（単位画素）を構成する。

また、第1実施形態では、固体撮像素子が、いわゆる裏面照射型の固体撮像装置の画素を構成する場合を例示する。このため、以降の説明では、図1において、固体撮像素子が備える半導体基板100の受光面（半導体基板1

00の下面)を「裏面」と記載し、半導体基板100の裏面とは反対側の面(半導体基板100の上面)を「表面」と記載する場合がある。

[0010] 図1及び図2中に示すように、固体撮像素子は、フォトダイオード110と、転送トランジスタ120と、フローティングディフュージョン130と、リセットトランジスタ140と、増幅トランジスタ150を備える。これに加え、固体撮像素子は、第一配線160と、選択トランジスタ170と、垂直信号線VLと、第二配線180を備える。なお、図2中では、図1中に示す高濃度領域HC及び絶縁層LIの図示を省略している。

高濃度領域HCは、固体撮像素子を形成するその他の領域(低濃度領域LC)よりもドーピング量が多い領域である。絶縁層LIは、例えば、シリコン酸化膜等で形成されている。

[0011] フォトダイオード110は、入射光を光電変換し、光電変換の光量に応じた電荷を生成して蓄積する。

フォトダイオード110(光電変換素子)の一端(アノード電極)は、接地されている。フォトダイオード110の他端(カソード電極)は、転送トランジスタ120のソース電極に接続されている。

[0012] 転送トランジスタ120は、フォトダイオード110とフローティングディフュージョン130との間に配置されている。転送トランジスタ120のドレイン電極は、リセットトランジスタ140のドレイン電極及び増幅トランジスタ150のゲート電極に接続されている。

また、転送トランジスタ120は、図外のタイミング制御部からゲート電極に供給される駆動信号TGRに従って、フォトダイオード110からフローティングディフュージョン130への電荷の転送をオンまたはオフする。例えば、H(High)レベルの駆動信号TGRがゲート電極に供給されると、フォトダイオード110で光電変換されて、フォトダイオード110に蓄積された信号電荷(例えば、電子)を、フローティングディフュージョン130に転送する。一方、L(Low)レベルの駆動信号TGRがゲート電極に供給されると、フローティングディフュージョン130への信号電荷の

転送を停止する。なお、転送トランジスタ120がフローティングディフュージョン130への信号電荷の転送を停止している間、フォトダイオード110が光電変換した電荷は、フォトダイオード110に蓄積される。なお、以降の説明では、「Highレベル」を「Hレベル」と記載し、「Lowレベル」を「Lレベル」と記載する。また、図中では、Hレベルの駆動信号TGRとLレベルの駆動信号TGRを区別せずに、符号「TGR」で示す。

[0013] フローティングディフュージョン130は、転送トランジスタ120のドレイン電極と、リセットトランジスタ140のソース電極と、増幅トランジスタ150のゲート電極とを接続する点（接続点）に形成されている。

また、フローティングディフュージョン130は、フォトダイオード110から転送トランジスタ120を介して転送されてくる電荷を蓄積し、電圧に変換する。すなわち、フローティングディフュージョン130は、フォトダイオード110に蓄積された信号電荷が転送される。

第1実施形態では、一つのフォトダイオード110に蓄積された信号電荷が、一つのフローティングディフュージョン130に転送される構成について説明する。

[0014] リセットトランジスタ140は、ソース電極がフローティングディフュージョン130に接続され、ドレイン電極が画素電源（図示せず）に接続されている。

また、リセットトランジスタ140は、タイミング制御部からゲート電極に供給される駆動信号RSTに従って、フローティングディフュージョン130に蓄積されている電荷の排出をオンまたはオフする。例えば、リセットトランジスタ140は、Hレベルの駆動信号RSTがゲート電極に供給されると、フォトダイオード110からフローティングディフュージョン130への信号電荷の転送に先立ち、電荷を画素電源へ流す。これにより、フローティングディフュージョン130に蓄積されている電荷を排出（リセット）する。排出する電荷の量は、ドレイン電圧VRDに応じた量である。ドレイン電圧VRDは、フローティングディフュージョン130をリセットするリ

セット電圧である。

一方、リセットトランジスタ140は、Lレベルの駆動信号RSTがゲート電極に供給されると、フローティングディフュージョン130を電氣的に浮遊状態とする。なお、図中では、Hレベルの駆動信号RSTとLレベルの駆動信号RSTを区別せずに、符号「RST」で示す。

[0015] 増幅トランジスタ150は、ゲート電極がフローティングディフュージョン130に接続され、ソース電極が接地された、ソース接地型のトランジスタである。増幅トランジスタ150のソース電極には、図外の回路から、制御電圧VCOMが入力される。増幅トランジスタ150のドレイン電極は、選択トランジスタ170のソース電極に接続されている。

また、増幅トランジスタ150は、リセットトランジスタ140によってリセットされたフローティングディフュージョン130の電位を、リセットレベルとして読み出す。さらに、増幅トランジスタ150は、転送トランジスタ120によって信号電荷が転送されたフローティングディフュージョン130に蓄積されている信号電荷に応じた電圧を増幅する。すなわち、増幅トランジスタ150は、フローティングディフュージョン130に転送された信号電荷を、電気信号として読み出して増幅する。

増幅トランジスタ150により増幅された電圧（電圧信号）は、選択トランジスタ170を介して垂直信号線VLに出力される。

[0016] 第一配線160は、フローティングディフュージョン130と増幅トランジスタ150のゲート電極とを接続する配線である。また、第一配線160は、コンタクトビア形成工程によって、半導体基板100の厚さ方向（図1中では、上下方向）に沿った長さが、サブミクロンから数ミクロンオーダーの長さとなるように形成する。なお、図1中では、半導体基板100の厚さ方向を、「基板の厚さ方向」と示す。以降の図面においても、同様である。

[0017] 選択トランジスタ170は、例えば、ドレイン電極が垂直信号線VLの一端に接続され、ソース電極が増幅トランジスタ150のドレイン電極に接続されている。

また、選択トランジスタ 170 は、タイミング制御部からゲート電極に供給される駆動信号 SEL に従って、増幅トランジスタ 150 から垂直信号線 VL への電圧信号の出力を、オンまたはオフする。例えば、選択トランジスタ 170 は、Hレベルの駆動信号 SEL がゲート電極に供給されると、電圧信号を垂直信号線 VL に出力する。一方、Lレベルの駆動信号 SEL がゲート電極に供給されると、電圧信号の出力を停止する。なお、図中では、Hレベルの駆動信号 SEL と Lレベルの駆動信号 SEL を区別せずに、符号「SEL」で示す。

これにより、選択トランジスタ 170 は、ゲート電極に選択制御信号が与えられることで導通状態になり、垂直走査回路（図示せず）による垂直走査に同期して単位画素を選択する。なお、選択トランジスタ 170 の構成は、増幅トランジスタ 150 のソース電極とソース線との間に接続する構成としてもよい。

[0018] 垂直信号線 VL（垂直信号線）は、増幅トランジスタ 150 で増幅された電気信号を出力する配線である。垂直信号線 VL の一端には、選択トランジスタ 170 のドレイン電極が接続されている。垂直信号線 VL の他端には、図外の A/D変換器が接続されている。

[0019] 第二配線 180 は、増幅トランジスタ 150 よりも電氣的に下流側へ配置されており、一端が垂直信号線 VL の途中、または、垂直信号線 VL のノードに接続されている配線である。第 1 実施形態では、図 1 中に示すように、第二配線 180 の一端を、垂直信号線 VL の途中に接続した構成について説明する。

また、第二配線 180 は、第一配線 160 と同様、コンタクトビア形成工程によって、半導体基板 100 の厚さ方向に沿った長さが、サブミクロンから数ミクロンオーダーの長さとなるように形成する。

[0020] また、第二配線 180 の少なくとも一部は、第一配線 160 の少なくとも一部と対向している。すなわち、第一配線 160 の少なくとも一部と第二配線 180 の少なくとも一部とが対向している。

これにより、第一配線 160 と第二配線 180 が対向している部分には、付加容量 CP が形成されている。付加容量 CP の大きさは、第一配線 160 と第二配線 180 との距離や、第一配線 160 と第二配線 180 とが対向している部分の対向面積等に応じた値となる。なお、図 2 中では、説明のために、付加容量 CP の位置を、図 1 の構成とは異なる位置に図示している。

また、第 1 実施形態では、一例として、図 1 及び図 2 中に示すように、少なくとも第一配線 160 及び第二配線 180 の互いに対向する部分が、半導体基板 100 の厚さ方向に沿って並列に延びている構成について説明する。

[0021] また、第一配線 160 の第二配線 180 と対向する部分と、第二配線 180 の第一配線 160 と対向する部分は、リソグラフィ工程による合わせばらつきの発生を抑制するために、同一工程で形成されることが望ましい。

また、第二配線 180 は、垂直信号線 VL を形成した後に形成する。このため、第二配線 180 を、垂直信号線 VL よりも太く形成することが可能である。

[0022] また、第 1 実施形態では、一例として、図 1 及び図 2 中に示すように、第二配線 180 の少なくとも一部が、第一配線 160 の少なくとも一部と、半導体基板 100 の平面方向（図 1 では左右方向、図 2 では上下方向）に沿って対向している構成について説明する。なお、図中では、半導体基板 100 の平面方向を、「基板の平面方向」と示す。以降の図面においても、同様である。

また、第 1 実施形態では、第一配線 160 及び第二配線 180 の互いに対向している部分の長さである対向部分長さ OL が、第一配線 160 及び第二配線 180 の互いに対向している部分の間隔である配線間隔 WI よりも長い構成について説明する。なお、図 1 中には、説明のために、対向部分長さ OL が配線間隔 WI よりも短い構成を示しているが、実際の構成では、対向部分長さ OL が配線間隔 WI よりも長い構成である。

[0023] 半導体基板 100 上には、フォトダイオード 110、転送トランジスタ 120、フローティングディフュージョン 130、リセットトランジスタ 14

0が形成されている。さらに、半導体基板100上には、増幅トランジスタ150、第一配線160、選択トランジスタ170、垂直信号線VL、第二配線180が形成されている。

[0024] 第1実施形態の構成であれば、第一配線160の少なくとも一部と第二配線180の少なくとも一部とが対向しているため、帰還容量の主要ばらつき因子を分散させつつ、変換効率の調整が可能となる。これにより、変換効率のばらつきを減少させることが可能な固体撮像素子を提供することが可能となる。

[0025] また、少なくとも第一配線160及び第二配線180の互いに対向する部分が、半導体基板100の厚さ方向に沿って並列に延びているため、画素内の横方向に配線を伸ばす必要が無く、セルサイズの小さい画素と組み合わせることが容易となる。また、配線を、隣接する画素の側に伸ばす必要が無いため、電気的な混色を抑制することが可能となる。さらに、半導体基板100の幅方向に延びる配線の追加を最小限に抑えることが可能となる。これにより、画素レイアウトの自由度を向上させることが可能となる。

[0026] また、対向部分長さOLが配線間隔WIよりも長いため、対向部分長さOLが配線間隔WI以下である場合と比較して、付加容量CPを増加させることが可能となる。

[0027] (第2実施形態)

第2実施形態に係る固体撮像素子も、図1に示した断面構造を有し、第1実施形態に係る固体撮像素子の構造と共通する。しかしながら、第2実施形態に係る固体撮像素子は、図3中に示すように、二つのフォトダイオード110a、110bを備える構成が、第1実施形態と相違する。以下の説明では、第1実施形態との共通する部分の説明を省略する。

[0028] フォトダイオード110a及びフォトダイオード110bは、共に、入射光を光電変換し、光電変換の光量に応じた電荷を生成して蓄積する。

フォトダイオード110aの一端は接地されており、フォトダイオード110aの他端は転送トランジスタ120aのソース電極に接続されている。

フォトダイオード110bの一端は接地されており、フォトダイオード110bの他端は転送トランジスタ120bのソース電極に接続されている。

[0029] 転送トランジスタ120aは、フォトダイオード110aとフローティングディフュージョン130との間に配置されている。また、転送トランジスタ120aは、駆動信号TGRaに従って、フォトダイオード110aからフローティングディフュージョン130への電荷の転送をオンまたはオフする。

転送トランジスタ120bは、フォトダイオード110bとフローティングディフュージョン130との間に配置されている。また、転送トランジスタ120bは、駆動信号TGRbに従って、フォトダイオード110bからフローティングディフュージョン130への電荷の転送をオンまたはオフする。

[0030] 以上により、第2実施形態では、複数のフォトダイオード110（フォトダイオード110a，110b）にそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン130へ個別に転送される。

すなわち、第2実施形態では、複数のフォトダイオード110（フォトダイオード110a，110b）が、一つのフローティングディフュージョン130を共有する。

[0031] 第2実施形態の構成であれば、フォトダイオード110の数のみを増やすことで、固体撮像素子の大きさを変えることなく、画素レイアウトの自由度を向上させることが可能となる。

[0032] （第3実施形態）

第3実施形態に係る固体撮像素子は、図4及び図5中に示すように、第二配線180が増幅トランジスタ150と選択トランジスタ170との間に形成されている構成が、第1実施形態と相違する。以下の説明では、第1実施形態との共通する部分の説明を省略する。

[0033] 第二配線180は、例えば、増幅トランジスタ150と選択トランジスタ170との間にビアを設けて形成する。

また、第3実施形態の第二配線180は、第二配線上流部180aと、第二配線中間部180bと、第二配線下流部180cを含む。

[0034] 第二配線上流部180aは、半導体基板100上で、第二配線180の上流側を形成している。また、第二配線上流部180aは、半導体基板100の厚さ方向（図4中では、上下方向）に沿った直線状に形成されている。

第二配線上流部180aの一端は、選択トランジスタ170のソース電極に接続されている。第二配線上流部180aの他端は、第二配線中間部180bの一端に接続されている。

[0035] また、第二配線上流部180aの一部は、第一配線160の一部と、半導体基板100の平面方向（図4では左右方向）で対向している。

これにより、第一配線160と第二配線上流部180aが対向している部分には、第一付加容量CPaが形成されている。第一付加容量CPaの大きさは、第一配線160と第二配線上流部180aとの距離や、第一配線160と第二配線上流部180aとが対向している部分の対向面積等に応じた値となる。

[0036] 第二配線中間部180bは、第二配線上流部180aと第二配線下流部180cとの間に形成されている。また、第二配線中間部180bは、半導体基板100の平面方向に沿って延びる直線状に形成されている。

[0037] 第二配線下流部180cは、半導体基板100上で、第二配線180の下流側を形成している。また、第二配線下流部180cは、半導体基板100の厚さ方向に沿った直線状に形成されている。

第二配線下流部180cの一端は、第二配線中間部180bの他端に接続されている。

[0038] また、第二配線下流部180cの一部は、第一配線160の一部と、半導体基板100の平面方向で対向している。すなわち、第一配線160の少なくとも一部と、第二配線上流部180aの少なくとも一部及び第二配線下流部180cの少なくとも一部とが、半導体基板100の平面方向に沿って対向している。

これにより、第一配線160と第二配線下流部180cが対向している部分には、第二付加容量CPbが形成されている。第二付加容量CPbの大きさは、第一配線160と第二配線下流部180cとの距離や、第一配線160と第二配線下流部180cとが対向している部分の対向面積等に応じた値となる。

[0039] また、第二配線下流部180cと第一配線160との間隔は、第二配線上流部180aと第一配線160との間隔よりも狭い。すなわち、互いに対向する第一配線160の少なくとも一部と第二配線上流部180aの少なくとも一部との間隔と、互いに対向する第一配線160の少なくとも一部と第二配線下流部180cの少なくとも一部との間隔が異なる。

[0040] 第3実施形態の構成であれば、第二配線180の一部（第二配線上流部180a、第二配線下流部180c）と第一配線160を対向させることで、第1実施形態と同様に、帰還容量の主要ばらつき因子を分散させつつ、変換効率の調整が可能となる。このため、変換効率のばらつきを減少させることが可能な固体撮像素子を提供することが可能となる。これは、本技術のように、増幅トランジスタ150をソース接地で接続した固体撮像素子では、増幅トランジスタ150と選択トランジスタ170との間において形成される容量も、帰還容量として含まれることに起因する。

また、第二配線180の構成を、第二配線上流部180aと、第二配線中間部180bと、第二配線下流部180cを含む構成とすることで、第二配線180の構成に対する自由度を向上させることが可能となる。

また、互いに対向する第一配線160の少なくとも一部と第二配線上流部180aの少なくとも一部との間隔と、互いに対向する第一配線160の少なくとも一部と第二配線下流部180cの少なくとも一部との間隔が異なる。このため、それぞれの間隔を調整することで、帰還容量を調整することが可能となる。

[0041] なお、第3実施形態では、第二配線180の構成を、第二配線上流部180aと、第二配線中間部180bと、第二配線下流部180cを含む構成と

したが、これに限定するものではない。すなわち、例えば、第二配線180を、一端が選択トランジスタ170のソース電極に接続され、半導体基板100の厚さ方向に沿った直線状に形成されている部分のみで形成してもよい。

[0042] (第4実施形態)

第4実施形態に係る固体撮像素子は、図6から図8中に示すように、積層した二つの半導体基板（第一半導体基板100a、第二半導体基板100b）を備える（二層構造）。また、第4実施形態に係る固体撮像素子は、第二配線180が、第二配線上流部180aと、第二配線中間部180bと、第二配線下流部180cを含む。なお、図中では、第一半導体基板100aの絶縁層L1と、第二半導体基板100bの絶縁層L1を、一つの符号「L1」で示している。これは、以降の図においても同様である。

[0043] 第一半導体基板100a上には、フォトダイオード110、転送トランジスタ120、フローティングディフュージョン130、リセットトランジスタ140が形成されている。さらに、第一半導体基板100a上には、増幅トランジスタ150、第一配線160、第二配線上流部180a、第二配線中間部180bの一部が形成されている。

第二半導体基板100b上には、第二配線中間部180bの一部、第二配線下流部180c、選択トランジスタ170、垂直信号線VLが形成されている。

[0044] すなわち、複数の半導体基板のうち一の半導体基板（第一半導体基板100a）上に、フォトダイオード110と、フローティングディフュージョン130と、増幅トランジスタ150が形成されている。これに加え、第一半導体基板100a上に、第一配線160と、第二配線180の一部（第二配線上流部180a、第二配線中間部180bの一部）が形成されている。

また、複数の半導体基板のうち他の半導体基板（第二半導体基板100b）上に、第二配線180の他の一部（第二配線中間部180bの一部、第二配線下流部180c）が形成されている。

[0045] 第二配線上流部180aは、一の半導体基板100（第一半導体基板100a）上に形成されている。また、第二配線上流部180aは、半導体基板100の厚さ方向（図6中では、上下方向）に沿った直線状に形成されている。

第二配線上流部180aの一端は、増幅トランジスタ150のドレイン電極に接続されている。

[0046] また、第二配線上流部180aは、第一配線160の一部と、半導体基板100の平面方向（図6では左右方向）で対向している。

これにより、第一配線160と第二配線上流部180aとが対向している部分には、付加容量CPが形成されている。付加容量CPの大きさは、第一配線160と第二配線上流部180aとの距離や、第一配線160と第二配線上流部180aとが対向している部分の対向面積等に応じた値となる。

[0047] 第二配線中間部180bは、第二配線上流部180aと第二配線下流部180cとの間に形成されている。また、第二配線中間部180bは、半導体基板100の平面方向に沿って延びる直線状に形成されている。

第二配線中間部180bの一部は、第一半導体基板100aの第二半導体基板100bと対向する面に形成されている。また、第二配線中間部180bの一部には、第二配線上流部180aの他端が接続されている。

第二配線中間部180bの他の部分は、第二半導体基板100bの第一半導体基板100aと対向する面に形成されている。また、第二配線中間部180bの他の部分には、第二配線下流部180cの一端が接続されている。

[0048] 第二配線下流部180cは、他の半導体基板100（第二半導体基板100b）上に形成されている。また、第二配線下流部180cは、半導体基板100の厚さ方向（図6中では、上下方向）に沿った直線状に形成されている。

第二配線下流部180cの他端は、選択トランジスタ170のソース電極に接続されている。

[0049] 第4実施形態の構成であれば、一の半導体基板上に全ての構成要素を形成

する構成と比較して、第一半導体基板 100a 及び第二半導体基板 100b のそれぞれに配置される構成要素の数を減少させることが可能となる。このため、一の半導体基板上に全ての構成要素を形成する構成と比較して、レイアウト自由度を向上させることが可能となる。

[0050] (第4実施形態の変形例)

第4実施形態では、第二配線 180 の構成を、第二配線上流部 180a と、第二配線中間部 180b と、第二配線下流部 180c を含む構成としたが、これに限定するものではない。すなわち、例えば、第二配線 180 を、第二配線上流部 180a 及び第二配線下流部 180c を含む構成としてもよい。

また、第4実施形態では、固体撮像素子を、積層した二つの半導体基板 100 (第一半導体基板 100a、第二半導体基板 100b) を備える構成としたが、これに限定するものではない。すなわち、例えば、第一半導体基板 100a の第二半導体基板 100b と対向する面と反対側の面に支持基板を積層して、固体撮像素子を、積層した三つ以上の半導体基板を備える構成としてもよい。

[0051] また、例えば、図9中に示すように、二つのフォトダイオード 110a、110b にそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン 130 へ個別に転送される構成としてもよい。

また、例えば、図10及び図11中に示すように、四つのフォトダイオード 110a～110d にそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン 130 へ個別に転送される構成としてもよい。

[0052] (第5実施形態)

第5実施形態に係る固体撮像素子は、図12中に示すように、積層した二つの半導体基板 (第一半導体基板 100a、第二半導体基板 100b) を備える。また、第二配線 180 が、第二配線上流部 180a と、第二配線中間部 180b と、第二配線下流部 180c を含む。

[0053] 第一半導体基板 100a 上には、フォトダイオード 110、転送トランジ

スタ１２０、フローティングディフュージョン１３０、リセットトランジスタ１４０が形成されている。さらに、第一半導体基板１００ａ上には、増幅トランジスタ１５０、第一配線１６０、第二配線上流部１８０ａ、第二配線中間部１８０ｂの一部が形成されている。

第二半導体基板１００ｂ上には、第二配線中間部１８０ｂの一部、第二配線下流部１８０ｃ、選択トランジスタ１７０、垂直信号線ＶＬが形成されている。

[0054] 第二配線上流部１８０ａは、第一半導体基板１００ａ上に形成されている。第一半導体基板１００ａの厚さ方向（図１２中では、上下方向）に沿った直線状に形成されている。

第二配線上流部１８０ａの一端は、増幅トランジスタ１５０のドレイン電極に接続されている。

[0055] また、第二配線上流部１８０ａの一部は、第一配線１６０の一部と、第一半導体基板１００ａの平面方向（図１２では左右方向）で対向している。

これにより、第一配線１６０と第二配線上流部１８０ａが対向している部分には、第一付加容量ＣＰａが形成されている。第一付加容量ＣＰａの大きさは、第一配線１６０と第二配線上流部１８０ａとの距離や、第一配線１６０と第二配線上流部１８０ａとが対向している部分の対向面積等に応じた値となる。

[0056] 第二配線中間部１８０ｂは、第二配線上流部１８０ａと第二配線下流部１８０ｃとの間に形成されている。また、第二配線中間部１８０ｂは、積層した二つの半導体基板（第一半導体基板１００ａ、第二半導体基板１００ｂ）の平面方向に沿って延びる直線状に形成されている。

第二配線中間部１８０ｂの一部は、第一半導体基板１００ａの第二半導体基板１００ｂと対向する面に形成されている。また、第二配線中間部１８０ｂの一部には、第二配線上流部１８０ａの他端が接続されている。

[0057] 第二配線中間部１８０ｂの他の部分は、第二半導体基板１００ｂの第一半導体基板１００ａと対向する面に形成されている。また、第二配線中間部１

80bの他の部分には、第二配線下流部180cの一端が接続されている。

第二配線中間部180bの長さは、第二配線中間部180bに、第一配線160と複数の半導体基板（第一半導体基板100a、第二半導体基板100b）を積層した方向に沿って対向する部分が形成される長さに設定する。すなわち、第一配線160の少なくとも一部と第二配線中間部180bの少なくとも一部とが、複数の半導体基板を積層した方向に沿って対向している。

[0058] これにより、第一配線160の一部と第二配線中間部180bの一部が対向している部分には、第二付加容量CPbが形成されている。第二付加容量CPbの大きさは、第一配線160と第二配線中間部180bとの距離や、第一配線160と第二配線中間部180bとが対向している部分の対向面積等に応じた値となる。

[0059] 第二配線下流部180cは、第二半導体基板100b上に形成されている。また、第二配線下流部180cは、第二半導体基板100bの厚さ方向に沿った直線状に形成されている。

第二配線下流部180cの他端は、選択トランジスタ170のソース電極に接続されている。

[0060] 第5実施形態の構成であれば、第一配線160と第二配線上流部180aが対向している部分のみに付加容量が形成されている構成と比較して、帰還容量を増加させることが可能となる。

[0061] （第5実施形態の変形例）

第5実施形態では、一つのフローティングディフュージョン130に対して、一つのフォトダイオード110のみが接続されている構成これに限定するものではない。すなわち、例えば、図13中に示すように、二つのフォトダイオード110a、110bにそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン130へ個別に転送される構成としてもよい。

[0062] （第6実施形態）

第6実施形態に係る固体撮像素子は、図14中に示すように、積層した二つの半導体基板100（第一半導体基板100a、第二半導体基板100b）を備える。また、第6実施形態に係る固体撮像素子は、第二配線180が、第二配線上流部180aと、第二配線中間部180bと、第二配線下流部180cを含む。さらに、第6実施形態に係る固体撮像素子は、第三配線上流部190aと、第三配線中間部190bと、第三配線下流部190cを含み、第一配線160に接続されて第一配線160から分岐する第三配線190を備える。

[0063] 第一半導体基板100a上には、フォトダイオード110、転送トランジスタ120、フローティングディフュージョン130、リセットトランジスタ140が形成されている。さらに、第一半導体基板100a上には、増幅トランジスタ150、第一配線160、第二配線上流部180a、第二配線中間部180bの一部、第三配線上流部190a、第三配線中間部190bの一部が形成されている。

第二半導体基板100b上には、第二配線中間部180bの一部、第二配線下流部180c、第三配線中間部190bの一部、第三配線下流部190c、選択トランジスタ170、垂直信号線VLが形成されている。

[0064] 第二配線上流部180aは、第一半導体基板100aの厚さ方向（図14中では、上下方向）に沿った直線状に形成されている。

第二配線上流部180aの一端は、増幅トランジスタ150のドレイン電極に接続されている。

[0065] また、第二配線上流部180aの一部は、第一配線160の一部と、第一半導体基板100aの平面方向（図14では左右方向）で対向している。

これにより、第一配線160の一部と第二配線上流部180aの一部が対向している部分には、第一付加容量CPaが形成されている。第一付加容量CPaの大きさは、第一配線160と第二配線上流部180aとの距離や、第一配線160と第二配線上流部180aとが対向している部分の対向面積等に応じた値となる。

[0066] 第二配線中間部 180b は、第二配線上流部 180a と第二配線下流部 180c との間に形成されている。また、第二配線中間部 180b は、第一半導体基板 100a の平面方向に沿って延びる直線状に形成されている。

第二配線中間部 180b の一部は、第一半導体基板 100a の第二半導体基板 100b と対向する面に形成されている。また、第二配線中間部 180b の一部には、第二配線上流部 180a の他端が接続されている。

第二配線中間部 180b の他の部分は、第二半導体基板 100b の第一半導体基板 100a と対向する面に形成されている。また、第二配線中間部 180b の他の部分には、第二配線下流部 180c の一端が接続されている。

[0067] 第二配線下流部 180c は、第二半導体基板 100b の厚さ方向に沿った直線状に形成されている。

第二配線下流部 180c の他端は、選択トランジスタ 170 のソース電極に接続されている。

[0068] 第三配線上流部 190a は、第一半導体基板 100a 上に形成されている。第一半導体基板 100a の厚さ方向に沿った直線状に形成されている。

第三配線上流部 190a の一端は、第一配線 160 のうち、増幅トランジスタ 150 のゲート電極に接続された、第一半導体基板 100a の厚さ方向に沿った直線状の部分に接続されている。

[0069] 第三配線中間部 190b は、第三配線上流部 190a と第三配線下流部 190c との間に形成されている。また、第三配線中間部 190b は、積層した二つの半導体基板（第一半導体基板 100a、第二半導体基板 100b）の平面方向に沿って延びる直線状に形成されている。

第三配線中間部 190b の一部は、第一半導体基板 100a の第二半導体基板 100b と対向する面に形成されている。また、第三配線中間部 190b の一部には、第三配線上流部 190a の他端が接続されている。

[0070] 第三配線中間部 190b の他の部分は、第二半導体基板 100b の第一半導体基板 100a と対向する面に設けられている。また、第三配線中間部 190b の他の部分には、第三配線下流部 190c の一端が接続されている。

第三配線下流部 190c は、第二半導体基板 100b の厚さ方向に沿った直線状に形成されている。

[0071] また、第三配線下流部 190c は、第二配線下流部 180c の一部と、半導体基板（第二半導体基板 100b）の平面方向（図 14 では左右方向）で対向している。すなわち、第二配線 180 の少なくとも一部と第三配線 190 の少なくとも一部とが対向している。

これにより、第三配線下流部 190c と第二配線下流部 180c が対向している部分には、第二付加容量 CPb が形成されている。第二付加容量 CPb の大きさは、第三配線下流部 190c と第二配線下流部 180c との距離や、第三配線下流部 190c と第二配線下流部 180c とが対向している部分の対向面積等に応じた値となる。

また、少なくとも第二配線 180 及び第三配線 190 の互いに対向する部分は、半導体基板（第二半導体基板 100b）の厚さ方向に沿って並列に延びている。

[0072] 第 6 実施形態の構成であれば、第一配線 160 と第二配線上流部 180a が対向している部分のみに付加容量が形成されている構成と比較して、帰還容量を増加させることが可能となる。

[0073] （第 6 実施形態の変形例）

第 6 実施形態では、第二配線 180 の構成を、第二配線上流部 180a と、第二配線中間部 180b と、第二配線下流部 180c を含む構成としたが、これに限定するものではない。すなわち、例えば、第二配線 180 を、第二配線上流部 180a 及び第二配線下流部 180c を含む構成としてもよい。同様に、第三配線 190 を、第三配線上流部 190a 及び第三配線下流部 190c を含む構成としてもよい。

また、例えば、図 15 中に示すように、二つのフォトダイオード 110a, 110b にそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン 130 へ個別に転送される構成としてもよい。

[0074] （第 7 実施形態）

第7実施形態に係る固体撮像素子は、図16から図18中に示すように、積層した二つの半導体基板100（第一半導体基板100a、第二半導体基板100b）を備える。また、第7実施形態に係る固体撮像素子は、第一配線160が、第一配線上流部160aと、第一配線中間部160bと、第一配線下流部160cを含む。

[0075] 第一半導体基板100a上には、フォトダイオード110、転送トランジスタ120、フローティングディフュージョン130、リセットトランジスタ140、第一配線上流部160a、第一配線中間部160bの一部が形成されている。

第二半導体基板100b上には、増幅トランジスタ150、第一配線中間部160bの一部、第一配線下流部160c、選択トランジスタ170、垂直信号線VL、第二配線180が形成されている。

[0076] したがって、一の半導体基板（第一半導体基板100a）上に、フォトダイオード110と、フローティングディフュージョン130と、第一配線上流部160aが形成されている。さらに、他の半導体基板（第二半導体基板100b）上に、増幅トランジスタ150と、第一配線下流部160cと、垂直信号線VLと、第二配線180が形成されている。

また、第一配線160は、一の半導体基板（第一半導体基板100a）上に形成された第一配線上流部160aと、他の半導体基板（第二半導体基板100b）上に形成された第一配線下流部160cを含む。さらに、第一配線160は、第一配線上流部160aと第一配線下流部160cとの間に形成された第一配線中間部160bを含む。

[0077] 第一配線上流部160aは、第一半導体基板100a上で第一配線160の上流側を形成し、第一半導体基板100aの厚さ方向（図16中では、上下方向）に沿った直線状に形成されている。

第一配線上流部160aの一端は、転送トランジスタ120のゲート電極に接続されている。

[0078] 第一配線中間部160bは、積層した二つの半導体基板（第一半導体基板

100a、第二半導体基板100b)の平面方向に沿って延びる直線状に形成されている。

第一配線中間部160bの一部は、第一半導体基板100aの第二半導体基板100bと対向する面に設けられている。また、第一配線中間部160bの一部には、第一配線上流部160aの他端が接続されている。

第一配線中間部160bの他の部分は、第二半導体基板100bの第一半導体基板100aと対向する面に設けられている。また、第一配線中間部160bの他の部分には、第一配線下流部160cの一端が接続されている。

[0079] 第一配線下流部160cは、第二半導体基板100b上で第一配線160の下流側を形成し、第二半導体基板100bの厚さ方向に沿った直線状に形成されている。

第一配線下流部160cの他端は、増幅トランジスタ150のゲート電極に接続されている。

[0080] また、第一配線下流部160cの一部は、垂直信号線VLの途中に一端が接続された第二配線180と、第二半導体基板100bの平面方向(図16では左右方向)で対向している。すなわち、第一配線下流部160cの少なくとも一部と第二配線180の少なくとも一部とが対向している。

これにより、第一配線下流部160cと第二配線180が対向している部分には、付加容量CPが形成されている。付加容量CPの大きさは、第一配線下流部160cと第二配線180との距離や、第一配線下流部160cと第二配線180とが対向している部分の対向面積等に応じた値となる。

また、少なくとも第一配線下流部160c及び第二配線180の互いに対向する部分は、他の半導体基板(第二半導体基板100b)の厚さ方向に沿って並列に延びている。

[0081] 第7実施形態の構成であれば、増幅トランジスタ150よりも前段(上流側)の構成要素を第一半導体基板100a上に形成する構成と比較して、第一半導体基板100aに配置される構成要素の数を減少させることが可能となる。このため、レイアウト自由度を向上させることが可能となる。

[0082] (第7実施形態の変形例)

第7実施形態では、第一配線160の構成を、第一配線上流部160aと、第一配線中間部160bと、第一配線下流部160cを含む構成としたが、これに限定するものではない。すなわち、例えば、第一配線160を、第一配線上流部160a及び第一配線下流部160cを含む構成としてもよい。

[0083] また、例えば、図19中に示すように、二つのフォトダイオード110a, 110bにそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン130へ個別に転送される構成としてもよい。

また、例えば、図20及び図21中に示すように、四つのフォトダイオード110a~110dにそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン130へ個別に転送される構成としてもよい。

[0084] (第8実施形態)

第8実施形態に係る固体撮像素子は、図22から図24中に示すように、積層した二つの半導体基板100(第一半導体基板100a、第二半導体基板100b)を備える。また、第8実施形態に係る固体撮像素子は、第一配線160が、第一配線上流部160aと、第一配線中間部160bと、第一配線下流部160cと、第一配線分岐部160dを含む。

[0085] 第一半導体基板100a上には、フォトダイオード110、転送トランジスタ120、フローティングディフュージョン130、第一配線上流部160aの一部、第一配線中間部160bの一部が形成されている。

第二半導体基板100b上には、リセットトランジスタ140、増幅トランジスタ150、第一配線中間部160bの一部、第一配線下流部160c、第一配線分岐部160d、選択トランジスタ170、垂直信号線VL、第二配線180が形成されている。

[0086] 第一配線上流部160aは、第一半導体基板100a上で第一配線160の上流側を形成し、第一半導体基板100aの厚さ方向(図22中では、上下方向)に沿った直線状に形成されている。

第一配線上流部 160a の一端は、転送トランジスタ 120 のゲート電極に接続されている。

[0087] 第一配線中間部 160b は、積層した二つの半導体基板（第一半導体基板 100a、第二半導体基板 100b）の平面方向に沿って延びる直線状に形成されている。

第一配線中間部 160b の一部は、第一半導体基板 100a の第二半導体基板 100b と対向する面に設けられている。また、第一配線中間部 160b の一部には、第一配線上流部 160a の他端が接続されている。

第一配線中間部 160b の他の部分は、第二半導体基板 100b の第一半導体基板 100a と対向する面に設けられている。また、第一配線中間部 160b の他の部分には、第一配線下流部 160c の一端が接続されている。

[0088] 第一配線下流部 160c は、第二半導体基板 100b 上で第一配線 160 の下流側を形成し、第二半導体基板 100b の厚さ方向に沿った直線状に形成されている。

第一配線下流部 160c の他端は、増幅トランジスタ 150 のゲート電極に接続されている。

[0089] また、第一配線下流部 160c の一部は、第二配線 180 と、半導体基板 100 の平面方向（図 22 では左右方向）で対向している。

これにより、第一配線下流部 160c と第二配線 180 が対向している部分には、付加容量 CP が形成されている。付加容量 CP の大きさは、第一配線下流部 160c と第二配線 180 との距離や、第一配線下流部 160c と第二配線 180 とが対向している部分の対向面積等に応じた値となる。

[0090] 第一配線分岐部 160d は、第一配線下流部 160c の両端部間から分岐して形成されている。

第一配線分岐部 160d の一端は、第一配線上流部 160a に接続されている。第一配線分岐部 160d の他端は、リセットトランジスタ 140 のソース電極に接続されている。

[0091] 第 8 実施形態の構成であれば、リセットトランジスタ 140 よりも前段（

上流側)の構成要素を第一半導体基板100a上に形成する構成と比較して、第一半導体基板100aに配置される構成要素の数を減少させることが可能となる。このため、レイアウト自由度を向上させることが可能となる。

[0092] (第8実施形態の変形例)

第8実施形態では、第一配線160の構成を、第一配線上流部160aと、第一配線中間部160bと、第一配線下流部160cを含む構成としたが、これに限定するものではない。すなわち、例えば、第一配線160を、第一配線上流部160a及び第一配線下流部160cを含む構成としてもよい。

[0093] また、例えば、図25中に示すように、二つのフォトダイオード110a、110bにそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン130へ個別に転送される構成としてもよい。

また、例えば、図26及び図27中に示すように、四つのフォトダイオード110a～110dにそれぞれ蓄積された信号電荷が、一つのフローティングディフュージョン130へ個別に転送される構成としてもよい。

[0094] (第9実施形態)

第9実施形態に係る固体撮像素子は、図28中に示すように、積層した二つの半導体基板100(第一半導体基板100a、第二半導体基板100b)を備える。また、第9実施形態に係る固体撮像素子は、第一配線160が、第一配線上流部160aと、第一配線中間部160bと、第一配線下流部160cと、第一配線分岐部160dを含む。

[0095] 第一半導体基板100a上には、フォトダイオード110、転送トランジスタ120、フローティングディフュージョン130、リセットトランジスタ140、第一配線上流部160aの一部、第一配線中間部160bの一部が形成されている。

第二半導体基板100b上には、増幅トランジスタ150、第一配線中間部160bの一部、第一配線下流部160c、第一配線分岐部160d、選択トランジスタ170、垂直信号線VL、第二配線180が形成されている。

。

[0096] 第一配線上流部 160a は、第一半導体基板 100a 上で第一配線 160 の上流側を形成し、第一半導体基板 100a の厚さ方向（図 28 中では、上下方向）に沿った直線状に形成されている。

第一配線上流部 160a の一端は、転送トランジスタ 120 のゲート電極に接続されている。

[0097] 第一配線中間部 160b は、積層した二つの半導体基板（第一半導体基板 100a、第二半導体基板 100b）の平面方向に沿って延びる直線状に形成されている。

第一配線中間部 160b の一部は、第一半導体基板 100a の第二半導体基板 100b と対向する面に設けられている。また、第一配線中間部 160b の一部には、第一配線上流部 160a の他端が接続されている。

第一配線中間部 160b の他の部分は、第二半導体基板 100b の第一半導体基板 100a と対向する面に設けられている。また、第一配線中間部 160b の他の部分には、第一配線下流部 160c の一端が接続されている。

[0098] 第一配線下流部 160c は、第二半導体基板 100b 上で第一配線 160 の下流側を形成し、第二半導体基板 100b の厚さ方向に沿った直線状に形成されている。

第一配線下流部 160c の他端は、第一配線分岐部 160d の一端に接続されている。

[0099] 第一配線分岐部 160d は、他端が増幅トランジスタ 150 のゲート電極に接続されている。

また、第一配線分岐部 160d の一部は、第二配線 180 と、半導体基板 100 の平面方向（図 28 では左右方向）で対向している。

[0100] これにより、第一配線分岐部 160d と第二配線 180 が対向している部分には、付加容量 CP が形成されている。付加容量 CP の大きさは、第一配線分岐部 160d と第二配線 180 との距離や、第一配線分岐部 160d と第二配線 180 とが対向している部分の対向面積等に応じた値となる。

[0101] また、第9実施形態に係る固体撮像素子は、図28中に示すように、増幅トランジスタ150及び選択トランジスタ170のゲート酸化膜（図示せず）を、第二半導体基板100bの表面よりも、第一半導体基板100aに近い位置へ配置している。

第9実施形態の構成であれば、固体撮像素子を構成する要素を配置するレイアウトの自由度を向上させることが可能となる。

[0102] （第1適用例）

本技術の固体撮像素子は、例えば、図29中に示す構成とすることが可能である。

[0103] 図29中に示す固体撮像装置1は、CMOSイメージセンサである。また、固体撮像装置1は、半導体基板100上に、撮像エリアとしての画素領域4を有する。さらに、画素領域4の周辺領域に、例えば、垂直駆動回路5、カラム選択回路6、水平駆動回路7、出力回路8及び制御回路9を含む周辺回路部（5，6，7，8，9）を有する。

画素領域4は、例えば、行列状に2次元配置された複数の単位画素3（フォトダイオード110に相当）を有する。単位画素3には、例えば、画素行ごとに画素駆動線VD（具体的には、行選択線及びリセット制御線）が配線され、画素列ごとに垂直信号線VLが配線されている。画素駆動線VDは、画素からの信号読み出しのための駆動信号を伝送する。画素駆動線VDの一端は、垂直駆動回路5の各行に対応した出力端に接続されている。

[0104] 垂直駆動回路5は、シフトレジスタやアドレスデコーダ等によって構成される。垂直駆動回路5は、画素領域4の各単位画素3を、例えば、行単位で駆動する。垂直駆動回路5によって選択走査された画素行の各単位画素3から出力される信号は、垂直信号線VLの各々を通してカラム選択回路6に供給される。

カラム選択回路6は、垂直信号線VLごとに設けられたアンプや水平選択スイッチ等によって構成されている。

[0105] 水平駆動回路7は、シフトレジスタやアドレスデコーダ等によって構成さ

れる。水平駆動回路 7 は、カラム選択回路 6 の各水平選択スイッチを走査しつつ順番に駆動する。水平駆動回路 7 による選択走査により、垂直信号線 V_L の各々を通して伝送される各画素の信号が順番に水平信号線 V_H に出力され、水平信号線 V_H を通して半導体基板 100 の外部へ伝送される。

垂直駆動回路 5、カラム選択回路 6、水平駆動回路 7 及び水平信号線 V_H を含む回路部分は、半導体基板 100 上に形成されていてもよく、または、外部制御 IC に配設されたものであってもよい。また、それらの回路部分は、ケーブル等により接続された他の基板に形成されていてもよい。

[0106] 制御回路 9 は、半導体基板 100 の外部から与えられるクロックや、動作モードを指令するデータ等を受け取り、また、固体撮像装置 1 の内部情報等のデータを出力する。さらに、制御回路 9 は、各種のタイミング信号を生成するタイミングジェネレータを有し、タイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動回路 5、カラム選択回路 6 及び水平駆動回路 7 等の周辺回路の駆動制御を行う。

[0107] (第 2 適用例)

本技術の固体撮像素子は、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することが可能である。例えば、図 30 中に、第 2 適用例としての電子機器 2 (カメラ) の概略構成を示す。

[0108] 電子機器 2 は、例えば、静止画または動画を撮影可能なビデオカメラであり、固体撮像装置 1 と、光学系 (光学レンズ) 201 と、シャッタ装置 202 と、固体撮像装置 1 及びシャッタ装置 202 を駆動する駆動部 204 と、信号処理部 203 とを有する。

[0109] 光学系 201 は、被写体からの像光 (入射光) を、固体撮像装置 1 の画素領域 4 へ導く。なお、光学系 201 は、複数の光学レンズから構成されていてもよい。

シャッタ装置 202 は、固体撮像装置 1 への光照射期間及び遮光期間を制御する。

[0110] 駆動部 204 は、固体撮像装置 1 の転送動作及びシャッタ装置 202 のシャッタ動作を制御する。

信号処理部 203 は、固体撮像装置 1 から出力された信号に対し、各種の信号処理を行う。信号処理後の映像信号は、メモリ等の記憶媒体に記憶されるか、あるいは、モニタ等に出力される。

[0111] (その他の実施形態)

上記のように、本技術の実施形態を記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

その他、上記の実施形態において説明される各構成を任意に応用した構成等、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本技術の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

[0112] また、上記の各実施形態では、裏面照射型の固体撮像装置の構成を例示したが、本開示内容は表面照射型の固体撮像装置にも適用可能である。また、本開示の固体撮像装置では、上記の実施形態等で説明した各構成要素を全て備える必要はなく、また逆に他の構成要素を備えていてもよい。さらに、本開示の技術は、固体撮像装置だけではなく、例えば、太陽電池にも適用することが可能である。また、本開示の技術は、監視カメラ等だけではなく、例えば、携帯電話等のモバイル機器や、車載機器にも適用することが可能である。

なお、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0113] なお、本技術は、以下のような構成を取ることが可能である。

(1)

光電変換を行うフォトダイオードに蓄積された信号電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンに転送された信号電荷を電気信号として読み出して増幅するソース接地型の増幅トランジスタと、

前記フローティングディフュージョンと前記増幅トランジスタとを接続する第一配線と、

前記増幅トランジスタよりも電氣的に下流側へ配置された第二配線と、を備え、

前記第一配線の少なくとも一部と前記第二配線の少なくとも一部とが対向している固体撮像素子。

(2)

前記フローティングディフュージョン及び前記増幅トランジスタが形成された半導体基板を備え、

少なくとも前記第一配線及び前記第二配線の互いに対向する部分は、前記半導体基板の厚さ方向に沿って並列に延びている前記(1)に記載した固体撮像素子。

(3)

前記フローティングディフュージョン及び前記増幅トランジスタが形成された半導体基板を備え、

前記第二配線は、前記半導体基板上で前記第二配線の上流側を形成する第二配線上流部と、前記半導体基板上で前記第二配線の下流側を形成する第二配線下流部と、を含み、

前記第一配線の少なくとも一部と、前記第二配線上流部の少なくとも一部及び前記第二配線下流部の少なくとも一部とが、前記半導体基板の平面方向に沿って対向し、

互いに対向する前記第一配線の少なくとも一部と前記第二配線上流部の少なくとも一部との間隔と、互いに対向する前記第一配線の少なくとも一部と前記第二配線下流部の少なくとも一部との間隔が異なる前記(2)に記載した固体撮像素子。

(4)

積層した複数の半導体基板を備え、

前記複数の半導体基板のうちの半導体基板上に、前記フォトダイオードと、前記フローティングディフュージョンと、前記増幅トランジスタと、前記第一配線と、前記第二配線の上流側を形成する第二配線上流部とが形成され、

前記複数の半導体基板のうち他の半導体基板上に、前記第二配線の下流側を形成する第二配線下流部が形成されている前記（１）に記載した固体撮像素子。

（５）

前記第一配線の少なくとも一部と前記第二配線上流部の少なくとも一部とが、前記一の半導体基板の平面方向に沿って対向している前記（４）に記載した固体撮像素子。

（６）

前記第二配線は、前記第二配線上流部と、前記第二配線下流部と、前記第二配線上流部及び前記第二配線下流部間に形成され且つ前記積層した半導体基板の平面方向に沿って延びる第二配線中間部と、を含み、

前記第一配線の少なくとも一部と前記第二配線中間部の少なくとも一部とが、前記複数の半導体基板を積層した方向に沿って対向している前記（４）に記載した固体撮像素子。

（７）

前記第一配線の少なくとも一部と前記第二配線上流部の少なくとも一部とが、前記一の半導体基板の平面方向に沿って対向している前記（６）に記載した固体撮像素子。

（８）

前記増幅トランジスタで増幅された電気信号を出力する垂直信号線を備え、

前記第二配線の一端は、前記垂直信号線の途中、または、前記垂直信号線のノードに接続されている前記（１）～（７）のいずれかに記載した固体撮

像素子。

(9)

積層した複数の半導体基板と、前記増幅トランジスタで増幅された電気信号を出力する垂直信号線と、を備え、

前記第一配線は、前記複数の半導体基板のうちの半導体基板上で前記第一配線の上流側を形成する第一配線上流部と、前記複数の半導体基板のうちの半導体基板上で前記第一配線の下流側を形成する第一配線下流部と、を含み、

前記一の半導体基板上に、前記フォトダイオードと、前記フローティングディフュージョンとが形成され、

前記他の半導体基板上に、前記増幅トランジスタと、前記第二配線と、前記垂直信号線とが形成され、

前記第二配線の一端は、前記垂直信号線の途中に接続され、

前記第一配線下流部の少なくとも一部と前記第二配線の少なくとも一部とが対向している前記 (1) に記載した固体撮像素子。

(1 0)

少なくとも前記第一配線下流部及び前記第二配線の互いに対向する部分は、前記他の半導体基板の厚さ方向に沿って並列に延びている前記 (9) に記載した固体撮像素子。

(1 1)

複数の前記フォトダイオードを備え、

前記複数のフォトダイオードにそれぞれ蓄積された信号電荷は、一つの前記フローティングディフュージョンへ個別に転送される前記 (1) ~ (1 0) のいずれかに記載した固体撮像素子。

(1 2)

前記第一配線から分岐する第三配線を備え、

前記第二配線の少なくとも一部と前記第三配線の少なくとも一部とが対向している前記 (1) ~ (1 1) のいずれかに記載した固体撮像素子。

(13)

前記フローティングディフュージョン及び前記増幅トランジスタが形成された半導体基板を備え、

少なくとも前記第二配線及び前記第三配線の互いに対向する部分は、前記半導体基板の厚さ方向に沿って並列に延びている前記(12)に記載した固体撮像素子。

(14)

前記第一配線及び前記第二配線の互いに対向している部分の長さは、前記互いに対向している部分の間隔よりも長い前記(1)～(13)のいずれかに記載した固体撮像素子。

符号の説明

[0114] 1…固体撮像装置、2…電子機器、3…単位画素、4…画素領域、5…垂直駆動回路、6…カラム選択回路、7…水平駆動回路、8…出力回路、9…制御回路、100…半導体基板、100a…第一半導体基板、100b…第二半導体基板、110…フォトダイオード、120…転送トランジスタ、130…フローティングディフュージョン、140…リセットトランジスタ、150…増幅トランジスタ、160…第一配線、160a…第一配線上流部、160b…第一配線中間部、160c…第一配線下流部、160d…第一配線分岐部、170…選択トランジスタ、180…第二配線、180a…第二配線上流部、180b…第二配線中間部、180c…第二配線下流部、190…第三配線、190a…第三配線上流部、190b…第三配線中間部、190c…第三配線下流部、CP…付加容量、CPa…第一付加容量、CPb…第二付加容量、VL…垂直信号線、VD…画素駆動線、VH…水平信号線、HC…高濃度領域、LC…低濃度領域、LI…絶縁層、201…光学系、202…シャッタ装置、203…信号処理部、204…駆動部、OL…対向部分長さ、WI…配線間隔

請求の範囲

- [請求項1] 光電変換を行うフォトダイオードに蓄積された信号電荷が転送されるフローティングディフュージョンと、
前記フローティングディフュージョンに転送された信号電荷を電気信号として読み出して増幅するソース接地型の増幅トランジスタと、
前記フローティングディフュージョンと前記増幅トランジスタとを接続する第一配線と、
前記増幅トランジスタよりも電氣的に下流側へ配置された第二配線と、を備え、
前記第一配線の少なくとも一部と前記第二配線の少なくとも一部とが対向している固体撮像素子。
- [請求項2] 前記フローティングディフュージョン及び前記増幅トランジスタが形成された半導体基板を備え、
少なくとも前記第一配線及び前記第二配線の互いに対向する部分は、前記半導体基板の厚さ方向に沿って並列に延びている請求項1に記載した固体撮像素子。
- [請求項3] 前記フローティングディフュージョン及び前記増幅トランジスタが形成された半導体基板を備え、
前記第二配線は、前記半導体基板上で前記第二配線の上流側を形成する第二配線上流部と、前記半導体基板上で前記第二配線の下流側を形成する第二配線下流部と、を含み、
前記第一配線の少なくとも一部と、前記第二配線上流部の少なくとも一部及び前記第二配線下流部の少なくとも一部とが、前記半導体基板の平面方向に沿って対向し、
互いに対向する前記第一配線の少なくとも一部と前記第二配線上流部の少なくとも一部との間隔と、互いに対向する前記第一配線の少なくとも一部と前記第二配線下流部の少なくとも一部との間隔が異なる請求項2に記載した固体撮像素子。

- [請求項4] 複数の前記フォトダイオードを備え、
前記複数のフォトダイオードにそれぞれ蓄積された信号電荷は、一つの前記フローティングディフュージョンへ個別に転送される請求項1に記載した固体撮像素子。
- [請求項5] 前記増幅トランジスタで増幅された電気信号を出力する垂直信号線を備え、
前記第二配線の一端は、前記垂直信号線の途中、または、前記垂直信号線のノードに接続されている請求項1に記載した固体撮像素子。
- [請求項6] 積層した複数の半導体基板を備え、
前記複数の半導体基板のうちの半導体基板上に、前記フォトダイオードと、前記フローティングディフュージョンと、前記増幅トランジスタと、前記第一配線と、前記第二配線の上流側を形成する第二配線上流部とが形成され、
前記複数の半導体基板のうち他の半導体基板上に、前記第二配線の下流側を形成する第二配線下流部が形成されている請求項1に記載した固体撮像素子。
- [請求項7] 前記第一配線の少なくとも一部と前記第二配線上流部の少なくとも一部とが、前記一の半導体基板の平面方向に沿って対向している請求項6に記載した固体撮像素子。
- [請求項8] 前記第二配線は、前記第二配線上流部と、前記第二配線下流部と、前記第二配線上流部及び前記第二配線下流部間に形成され且つ前記積層した半導体基板の平面方向に沿って延びる第二配線中間部と、を含み、
前記第一配線の少なくとも一部と前記第二配線中間部の少なくとも一部とが、前記複数の半導体基板を積層した方向に沿って対向している請求項6に記載した固体撮像素子。
- [請求項9] 前記第一配線の少なくとも一部と前記第二配線上流部の少なくとも一部とが、前記一の半導体基板の平面方向に沿って対向している請求

項 8 に記載した固体撮像素子。

[請求項10] 前記第一配線から分岐する第三配線を備え、
前記第二配線の少なくとも一部と前記第三配線の少なくとも一部とが対向している請求項 1 に記載した固体撮像素子。

[請求項11] 前記フローティングディフュージョン及び前記増幅トランジスタが形成された半導体基板を備え、
少なくとも前記第二配線及び前記第三配線の互いに対向する部分は、前記半導体基板の厚さ方向に沿って並列に延びている請求項 10 に記載した固体撮像素子。

[請求項12] 積層した複数の半導体基板と、前記増幅トランジスタで増幅された電気信号を出力する垂直信号線と、を備え、

前記第一配線は、前記複数の半導体基板のうちの半導体基板上で前記第一配線の上流側を形成する第一配線上流部と、前記複数の半導体基板のうち他の半導体基板上で前記第一配線の下流側を形成する第一配線下流部と、を含み、

前記一の半導体基板上に、前記フォトダイオードと、前記フローティングディフュージョンとが形成され、

前記他の半導体基板上に、前記増幅トランジスタと、前記第二配線と、前記垂直信号線とが形成され、

前記第二配線の一端は、前記垂直信号線の途中に接続され、

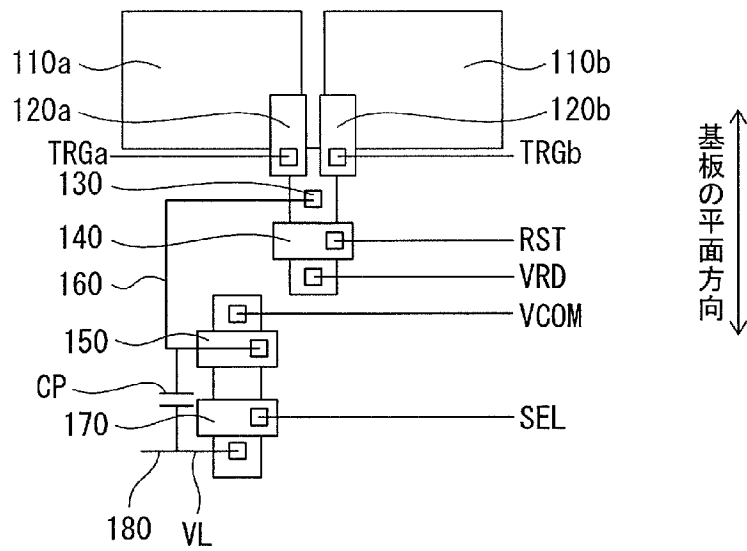
前記第一配線下流部の少なくとも一部と前記第二配線の少なくとも一部とが対向している請求項 1 に記載した固体撮像素子。

[請求項13] 少なくとも前記第一配線下流部及び前記第二配線の互いに対向する部分は、前記他の半導体基板の厚さ方向に沿って並列に延びている請求項 12 に記載した固体撮像素子。

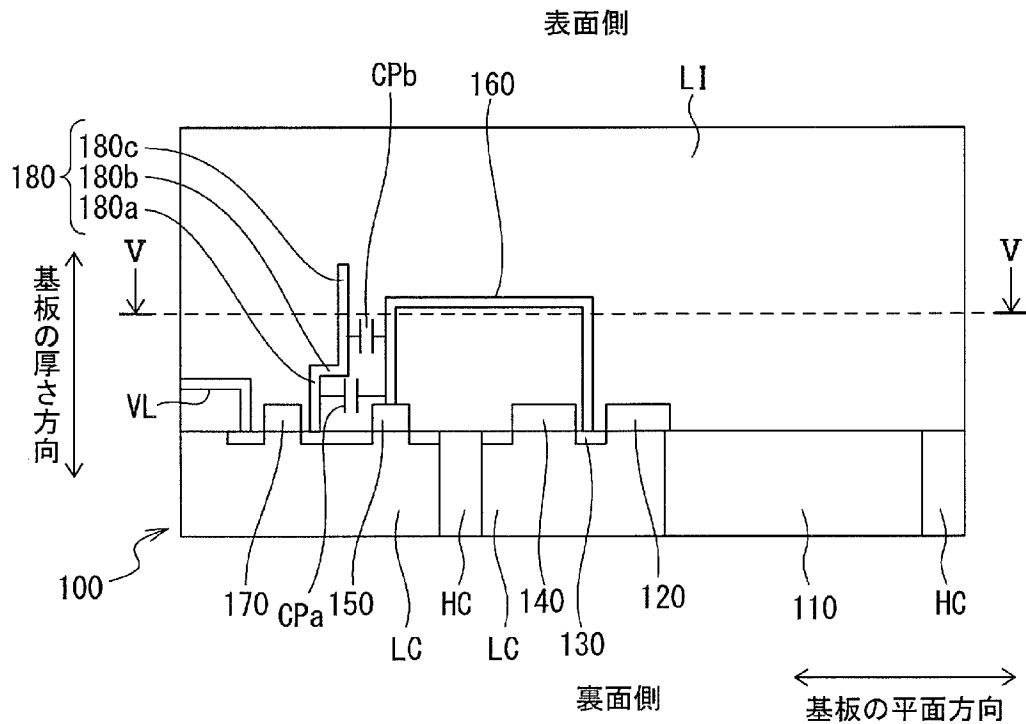
[請求項14] 前記第一配線及び前記第二配線の互いに対向している部分の長さは、前記互いに対向している部分の間隔よりも長い請求項 1 に記載した固体撮像素子。

This diagram shows a cross-sectional view of a pixel structure in the plane direction of the substrate. The structure includes a substrate 110, a gate insulating layer 120, and a gate electrode 130. A TRG (Transfer Gate) is formed on the gate electrode 130. A RST (Reset Gate) is formed on the gate electrode 130. A VRD (Vertical Readout Gate) is formed on the gate electrode 130. A VCOM (Common Voltage) is formed on the gate electrode 130. A CP (Common Plate) is formed on the gate electrode 130. A SEL (Select Gate) is formed on the gate electrode 130. A VL (Vertical Line) is formed on the gate electrode 130. A 180 is formed on the gate electrode 130. A double-headed arrow indicates the plane direction of the substrate.

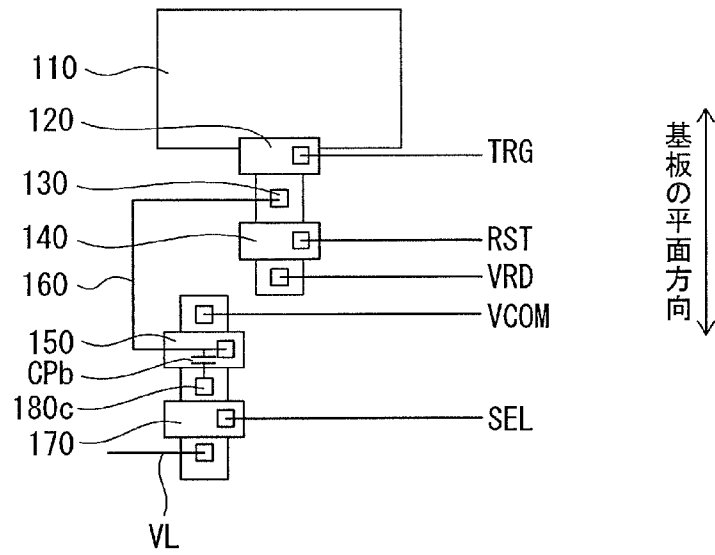
[図3]



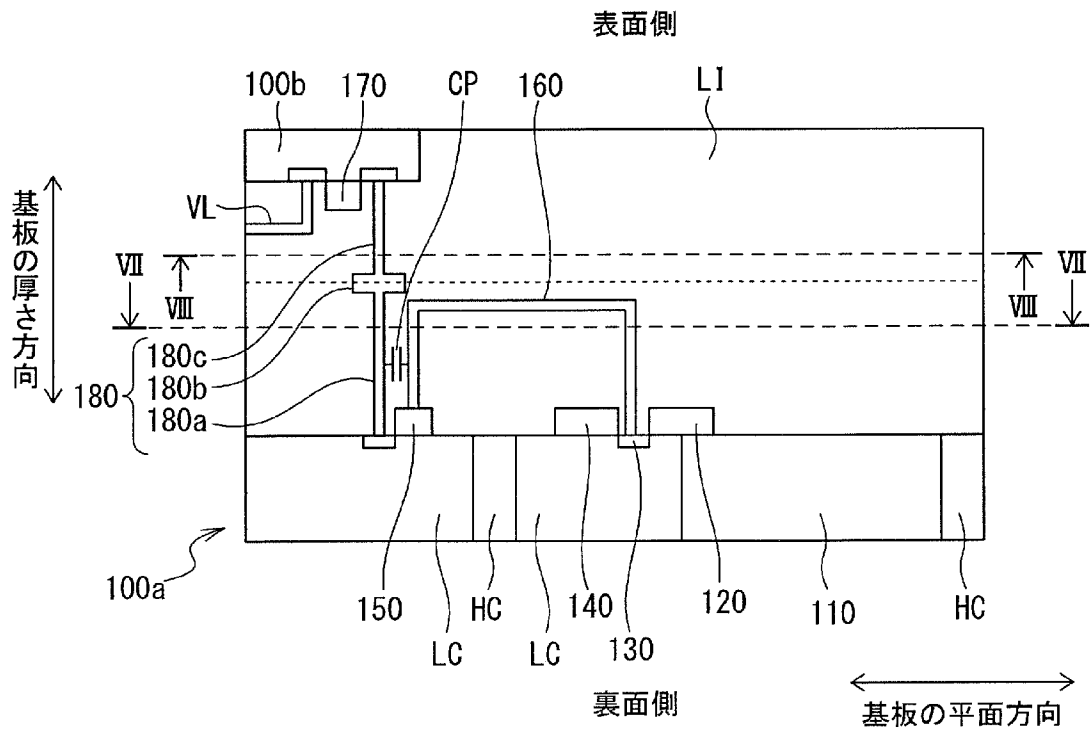
[図4]



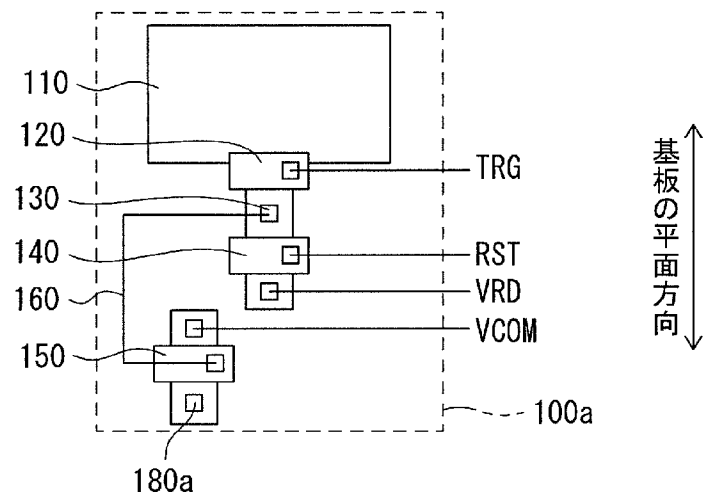
[図5]



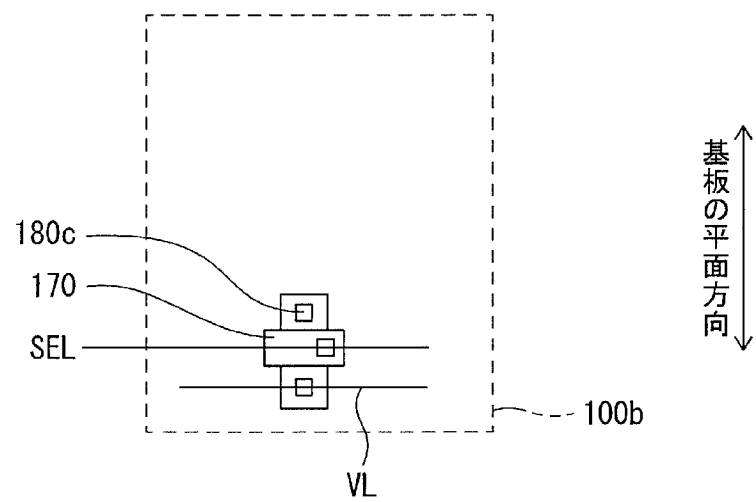
[図6]



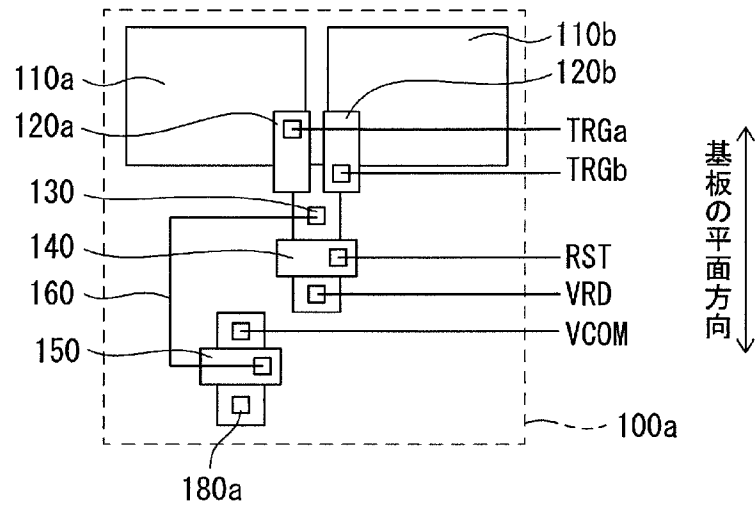
[図7]



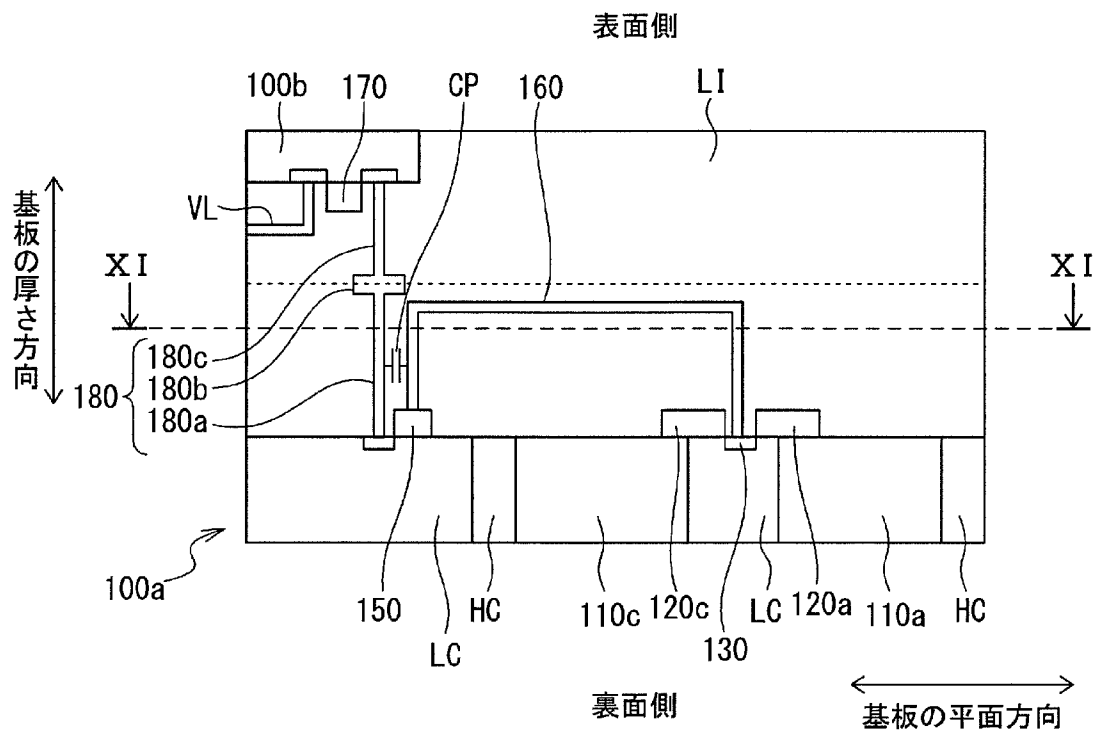
[図8]



[図9]



[図10]

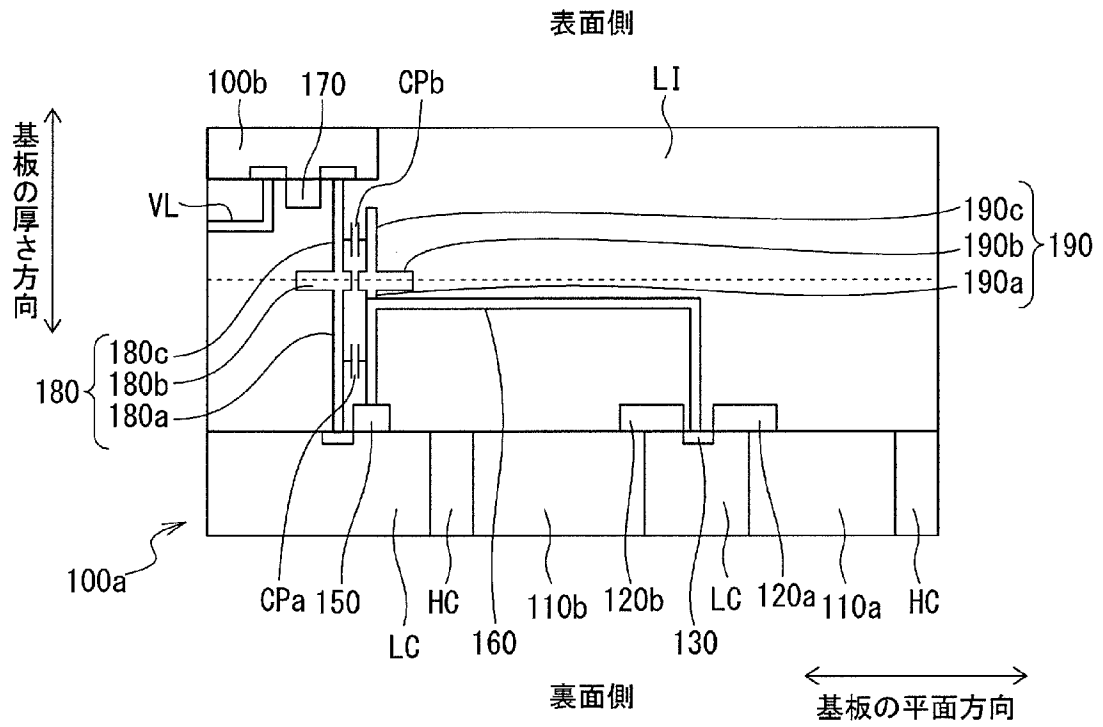


110b, 120b, TRGb, 130, 120d, 110d, 160, VCOM, 150, 180a, 110a, 120a, TRGa, 120c, 110c, 140, RST, VRD, 100a

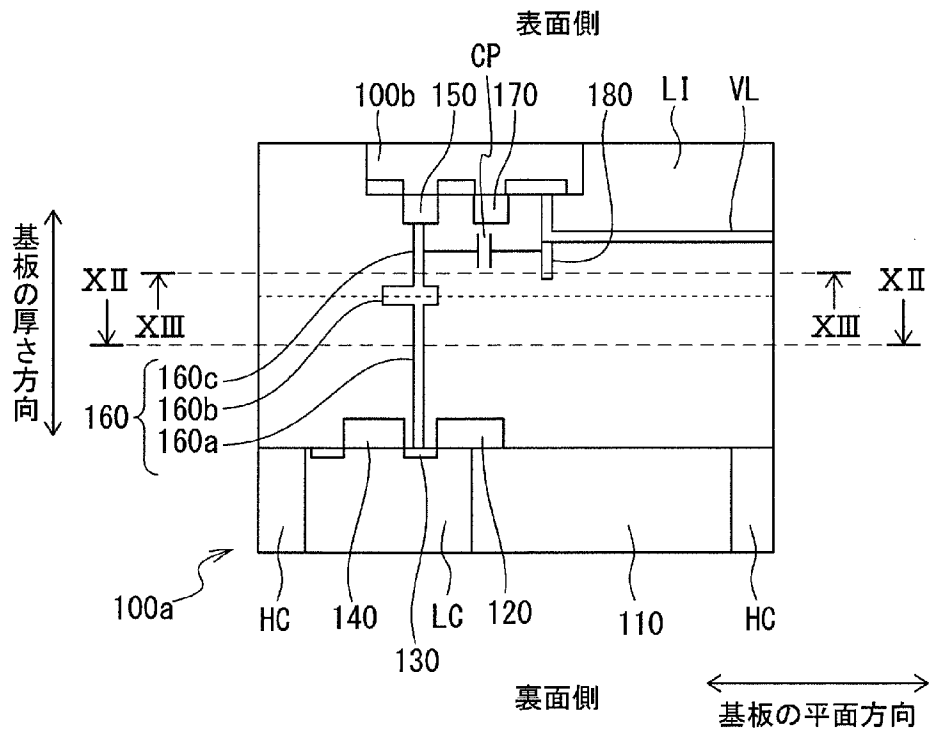
基板の平面方向

[illegible]

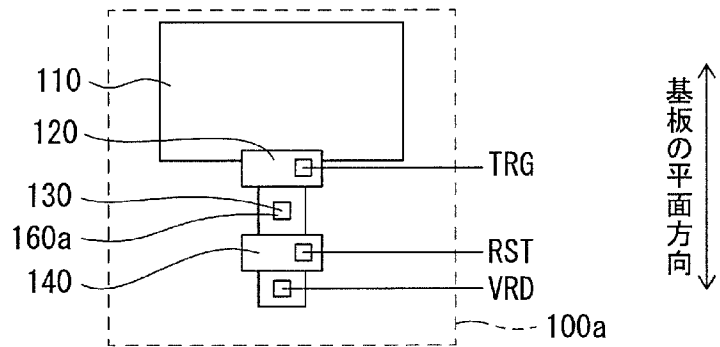
[図15]



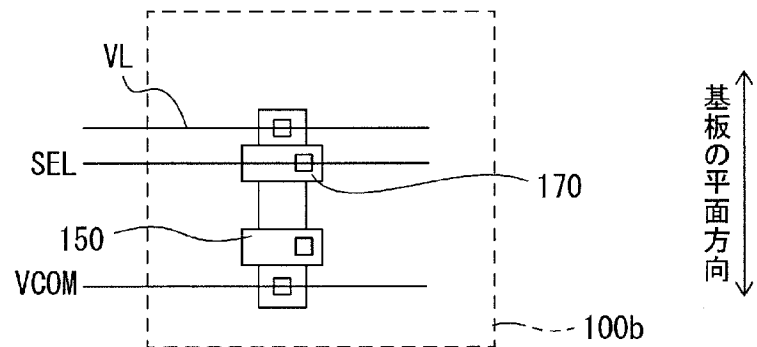
[図16]



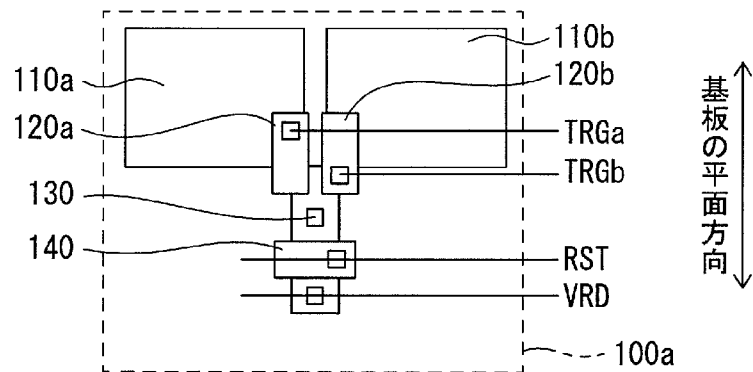
[図17]



[図18]



[図19]



[図20]

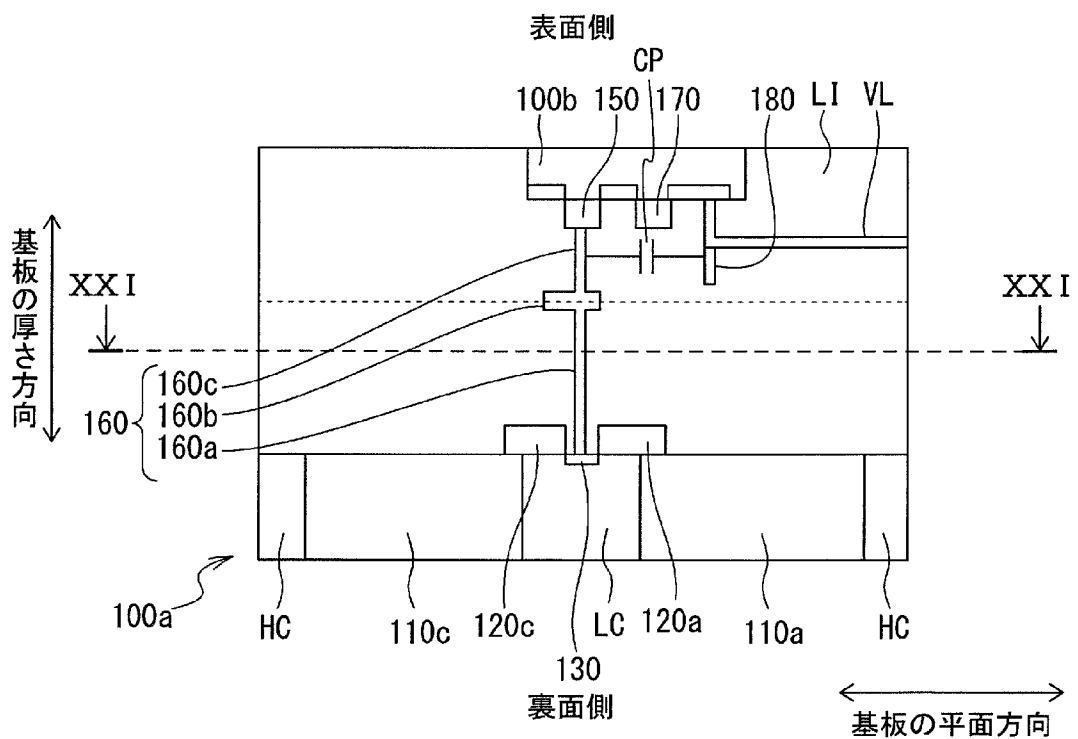
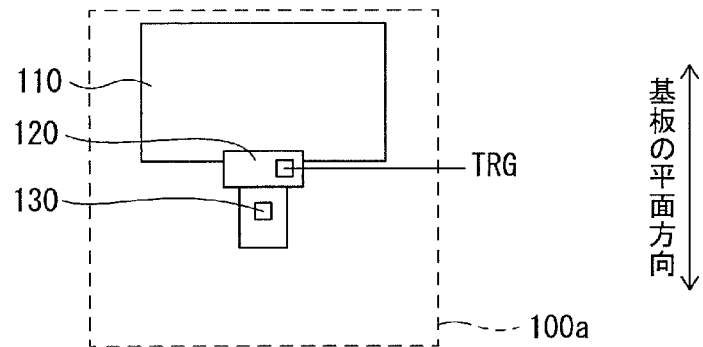


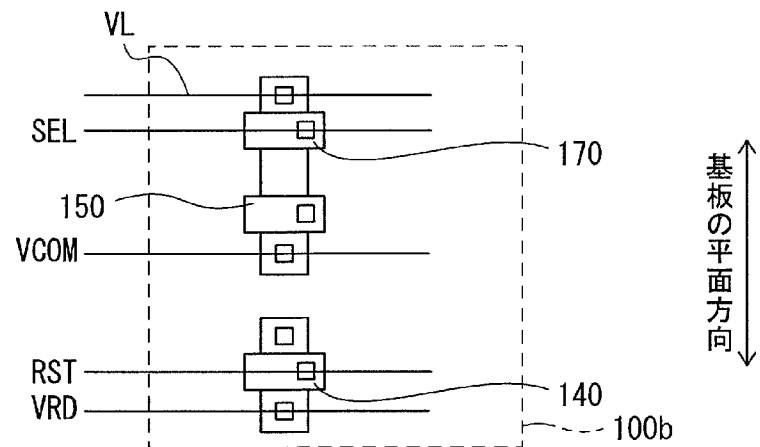
Figure 1 is a plan view of the substrate 100a. The substrate 100a is a rectangular area defined by a dashed line. It contains four semiconductor elements: 110a (top right), 110b (top left), 110c (bottom right), and 110d (bottom left). Each element has a gate region (120a, 120b, 120c, 120d) and a terminal region (TRGa, TRGb, TRGc, TRGd). The gate regions are connected to a common gate line 130. The terminal regions are connected to a common terminal line 140. The terminal line 140 is connected to a resistor (RST) and a voltage source (VRD). A vertical arrow on the right indicates the "基板の平面方向" (planar direction of the substrate).

[illegible]

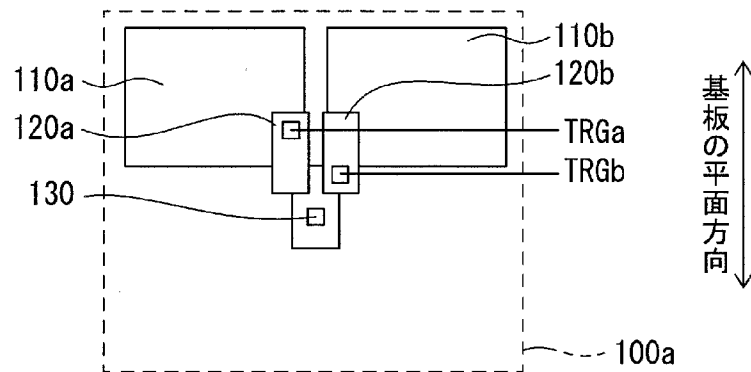
[図23]



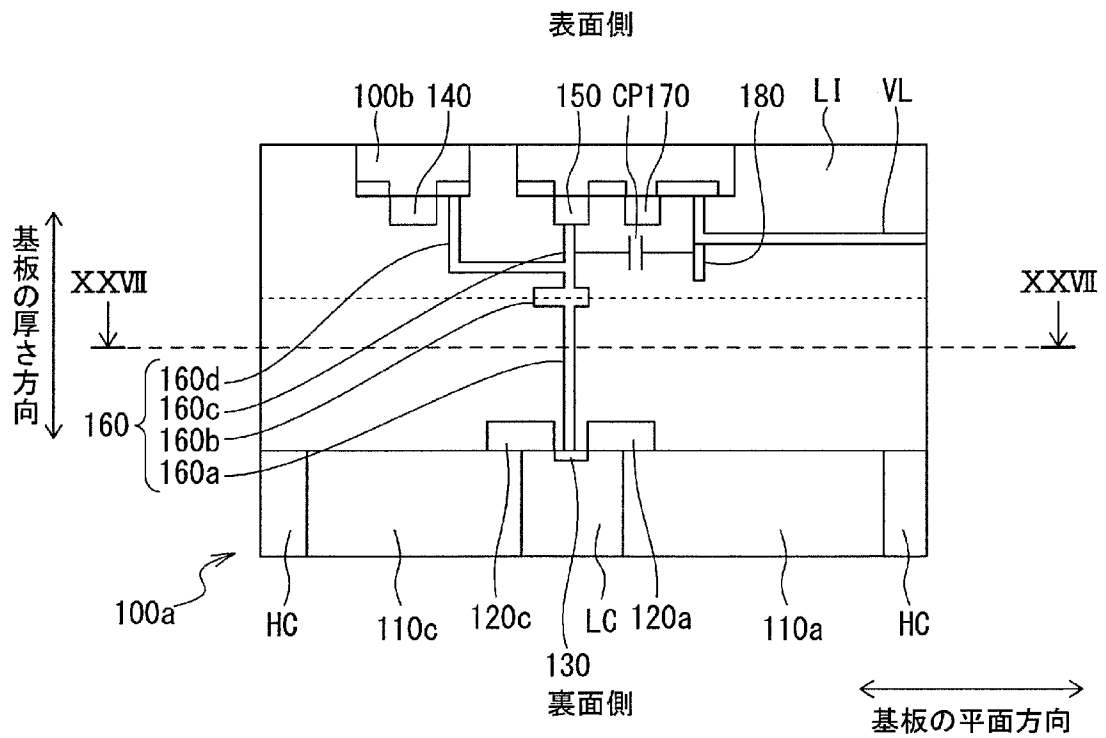
[図24]



[図25]



[図26]



110b

120b

TRGb

TRGd

120d

110d

110a

120a

TRGa

TRGc

120c

110c

100a

130

基板の平面方向

表面側

CP LI VL

150 170 180

基板の厚さ方向
↑
160 { 160d
 160c
 160b
 160a

100b

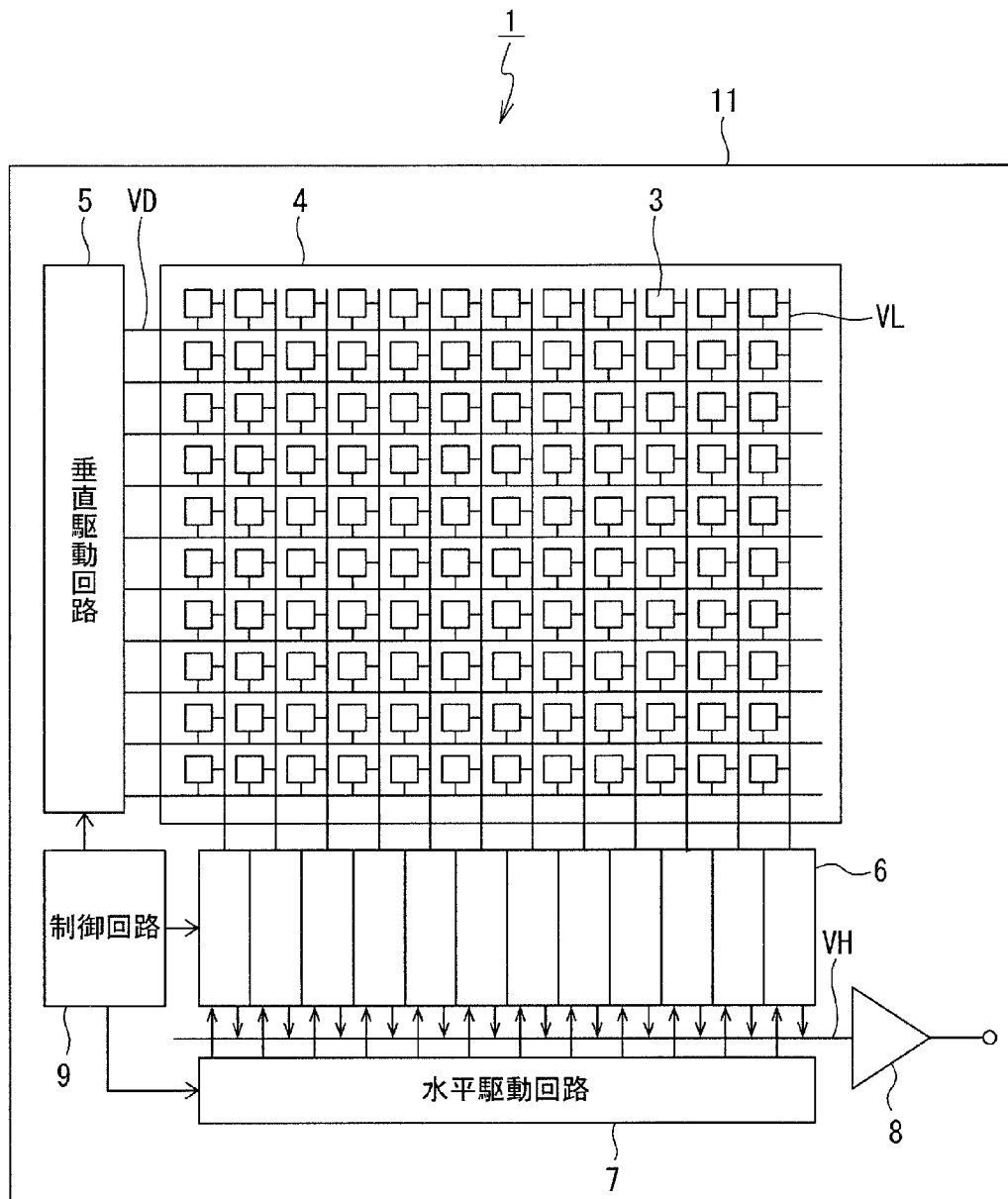
100a

HC LC 140 130 120 110 HC

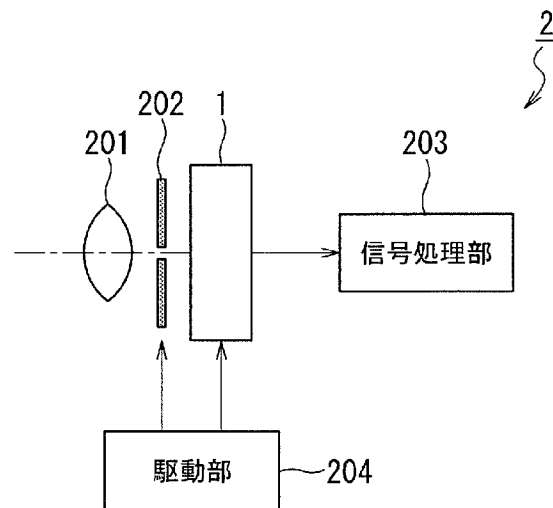
裏面側

← 基板の平面方向 →

[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024715

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01) i, H04N5/374 (2011.01) i, H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, H04N5/374, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2016/0150174 A1 (HYNECEK, J.) 26 May 2016, paragraphs [0001], [0016]-[0026], [0033]-[0036], fig. 2, 4, 9 & CN 205159324 U	1, 2, 4, 5 3, 6-14
A	JP 2008-85755 A (TOSHIBA CORPORATION) 10 April 2008, entire text, all drawings (Family: none)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19.08.2019

Date of mailing of the international search report
27.08.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024715

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/099723 A1 (SONY CORPORATION) 04 July 2013, entire text, all drawings & US 2014/0375855 A1 & EP 2800356 A1 & CN 104041010 A & KR 10-2014-0107241 A	1-14
A	US 2016/0037111 A1 (DAI, T. J. et al.) 04 February 2016, entire text, all drawings & CN 105321967 A & TW 201605243 A & HK 1216359 A	1-14

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H04N5/374, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2016/0150174 A1 (HYNECEK, Jaroslav) 2016.05.26, 段落 0001, 0016-0026, 0033-0036, 図 2, 4, 9	1, 2, 4, 5
A	& CN 205159324 U	3, 6-14
A	JP 2008-85755 A (株式会社東芝) 2008.04.10, 全文, 全図 (ファミリーなし)	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

19.08.2019

国際調査報告の発送日

27.08.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

上田 智志

5 F

3664

電話番号 03-3581-1101 内線 3514

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/099723 A1 (ソニー株式会社) 2013.07.04, 全文, 全図 & US 2014/0375855 A1 & EP 2800356 A1 & CN 104041010 A & KR 10-2014-0107241 A	1-14
A	US 2016/0037111 A1 (DAI, Tiejun et al.) 2016.02.04, 全文, 全図 & CN 105321967 A & TW 201605243 A & HK 1216359 A	1-14