

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年5月7日(2015.5.7)

【公開番号】特開2013-207771(P2013-207771A)

【公開日】平成25年10月7日(2013.10.7)

【年通号数】公開・登録公報2013-055

【出願番号】特願2012-78007(P2012-78007)

【国際特許分類】

H 03 K	3/354	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 03 K	3/03	(2006.01)

【F I】

H 03 K	3/354	Z N M B
H 01 L	27/08	1 0 2 E
H 01 L	27/08	3 3 1 E
H 01 L	29/78	6 1 3 Z
H 01 L	29/78	6 1 8 B
H 01 L	27/04	A
H 03 K	3/03	

【手続補正書】

【提出日】平成27年3月24日(2015.3.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のインバータと、第2のインバータと、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子と、を有し、

前記第1のトランジスタ及び前記第1の容量素子は、前記第1のインバータにおけるーのトランジスタのゲート電位をブーストアップする機能を有し、

前記第2のトランジスタ及び前記第2の容量素子は、前記第2のインバータにおけるーのトランジスタのゲート電位をブーストアップする機能を有し、

前記第1のインバータの出力端子は、前記第2のインバータの入力端子と電気的に接続され、

前記第1のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続されていることを特徴とする半導体装置。

【請求項2】

第1のインバータと、第2のインバータと、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子と、を有し、

前記第1のトランジスタ及び前記第1の容量素子は、前記第1のインバータにおけるーのトランジスタのゲート電位をブーストアップする機能を有し、

前記第2のトランジスタ及び前記第2の容量素子は、前記第2のインバータにおける一のトランジスタのゲート電位をブーストアップする機能を有し、

前記第1のインバータの出力端子は、前記第2のインバータの入力端子と電気的に接続され、

前記第1のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第1のインバータ及び前記第2のインバータが有するトランジスタと、前記第1のトランジスタと、前記第2のトランジスタとは、酸化物半導体を有し、且つ、同一の極性であることを特徴とする半導体装置。

**【請求項3】**

請求項1又は請求項2において、

前記第1のトランジスタ及び前記第1の容量素子は、前記第1のインバータの出力電位の降下を抑制する機能を有し、

前記第2のトランジスタ及び前記第2の容量素子は、前記第2のインバータの出力電位の降下を抑制する機能を有することを特徴とする半導体装置。

**【請求項4】**

請求項1乃至請求項3のいずれか一項において、

前記第1のインバータ及び前記第2のインバータをそれぞれ複数個有し、

前記複数個の第1のインバータ及び前記複数個の第2のインバータを有するリングオシレータ又はインバータチェーンを有することを特徴とする半導体装置。