(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0077327
(43) 공개일자 2017년07월06일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G02F 1/1362* (2006.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/136286 (2013.01)
(21) 출원번호 10-2015-0187093
(22) 출원일자 2015년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신현기
경상북도 구미시 선기로3길 54, 206동 902호(남통동, 금오산 금호어울림2단지)
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **액정표시장치용 어레이 기판 및 그 제조방법**

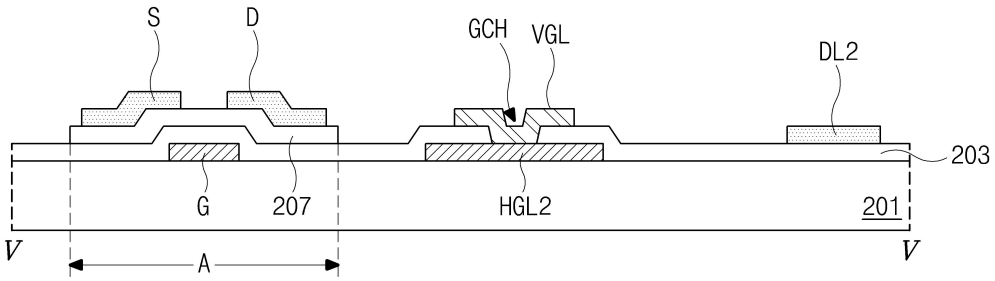
(57) 요 약

본 발명은 액티브층 상부에 감광층을 형성하고 이를 패터닝하여, 게이트전극과 대응하는 제1영역에 제1두께를 갖는 제1감광패턴을 형성하고, 제1게이트배선 상부의 액티브층을 노출시키며 제1영역 이외의 영역에 상기 제1두께보다 작은 제2두께를 갖는 제2감광패턴을 형성하는 단계와, 제2감광패턴에 의해 노출된 액티브층 및 게이트절연막을 식각하여 제1게이트배선을 노출시키는 게이트콘택홀을 형성하는 단계를 포함한다.

이 때, 제1 및 제2감광패턴 상부 표면으로부터 제1감광패턴 일부 및 제2감광패턴 전부를 제거하고, 일부 제거된 제1감광패턴 주변의 액티브층을 식각함으로써, 데이터배선 및 수직게이트배선 하부에 액티브패턴이 형성되지 않도록 한다.

이를 통해, 액정표시장치의 표시품질 및 개구율을 향상시킬 수 있다.

대 표 도 - 도5



명 세 서

청구범위

청구항 1

기판 상에 일 방향으로 연장된 제1게이트배선과 이와 연결된 게이트전극;

상기 제1게이트배선을 노출시키는 게이트콘택홀을 구비하며 상기 제1게이트배선 및 게이트전극 상부에 배치되는 게이트절연막;

상기 게이트절연막 상부의 상기 게이트전극과 대응하는 영역에 배치되는 액티브패턴;

상기 액티브패턴 상부에 서로 이격하며 배치되는 소스 및 드레인전극;

상기 게이트절연막 상부에 배치되어 상기 게이트절연막과 직접 접촉되며, 상기 게이트콘택홀을 통해 상기 제1게이트배선과 연결되는 제2게이트배선; 및

상기 게이트절연막 상부에 상기 제2게이트배선과 이격되며 배치되며, 상기 게이트절연막과 직접 접촉되는 데이터배선

을 포함하는 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 제2게이트배선 및 데이터배선은 상기 제1게이트배선과 교차하는 액정표시장치용 어레이기판.

청구항 3

제 1 항에 있어서,

상기 제2게이트배선 및 데이터배선은 동일층 및 동일물질로 이루어지는 액정표시장치용 어레이기판.

청구항 4

기판 상에 일 방향으로 연장된 제1게이트배선과 이와 연결된 게이트전극을 형성하는 단계;

상기 제1게이트배선 및 게이트전극이 형성된 상기 기판 전면에 게이트절연막 및 액티브층을 형성하는 단계;

상기 액티브층 상부에 감광층을 형성하고 이를 패터닝하여, 상기 게이트전극과 대응하는 제1영역에 제1두께를 갖는 제1감광패턴을 형성하고, 상기 제1게이트배선 상부의 상기 액티브층을 노출시키며 상기 제1영역 이외의 영역에 상기 제1두께 보다 작은 제2두께를 갖는 제2감광패턴을 형성하는 단계;

상기 제2감광패턴에 의해 노출된 상기 액티브층 및 게이트절연막을 식각하여 상기 제1게이트배선을 노출시키는 게이트콘택홀을 형성하는 단계;

상기 제1 및 제2감광패턴 상부 표면으로부터 상기 제1감광패턴 일부 및 상기 제2감광패턴 전부를 제거하는 단계;

일부 제거된 상기 제1감광패턴 주변의 상기 액티브층을 식각하여 상기 제1영역에 액티브패턴을 형성하는 단계; 및

상기 액티브패턴 상부에 서로 이격하는 소스 및 드레인전극을 형성하고, 상기 게이트절연막 상부에 상기 게이트콘택홀을 통해 상기 제1게이트배선과 접촉되는 제2게이트배선과 상기 제2게이트배선과 이격되는 데이터배선을

각각 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 5

제 4 항에 있어서,

상기 제2게이트배선 및 데이터배선은 상기 제1게이트배선과 교차하는 액정표시장치용 어레이기판 제조방법.

청구항 6

제 4 항에 있어서,

상기 제2게이트배선 및 데이터배선은 동일층 및 동일물질로 이루어지는 액정표시장치용 어레이기판 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 표시품질 및 개구율 저하를 방지할 수 있는 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

배 경 기 술

[0003] 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

[0004] 이러한 액정표시장치 중에서도 각 화소 별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.

[0005] 이러한 액정표시장치는 화상이 표시되는 액정패널을 포함하게 되는데, 액정패널을 구동할 때에는 내부 액정의 열화를 방지하고, 화상의 표시 품질을 향상시키기 위하여 일정한 단위로 극성을 반전하여 구동하는 인버젼 구동방법이 사용되는 것이 일반적이다.

[0006] 인버젼 구동방법은 극성이 반전되는 단위에 따라 프레임 인버젼(Frame Inversion) 방식, 라인 인버젼(Line Inversion) 방식, 도트 인버젼 방식(Dot Inversion)으로 구분된다.

[0007] 또한, 액정표시장치는 게이트배선들을 구동하기 위한 게이트 구동부와 데이터배선들을 구동하기 위한 데이터 구동부를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 구동부를 이루는 IC의 개수는 증가하고 있다.

[0008] 그런데, 데이터 구동부의 IC는 타 소자에 비해 상대적으로 매우 고가이기 때문에, 최근에는 액정표시장치의 생산단가를 낮추기 IC 개수를 줄이기 위한 여러 방법들이 연구 개발되고 있으며, 이중 하나로써 기존 대비 게이트배선들의 개수는 2배로 늘리는 대신 데이터배선들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 방식이 제안되었다.

[0009] 또한, 구동부는 구동회로기판(printed circuit board : PCB)에 구현되며, 이러한 구동회로기판은 액정패널의 게이트배선과 연결되는 게이트 구동회로기판과 데이터배선과 연결되는 데이터 구동회로기판으로 나뉘며, 이들 각각의 구동회로기판은, 액정패널의 일측면에 형성되며 게이트배선과 연결된 게이트패드부와, 게이트패드가 형성된 일측면과 직교하는 상측면에 형성되며 데이터 배선과 연결된 데이터패드부 각각에 테이프 캐리어 패키지(tape carrier package : TCP) 형태로서 실장 되고 있다.

[0010] 하지만, 종래와 같이 구동회로기판을 게이트 및 데이터용으로 각각 게이트패드부와 데이터패드부에 실장하게 되면, 그 부피가 커지고, 그 무게 또한 증가하게 되므로 이를 개선하여 하나의 구동회로기판만을 액정패널의 일측면에 실장하고 게이트 구동회로는 액정패널 내부에 형성하는 것을 특징으로 하는 게이트 드라이버를 내장한 액정표시장치(gate in panel : GIP)가 제안되고 있다.

[0011] 이러한 게이트 드라이버 내장형 액정표시장치에서는 액정패널이 제조될 때, 게이트 구동회로부가 동시에 제조된다.

[0012] 한편, 최근들어 액정표시장치는 경량박형을 추구하는 동시에 최종 제품 예를 들면 모니터 또는 TV의 슬림한 디자인 구현을 위해 표시영역 외부의 비표시영역의 폭이라 정의되는 베젤(bezel)을 보다 작게 형성하는 것이 요구되고 있는데, 종래의 GIP구조의 액정표시장치의 경우 게이트 구동회로부가 비표시영역인 액정패널 내부의 일측 또는 양측에 형성됨으로 인해 내로우 베젤(narrow bezel) 구현에 한계가 있는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 표시품질 및 개구율을 향상시킬 수 있는 액정표시장치용 어레이 기판 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0016] 상기 목적을 달성하기 위한 본 발명은, 기판 상에 일 방향으로 연장된 제1게이트배선과 이와 연결된 게이트전극과, 제1게이트배선을 노출시키는 게이트콘택홀을 구비하며 제1게이트배선 및 게이트전극 상부에 배치되는 게이트절연막과, 게이트절연막 상부의 게이트전극과 대응하는 영역에 배치되는 액티브패턴과, 액티브패턴 상부에 서로 이격하며 배치되는 소스 및 드레인전극과, 게이트절연막 상부에 배치되어 게이트절연막과 직접 접촉되며, 게이트콘택홀을 통해 제1게이트배선과 연결되는 제2게이트배선과, 게이트절연막 상부에 제2게이트배선과 이격되며 배치되며, 게이트절연막과 직접 접촉되는 데이터배선을 포함하는 액정표시장치용 어레이기판을 제공한다.

[0017] 또한, 기판 상에 일 방향으로 연장된 제1게이트배선과 이와 연결된 게이트전극을 형성하는 단계와, 게이트절연막 및 액티브층을 형성하는 단계와, 제1 및 제2감광패턴을 형성하는 단계와, 게이트콘택홀을 형성하는 단계와, 제1감광패턴 일부 및 제2감광패턴 전부를 제거하는 단계와, 액티브패턴을 형성하는 단계와, 게이트콘택홀을 통해 제1게이트배선과 접촉되는 제2게이트배선과 제2게이트배선과 이격되는 데이터배선을 각각 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법을 제공한다.

[0018] 이 때, 제2게이트배선 및 데이터배선은 제1게이트배선과 교차하고, 데이터배선의 개수는 제1게이트배선의 개수의 1/2이다.

[0019] 또한, 상기 제1게이트배선은 제2게이트배선을 통해 게이트신호를 공급 받고, 제2게이트배선 및 데이터배선은 동일층 및 동일물질로 이루어진다.

[0020] 또한, 제1 및 제2감광패턴을 형성하는 단계는 차단부, 반투과부 및 투과부로 이루어지는 마스크를 이용하며, 반투과마스크의 차단부는 제1영역에 대응하여 위치하고, 반투과마스크의 투과부는 게이트콘택홀에 대응하여 위치한다.

발명의 효과

[0022] 본 발명은 수직게이트배선 및 데이터배선 주변에 액티브테일이 형성될 여지가 없어, 액티브테일로 인한 액정패널의 화면에 웨이비 노이즈(wavy noise) 현상을 일으키는 것을 방지할 수 있는 효과가 있다.

[0023] 또한, 액티브테일의 길이만큼 제1전극이 수직게이트배선(VGL) 및 데이터배선과 이격할 필요가 없기 때문에, 개구율을 향상시킬 수 있는 효과가 있다,

도면의 간단한 설명

[0025] 도 1은 본 발명의 제1실시예에 따른 액정표시장치의 평면도이다.

도 2는 도 1의 절단선 Ⅱ-Ⅱ를 따라 절단한 단면도이다.

도 3a 내지 도 3e는 도 1의 Ⅱ-Ⅱ를 따라 절단한 단면도로서, 본 발명의 제1실시예에 따른 액정표시장치의 단계별 제조공정 단면도이다.

도 4는 본 발명의 제2실시예에 따른 액정표시장치의 평면도이다.

도 5는 도 4의 절단선 V-V를 따라 절단한 단면도이다.

도 6a 내지 도 6g는 도 4의 V-V를 따라 절단한 단면도로서, 본 발명의 제2실시예에 따른 액정표시장치의 단계별 제조공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.

[0028] <제 1 실시예>

[0029] 도 1은 본 발명의 제1실시예에 따른 액정표시장치의 평면도이다.

[0030] 도면에 도시한 바와 같이, 기판(101) 상의 제1 및 제2서브픽셀(SP1, SP2) 상하에 배치되는 제1 및 제2수평게이트배선(HGL1, HGL2)과, 제1 및 제2수평게이트배선(HGL1, HGL2)과 교차하는 제1 및 제2데이터배선(DL1, DL2) 및 수직게이트배선(VGL)과, 제1 및 제2서브픽셀(SP1, SP2)에 각각 배치되는 제1 및 제2박막트랜지스터(T1, T2)와, 제1 및 제2서브픽셀(SP1, SP2)에 각각 배치되어 이들 박막트랜지스터(T1, T2)와 각각 연결되는 제1전극(110)을 포함한다.

[0031] 여기서, 제1박막트랜지스터(T1)는 제1수평게이트배선(HGL1)과 제1데이터배선(DL1)과 연결되고, 제2박막트랜지스터(T2)는 제2수평게이트배선(HGL2)과 제1데이터배선(DL1)과 연결된다.

[0032] 구체적으로, 제1박막트랜지스터(T1)의 게이트전극(G)은 제1수평게이트배선(HGL1)과 연결되고, 소스전극(S)은 제1데이터배선(DL1)과 연결되고, 드레인전극(D)은 드레인콘택홀(DCH)을 통해 제1서브픽셀(SP1)의 제1전극(110)과 연결된다.

[0033] 또한, 제2박막트랜지스터(T2)의 게이트전극(G)은 제2수평게이트배선(HGL2)과 연결되고, 소스전극(S)은 제1데이터배선(DL1)과 연결되고, 드레인전극(D)은 드레인콘택홀(DCH)을 통해 제2서브픽셀(SP2)의 제1전극(110)과 연결된다.

[0034] 이 때, 제1데이터배선(DL1)은 제1서브픽셀(SP1) 좌측에 배치되어 제1데이터배선(DL1)과 가까운 쪽에 배치되는 제1서브픽셀(SP1)과 먼 쪽에 배치되는 제2서브픽셀(SP2)에 데이터전압을 각각 공급한다.

[0035] 이와 같이, 본 발명의 제1실시예는 기존 대비 수평게이트배선들의 개수는 2배로 늘리는 대신 데이터배선들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 방식이 적용된다.

[0036] 또한, 제1데이터배선(DL1)은 동일 극성을 갖는 데이터전압을 일 프레임 동안 극성 반전 없이 공급하여 수평 2도트(dot) 인버젼 방식으로 구동한다.

[0037] 또한, 수직게이트배선(VGL)은 제1 및 제2서브픽셀(SP1, SP2) 사이에 배치되어 게이트콘택홀(GCH)을 통해 제2수평게이트배선(HGL2)과 연결됨으로써, 제2수평게이트배선(HGL2)에 게이트신호를 공급한다.

[0038] 한편, 도면에는 도시하지 않았지만, 제1수평게이트배선(HGL1)도 제1 및 제2서브픽셀(SP1, SP2)과 다른 서브픽셀 사이에 위치한 수직게이트배선으로부터 게이트신호를 공급받는다.

[0039] 이와 같이, 제1 및 제2수평게이트배선(HGL1, HGL2)은 수직게이트배선(VGL)으로터 게이트신호를 공급 받아 제1 및 제2박막트랜스터(T1, T2)를 턴-온 시키기 때문에, 액정패널 내의 일측 또는 양측의 비표시영역에 배치되어

제1 및 제2수평게이트배선(HGL1, HGL2)과 연결되는 게이트링크배선 및 게이트 구동회로부 등을 생략할 수 있어, 액정패널의 양측의 베젤의 폭을 줄일 수 있다.

[0040] 도 2는 도 1의 절단선 Ⅱ-Ⅱ를 따라 절단한 단면도이다.

[0041] 도면에 도시한 바와 같이 본 발명의 제1실시예에 따른 액정표시장치는 기판(101) 상에 일 방향으로 연장된 제2수평게이트배선(HGL2)과 이와 연결된 게이트전극(G)과, 제2수평게이트배선(HGL2) 및 게이트전극(G)을 덮으며 기판(101) 전면에 배치되는 게이트절연막(103)과, 게이트절연막(103) 상부의 게이트전극(G)과 대응하는 제1영역(A)에 배치되는 제1액티브패턴(107a)과, 제1액티브패턴(107a) 상부에 서로 이격하는 소스 및 드레인전극(S, D)을 포함한다.

[0042] 또한, 제2수평게이트배선(HGL2)에 대응하는 게이트절연막(103) 상부에는 제2액티브패턴(170b)이 배치며, 이들 게이트절연막(103) 및 제2액티브패턴(107b)은 제2수평게이트배선(HGL2) 일부를 노출시키는 게이트콘택홀(GCH)을 구비한다.

[0043] 또한, 수직게이트배선(VGL)은 제2액티브패턴(107b) 상부에 배치되며 게이트콘택홀(GCH)을 통해 제2수평게이트배선(HGL2)과 연결된다.

[0044] 또한, 제3액티브패턴(107c)은 제2액티브패턴(107b)과 이격하며 게이트절연막(103) 상부에 배치되며, 제2데이터배선(DL2)은 제3액티브패턴(107c) 상부에 배치된다.

[0045] 여기서, 수직게이트배선(VGL)과, 제2데이터배선(DL2) 주변으로 제1 및 제2 액티브패턴(107b, 107c)이 돌출된 형태(이하, 액티브테일)를 이룬다.

[0046] 이와 같은, 액티브테일은 빛에 노출되어 광전류가 발생하게 되며, 이러한 광전류는 인접한 제1전극(도1의 110)과의 커플링에 의해 액정패널의 화면에 웨이비 노이즈(wavy noise) 현상을 일으킬 수 있다.

[0047] 한편, 수직게이트배선(VGL) 및 데이터배선(DL1, DL2) 각각과 제1전극(110)은 이들의 얼라인 오차를 감안하여 일정거리 이격하여 형성한다.

[0048] 이 때, 액티브테일의 길이만큼 제1전극을 수직게이트배선(VGL) 및 데이터배선(DL1, DL2)과 더욱더 이격되어 형성해야 하며, 이 부분의 빛샘을 가려주는 블랙매트릭스의 폭 또한 넓게 형성해야 하므로 개구영역이 감소될 수 있으며, 제1전극(110)을 형성할 수 있는 영역이 감소될 수 있다.

[0049] 한편, 도면에는 도시하지 않았지만, 소스 및 드레인전극(S, D)과, 수직게이트배선(VGL)과, 제2데이터배선(DL2) 상부에는 평탄화층(미도시)이 배치되며, 평탄화층(미도시) 상부에는 각 서브픽셀마다 제1전극(도 1의 110)이 배치된다.

[0050] 이하, 본 발명의 제1실시예에 따른 액정표시장치의 제조방법을 설명하겠다.

[0051] 도 3a 내지 도 3e는 도 1의 Ⅱ-Ⅱ를 따라 절단한 단면도로서, 본 발명의 제1실시예에 따른 액정표시장치의 단계별 제조공정 단면도이다.

[0052] 먼저, 도 3a에 도시한 바와 같이, 기판(101) 상에 일 방향으로 연장된 제2수평게이트배선(HGL2)과 게이트전극(G)을 형성한다.

[0053] 이 때, 제2수평게이트배선(HGL2)과 게이트전극(G)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐, 크롬(Cr), 몰리브덴(Mo), 구리(Cu) 등의 금속물질을 증착하여 형성한다.

[0054] 다음, 도 3b에 도시한 바와 같이, 제2수평게이트배선(HGL2)과 게이트전극(G)이 형성된 기판(101) 전면에 게이트절연막(103) 및 액티브층(106)을 순차로 적층한 후, 기판(101) 전면에 포토레지스트(photo resist)를 도포하여 감광층(170)을 형성한다.

[0055] 그리고, 감광층(170) 위에 차단부(B1) 및 투과부(B2)로 이루어진 마스크(M)를 위치시킨다.

[0056] 한편, 차단부(B1)는 빛을 완전히 차단하는 기능을 하고, 투과부(B2)는 빛을 투과시켜 빛에 의해 감광층(170)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.

[0057] 이 때, 투과부(B2)를 게이트콘택홀(도 2의 GCH)이 형성되는 영역에 대응하여 위치시키고, 차단부(B1)를 투과부(B2) 양측에 각각 위치시킨 후, 마스크(M)의 상부로 빛을 조사하여 그 하부의 감광층(170)을 노광하고 현상하는 공정을 진행하면, 도 3c에 도시한 바와 같이, 제2수평게이트배선(HGL2) 상부의 액티브층(106)을 노출시키며 제1

두께를 갖는 감광패턴(171)이 형성된다.

[0058] 다음, 도 3d에 도시한 바와 같이, 감광패턴(171)에 의해 노출된 액티브층(106)과 그 하부의 게이트절연막(103)을 습식 식각을 통해 제거하면, 제2수평게이트배선(HGL2)의 일부가 노출된 상태가 된다. 즉, 게이트콘택홀(GCH)이 형성된다.

[0059] 다음, 일부 노출된 제2수평게이트배선(HGL2)을 포함한 액티브층(106) 상부에 도전성금속층(미도시)을 증착한 후, 액티브층(106) 및 도전성금속층(미도시)을 함께 패터닝하면, 도 3e에 도시한 바와 같이, 제1 내지 제3액티브패턴(107a~107c)과, 소스 및 드레인전극(S, D)과, 수직게이트배선(VGL)과, 제2데이터배선(DL2)이 각각 형성된다.

[0060] 구체적으로, 게이트전극(G)과 대응하는 제1영역(A)의 게이트절연막(103) 상부에는 제1액티브패턴(107a)이 형성되고, 제1액티브패턴(107a) 상부에는 제1액티브패턴(107a) 중앙부를 노출시키며 서로 이격하는 소스 및 드레인전극(S, D)이 형성된다.

[0061] 또한, 제2수평게이트배선(HGL2)과 교차하는 수직게이트배선(VGL)은, 그 교차지점에서 게이트콘택홀(GCH)을 통해 제2수평게이트배선(HGL2)과 접촉된다.

[0062] 이 때, 액티브층(106)과 도전성금속층(미도시)은 함께 패터닝되기 때문에, 수직게이트배선(VGL) 하부에는 제2액티브패턴(107b)이 형성된다.

[0063] 또한, 제2수평게이트배선(HGL2)과 교차하는 제2데이터배선(DL2)은 수직게이트배선(VGL)과 이격하며 형성되는데, 수직게이트배선(VGL)과 마찬가지 이유로 제2데이터배선(DL2) 하부에는 제3액티브패턴(107c)이 형성된다.

[0064] 여기서, 소스 및 드레인전극(S, D)과, 수직게이트배선(VGL)과, 제2데이터배선(DL2) 주변으로 각 액티브패턴(107a, 107b, 107c)이 돌출된 형태(이하, 액티브테일)를 이룬다.

[0065] 이와 같은, 액티브테일은 빛에 노출되면 광전류가 발생하게 되며, 이러한 광전류는 인접한 제1전극(도1의 110)과의 커플링에 의해 액정패널의 화면에 웨이비 노이즈(wavy noise) 현상을 일으킬 수 있다.

[0067] <제 2 실시예>

[0068] 도 4는 본 발명의 제2실시예에 따른 액정표시장치의 평면도이다.

[0069] 도면에 도시한 바와 같이, 기판(201) 상의 제1 및 제2서브픽셀(SP1, SP2) 상하에 배치되는 제1 및 제2수평게이트배선(HGL1, HGL2)과, 제1 및 제2수평게이트배선(HGL1, HGL2)과 교차하는 제1 및 제2데이터배선(DL1, DL2) 및 수직게이트배선(VGL)과, 제1 및 제2서브픽셀(SP1, SP2)에 각각 배치되는 제1 및 제2박막트랜지스터(T1, T2)와, 제1 및 제2서브픽셀(SP1, SP2)에 각각 배치되어 이들 박막트랜지스터(T1, T2)와 각각 연결되는 제1전극(210)을 포함한다.

[0070] 여기서, 제1박막트랜지스터(T1)는 제1수평게이트배선(HGL1)과 제1데이터배선(DL1)과 연결되고, 제2박막트랜지스터(T2)는 제2수평게이트배선(HGL2)과 제1데이터배선(DL1)과 연결된다.

[0071] 구체적으로, 제1박막트랜지스터(T1)의 게이트전극(G)은 제1수평게이트배선(HGL1)과 연결되고, 소스전극(S)은 제1데이터배선(DL1)과 연결되고, 드레인전극(D)은 드레인콘택홀(DCH)을 통해 제1서브픽셀(SP1)의 제1전극(210)과 연결된다.

[0072] 또한, 제2박막트랜지스터(T2)의 게이트전극(G)은 제2수평게이트배선(HGL2)과 연결되고, 소스전극(S)은 제1데이터배선(DL1)과 연결되고, 드레인전극(D)은 드레인콘택홀(DCH)을 통해 제2서브픽셀(SP2)의 제1전극(210)과 연결된다.

[0073] 이 때, 제1데이터배선(DL1)은 제1서브픽셀(SP1) 좌측에 배치되어 제1데이터배선(DL1)과 가까운 쪽에 배치되는 제1서브픽셀(SP1)과 먼 쪽에 배치되는 제2서브픽셀(SP2)에 데이터전압을 각각 공급한다.

[0074] 이와 같이, 본 발명의 제2실시예는 기존 대비 수평게이트배선들의 개수는 2배로 늘리는 대신 데이터배선들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 방식이 적용된다.

[0075] 또한, 제2데이터배선(DL2)은 동일 극성을 갖는 데이터전압을 일 프레임 동안 극성 반전 없이 공급하여 수평 2도

트(dot) 인버젼 방식으로 구동한다.

[0076] 또한, 수직게이트배선(VGL)은 제1 및 제2서브픽셀(SP1, SP2) 사이에 배치되어 게이트콘택홀(GCH)을 통해 제2수평게이트배선(HGL2)과 연결됨으로써, 제2수평게이트배선(HGL2)에 게이트신호를 공급한다.

[0077] 한편, 도면에는 도시하지 않았지만, 제1수평게이트배선(HGL1)도 제1 및 제2서브픽셀(SP1, SP2)과 다른 서브픽셀 사이에 위치한 수직게이트배선으로부터 게이트신호를 공급받는다.

[0078] 이와 같이, 제1 및 제2수평게이트배선(HGL1, HGL2)은 수직게이트배선(VGL)으로터 게이트신호를 공급 받아 제1 및 제2박막트랜스터(T1, T2)를 턴-온 시키기 때문에, 액정패널 내의 일측 또는 양측의 비표시영역에 배치되어 제1 및 제2수평게이트배선(HGL1, HGL2)과 연결되는 게이트링크배선 및 게이트구동 회로부 등을 생략할 수 있어, 액정패널의 양측 베젤의 폭을 줄일 수 있다.

[0079] 도 5는 도 4의 절단선 V-V를 따라 절단한 단면도이다.

[0080] 도면에 도시한 바와 같이 본 발명의 제2실시예에 따른 액정표시장치는 기판(201) 상에 일 방향으로 연장된 제2수평게이트배선(HGL2)과 이와 연결된 게이트전극(G)과, 제2수평게이트배선(HGL2) 및 게이트전극(G)을 덮으며 기판(201) 전면에 배치되는 게이트절연막(203)과, 게이트절연막(203) 상부의 게이트전극(G)과 대응하는 제1영역(A)에 배치되는 액티브패턴(207)과, 액티브패턴(207) 상부에 서로 이격하는 소스 및 드레인전극(S, D)과, 제2수평게이트배선(HGL2)과 교차하는 수직게이트배선(VGL)과 제2데이터배선(DL2)을 포함한다.

[0081] 구체적으로, 게이트절연막(203)은 제2수평게이트배선(HGL2) 일부를 노출시키는 게이트콘택홀(GCH)을 구비하며, 수직게이트배선(VGL)은 게이트절연막(203) 상부에 배치된다.

[0082] 이 때, 수직게이트배선(VGL)은 제2수평게이트배선(HGL2)과의 교차지점에서 게이트콘택홀(GCH)을 통해 제2수평게이트배선(HGL2)과 연결되며, 게이트절연막(203)과 직접 접촉된다.

[0083] 또한, 제2데이터배선(DL2)은 수직게이트배선(VGL)과 이격하며 게이트절연막(203) 상부에 배치되며, 게이트절연막(203)과 직접 접촉된다.

[0084] 즉, 본 발명의 제1실시예와 달리 제2실시예는 수직게이트배선(VGL) 및 제2데이터배선(DL2) 하부에 액티브패턴(도 2의 107b, 107c)이 배치되지 않는다. 또한, 수직게이트배선(VGL) 및 제2데이터배선(DL2) 주변에 액티브테일이 형성될 여지가 없다.

[0085] 이에 따라, 본 발명의 제2실시예에 따른 액정표시장치는 액티브테일로 인한 액정패널의 화면에 웨이비 노이즈(wavy noise) 현상을 일으키는 것을 방지할 수 있다.

[0086] 한편, 도면에는 도시하지 않았지만, 소스 및 드레인전극(S, D)과, 수직게이트배선(VGL)과, 제2데이터배선(DL2) 상부에는 평탄화층(미도시)이 배치되며, 평탄화층(미도시) 상부에는 각 서브픽셀마다 제1전극(도 4의 210)이 배치된다.

[0087] 이하, 본 발명의 제2실시예에 따른 액정표시장치의 제조방법을 설명하겠다.

[0088] 도 6a 내지 도 6g는 도 4의 V-V를 따라 절단한 단면도로서, 본 발명의 제2실시예에 따른 액정표시장치의 단계별 제조공정 단면도이다.

[0089] 먼저, 도 6a에 도시한 바와 같이, 기판(201) 상에 일 방향으로 연장된 제2수평게이트배선(HGL2)과 게이트전극(G)을 형성한다.

[0090] 이 때, 제2수평게이트배선(HGL2)과 게이트전극(G)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐, 크롬(Cr), 몰리브덴(Mo), 구리(Cu) 등의 금속물질을 증착하여 형성한다.

[0091] 다음, 도 6b 및 도 6c에 도시한 바와 같이, 제2수평게이트배선(HGL2)과 게이트전극(G)이 형성된 기판(201) 전면에 게이트절연막(203) 및 액티브층(206)을 순차로 적층한 후, 기판(201) 전면에 포토레지스트(photo resist)를 도포하여 감광층(270)을 형성한다.

[0092] 그리고, 감광층(270) 위에 차단부(B1), 투과부(B2) 및 반투과부(B3)로 이루어진 마스크(M)를 위치시킨다.

[0093] 한편, 차단부(B1)는 빛을 완전히 차단하는 기능을 하고, 투과부(B2)는 빛을 투과시켜 빛에 의해 감광층(270)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 하고, 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여 빛의 강도를 낮추거나 빛의 투과량을 낮추어 감광층을 일부만 노광할 수 있도록 하는 기능

을 한다.

[0094] 이 때, 투과부(B2)를 게이트콘택홀(도 4의 GCH)이 형성되는 영역에 대응하여 위치시키고, 차단부(B1)는 게이트전극(G)과 대응되는 제1영역(A)에 위치시키고, 반투과부(B3)는 투과부(B2) 및 차단부(B1)가 위치하지 않는 영역에 위치시킨 후, 마스크(M)의 상부로 빛을 조사하여 그 하부의 감광층(270)을 노광하고 현상하는 공정을 진행한다.

[0095] 이후, 도 6c에 도시한 바와 같이, 게이트전극(G)과 대응하는 제1영역(A)에는 제1두께를 갖는 제1감광패턴(271a)이 형성되고, 제2수평게이트배선(HGL2) 상부의 액티브층(206)을 노출시키며 제1영역(A) 이외의 영역에 제1두께 보다 작은 제2두께를 갖는 제2감광패턴(271b)이 형성된다.

[0096] 다음, 도 6d에 도시한 바와 같이, 제2감광패턴(271b)에 의해 노출된 액티브층(206)과 게이트절연막(203)을 습식식각을 통해 함께 제거하면, 제2수평게이트배선(HGL2)의 일부가 노출된 상태가 된다. 즉, 게이트콘택홀(GCH)이 형성된다.

[0097] 다음, 도 6e에 도시한 바와 같이, 제1 및 제2감광패턴(271a, 271b) 상부 표면으로부터 제1감광패턴(271a) 일부 및 제2감광패턴(271b) 전부를 제거하는 애싱 공정을 진행한다.

[0098] 즉, 제1감광패턴(271a)의 두께는 제1두께 보다 낮아지며, 제2감광패턴(271b)은 완전히 제거되어 액티브층(206)을 노출시키게 된다.

[0099] 다음, 도 6f에 도시한 바와 같이, 제1감광패턴(271a) 주변의 액티브층(206)을 식각하여 제거하고, 제1감광패턴(271a)을 스트립(strip)하여 제1영역(A)에 액티브패턴(207)을 형성한다.

[0100] 다음, 액티브패턴(207) 및 일부 노출된 제2수평게이트배선(HGL2)을 포함한 게이트절연막(203) 상부에 도전성금속층(미도시)을 증착한 후, 도전성금속층(미도시)을 패터닝하면, 도 6g에 도시한 바와 같이, 소스 및 드레인전극(S, D)과, 수직게이트배선(VGL)과, 제2데이터배선(DL2)이 각각 형성된다.

[0101] 구체적으로, 액티브패턴(207) 상부에는 액티브패턴(207) 중앙부를 노출시키며 서로 이격하는 소스 및 드레인전극(S, D)이 형성된다.

[0102] 또한, 제2수평게이트배선(HGL2)과 교차하는 수직게이트배선(VGL)은, 그 교차지점에서 게이트콘택홀(GCH)을 통해 제2수평게이트배선(HGL2)과 접촉된다.

[0103] 이 때, 제1영역(A) 이외의 영역에는 액티브층(206)이 이미 제거되었기 때문에, 수직게이트배선(VGL) 하부에는 액티브패턴(207)이 형성되지 않는다.

[0104] 또한, 제2수평게이트배선(HGL2)과 교차하는 제2데이터배선(DL2)은 수직게이트배선(VGL)과 이격하며 형성되는데, 수직게이트배선(VGL)과 마찬가지 이유로 제2데이터배선(DL2) 하부에는 액티브패턴(207)이 형성되지 않는다.

[0105] 이에 따라, 수직게이트배선(VGL) 및 제2데이터배선(DL2) 주변에 액티브테일이 형성될 여지가 없어, 액티브테일로 인한 액정패널의 화면에 웨이비 노이즈(wavy noise) 현상을 일으키는 것을 방지할 수 있다.

[0106] 또한, 액티브테일의 길이만큼 제1전극이 수직게이트배선(VGL) 및 데이터배선(DL1, DL2)과 이격할 필요가 없기 때문에, 개구율을 향상시킬 수 있다.

[0108] 본 발명은 전술한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

[0110] 201 : 기판

HGL1, HL2 : 제1 및 제2수평게이트배선

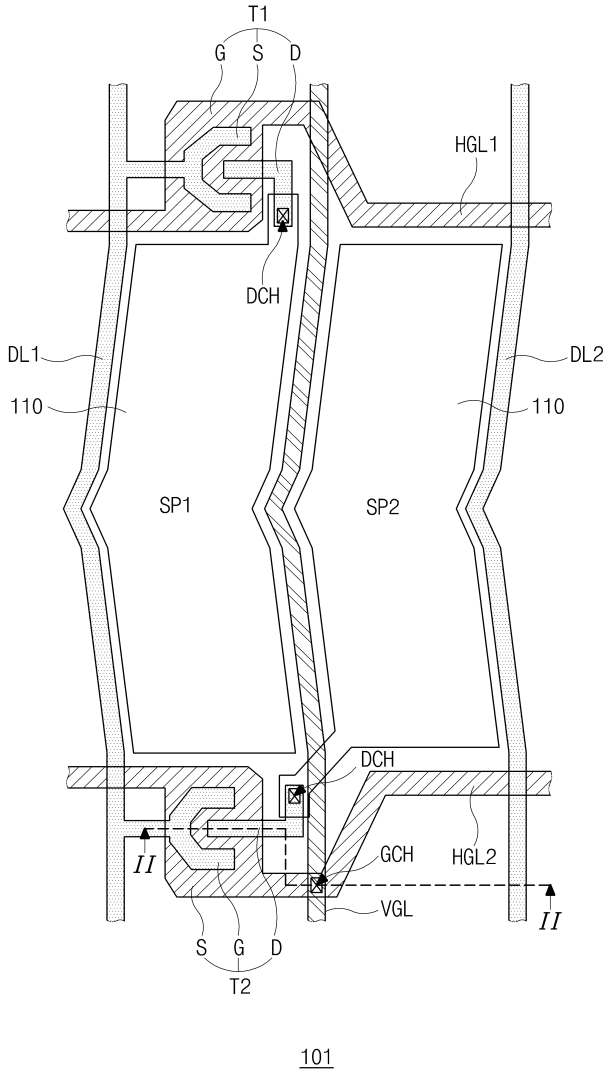
DL1, DL2 : 제1 및 제2데이터배선

VGL : 수직게이트배선

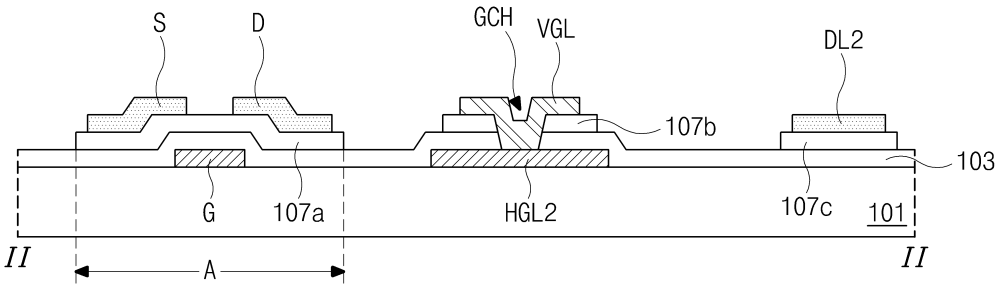
207 : 액티브패턴

도면

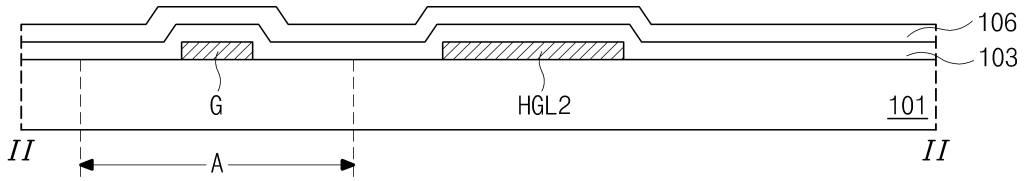
도면1



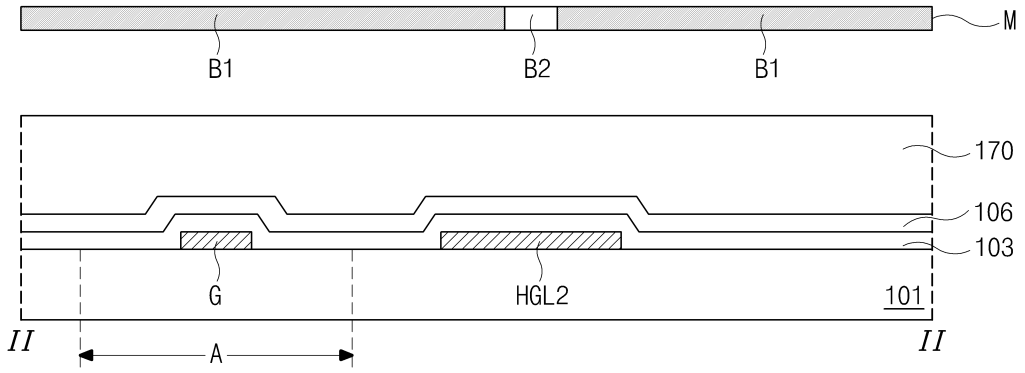
도면2



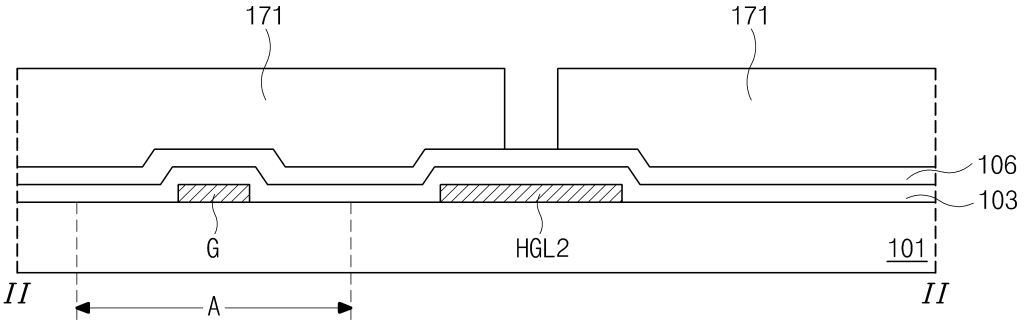
도면3a



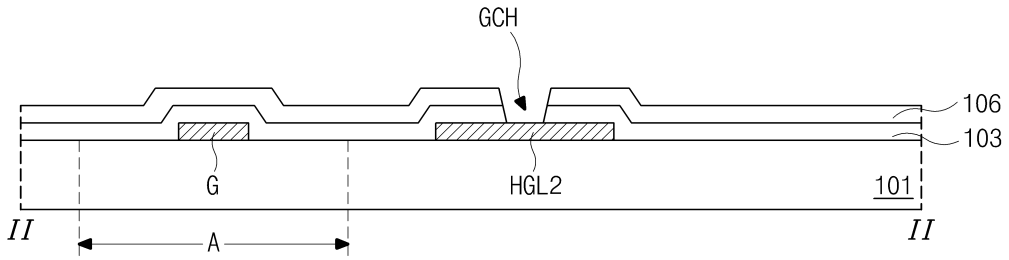
도면3b



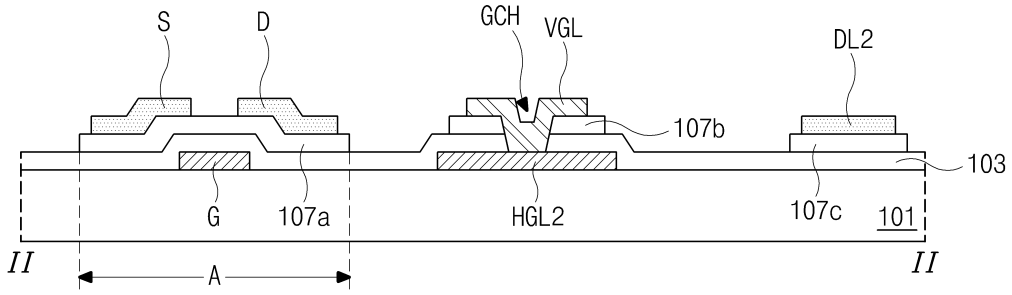
도면3c



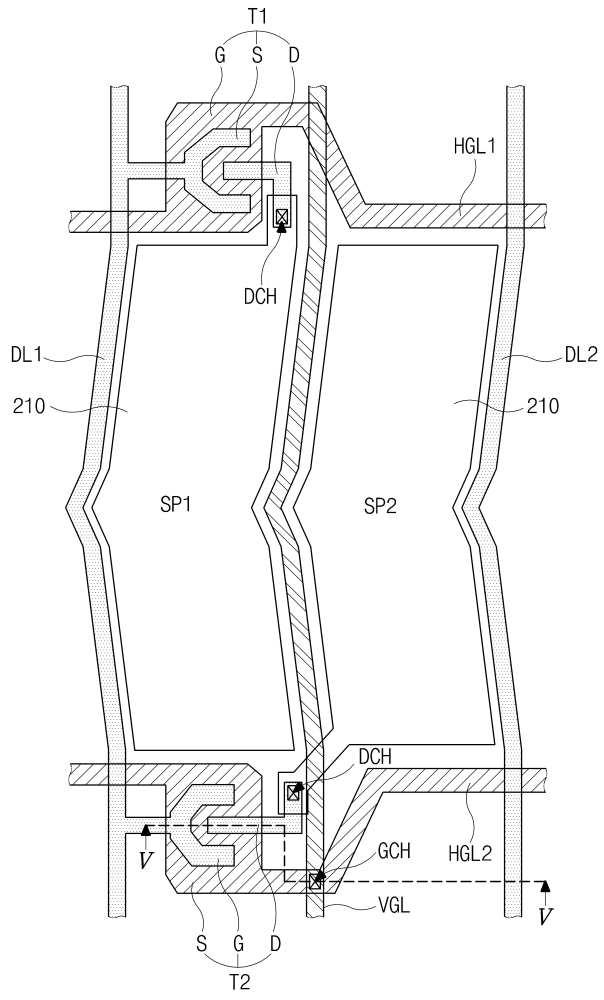
도면3d



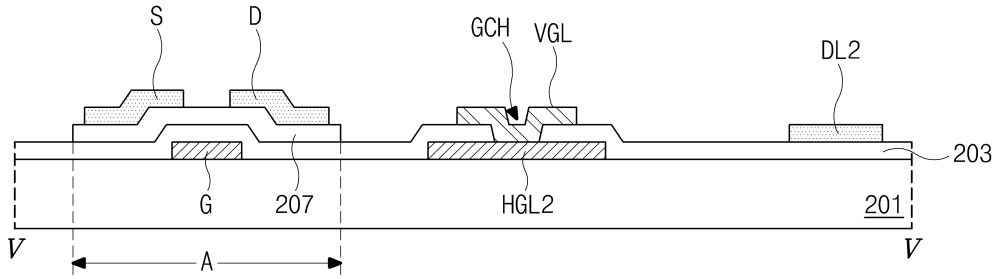
도면3e


S
D
GCH
VGL
DL2
107b
103
G
107a
HGL2
107c
101
II
A
II

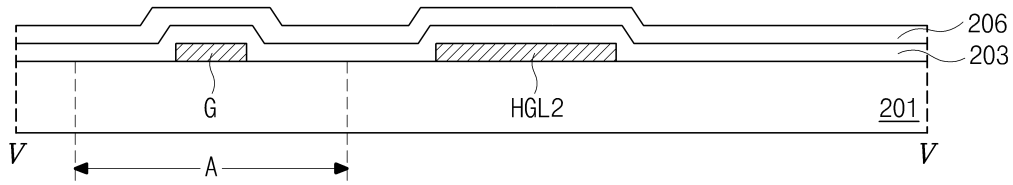
도면4


T1
G
S
D
HGL1
DCH
DL1
DL2
210
210
SP1
SP2
DCH
V
GCH
HGL2
VGL
V
S
G
D
T2
201

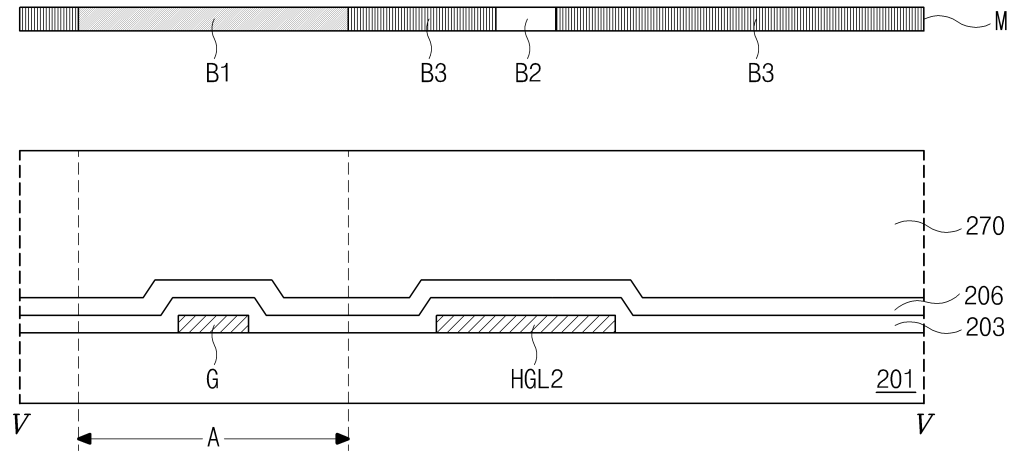
도면5



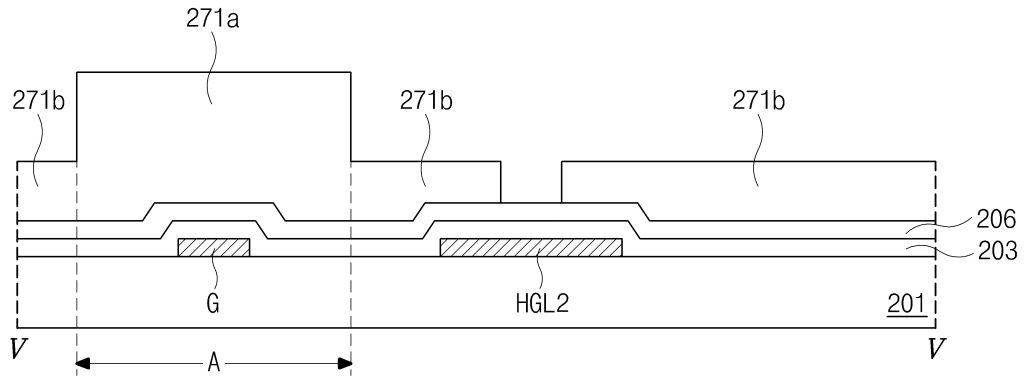
도면6a



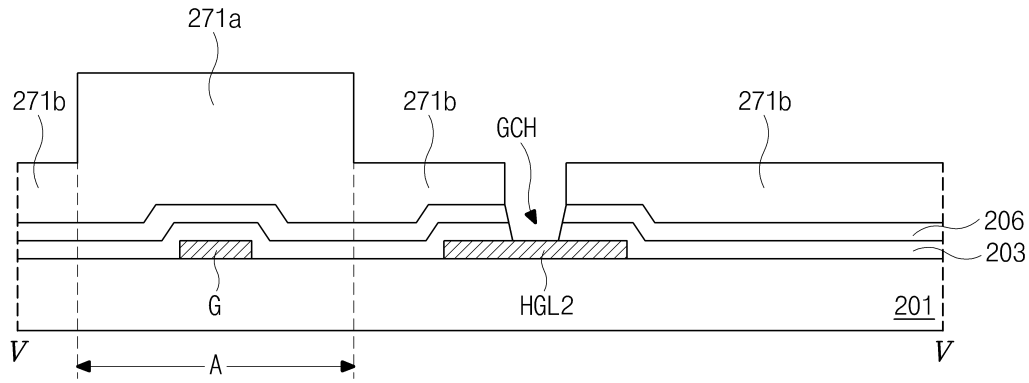
도면6b



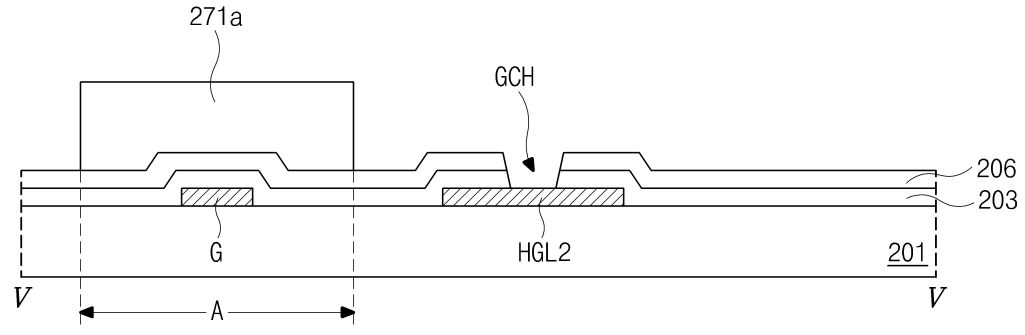
도면6c



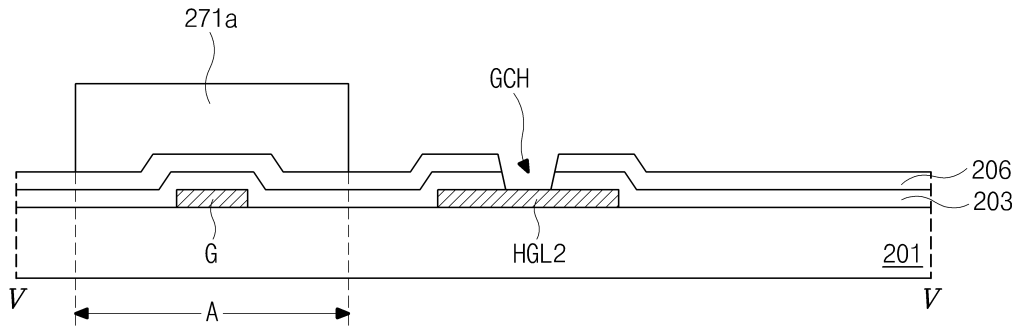
도면6d



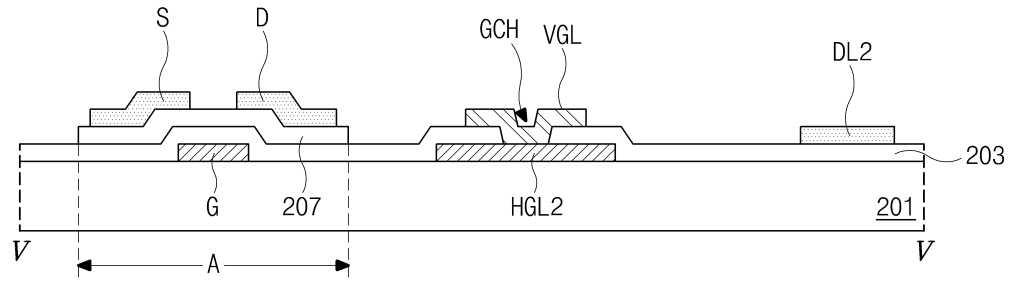
도면6e



도면6f


271a
GCH
206
203
G
HGL2
201
V
A
V

도면6g


S
D
GCH
VGL
DL2
203
G
207
HGL2
201
V
A
V