



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월08일
 (11) 등록번호 10-1865840
 (24) 등록일자 2018년06월01일

(51) 국제특허분류(Int. Cl.)
 H01L 29/78 (2006.01) H01L 21/28 (2006.01)
 (21) 출원번호 10-2011-0079718
 (22) 출원일자 2011년08월10일
 심사청구일자 2016년07월28일
 (65) 공개번호 10-2013-0017344
 (43) 공개일자 2013년02월20일
 (56) 선행기술조사문헌
 KR1020060080715 A*
 KR100558046 B1*
 KR1020090044481 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 한승욱
 경기도 수원시 영통구 봉영로1517번길 27,
 벽적골9단지아파트 909동 1604호 (영통동)
 전남호
 경기도 화성시 병점동로 120-2, 카사미아 205호
 (진안동)
 (74) 대리인
 리엔특허법인

전체 청구항 수 : 총 9 항

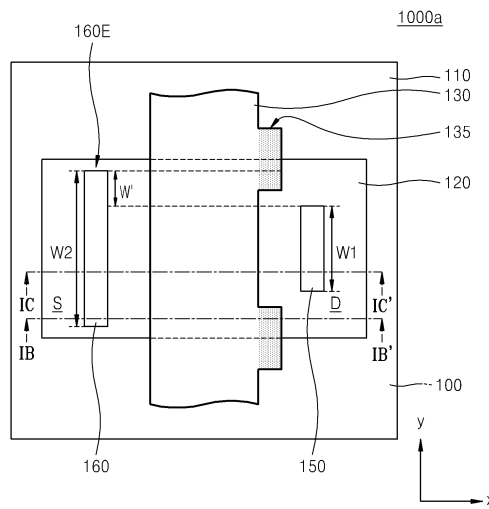
심사관 : 최정민

(54) 발명의 명칭 **반도체 소자**

(57) 요약

반도체 소자가 제공된다. 본 발명의 일 실시예에 따른 반도체 소자는, 소자 분리막에 의해 정의되며, 제1 영역 및 제2 영역을 포함하는 활성 영역; 제1 영역과 제2 영역 사이에서 활성 영역 상을 가로질러 제1 방향으로 연장되며, 활성 영역과 소자 분리막의 경계 상에서 제1 영역을 향하여 제1 방향과 상이한 제2 방향으로 돌출된 제1 게이트 탭을 포함하는 게이트 전극; 제1 영역에 위치하고, 제1 방향으로 제1 폭을 가지는 제1 콘택 플러그; 및 제2 영역에 위치하고, 제1 방향으로 제1 폭보다 큰 제2 폭을 가지는 제2 콘택 플러그를 포함한다.

대표도 - 도1a



명세서

청구범위

청구항 1

소자 분리막에 의해 정의되며, 제1 영역 및 제2 영역을 포함하는 활성 영역;

상기 제1 영역과 상기 제2 영역 사이에서 상기 활성 영역 상을 가로질러 제1 방향으로 연장되며, 상기 활성 영역과 상기 소자 분리막의 경계 상에서 상기 제1 영역을 향하여 상기 제1 방향과 상이한 제2 방향으로 돌출된 제1 게이트 탭을 포함하여, 상기 제1 방향을 기준으로 비대칭적인 형상을 가지는 게이트 전극;

상기 제1 영역에 위치하는 제1 콘택 플러그; 및

상기 제2 영역에 위치하는 제2 콘택 플러그를 포함하며,

상기 제1 콘택 플러그는 인접한 두 개의 상기 제1 게이트 탭들이 상기 제2 방향을 따라 연장된 영역들의 사이에 위치하며,

상기 제1 콘택 플러그는 상기 제1 방향으로 제1 폭을 가지고, 상기 제2 콘택 플러그는 상기 제1 방향으로 상기 제1 폭보다 큰 제2 폭을 가지는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 제2 콘택 플러그의 적어도 일단부는, 상기 제1 게이트 탭이 상기 제2 방향을 따라 연장된 영역 내에 위치하는 것을 특징으로 하는 반도체 소자.

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 제1 영역은 드레인 영역이고, 상기 제2 영역은 소스 영역인 것을 특징으로 하는 반도체 소자.

청구항 5

제1 항에 있어서,

상기 제2 영역으로 돌출된 제2 게이트 탭을 더 포함하고,

상기 제2 게이트 탭은 상기 제1 게이트 탭보다 작은 면적을 가지는 것을 특징으로 하는 반도체 소자.

청구항 6

제5 항에 있어서,

상기 제2 게이트 탭은 상기 활성 영역과 상기 소자 분리막의 경계 상에서 상기 제2 방향으로 가장 긴 돌출 길이를 가지며, 상기 제1 방향을 따라 적어도 일 측에서 점진적으로 돌출 길이가 작아지는 형상인 것을 특징으로 하는 반도체 소자.

청구항 7

제1 항에 있어서,

상기 제1 콘택 플러그, 상기 제2 콘택 플러그 또는 이들 모두는 복수의 서브 콘택 플러그들로 구성되고,

상기 제1 콘택 플러그를 구성하는 상기 서브 콘택 플러그의 수가 상기 제2 콘택 플러그를 구성하는 상기 서브

콘택 플러그의 수보다 많은 것을 특징으로 하는 반도체 소자.

청구항 8

제1 항에 있어서,

서로 평행한 복수의 상기 게이트 전극들이 상기 제1 방향을 따라 배치되며, 서로 평행한 복수의 상기 활성 영역들이 상기 제1 방향과 상이한 제3 방향을 따라 배치되고,

복수의 상기 게이트 전극들에 의해 형성되는 트랜지스터들은 인접한 복수의 상기 게이트 전극들 사이에서 상기 제1 영역 또는 상기 제2 영역을 공유하는 것을 특징으로 하는 반도체 소자.

청구항 9

제8 항에 있어서,

상기 제1 게이트 탭은 인접한 두 개의 상기 게이트 전극들을 연결하도록 연장되는 것을 특징으로 하는 반도체 소자.

청구항 10

제1 항에 있어서,

상기 반도체 소자는 서브 워드라인 구동회로를 포함하고,

상기 게이트 전극은 상기 서브 워드라인 구동회로를 이루는 PMOS 트랜지스터의 게이트인 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로서, 더욱 상세하게는, 고집적화가 가능한 반도체 소자에 관한 것이다.

배경 기술

[0002] 산업이 발달하고 멀티 미디어가 발달함에 따라서, 컴퓨터나 모바일 장비 등에 사용되는 반도체 소자는 고집적 및 고성능화되고 있다. 반도체 소자의 집적도가 증가함에 따라 반도체 소자의 구성 요소들에 대한 디자인 룰이 감소되고 있다. 특히, 많은 수의 트랜지스터를 필요로 하는 반도체 소자에 있어서 디자인 룰의 표준이 되는 게이트 길이가 감소되고 콘택 플러그의 크기도 감소된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는, 고집적화가 가능하며 성능과 신뢰성이 향상된 반도체 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 반도체 소자가 제공된다. 상기 반도체 소자는, 소자 분리막에 의해 정의되며, 제1 영역 및 제2 영역을 포함하는 활성 영역; 상기 제1 영역과 상기 제2 영역 사이에서 상기 활성 영역 상을 가로질러 제1 방향으로 연장되며, 상기 활성 영역과 상기 소자 분리막의 경계 상에서 상기 제1 영역을 향하여 상기 제1 방향과 상이한 제2 방향으로 돌출된 제1 게이트 탭을 포함하는 게이트 전극; 상기 제1 영역에 위치하고, 상기 제1 방향으로 제1 폭을 가지는 제1 콘택 플러그; 및 상기 제2 영역에 위치하고, 상기 제1 방향으로 상기 제1 폭보다 큰 제2 폭을 가지는 제2 콘택 플러그를 포함한다.

[0005] 본 발명의 일부 실시예들에서, 상기 제2 콘택 플러그의 적어도 일단부는, 상기 제1 게이트 탭이 상기 제2 방향을 따라 연장된 영역 내에 위치할 수 있다.

- [0006] 본 발명의 일부 실시예들에서, 상기 제1 콘택 플러그는 인접한 두 개의 상기 제1 게이트 탭들이 상기 제2 방향을 따라 연장된 영역들의 사이에 위치할 수 있다.
- [0007] 본 발명의 일부 실시예들에서, 상기 제1 영역은 드레인 영역이고, 상기 제2 영역은 소스 영역일 수 있다.
- [0008] 본 발명의 일부 실시예들에서, 상기 제2 영역으로 돌출된 제2 게이트 탭을 더 포함할 수 있다.
- [0009] 본 발명의 일부 실시예들에서, 상기 제2 게이트 탭은 상기 제1 게이트 탭보다 작은 면적을 가질 수 있다.
- [0010] 본 발명의 일부 실시예들에서, 상기 제2 게이트 탭은 상기 활성 영역과 상기 소자 분리막의 경계 상에서 상기 제2 방향으로 가장 긴 돌출 길이를 가지며, 상기 제1 방향을 따라 적어도 일 측에서 점진적으로 돌출 길이가 작아지는 형상일 수 있다.
- [0011] 본 발명의 일부 실시예들에서, 상기 제1 콘택 플러그, 상기 제2 콘택 플러그 또는 이들 모두는 복수의 서브 콘택 플러그들로 구성될 수 있다.
- [0012] 본 발명의 일부 실시예들에서, 상기 제1 콘택 플러그를 구성하는 상기 서브 콘택 플러그의 수가 상기 제2 콘택 플러그를 구성하는 상기 서브 콘택 플러그의 수보다 많을 수 있다.
- [0013] 본 발명의 일부 실시예들에서, 서로 평행한 복수의 상기 게이트 전극들이 상기 제1 방향을 따라 배치되며, 서로 평행한 복수의 상기 활성 영역들이 상기 제1 방향과 상이한 제3 방향을 따라 배치되고, 복수의 상기 게이트 전극들에 의해 형성되는 트랜지스터들은 인접한 복수의 상기 게이트 전극들 사이에서 상기 제1 영역 또는 상기 제2 영역을 공유할 수 있다.
- [0014] 본 발명의 일부 실시예들에서, 상기 제1 게이트 탭은 인접한 두 개의 상기 게이트 전극들을 연결하도록 연장될 수 있다.
- [0015] 본 발명의 일부 실시예들에서, 상기 반도체 소자는 서브 워드라인 구동회로를 포함하고, 상기 게이트 전극은 상기 서브 워드라인 구동회로를 이루는 PMOS 트랜지스터의 게이트일 수 있다.
- [0016] 본 발명의 일부 실시예들에서, 상기 서브 워드라인 구동회로는 상기 PMOS 트랜지스터의 일 측에 선택신호 수신부를 더 포함하고, 상기 PMOS 트랜지스터는 상기 선택신호 수신부와 서브 워드라인 사이에 접속되어 메인 워드라인 구동신호의 제어를 받을 수 있다.
- [0017] 본 발명의 다른 형태에 따른 반도체 소자가 제공된다. 상기 반도체 소자는, 소자 분리막에 의해 정의되는 활성 영역을 포함하는 기판; 상기 활성 영역 상에 배치되며, 상기 활성 영역의 가장자리에 형성된 게이트 탭을 포함하는 게이트 전극; 상기 게이트 전극 양측의 상기 활성 영역 내에 배치된 제1 영역 및 제2 영역; 및 상기 제1 영역 및 상기 제2 영역에 위치하는 콘택 플러그들을 포함하고, 상기 콘택 플러그는 상기 제1 영역에서 더 큰 단면적을 갖는다.
- [0018] 본 발명의 일부 실시예들에서, 상기 게이트 전극은 비대칭적인 형상을 가질 수 있다.

발명의 효과

- [0019] 본 발명의 기술적 사상에 따른 반도체 소자에 따르면, 소스 영역과 드레인 영역에 대해 비대칭적으로 게이트 탭을 형성함으로써 HEIP(Hot Electron Induced Punch-through) 현상을 완화시키고 온-전류를 증가시킬 수 있다. 이에 의해 반도체 소자의 성능과 신뢰성이 동시에 확보될 수 있다.

도면의 간단한 설명

- [0020] 도 1a는 본 발명의 일 실시예에 따른 반도체 소자의 개략적인 레이아웃도이다.
- 도 1b 및 도 1c는 도 1a의 실시예에 따른 반도체 소자의 단면도들이다.
- 도 2 내지 도 4는 본 발명의 다른 실시예들에 따른 반도체 소자의 개략적인 레이아웃도이다.
- 도 5 및 도 6은 본 발명의 다른 실시예들에 따른 반도체 소자의 개략적인 레이아웃도이다.
- 도 7a 내지 도 7c는 본 발명의 실시예들에 따른 반도체 소자의 예시적인 제조 방법을 설명하기 위한 단면도들이다.
- 도 8은 본 발명의 일 실시예에 따른 반도체 소자의 오프 전류 특성을 도시하는 그래프이다.

도 9는 본 발명의 일 실시예에 따른 반도체 소자를 포함하는 서브 워드라인 구동회로를 도시하는 회로도이다.

도 10은 도 9의 실시예에 따른 반도체 소자를 포함하는 서브 워드라인 구동회로가 배치되는 반도체 메모리 장치를 설명하는 블럭도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0022] 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다. 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.
- [0023] 도 1a는 본 발명의 일 실시예에 따른 반도체 소자의 개략적인 레이아웃도이다.
- [0024] 도 1b 및 도 1c는 도 1a의 실시예에 따른 반도체 소자의 단면도들이다. 도 1b 및 도 1c는 각각 도 1a의 절단선 IB-IB' 및 IC-IC'에 의해 절단된 부분이 도시된다.
- [0025] 도 1a 내지 도 1c를 참조하면, 본 발명에 따른 반도체 소자(1000a)는 플래시(Flash) 메모리 또는 DRAM(Dynamic Random Access Memory)과 같은 메모리 소자의 회로부를 구성할 수 있다.
- [0026] 반도체 소자(1000a)는 기판(100) 내에 소자 분리막(110)에 의해 정의되는 활성 영역(120)을 포함한다. 또한, 반도체 소자(1000a)는 활성 영역(120)과 소자 분리막(110) 상의 게이트 전극(130)을 포함하며, 활성 영역(120) 상에 배치된 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)를 포함할 수 있다.
- [0027] 기판(100)은 x 방향과 y 방향으로 연장되는 주면(main surface)을 가질 수 있다. 기판(100)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 기판(100)은 벌크 웨이퍼 또는 에피택셜층으로 제공될 수도 있다. 기판(100)은 불순물이 주입되어 형성되는 웰 영역(미도시)을 포함할 수 있다.
- [0028] 소자 분리막(110)은 기판(100) 내에 STI(Shallow Trench Isolation) 구조로 형성될 수 있다. 기판(100) 내에 형성된 트렌치 상에 순차적으로 형성된 제1 절연층(112), 트렌치 라이너(114) 및 제2 절연층(116)을 포함할 수 있다. 제1 절연층(112), 트렌치 라이너(114) 및 제2 절연층(116)은 각각 산화물, 질화물 또는 그들의 조합으로 이루어질 수 있다. 예를 들어, 제1 절연층(112)은 버퍼(buffer) 산화막일 수 있다. 트렌치 라이너(114)는 질화물을 포함할 수 있다. 또한, 제2 절연층(116)은 TOSZ(TOxen SilaZene), 고온 산화물(High Temperature Oxide, HTO), 고밀도 플라즈마(High Density Plasma, HDP)물, TEOS(Tetra Ethyl Ortho Silicate), BPSG(Boron-Phosphorus Silicate Glass) 또는 USG(Undoped Silicate Glass) 중 적어도 하나를 포함할 수 있다.
- [0029] 활성 영역(120)은 소자 분리막(110)에 의해 아일랜드 형상으로 정의될 수 있다. 활성 영역(120)은 게이트 전극(130)에 의해 분리되는 양측의 영역들을 포함할 수 있다. 상기 영역들은 각각 적어도 하나의 제1 영역(D) 및 제2 영역(S)을 포함할 수 있다. 예를 들어, 제1 영역(D)은 반도체 소자(1000a)의 드레인 영역일 수 있으며, 제2 영역(S)은 소스 영역일 수 있다.
- [0030] 제1 영역(D) 및 제2 영역(S)은 활성 영역(120) 내에 소정 깊이로 형성될 수 있으며, 불순물을 포함하는 불순물 영역일 수 있다. 상기 불순물은 예컨대 p-형 불순물인 보론(B), 알루미늄(Al), 갈륨(Ga) 및 아연(Zn) 중 어느 하나를 포함할 수 있다. 또는, 상기 불순물은 예컨대 n-형 불순물인 인(P), 비소(As) 및 안티몬(Sb) 중 어느 하나를 포함할 수 있다.
- [0031] 게이트 전극(130)은 기판(100) 상에 형성되며, 활성 영역(120)과 교차되어 일 방향, 예컨대 y 방향으로 연장될 수 있다. 게이트 전극(130)은 제1 영역(D)으로 돌출된 제1 게이트 탭(135)을 포함할 수 있다. 제1 게이트 탭(135)은 그림자 영역(shade region)으로 표시된다. 제1 게이트 탭(135)은 활성 영역(120) 및 소자 분리막(110)의 경계를 덮으며 소정 길이로 제1 영역(D)으로 돌출될 수 있다. 이에 의해 게이트 전극(130)은 y 방향을

기준으로 비대칭적으로 형성될 수 있다. 본 명세서에서는, x 방향으로의 구성요소, 예컨대 제1 게이트 탭(135)의 치수를 길이로 지칭하고, y 방향으로의 구성요소의 치수를 폭으로 지칭한다.

- [0032] 게이트 전극(130)은 폴리 실리콘, 금속 실리사이드, 또는 예컨대 텅스텐(W)과 같은 금속을 포함할 수 있다. 게이트 전극(130)은 단일층 또는 복합층일 수 있다. 게이트 전극(130)과 활성 영역(120)의 사이에는 게이트 절연층(125)이 개재될 수 있다. 게이트 절연층(125)은 예를 들어, 실리콘 산화물을 포함할 수 있다. 게이트 전극(130)의 측면에는 스페이서(127)가 배치될 수 있다. 스페이서(127)는 예컨대 실리콘 질화물 또는 실리콘 산화물을 포함할 수 있다.
- [0033] 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)가 각각 제1 영역(D) 및 제2 영역(S) 상에 층간 절연층(140)을 관통하여 배치될 수 있다. 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)는 제1 영역(D) 및 제2 영역(S)에서 비대칭적으로 형성될 수 있다. 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)는 반도체 소자(1000a)의 동작을 위해서 제1 영역(D) 및 제2 영역(S)에 전압을 인가하기 위해 배치된다. 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)의 상부는 배선 라인(미도시)과 연결될 수 있다. 도면에 도시되지 않은 영역 상에서, 게이트 전극(130)도 플러그 형태의 별도의 도전체를 통해 다른 배선 라인과 연결될 수 있다.
- [0034] 제1 콘택 플러그(150)는 제1 폭(W1)을 가질 수 있고, 제2 콘택 플러그(160)는 제1 폭(W1)보다 큰 제2 폭(W2)을 가질 수 있다. 즉, 제2 콘택 플러그(160)의 일단부(160E)는 제1 콘택 플러그(150)보다 소정 폭(W')만큼 활성 영역(120)의 가장자리를 향하여 확장될 수 있다. 이에 의해, 제2 콘택 플러그(160)의 일단부(160E)는 제1 게이트 탭(135)이 x 방향을 따라 연장된 영역 내에 위치할 수 있다. 즉, 제2 콘택 플러그(160)의 일단부(160E)는 그 연장선이 제1 게이트 탭(135)을 지날 수 있다. 이와 같이 확장된 제2 콘택 플러그(160)의 배치는 제2 영역(S)으로 제1 게이트 탭(135)과 같은 게이트 탭이 형성되지 않았기 때문에 가능할 수 있다.
- [0035] 제1 콘택 플러그(150)는 y 방향으로 양측의 게이트 탭들(135)의 사이에 배치될 수 있다. 즉, 제1 콘택 플러그(150)는 인접한 두 개의 제1 게이트 탭들(135)이 x 방향을 따라 연장된 영역들의 사이에 위치할 수 있다.
- [0036] 게이트 전극(130) 하부의 활성 영역(120)은 반도체 소자(1000a)의 채널 영역을 형성할 수 있다. 상기 채널 영역에서 가속된 고에너지의 정공은 제1 영역(D)의 공핍(depletion) 영역 내에서 충돌 이온화(impact ionization)에 의하여 고에너지 전자(hot electron)를 발생시킬 수 있다. 제1 게이트 탭(135)이 형성되지 않은 경우, 발생된 고에너지 전자는 제1 영역(D)에 인접한 게이트 절연층(미도시) 또는 소자 분리막(110) 내에 트랩되어 유효 채널 길이를 감소시킬 수 있다. 이에 의해, HEIP 현상이 발생할 수 있다. 이에 의해, 활성 영역(120)의 계면을 따라 누설 전류가 발생할 수 있으며, 오프 상태의 누설 전류가 증가될 수 있다.
- [0037] 본 실시예에 따른 반도체 소자(1000a)는, 제1 영역(D)으로 돌출된 제1 게이트 탭(135)을 형성함으로써, 반도체 소자(1000a)의 동작 중 소자 분리막(110) 또는 게이트 절연층(125)에 전자가 트랩되는 현상을 최소화할 수 있으며, 이에 따라 HEIP 현상을 감소시킬 수 있다. 또한, 제2 영역(S)에 형성되는 제2 콘택 플러그(160)의 크기를 확장시킴으로써, 온 전류를 증가시킬 수 있어 반도체 소자(1000a)의 성능이 향상될 수 있다.
- [0038] 도 2 내지 도 4는 본 발명의 다른 실시예들에 따른 반도체 소자의 개략적인 레이아웃도이다.
- [0039] 도 2를 참조하면, 본 발명에 따른 반도체 소자(1000b)는 제2 영역(S)으로 형성된 제2 게이트 탭(137)을 더 포함한다. 제1 게이트 탭(135) 및 제2 게이트 탭(137)은 그림자 영역으로 표시된다. 이하에서는, 도 1a와 중복되는 설명은 생략한다.
- [0040] 제2 게이트 탭(137)은 활성 영역(120)과 소자 분리막(110)의 경계에서 가장 긴 돌출 길이인 제1 길이(L1)를 가지며, 상기 경계에서 멀어질수록 길이가 작아지는 형태를 가질 수 있다. 이러한 점진적으로 변화하는 길이를 가지는 제2 게이트 탭(137)을 형성함으로써, 제1 영역(D)의 제1 콘택 플러그(150)보다 소정 폭(W'')만큼 큰 제3 폭(W3)을 가지는 제2 콘택 플러그(160)를 형성할 수 있다. 제2 게이트 탭(137)에서, 길이의 변화에 의해 형성되는 절곡부들은 실시예에 따라 다양하게 변화될 수 있다.
- [0041] 제2 게이트 탭(137)의 y 방향으로의 중심에서의 돌출 길이인 제1 길이(L1)는 제1 게이트 탭(135)의 돌출 길이인 제2 길이(L2)와 동일할 수 있다. 다른 실시예에서, 제2 게이트 탭(137)의 제1 길이(L1)는 제1 게이트 탭(135)의 제2 길이(L2)보다 작을 수도 있다. 제2 게이트 탭(137)의 면적은 제1 게이트 탭(135)의 면적보다 작을 수 있다.
- [0042] 본 실시예에 따른 반도체 소자(1000b)는, 제1 게이트 탭(135)에 의해 HEIP 현상을 감소시킬 수 있으며, 제2 게이트 탭(137)에 의해 HEIP 현상을 더욱 감소시킬 수 있다. 또한, 점진적으로 길이가 변화하는 제2 게이트 탭

(137)을 제2 영역(S)에 형성함으로써, 제2 콘택 플러그(160)의 크기를 확장시킬 수 있다. 따라서, 제2 콘택 플러그(160)의 확장에 의해 온 전류를 증가시킬 수 있어 반도체 소자(1000b)의 성능이 향상될 수 있다.

[0043] 도 3을 참조하면, 본 발명에 따른 반도체 소자(1000c)는 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)가 각각 복수의 제1 서브 콘택 플러그들(150a) 및 제2 서브 콘택 플러그들(160a)로 구성될 수 있다. 다른 실시예에서는, 제1 콘택 플러그(150) 및 제2 콘택 플러그(160) 중 어느 하나만이 복수의 제1 서브 콘택 플러그들(150a) 또는 제2 서브 콘택 플러그들(160a)로 구성될 수도 있다.

[0044] 제2 콘택 플러그(160)를 구성하는 제2 서브 콘택 플러그들(160a)의 총 면적이, 제1 콘택 플러그(150)를 구성하는 제1 서브 콘택 플러그들(150a)의 총 면적보다 클 수 있다. 예를 들어, 제1 서브 콘택 플러그(150a) 및 제2 서브 콘택 플러그(160a)는 동일한 크기로 형성되는 경우, 제2 콘택 플러그(160)를 구성하는 제2 서브 콘택 플러그들(160a)의 수는 제1 콘택 플러그(150)를 구성하는 제1 서브 콘택 플러그들(150a)의 수보다 많을 수 있다.

[0045] 본 실시예에 따른 반도체 소자(1000c)는, 제1 게이트 탭(135)에 의해 HEIP 현상을 감소시킬 수 있다. 또한, 제2 영역(S)에 형성되는 제2 콘택 플러그(160)의 크기를 확장시킴으로써, 제2 영역(S)에 제1 영역(D)보다 많은 수의 서브 콘택 플러그들(160a)이 형성될 수 있다. 따라서, 온 전류를 증가시킬 수 있어 반도체 소자(1000c)의 성능이 향상될 수 있다.

[0046] 도 4를 참조하면, 본 발명에 따른 반도체 소자(1000d)는 제2 영역(S)으로 형성된 제2 게이트 탭(137)을 더 포함한다. 제2 게이트 탭(137)은 활성 영역(120)과 소자 분리막(110)의 경계에서 가장 긴 돌출 길이를 가지며, 상기 경계에서 멀어질수록 길이가 작아지는 형태를 가질 수 있다. 제2 게이트 탭(137)의 면적은 제1 게이트 탭(135)의 면적보다 작을 수 있다.

[0047] 또한, 반도체 소자(1000d)는 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)가 각각 복수의 제1 서브 콘택 플러그들(150a) 및 제2 서브 콘택 플러그(160a)로 구성될 수 있다. 제2 콘택 플러그(160)의 면적은 제1 콘택 플러그(150)의 면적보다 크게 형성될 수 있다. 제1 서브 콘택 플러그(150a) 및 제2 서브 콘택 플러그(160a)는 동일한 크기로 형성되는 경우, 제2 콘택 플러그(160)를 구성하는 제2 서브 콘택 플러그들(160a)의 수는 제1 콘택 플러그(150)를 구성하는 제1 서브 콘택 플러그들(150a)의 수보다 많을 수 있다.

[0048] 본 실시예에 따른 반도체 소자(1000d)는, 제1 게이트 탭(135)에 의해 HEIP 현상을 감소시킬 수 있으며, 제2 게이트 탭(137)에 의해 HEIP 현상을 더욱 감소시킬 수 있다. 또한, 점진적으로 길이가 변화하는 제2 게이트 탭(137)을 제2 영역(S)에 형성함으로써, 제2 영역(S)에 제1 영역(D)보다 많은 수의 서브 콘택 플러그들(160a)이 형성될 수 있다. 따라서, 온 전류를 증가시킬 수 있어 반도체 소자(1000d)의 성능이 향상될 수 있다.

[0049] 본 발명의 실시예들은 반도체 소자들(1000a, 1000b, 1000c, 1000d)가 NMOS 트랜지스터인 경우에도 동일하게 적용될 수 있다. 본 발명이 NMOS 트랜지스터에 적용되는 경우, 문턱 전압이 낮아지는 협폭 효과(narrow width effect)를 감소시킬 수 있다. 협폭 효과는, 활성 영역(120)의 가장자리에서 코너 라운드에 의해 게이트 전극(130)의 전압이 3차원적으로 인가되어 상대적으로 낮은 게이트 전압에서 전류가 흐르는 현상을 말한다. 이러한 협폭 효과는 반도체 소자들(1000a, 1000b, 1000c)의 채널 폭이 감소될수록 커지는데, 본 발명에 의하면, 협폭 효과를 감소시키면서도 온 전류를 증가시킬 수 있게 된다.

[0050] 도 5 및 도 6은 본 발명의 다른 실시예들에 따른 반도체 소자의 개략적인 레이아웃도이다. 도 5 및 도 6은 인접한 트랜지스터들 사이에 제1 영역(D) 및 제2 영역(S)을 공유하는 경우의 실시예들을 나타낸다.

[0051] 도 5를 참조하면, 본 발명에 따른 반도체 소자(2000a)는 일 방향, 예컨대 x 방향으로 연장되는 복수의 활성 영역들(220)을 포함하는 기판(200)을 포함한다. 활성 영역들(220)은 게이트 전극들(230)에 의해 구분되는 복수의 영역들을 포함할 수 있다. 상기 복수의 영역들은 제1 영역(D) 및 제2 영역(S)을 포함한다. 예를 들어, 제1 영역(D)은 드레인 영역일 수 있으며, 제2 영역(S)은 소스 영역일 수 있다. x 방향에서 인접하는 두 개의 트랜지스터들은, 제1 영역(D) 또는 제2 영역(S)을 공유하도록 배치될 수 있다. y 방향으로 인접한 활성 영역들(220) 사이에는 소자 분리막(210)이 위치할 수 있다.

[0052] 복수의 게이트 전극들(230)은 서로 평행하게 배치되며, 활성 영역들(220)이 연장되는 방향과 상이한 y 방향으로 연장될 수 있다. 게이트 전극들(230)은 제1 영역(D)에 인접하여 x 방향으로 소정 길이만큼 돌출되는 제1 게이트 탭들(235)을 포함한다. 이에 의해 게이트 전극(230)은 y 방향을 기준으로 비대칭적으로 형성될 수 있다. 제1 게이트 탭(235)은 활성 영역(220)과 소자 분리막(210)의 경계면 상에 배치된다. 제1 게이트 탭(135)은 그림자 영역으로 표시된다. 제1 게이트 탭들(235)은 제1 콘택 플러그(250)를 기준으로 y 방향으로 대칭적으로 배

치될 수 있다.

- [0053] 제1 콘택 플러그들(250) 및 제2 콘택 플러그들(260)이 각각 제1 영역(D) 및 제2 영역(S) 상에 배치될 수 있다. 제1 콘택 플러그(250) 및 제2 콘택 플러그(260)는 제1 영역(D) 및 제2 영역(S)에서 비대칭적으로 형성될 수 있다. 제1 콘택 플러그(250) 및 제2 콘택 플러그(260)는 반도체 소자(2000a)의 동작을 위해서 제1 영역(D) 및 제2 영역(S)에 전압을 인가하기 위해 배치된다.
- [0054] 제1 콘택 플러그(250)는 제4 폭(W4)을 가질 수 있고, 제2 콘택 플러그(260)는 제4 폭(W4)보다 큰 제5 폭(W5)을 가질 수 있다. 즉, 제2 콘택 플러그(260)의 일단부(260E)는 제1 콘택 플러그(250)보다 소정 폭(W'')만큼 길게 활성 영역(220)의 가장자리를 향하여 확장될 수 있다. 또한, 제2 콘택 플러그(260)의 적어도 일단부(260E)는, 제1 게이트 탭(235)이 x 방향을 따라 연장된 영역 내에 위치할 수 있다. 다른 실시예에서, 제2 콘택 플러그(260)의 일단부(260E)는 제1 게이트 탭(235)의 활성 영역(220) 내의 일단부와 동일 선 상에 위치할 수 있다. 이와 같이 확장된 제2 콘택 플러그(260)의 배치는 제2 영역(S)으로 제1 게이트 탭(235)이 형성되지 않기 때문에 가능할 수 있다.
- [0055] 다른 실시예에서, 제1 콘택 플러그들(250)은 활성 영역들(220)에서 y 방향으로 서로 다른 축 상에 형성될 수 있다. 이 경우, 제1 콘택 플러그들(250)의 상부에 형성되는 배선 라인(미도시)이 서로 접촉되지 않게 형성될 수 있다.
- [0056] 본 발명의 실시예에 따른 반도체 소자(2000a)는, 제1 게이트 탭(235)에 의해 반도체 소자(2000a)의 동작 중 소자 분리막(210) 등에 전자가 트랩되는 현상을 최소화할 수 있으며, 이에 따라 HEIP 현상을 감소시킬 수 있다. 또한, 제1 게이트 탭(235)을 제1 영역(D)으로만 돌출되도록 형성함으로써, 제2 영역(S)에 형성되는 제2 콘택 플러그(260)의 크기를 확장시킬 수 있다. 따라서, 온 전류를 증가시킬 수 있어 반도체 소자(2000a)의 성능이 향상될 수 있다.
- [0057] 도 6을 참조하면, 반도체 소자(2000b)에서, 인접한 두 개의 게이트 전극들(230)의 제1 게이트 탭들(235)은 활성 영역(220)과 소자 분리막(210)의 경계면 상에서 서로 연결된 형태를 가질 수 있다. 즉, 제1 게이트 탭들(235)은 인접한 두 개의 게이트 전극들(230)을 연결하도록 x 방향으로 연장될 수 있다.
- [0058] 본 발명의 실시예에 따른 반도체 소자(2000b)는, 제1 게이트 탭들(235)에 의해 반도체 소자(2000a)의 동작 중 소자 분리막(210) 등에 전자가 트랩되는 현상을 최소화할 수 있으며, 이에 따라 HEIP 현상을 감소시킬 수 있다. 또한, 제1 게이트 탭(235)을 제1 영역(D)으로만 돌출되도록 형성함으로써, 제2 영역(S)에 형성되는 제2 콘택 플러그(260)의 크기를 확장시킬 수 있다. 따라서, 온 전류를 증가시킬 수 있어 반도체 소자(2000b)의 성능이 향상될 수 있다.
- [0059] 도면에는 도시되지 않았으나, 도 2 내지 도 4의 실시예들도 도 5 및 도 6과 같이 인접한 트랜지스터들 사이에 제1 영역(D) 및 제2 영역(S)을 공유하는 경우의 실시예들에 적용될 수 있을 것이다.
- [0060] 도 7a 내지 도 7c는 본 발명의 실시예들에 따른 반도체 소자의 예시적인 제조 방법을 설명하기 위한 단면도들이다. 각각의 도면들은, 도 1a의 절단선들 IB-IB' 및 IC-IC'를 따라 취해진 단면도들을 도시한다.
- [0061] 도 7a를 참조하면, 먼저 기판(100) 상에 마스크층(미도시)을 형성하고, 이방성 식각 공정에 의해 소자 분리막(110) 형성을 위한 트렌치를 형성할 수 있다. 상기 트렌치의 깊이는 제조하는 소자의 특성에 따라 달라질 수 있으며, 상기 트렌치의 측벽은 기판(100)의 상부면에 수직하지 않을 수 있다. 예를 들면, 기판(100)의 하면에 가까울수록, 상기 트렌치의 폭은 감소될 수 있다. 상기 트렌치 형성 후, 절연 특성의 강화를 위한 이온 주입 공정이 추가적으로 수행될 수 있다.
- [0062] 다음으로, 상기 트렌치 내에 제1 절연층(112)을 형성한다. 제1 절연층(112)은 퍼니스(furnace)를 이용한 라디컬 산화, 또는 급속 열처리(Rapid Thermal Annealing, RTA) 방식을 이용하여 형성한 열산화막일 수 있다. 또는, 제1 절연층(112)은 절연 물질의 증착에 의해 형성될 수도 있다. 이 경우, 절연 물질은 마스크층(104) 상에도 증착될 수 있다.
- [0063] 제1 절연층(112) 상에 트렌치 라이너(114)를 형성한다. 트렌치 라이너(114)는 예컨대, 질화물을 포함할 수 있으며, 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition, LPCVD)을 이용하여 형성할 수 있다. DRAM 소자의 경우, 리프레쉬(refresh) 특성 향상을 위해 소자분리 영역에 질화막을 포함하는 트렌치 라이너를 사용하고 있다. 다만, 질화막 트렌치 라이너를 사용하는 경우, 질화막 트렌치 라이너에 전자가 트랩되어 HEIP 현상이 악화될 수 있다.

- [0064] 트랜치 라이너(114) 상에 제2 절연층(116)이 형성될 수 있다. 제2 절연층(116)은 CVD 공정에 의해 형성될 수 있다. 제2 절연층(116)은 산화물을 포함할 수 있다. 제2 절연층(116)의 형성 후, 막질의 고밀도화를 위한 어닐링 공정이 추가될 수도 있다.
- [0065] 다음으로, 평탄화 공정이 수행될 수 있다. 상기 평탄화 공정은 예컨대, 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 공정일 수 있다. 이에 의해, 매립된 소자 분리막(110)이 완성될 수 있다. 소자 분리막(110)은 제1 절연층(112), 트랜치 라이너(114) 및 제2 절연층(116)을 포함한다. 소자 분리막(110)에 의해 기판(100)의 활성 영역(120)이 정의될 수 있다.
- [0066] 다음으로, 기판(100) 상에 게이트 절연층(125) 및 게이트 전극(130)을 형성한다. 게이트 절연층(125)은 실리콘 산화물(SiO₂), 고유전율(high-k) 유전물 또는 실리콘 산화물(SiO₂)과 실리콘 질화물(SiN)의 복합층 등으로 이루어질 수 있다. 여기서, 고유전율 유전물이란 산화막보다 높은 유전 상수(dielectric constant)를 갖는 유전물을 의미한다.
- [0067] 게이트 전극(130)은 폴리 실리콘 또는 예컨대 텅스텐(W)과 같은 금속을 포함할 수 있다. 또한, 게이트 전극(130)의 상부에 금속 실리사이드층을 포함할 수도 있다. 게이트 전극(130)은 트랜지스터의 게이트 전극을 이루며, 일 방향으로 연장되어 배선 라인(미도시)들과 연결될 수 있다.
- [0068] 도 7b를 참조하면, 게이트 전극(130) 상에 포토 레지스트층(132)을 형성하는 공정이 수행된다. 포토 레지스트층(132)은 제1 게이트 탭(135)이 형성되는 IB-IB'의 단면도의 경우에 비하여, 제1 게이트 탭(135)이 형성되지 않는 IC-IC'의 단면도의 경우, 소정 길이(L3)만큼 길게 형성될 수 있다. 즉, 제1 게이트 탭(135)이 형성되는 경우, 소정 길이(L3)만큼 게이트 전극(130)이 더 많이 노출된다.
- [0069] 도 7c를 참조하면, 게이트 절연층(125) 및 게이트 전극(130)을 패터닝하는 공정이 수행된다. 포토 레지스트층(132)에 의해 노출된 게이트 전극(130) 및 게이트 전극(130) 하부의 게이트 절연층(125)을 식각 공정을 통해 제거할 수 있다. 상기 패터닝 공정 후, 게이트 전극(130)의 측면에 절연성 물질의 스페이서(127)를 형성할 수도 있다.
- [0070] 제1 게이트 탭(135)이 일 방향으로 소정 길이(L3) 돌출되어 형성될 수 있다. 상기 일 방향은 후속에서 제1 영역(D)이 형성될 영역을 향하는 방향일 수 있다. 제1 게이트 탭(135)은 도면에 도시되지 않은 도 1a의 y 방향에서는 기판(100) 상에 노출된 트랜치 라이너(114)의 상면을 덮도록 형성될 수 있다. 즉, 제1 게이트 탭(135)은 활성 영역(120)과 소자 분리막(110)의 경계를 소정 폭으로 덮도록 형성될 수 있다.
- [0071] 다음으로, 게이트 전극(130)을 마스크로 이용하여 불순물을 주입함으로써 제1 영역(D) 및 제2 영역(S)을 형성한다. 불순물 주입 공정은 이온들을 특정 각도로 주입하여 수행될 수 있다.
- [0072] 다음으로, 도 1b 및 도 1c를 함께 참조하면, 층간 절연층(140)을 전면에 형성하는 공정이 수행될 수 있다. 층간 절연층(140)은 게이트 전극(130)의 상부에 소정 높이로 형성될 수 있다. 제1 영역(D) 및 제2 영역(S) 상의 층간 절연층(140)을 일부 식각하여 콘택 홀을 형성하고, 상기 콘택 홀 내에 도전성 물질을 매립하여 제1 콘택 플러그(150) 및 제2 콘택 플러그(160)를 형성한다. 이에 의해 도 1b 및 도 1c에 도시된 것과 같은 반도체 소자가 형성될 수 있다.
- [0073] IB-IB'를 따른 단면도의 경우, 제1 콘택 플러그(150)가 나타나지 않는다. 이는 도 1a를 참조하여 상술한 것과 같이, 제1 콘택 플러그(150)가 제2 콘택 플러그(160)보다 작은 폭으로 형성되기 때문이다.
- [0074] 도 8은 본 발명의 일 실시예에 따른 반도체 소자의 오프 전류 특성을 도시하는 그래프이다.
- [0075] 도 8을 참조하면, 본 발명의 실시예에 따른 반도체 소자에서, 오프 전류(I_{off})와 온 전류(I_{on})의 관계를 측정하였다. 오프 전류(I_{off}) 및 온 전류(I_{on})의 값은 임의의 단위(arbitrary unit)로 표시된다. 도 8에 '참조'로 나타난 것은 본 발명이 적용되지 않은 참조 트랜지스터의 경우를 의미한다. 상기 참조 트랜지스터의 형상을 도 1a의 실시예를 참조하여 설명하면, 상기 참조 트랜지스터는 제2 영역(S)으로도 돌출된 제1 게이트 탭(135)을 포함한다. 따라서, 제2 콘택 플러그(160)의 일단(160E)이 제1 게이트 탭(135)이 형성된 영역까지 y 방향으로 확장되지 못한다.
- [0076] 상기 참조 트랜지스터와 본 발명의 트랜지스터를 비교하면, 동일한 오프 전류(I_{off})에서 본 발명의 경우 더 큰 온 전류(I_{on})를 나타내는 것을 알 수 있다. 온 전류(I_{on})의 증가는 약 7.6 % 정도로 계산되었다.

- [0077] 또한, 도면으로 나타내지는 않았으나, HEIP 특성은 본 발명의 트랜지스터와 참조 트랜지스터에서 유사하게 나타났다. 따라서, 본 발명의 실시예에 따른 트랜지스터는 소스 영역과 드레인 영역에 모두 게이트 탭이 형성된 트랜지스터와 유사한 HEIP 특성을 가지면서도, 온 전류(I_{on})를 증가시킬 수 있음을 확인하였다.
- [0078] 도 9는 본 발명의 일 실시예에 따른 반도체 소자를 포함하는 서브 워드라인 구동회로를 도시하는 회로도이다.
- [0079] 도 9를 참조하면, 메모리 반도체 소자의 서브 워드라인 구동회로(600)는, 소스단이 선택신호 수신부(PXID)에 접속되고 드레인단이 서브 워드라인(SWL)에 접속되며 메인 워드라인 구동신호(MWL)의 제어를 받는 PMOS 트랜지스터(610), 서브 워드라인(SWL)과 접지 전압단(VBB2) 사이에 접속되어 메인 워드라인 구동신호(MWL)의 제어를 받는 제1 NMOS 트랜지스터(620), 및 서브 워드라인(SWL)과 접지 전압단(VBB2) 사이에 접속되어 반전 서브 워드라인 선택신호(FXIB)의 제어를 받는 제2 NMOS 트랜지스터(630)를 포함한다.
- [0080] 서브 워드라인 구동회로(600)는 메인 워드라인 구동신호(MWL)에 응답하여 서브 워드라인(SWL)을 구동한다. 먼저, 메인 워드라인 구동신호(MWL)와 서브 워드라인 선택신호(FXID)가 모두 로직 로우 레벨로 활성화되면, PMOS 트랜지스터(610)가 턴-온되어 서브 워드라인(SWL)을 승압 전압(VPP)으로 구동하게 된다. 도면에는 도시되지 않았으나, 다수의 메모리 셀이 서브 워드라인에 접속되어 있으며, 서브 워드라인의 구동 레벨에 따라 다수의 메모리 셀이 활성화 된다.
- [0081] 다음으로, 메인 워드라인 구동신호(MWL)와 서브 워드라인 선택신호(FXID)가 모두 로직 하이 레벨이 되면, 제1 NMOS 트랜지스터(620)이 턴-온되어 서브 워드라인(SWL)을 접지 전압(VBB2)으로 구동하게 된다. PMOS 트랜지스터(610)는 기판 바이어스 전압으로 승압 전압(VPP)을 인가받고 있는데, 메인 워드라인 구동신호(MWL)의 제어를 받고 있다. 따라서, 메인 워드라인 구동신호(MWL)가 로직 하이 레벨, 즉 승압 전압(VPP)으로 구동될 때 PMOS 트랜지스터(610)는 턴-오프된다.
- [0082] PMOS 트랜지스터(610)는 본 발명의 실시예들에 따른 구조를 가질 수 있다. 따라서, 높은 레벨의 승압 전압(VPP) 하에서도, HEIP 현상에 의한 소자의 신뢰성 저하를 방지할 수 있게 된다.
- [0083] 도 10은 도 9의 실시예에 따른 반도체 소자를 포함하는 서브 워드라인 구동회로가 배치되는 반도체 메모리 장치를 설명하는 블럭도이다.
- [0084] 도 10을 참조하면, 반도체 메모리 장치(700)는 DRAM 셀을 포함하는 메모리 셀 어레이(701) 및 DRAM 셀을 구동하기 위한 각종 회로 블럭들을 구비할 수 있다. 예컨대, 타이밍 레지스터(702)는 칩 선택 신호(CS)가 비활성화 레벨(예컨대 로직 하이)에서 활성화 레벨(예컨대 로직 로우)로 변화될 때 활성화될 수 있다. 타이밍 레지스터(702)는 외부로부터 클럭 신호(CLK), 클럭 인에이블 신호(CKE), 칩 선택신호(CSB), 로우(Row) 어드레스 스트로브 신호(RASB), 칼럼(Column) 어드레스 스트로브 신호(CASB), 기입 인에이블 신호(WEB) 및 데이터 입력/출력 마스크 신호(DQM) 등의 커맨드(command) 신호를 수신하고, 수신된 커맨드 신호를 처리하여 회로 블럭들을 제어하기 위한 각종 내부 커맨드 신호들(LRAS, LCBR, LWE, LCAS, LWCBR, LDQM)을 생성할 수 있다.
- [0085] 타이밍 레지스터(702)로부터 생성된 일부 내부 커맨드 신호들은 프로그래밍 레지스터(704)에 저장된다. 예컨대, 데이터 출력에 관계된 레이턴시(Latency) 정보나 버스트 길이(Burst Length) 정보 등이 프로그래밍 레지스터(704)에 저장될 수 있다. 프로그래밍 레지스터(704)에 저장된 내부 커맨드 신호들은 레이턴시/버스트 길이 제어부(706)로 제공될 수 있으며, 레이턴시/버스트 길이 제어부(706)는 데이터 출력의 레이턴시나 버스트 길이를 제어하기 위한 제어 신호를 칼럼 어드레스 버퍼(708)를 통하여 칼럼 디코더(710)나 출력 버퍼(712)로 제공할 수 있다.
- [0086] 어드레스 레지스터(720)는 외부로부터 어드레스 신호(ADD)를 수신할 수 있다. 로우 어드레스 신호는 로우 어드레스 버퍼(722)를 통하여 로우 디코더(724)로 제공될 수 있다. 또한, 칼럼 어드레스 신호는 칼럼 어드레스 버퍼(708)를 통하여 칼럼 디코더(710)로 제공될 수 있다. 로우 어드레스 버퍼(722)는 리프레쉬 명령(LRAS, LCBR)에 응답하여 리프레쉬 카운터에서 발생하는 리프레쉬 어드레스 신호를 더 수신할 수 있으며, 로우 어드레스 신호나 리프레쉬 어드레스 신호 중 어느 하나를 로우 디코더(724)로 제공할 수 있다. 또한, 어드레스 레지스터(720)는 뱅크를 선택하기 위한 뱅크 신호를 뱅크 선택부(726)로 제공할 수 있다.
- [0087] 로우 디코더(724)는 로우 어드레스 버퍼(722)로부터 입력되는 로우 어드레스 신호 또는 리프레쉬 어드레스 신호를 디코딩하고, 메모리 셀 어레이(701)의 워드라인을 활성화시킬 수 있다.
- [0088] 본 발명의 실시예에 따른 반도체 소자를 포함하는 서브 워드라인 구동회로는 메모리 셀 어레이(701) 내에서 소정 간격으로 블럭을 이루어 배치될 수 있다. 또는 감지 증폭기(730)와 수직하게 메모리 셀 어레이(701)의 일

단에 배치될 수도 있다.

[0089] 칼럼 디코더(710)는 칼럼 어드레스 신호를 디코딩하고, 메모리 셀 어레이(701)의 비트라인에 대한 선택 동작을 수행할 수 있다. 일 예로서, 칼럼 선택 라인(Column selection Line)이 반도체 메모리 장치(700)에 적용되어, 칼럼 선택 라인을 통한 선택 동작이 수행될 수 있다.

[0090] 감지 증폭기(730)는 로우 디코더(724)와 칼럼 디코더(710)에 의해 선택된 메모리 셀의 데이터를 증폭하고, 증폭된 데이터를 출력 버퍼(712)로 제공할 수 있다. 데이터 셀의 기록을 위한 데이터는 데이터 입력 레지스터(732)를 통하여 메모리 셀 어레이(701)로 제공되며, 입출력 컨트롤러(734)는 데이터 입력 레지스터(732)를 통한 데이터 전달 동작을 제어할 수 있다.

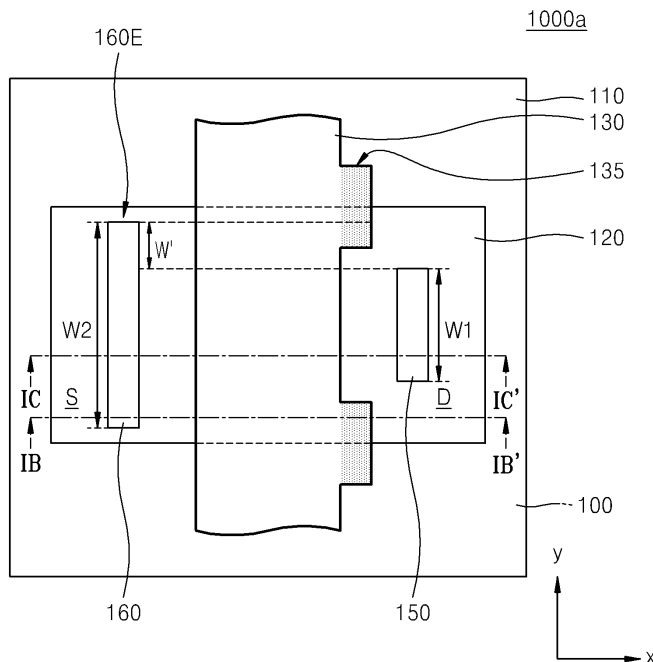
[0091] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

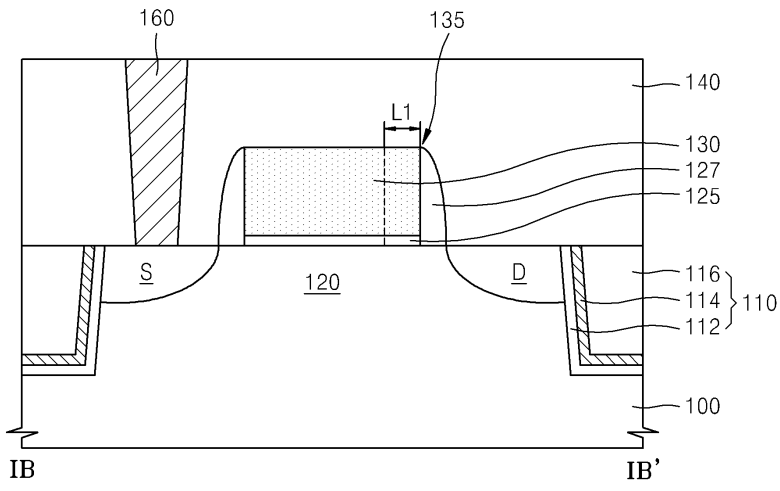
- | | | |
|--------|---------------------|---------------------|
| [0092] | 100, 200: 기판 | 110, 210: 소자 분리막 |
| | 112: 제1 절연층 | 114: 트랜치 라이너 |
| | 116: 제2 절연층 | 120, 220: 활성 영역 |
| | 130, 230: 게이트 전극 | 135, 235: 제1 게이트 탭 |
| | 137: 제2 게이트 탭 | 140: 층간 절연층 |
| | 150, 250: 제1 콘택 플러그 | 160, 260: 제2 콘택 플러그 |

도면

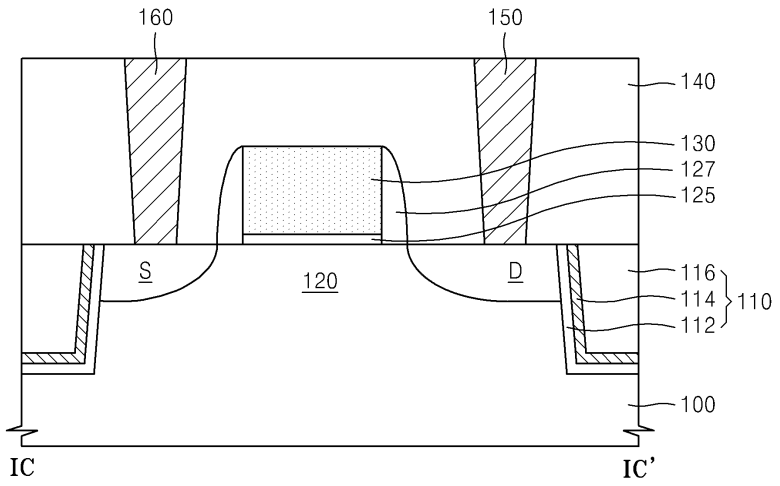
도면1a



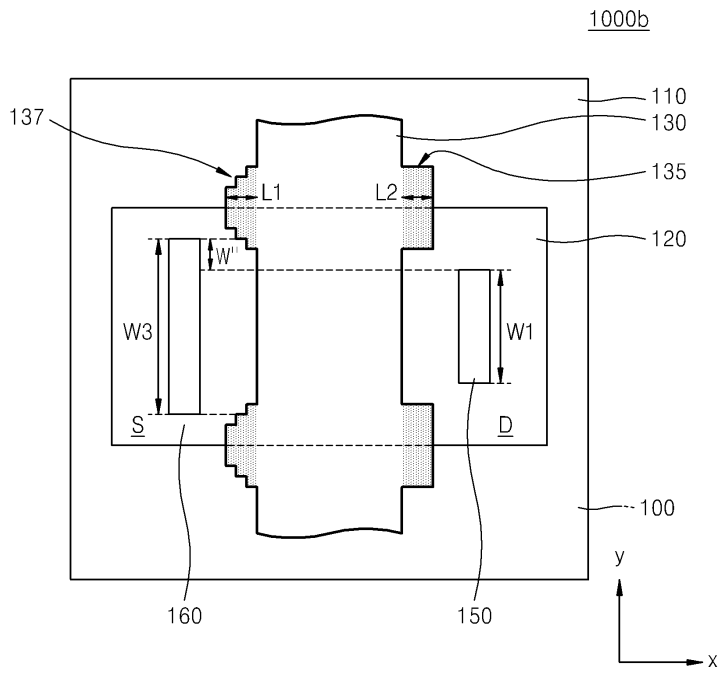
도면1b



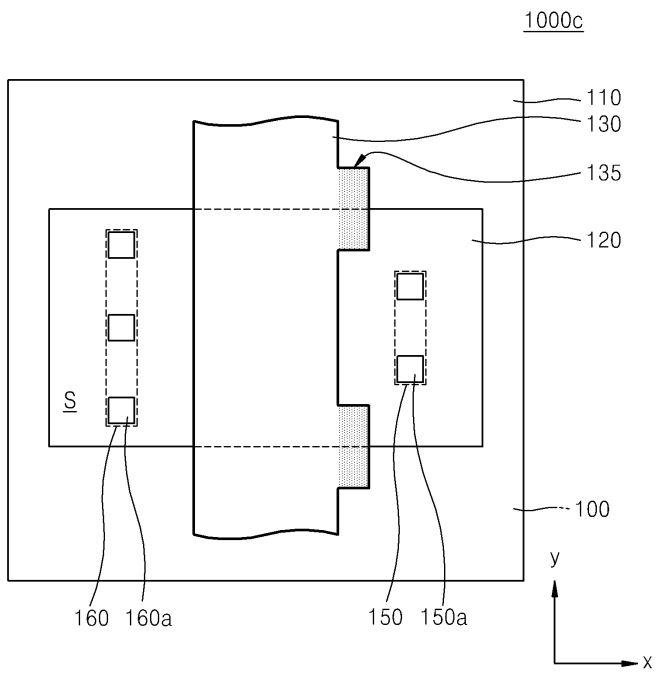
도면1c



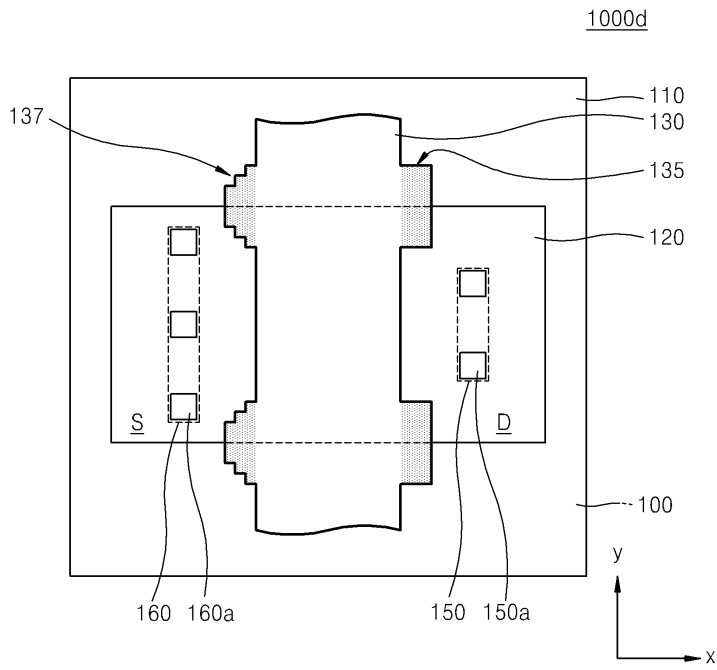
도면2



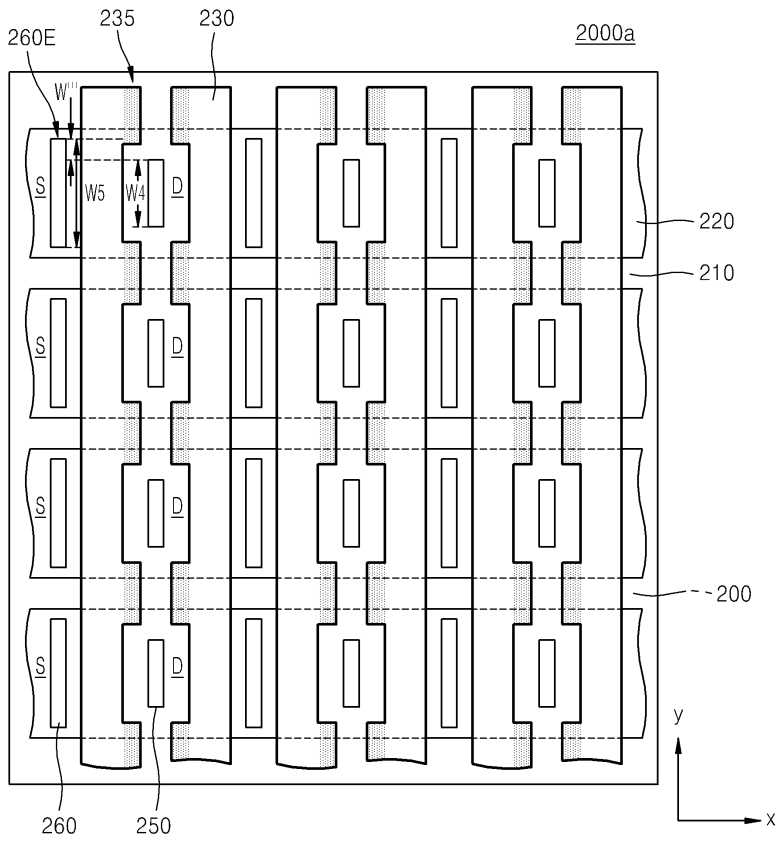
도면3



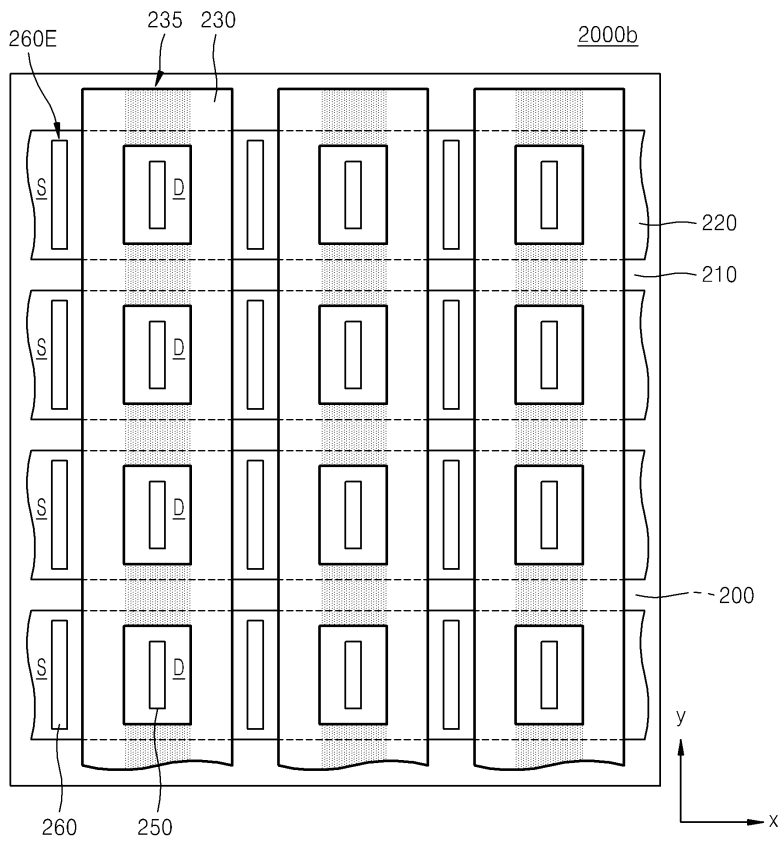
도면4



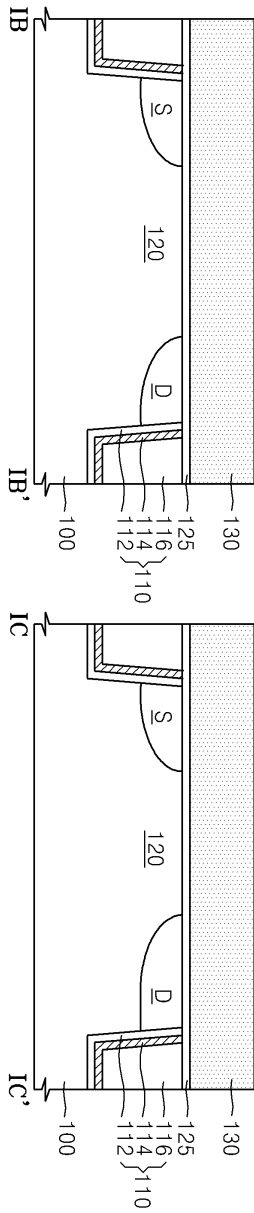
도면5



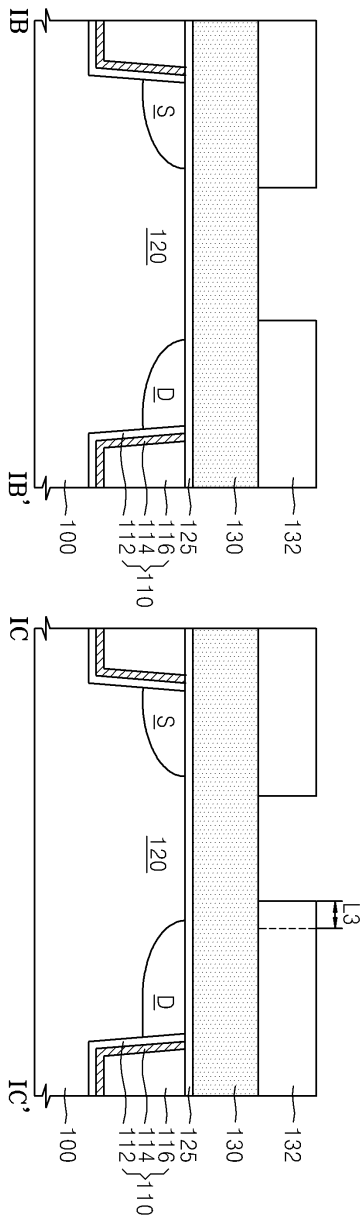
도면6



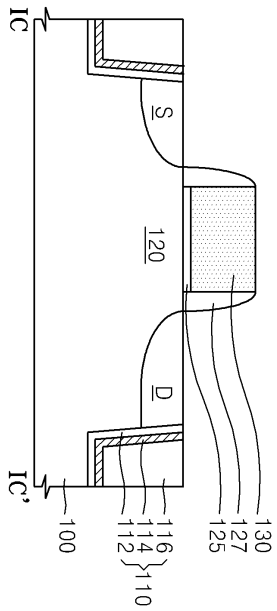
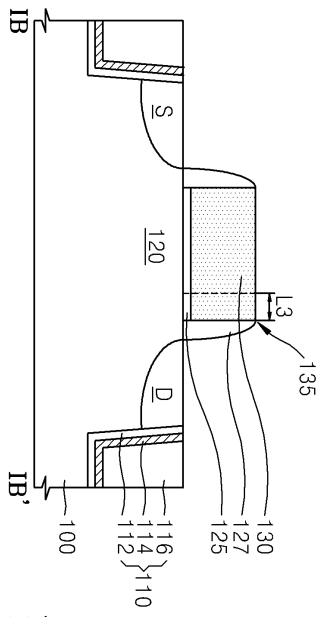
도면7a



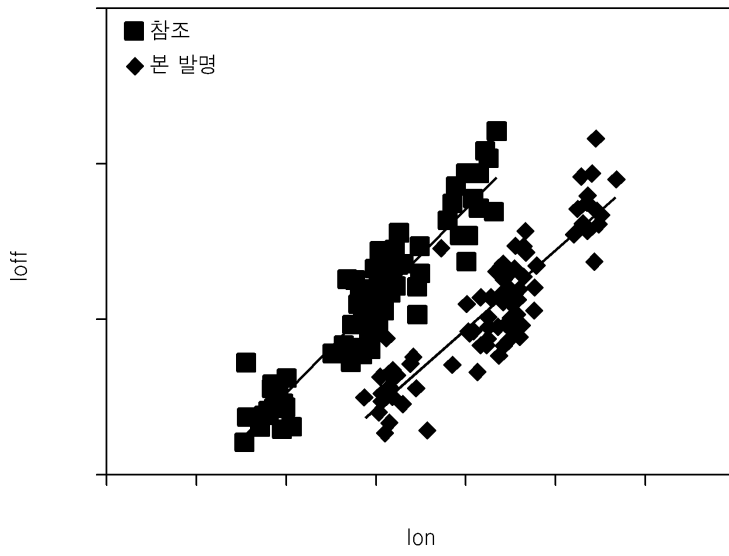
도면7b



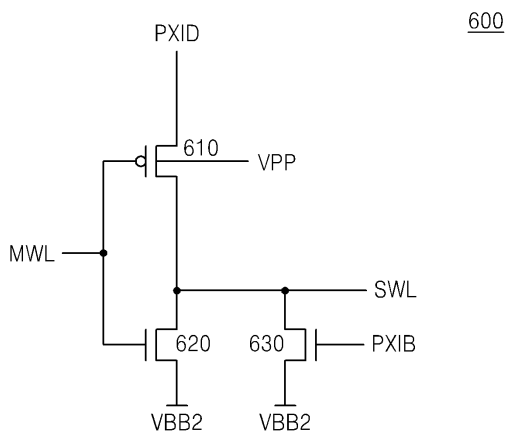
도면7c



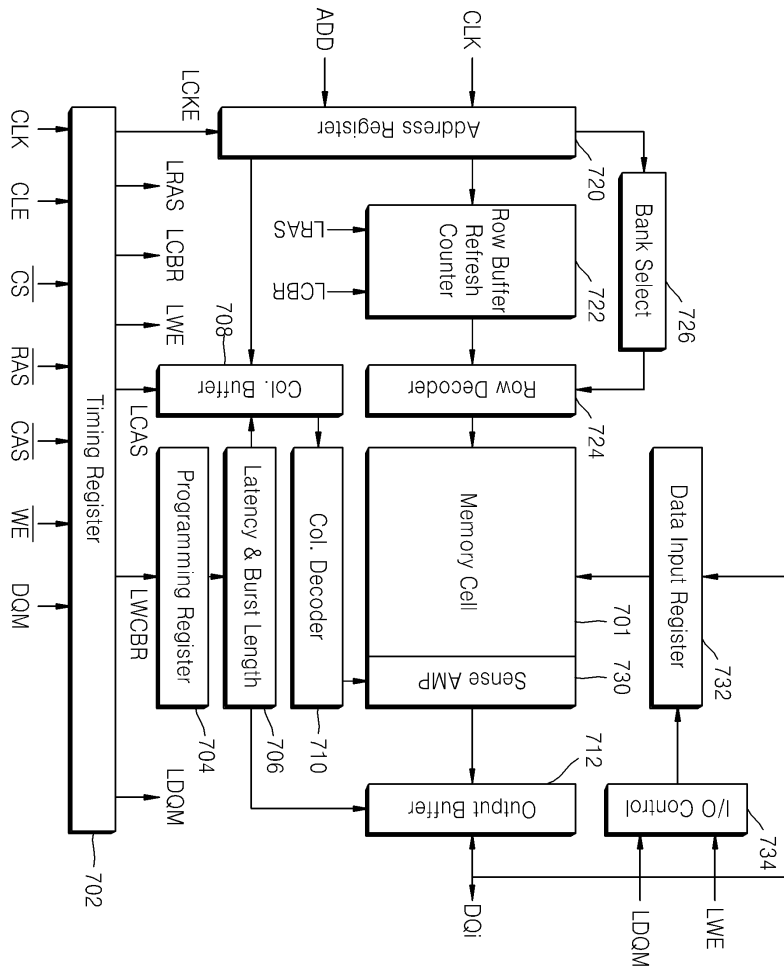
도면8



도면9



도면10



700