

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G09G 5/395 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03821321.4

[45] 授权公告日 2008 年 11 月 5 日

[11] 授权公告号 CN 100430999C

[22] 申请日 2003.8.6 [21] 申请号 03821321.4

[30] 优先权

[32] 2002.9.9 [33] EP [31] 02078657.0

[86] 国际申请 PCT/IB2003/003519 2003.8.6

[87] 国际公布 WO2004/023453 英 2004.3.18

[85] 进入国家阶段日期 2005.3.8

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 R·A·贝尤克

[56] 参考文献

GB2176979A 1987.1.7

CN1049926A 1991.3.13

US5587962A 1996.12.24

审查员 郑鸣捷

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

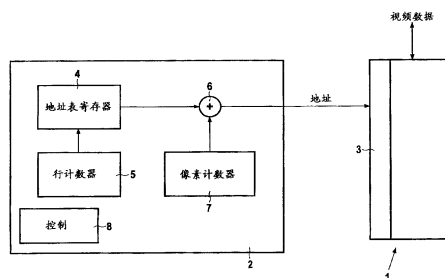
权利要求书 2 页 说明书 6 页 附图 6 页

## [54] 发明名称

用于显示系统的驱动方法、驱动电路和驱动设备

## [57] 摘要

本发明提供了一种用于显示器的基于表的驱动电路，其能够在常规操作模式和读取表块模式之间进行切换。所述切换电路包括一地址序列器和一存储器。所述存储器包括各个序列的完整表，例如隔行或色彩连续序列。在读表模式中，下一个即将到来的地址被读取，即从所述存储器中下载到所述地址序列器的地址表寄存器中。在常规操作模式中，地址序列器为将在所述存储器中存储的或将被显示的视频数据产生地址。



1. 操作一显示系统的驱动电路的方法，其中借助于地址序列器来控制向存储器写入和 / 或从存储器读取视频数据的顺序，在地址序列器中产生的所述视频数据的每个存储器地址是由图像行地址部分或行指针和所述图像行上的像素的地址部分构成的，其特征在于切换装置以第一模式和第二模式交替地操作所述驱动电路，在所述第一模式中所述地址序列器通过将来自地址表寄存器装置中的行指针块的行指针与像素计数装置的输出相结合来为所述存储器中的视频数据产生地址，在所述第二模式中来自所述存储器中的完整行指针表的行指针块被下载到所述地址表寄存器装置中。

2. 用于一显示系统的驱动电路，包括用于所要显示的视频数据的存储器和与所述存储器相连接的地址序列器，该地址序列器用于控制在所述存储器中写入和 / 或读取视频数据的顺序，其特征在于，所述存储器包含一个完整的行指针表，每个行指针是视频数据的存储器地址的一部分，并且其特征在于，所述地址序列器配备有用于来自所述行指针表的行指针块的地址表寄存器装置、用于通过后续的行指针块来连续地更新所述地址表寄存器装置的装置，和像素计数装置，所述像素计数装置的输出与来自地址表寄存器装置的连续行指针相结合，来确定所述视频数据的地址。

3. 根据权利要求 2 所述的驱动电路，其特征在于配备有切换装置，通过该切换装置，可交替地进行：在所述地址序列器中，在第一模式下为视频数据产生存储器地址；和在第二模式下，通过下一个行指针块更新所述地址表寄存器。

4. 根据权利要求 2 所述的驱动电路，其特征在于所述存储器包括用于所要显示的视频数据的不同序列的完整行指针表。

5. 根据权利要求 3 所述的驱动电路，其特征在于所述存储器包括用于所要显示的视频数据的不同序列的完整行指针表。

6. 用于显示图像的设备，包括一个显示系统和根据权利要求 2 到 5

中的任何一项所述的驱动电路。

## 用于显示系统的驱动方法、驱动电路和驱动设备

### 技术领域

本发明涉及一种操作显示系统的驱动电路的方法，其中借助于地址序列器来控制向存储器写入和/或从存储器读取视频数据的顺序，在地址序列器中为所述视频数据产生的每个存储器地址是由图像行地址部分或行指针和所述图像行上的像素的地址部分构成的。

### 背景技术

所述方法被应用在显示系统中，例如阴极射线管（CRT）、等离子放电屏（PDP）、液晶显示器（LCD）和单屏硅基液晶（LCOS）。所有这些都需要不同的寻址顺序。帧存储器被广泛的用作这些显示系统的驱动电路。外部或嵌入的静态或动态随机存取存储器（SRAM 或 DRAM）通常被用作用于对视频信息进行重新排序的帧存储器。序列器通常控制读和写的顺序。如果设想驱动电路以不同的分辨率工作，例如缩放或分画面监控，或者设想驱动电路能够驱动不同种类的上述提到的显示器，则帧存储器的灵活寻址对于重新整理像素数据是必要的。尤其是，驱动电路必须足够灵活以产生诸如隔行顺序和色彩连续顺序这样的顺序，并且足够灵活以应付设计变化，例如 LCOS 系统的光学布局的设计变化。

可以以与逻辑电路相结合的多个计数器的形式在序列器设计中找出的一种可行的解决方案。然而，其难点在于，这本质上是一种不灵活的解决方案。在约定所需要的解决方案的适用范围之前，必须知道将被产生的不同顺序。

另一种可行的解决方案可以是序列表方法，其中整个序列被存储在一个作为所述序列器的一部分的随机存取存储器中。该解决方案原则上提供了所有需要的适应性。从美国专利 5587962 可获知这种解决方案。该专利说明书披露了一种带有帧存储器电路的设备，其允许进行有限的随机存取，并被用于执行各种不同的特殊效果视频应用。该设备的帧存储电路存储和提供数据流并支持串行存取和随机存取。随机存取存储器阵列的数据输入端与一数据缓冲器相连接，从而数据缓

冲器可使存储器阵列的操作与数据流同步。所述随机存取存储器阵列的地址输入端与一个地址序列器相连接，所述地址序列器产生一连续施加给所述存储器阵列的存储器地址序列。一地址缓冲寄存器也与所述地址序列器相连接。美国专利 5587962 提供了一个用作帧存储器的存储器电路，其能够使得象缩放或分屏这样的特殊的效果或其它的效果能够得以有效地实现。为此，所述存储电路相当于一单芯片集成电路，其包含  $2^{20}$  位的存储容量，这些位通过专用的写和读存取装置被组织为 262144 个四位宽字。该存储电路对于写和读操作通常以串行访问模式工作，但其具有这样的独特性质，即对存储电路的写入或读出允许有限规模的随机存取。为了接收转换成数字像素的模拟视频信号，所述存储电路包括一串行像素数据输入端，其提供每像素四位的数据。所述串行像素数据输入端与一写串行锁存器的输入端口连接，而写串行锁存器的输出端口与一写寄存器的输入端口相连接。所述写寄存器的输出端口与一存储器阵列的数据输入端口相连接。所述存储器阵列为包含  $2^{18}$  个四位存储单元的动态随机存取存储器阵列。所述存储器阵列的数据输出端口与一读寄存器的数据输入端口相连接，而读寄存器的数据输出端口与读串行锁存器的数据输入端口相连接。判优和控制电路将由地址产生器产生的地址传送给所述存储器阵列，从而能够将数据写入到存储器阵列中，但可能会由于对存储器阵列的刷新操作或读取访问而造成延迟。因此，判优和控制电路可另外的包含存储器件，使得在对存储器阵列的立即访问受到阻碍时由地址产生器产生的地址不会丢失。美国专利 5587962 披露了一种基于表格的解决方案。该方案是基于表格的，因为整个序列都是存储在为帧存储电路的一部分的 DRAM 存储器阵列上的。如上所述，该解决方案原则上提供了所有需要的适应性。然而，该解决方案具有这样的缺点，即表格的大小必须相对较大。例如，基于 UXGA 的 LCOS 设计具有 1200 行，所以该表格原则上必须具有 1200 个条目，每个条目 21 位，从而导致一个约 25kbits 的表格。

### 发明内容

本发明的目的是提供一种在开头段落中所述的具有序列器的驱动电路，其具有上面的基于表的序列器的灵活性，而且也不昂贵。

因此,根据本发明,该方法的特征在于切换装置以第一模式和第二模式交替地操作所述驱动电路,在所述第一模式中所述地址序列器通过将来自地址表寄存器装置中的行指针块的行指针与像素计数装置的输出相结合来为所述存储器中的视频数据产生地址,在所述第二模式中来自所述存储器中的完整行指针表的行指针块被下载到所述地址表寄存器装置中。

如已经提到的,本发明还涉及一种用于应用了根据本发明的方法的显示系统的驱动电路。所述驱动电路包括用于所要显示的视频数据的存储器和与其相连接地址序列器,该地址序列器用于控制在所述存储器中写入和/或读取视频数据的顺序,其特征在于所述存储器包含一个完整的行指针列表,每个行指针是视频数据的存储器地址的一部分,并且其特征在于所述地址序列器配备有用于来自所述行指针表的行指针块的地址表寄存器装置、用于通过后续的行指针块连续地更新所述地址表寄存器装置的装置,和像素计数装置,其输出与来自地址表寄存器装置的连续行指针相结合,确定所述视频数据的地址。特别的,配备有切换装置,通过该切换装置,可交替地进行:在所述地址序列器中,在第一模式下为视频数据产生存储器地址;和在第二模式下,通过下一个行指针块更新所述地址表寄存器。在一实际实施例中,用于所要显示的视频数据的不同序列的完整行指针表被并入到所述存储器中。

本发明还涉及一种用于显示图像的装置,包括一个显示系统和如上所述的驱动电路。

本发明进一步涉及一种用于在所述驱动电路和所述装置中处理地址的算法。本发明还涉及一种能够在所述驱动电路中的所述处理装置上运行的计算机程序,和包含所述计算机程序的信息载体。

### 附图说明

本发明的这些和其他方面通过此后所述的实施例将变得显而易见,并参照这样的实施例来对其进行说明,其中:

图1表示根据本发明的用于通常操作模式下的显示器的驱动电路的系统设置;

图2表示用于地址传送的驱动电路的系统设置;

图 3 表示在通常操作期间所使用的方法的流程图；

图 4 表示在将一表块从主存储器读入到地址表寄存器的过程中所使用的方法的流程图；

图 5 表示所使用的方法的流程图，说明了重复执行的地址表块传送；和

图 6 表示提供有根据本发明的驱动电路的装置。

### 具体实施方式

图 1 表示用于常规操作的显示器的驱动电路的系统设置，其包括一主存储器 1 和一地址序列器 2。主存储器 1 包括一帧存储器 3。视频数据以第一顺序存储在帧存储器 3 中，并以第二顺序从其中读出。因此，帧存储器地址是通过地址序列器 2 产生的。在本实施例中，视频数据是由带有一个分量（即亮度分量）的逐行视频信号形成的，为了简化的目的假定对所述信号进行连续的写入并以隔行或色彩连续的方式读出。按照另一种可选方案，通过应用本发明可将隔行信号转换成逐行信号。

地址序列器 2 提供有一个包含行指针表的地址表寄存器 4。这些行指针形成所述帧存储器地址的一部分，表示行地址。在常规操作过程中，通过行计数器 5 从地址表寄存器 4 读出连续的行指针并将其提供给加法器 6 的第一输入端。像素计数器 7 与加法器 6 的第二输入端相连接。加法器 6 的连续数出信号表示对应于帧存储器 3 的帧存储器地址。连续的帧存储器地址确定了从帧存储器读出存储在其中的视频信号所依照的顺序或将提供给帧存储器 3 的视频信号存储在其中所依照的顺序。

如果例如该系统与具有 480 行的显示器结合使用，则行计数器 5 从 0 计到 479；如果一个行包含 720 个像素，则像素计数器 7 从 0 计到 719。如果地址表寄存器 4 包含 480 个通常为 21 位的行地址，则将需要约 10kbit 的表，其相对是昂贵的。在 1200 行的显示器和包含 1200 个 21 位的行地址的地址表寄存器 4 的情况下，将需要约 25kbits 的表。根据本发明，地址表寄存器 4 中的行指针的数量被限定为例如 32；这将导致约 0.7kbit 的地址表。所以，地址表寄存器 4 可以只包含行指针块。然而，这要求对地址表寄存器 4 进行不断更新；为了读出 480

行的帧，必须对地址表寄存器 4 更新 15 次。为了使此过程成为可能，所有行指针都被存储在主存储器 1 中。每次从地址表寄存器 4 连续地读出一个行指针块，下一个行指针块就从主存储器 1 转移到地址表存储器 4 中。将参照图 2 说明用于（行）地址传送的该过程及系统设置。常规操作中的系统设置和用于地址传送的系统设置都是在控制处理器 8 的控制下进行的，所述控制处理器 8 形成地址序列器 2 的一部分。

图 2 表示用于地址传送的系统设置。当地址表寄存器 4 中的行指针块的最后一个行指针被读出时，地址序列器 2 从所述主存储器 1 读取一个新的行指针块，即将下一个行指针块下载到所述地址表寄存器 4 中。这需要一个基地址寄存器 9，和一个地址计数器 10，所述基地址寄存器 9 包含所述主存储器 1 中的行指针块的基地址或开始地址。加法器 11 为所述主存储器 1 中的行指针形成地址并在帧存储器 3 的读取模式（在图 2 中读=1）下将它们提供给主存储器 1。这些地址表示行指针在帧存储器 3 中的索引。该索引与显示器的行数一样大。在写模式（读=0）中，把被寻址的行指针传送给地址表寄存器 4。所以，整个系统在表更新模式和地址顺序模式（常规模式）之间不断进行切换。

图 3 表示在常规操作期间所使用的方法的流程图。在初始化期间，行计数器 5 被复位为  $i=0$ 。下一步是为第一个行产生连续的帧存储器或像素地址（ $k=0, \dots, N-1$ ，其中  $N$  为一个行的像素数）并借助于这些地址来实现视频数据传送。之后，行计数器 6 增加 1（ $i:=i+1$ ）并为下一个行产生帧存储器或像素地址，从而实现相应的视频数据传送。该过程继续直到为最后一个行产生了帧存储器或像素地址。当到达最后的行时，所述循环就完成了。

图 4 表示将一行指针块从主存储器 1 读取到地址表寄存器 4 中的过程。在初始化期间，基地址寄存器 9 中的一行指针块的基地址被复位到  $j=0$ 。然后，在（行）地址传送期间，将与基地址  $j=0$  相应的行指针从帧存储器 1 读取到地址表寄存器 4 中。之后，基地址被递加 1（ $j:=j+1$ ），并且将相应的行指针从主存储器 1 读入到地址表寄存器 4 中。该循环继续直到已经将行指针块的最后一个行指针下载到地址表寄存器 4 中。

图 5 表示所使用的方法的流程图，说明述重复执行的地址表块传送。在初始化期间，地址表寄存器 4 中的行指针块移到主存储器 1 中，



并且行计数器 5 被复位成  $i=0$ 。然后开始所述视频数据传送的循环。首先将块 1 从主存储器 1 读入到地址表寄存器 4 中。然后与块 1 相应的视频数据被传送给显示器。此后，连续地下载下一个行指针块，并且传送与这些块相应的视频数据。在最后一个行指针块已经被下载了且相应的视频数据已经被传送了之后，所述循环完成。

图 6 表示用于显示图像的设备 100，其包括根据本发明的驱动电路。设备 100 包括一显示器 101、一帶有帧存储器 3 的主存储器 1，和一地址序列器 2。例如，显示器 101 是从 CRT、PDP 和单屏 LCOS 所构成的组中选择的。地址序列器 2 和帧存储器 3 例如使用标准接口 102 进行连接，以实现双向数据传送。主存储器 1 还与显示器 101 相连接，以实现视频数据的传送。

本发明并不局限于各附图中所示出的优选实施例。修改是可能的。如上所述，地址序列器由图像行地址部分或行指针和一图像行上的像素的地址部分构成的。在所述的实施例中，所述行指针涉及全部地址行和一图像行的所有像素的像素地址部分。然而，也可以使行指针涉及图像行的一部分，例如图像行的一半；在那种情况下像素地址部分也可以只涉及一半图像行的像素。此外，行指针可以涉及一个以上的图像行，例如两个图像行；在那种情况下像素地址部分涉及两个图像行的像素。

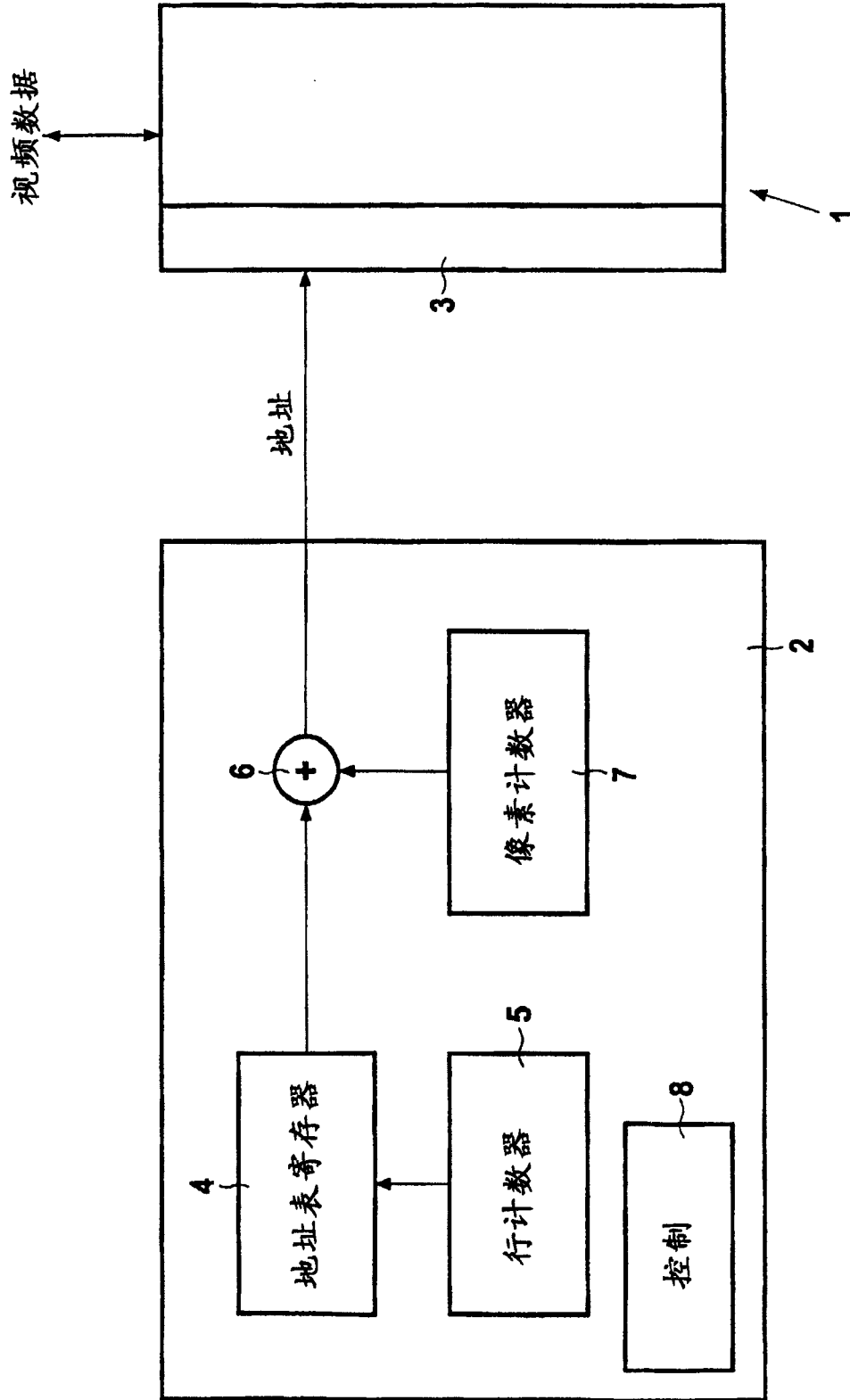


图 1

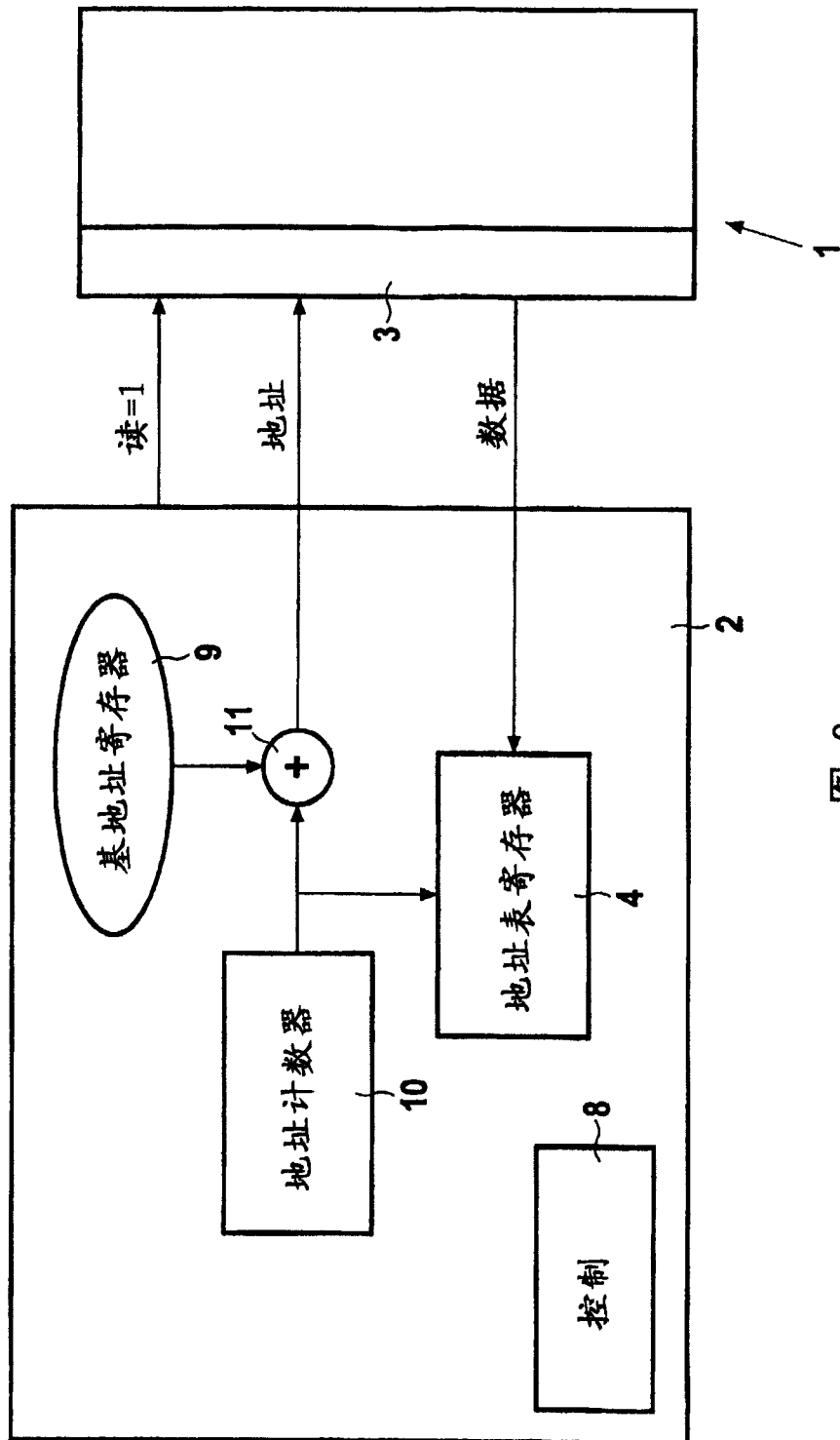


图 2

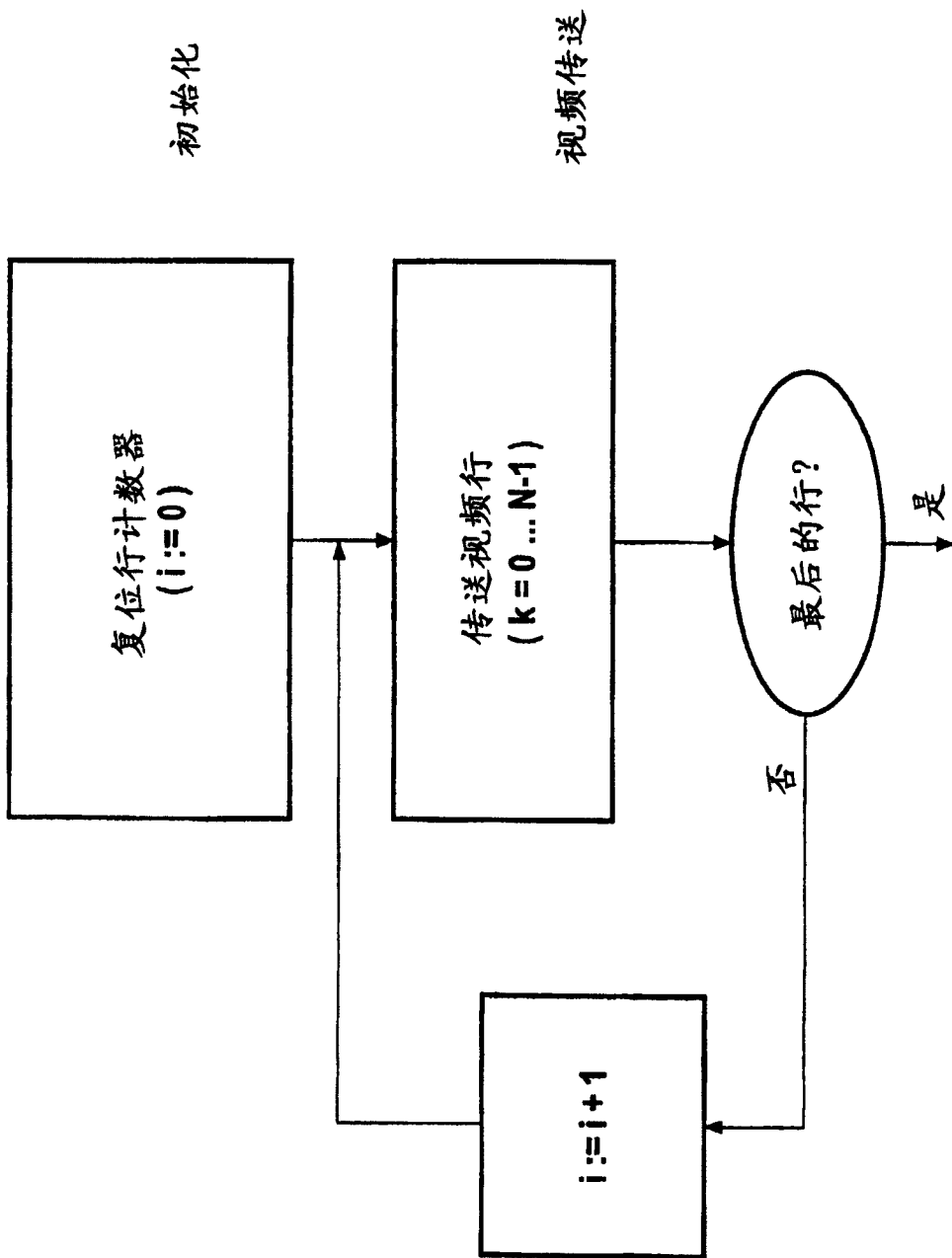


图 3

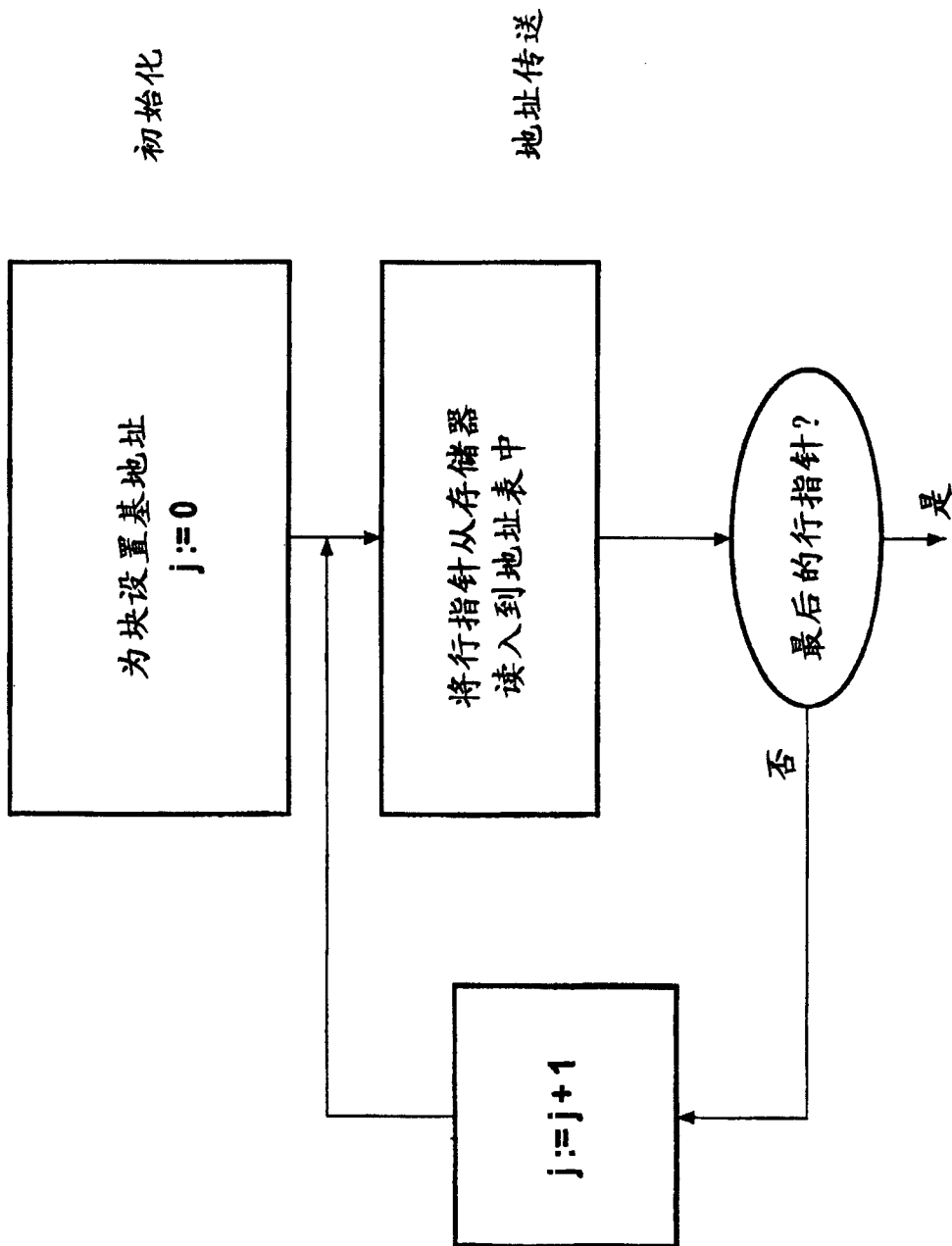


图 4

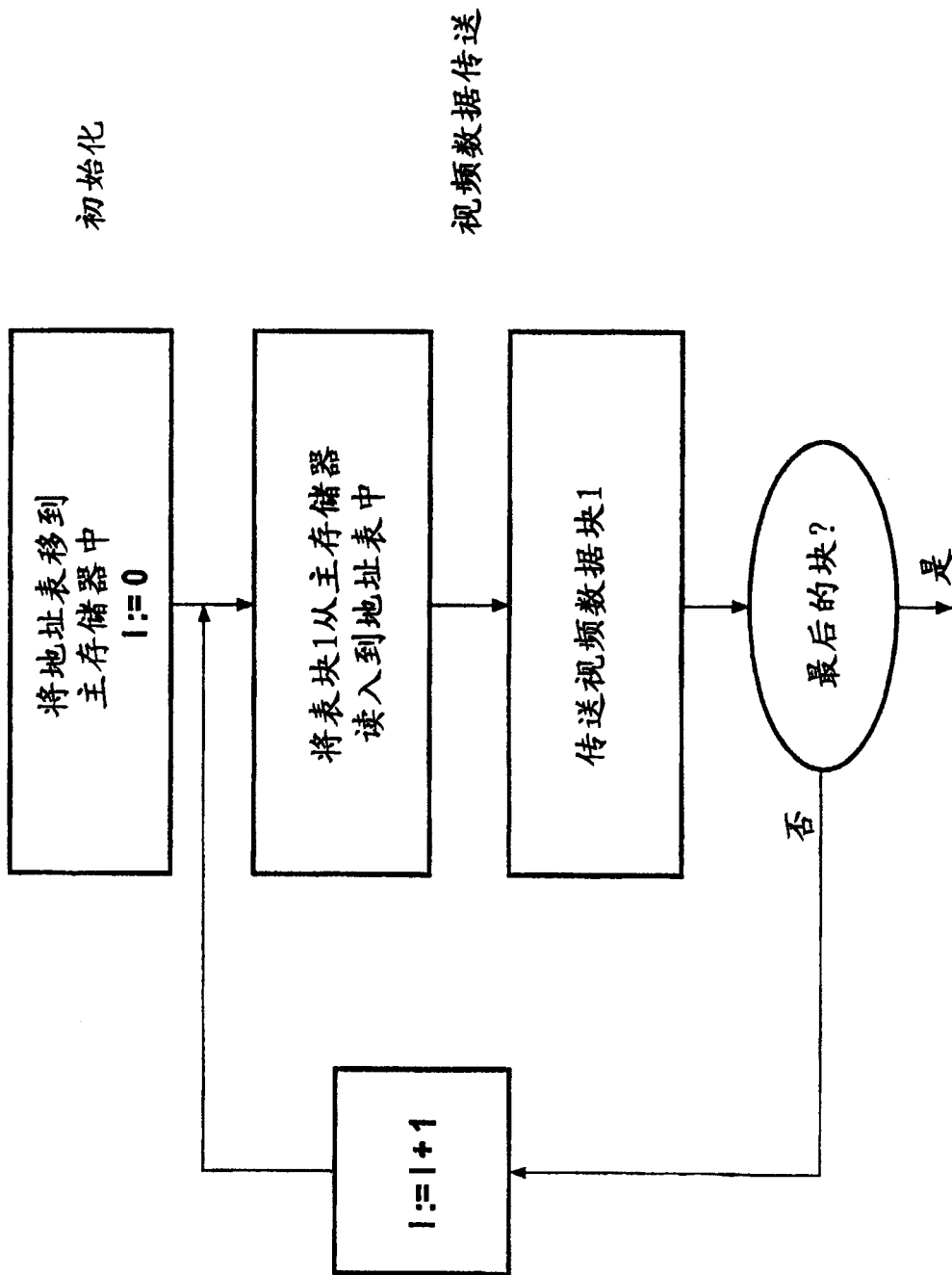


图 5

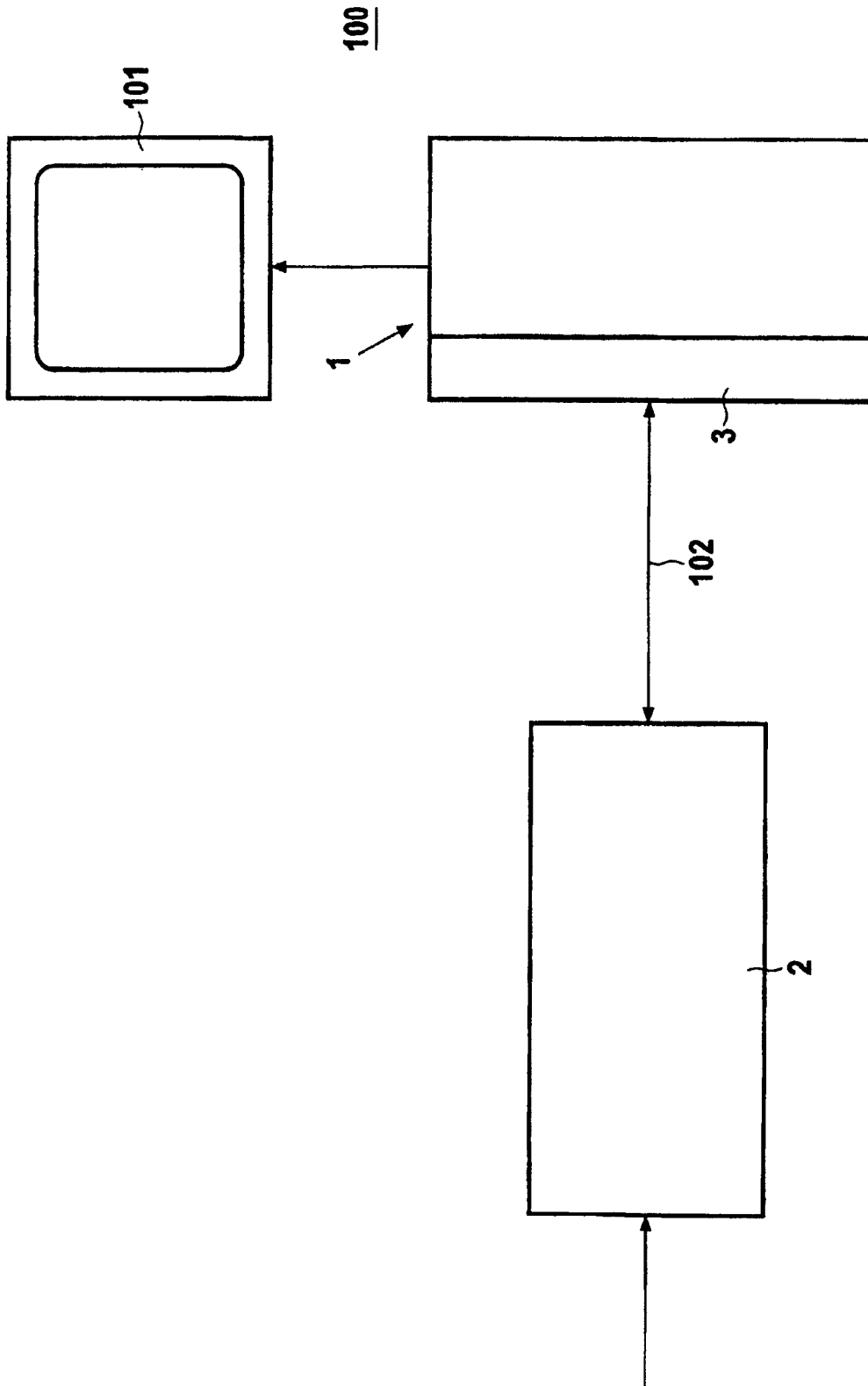


图 6