



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I574262 B

(45)公告日：中華民國 106 (2017) 年 03 月 11 日

(21)申請案號：104112871

(22)申請日：中華民國 104 (2015) 年 04 月 22 日

(51)Int. Cl. : G11C13/00 (2006.01)

(30)優先權：2014/05/29 美國 14/290,623

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)
美國

(72)發明人：林環瑜 LIN, BLAKE (TW)；魏 里奇昂 WEI, LIQIONG (US)；狄瑞 克里 DRAY, CYRILLE (FR)；漢洛路 費堤 HAMZAOGLU, FATIH (TR)；洛伊 安南達 ROY, ANANDA (IN)

(74)代理人：林志剛

(56)參考文獻：

JP	2005-25914A	US	2004/0264244A1
US	2010/0110767A1	US	2013/0121058A1
WO	2006/137111A1	WO	2007/046145A1

審查人員：鄧嘉琳

申請專利範圍項數：20 項 圖式數：11 共 51 頁

(54)名稱

用於偵測電阻式記憶體之寫入完成之裝置及方法

APPARATUSES AND METHODS FOR DETECTING WRITE COMPLETION FOR RESISTIVE MEMORY

(57)摘要

本發明描述提升電阻式記憶體能量效率及可靠度之裝置及方法。一種裝置可包括耦合至傳導線之電阻式記憶單元。裝置可進一步包括驅動器，耦合至傳導線以於寫入作業期間驅動電阻式記憶單元之電流。驅動器之電阻可於寫入作業期間選擇性地增加達二或更多個時期以偵測傳導線上之電壓改變。當偵測到電壓改變時可關閉寫入作業之電流，以提升電阻式記憶體能量效率及可靠度。

Described are apparatuses and methods for improving resistive memory energy efficiency and reliability. An apparatus may include a resistive memory cell coupled to a conductive line. The apparatus may further include a driver coupled to the conductive line to drive current for the resistive memory cell during a write operation. The resistance of the driver may be selectively increased for two or more time periods during the write operation for detecting a voltage change on the conductive line. The current for the write operation may be turned off when the voltage change is detected to improve resistive memory energy efficiency and reliability.

指定代表圖：

100 ↘

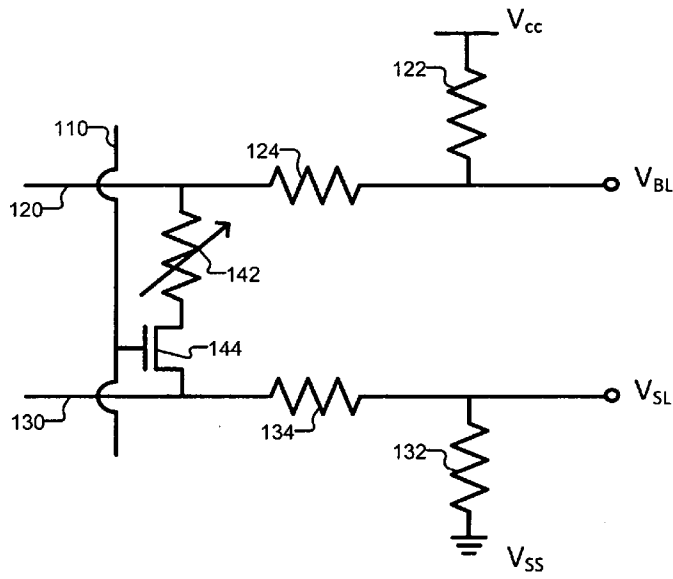


圖 1

符號簡單說明：

- 100 . . . 寫入路徑
- 110 . . . 字線
- 120 . . . 位元線
- 122 . . . 位元線驅動器
- 124 . . . 位元線寄生電阻器
- 130 . . . 源極線
- 132 . . . 源極線驅動器
- 134 . . . 源極線寄生電阻器
- 142 . . . 單元
- 144 . . . 存取電晶體
- V_{BL} . . . 位元線電壓
- V_{CC} . . . 供應電壓
- V_{SL} . . . 源極線電壓

發明摘要

公告本

※申請案號：104112871

※申請日：104年04月22日

※IPC分類：G11C 13/00 (2006-01)

【發明名稱】(中文/英文)

用於偵測電阻式記憶體之寫入完成之裝置及方法

Apparatuses and methods for detecting write completion for resistive memory

【中文】

本發明描述提升電阻式記憶體能量效率及可靠度之裝置及方法。一種裝置可包括耦合至傳導線之電阻式記憶單元。裝置可進一步包括驅動器，耦合至傳導線以於寫入作業期間驅動電阻式記憶單元之電流。驅動器之電阻可於寫入作業期間選擇性地增加達二或更多個時期以偵測傳導線上之電壓改變。當偵測到電壓改變時可關閉寫入作業之電流，以提升電阻式記憶體能量效率及可靠度。

【英文】

Described are apparatuses and methods for improving resistive memory energy efficiency and reliability. An apparatus may include a resistive memory cell coupled to a conductive line. The apparatus may further include a driver coupled to the conductive line to drive current for the resistive memory cell during a write operation. The resistance of the driver may be selectively increased for two or more time periods during the write operation for detecting a voltage change on the conductive line. The current for the write operation may be turned off when the voltage change is detected to improve resistive memory energy efficiency and reliability.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：寫入路徑

110：字線

120：位元線

122：位元線驅動器

124：位元線寄生電阻器

130：源極線

132：源極線驅動器

134：源極線寄生電阻器

142：單元

144：存取電晶體

VBL：位元線電壓

Vcc：供應電壓

VSL：源極線電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於偵測電阻式記憶體之寫入完成之裝置及方法

Apparatuses and methods for detecting write completion for resistive memory

【技術領域】

[0001] 本揭露大體上關於電子電路。尤其但非完全，本揭露關於電阻式記憶體之寫入完成偵測電路。

【先前技術】

[0002] 具非揮發性之晶載嵌入式記憶體可致能能量及計算效率。若干新類型固態、高密度、非揮發性記憶體使用具可變電阻之記憶體元件儲存資訊。自旋轉移力距-磁性隨機存取記憶體 (STT-MRAM) 之電阻取決於二磁性層之相對磁化極性。其他可變電阻記憶體包括電阻式隨機存取記憶體 (ReRAM) 及導橋隨機存取記憶體 (CbRAM)，其電阻取決於穿過電介質或電解質之傳導路徑的形成及排除。亦存在相位改變記憶體 (PCM)，其中單元之電阻性取決於硫屬化物之結晶或非結晶狀態。

[0003] 對該些電阻式記憶體而言，讀取作業一般較寫入作業快，且寫入電流一般大於讀取電流。不同於靜態隨機存取記憶體 (SRAM) 及動態隨機存取記憶體

(DRAM) ，其消耗瞬態寫入功率，不論單元於寫入作業期間是否倒裝，電阻式記憶體仍消耗靜態寫入功率。該些電阻式記憶體之讀取功率亦可為靜態，取決於讀取感測器之實施。減少讀取及寫入功率對於電阻式記憶體為挑戰，已便符合高性能及低功率應用之目標。

【圖式簡單說明】

[0004] 經由以下提供之詳細描述及揭露之各式實施例的附圖，將更完整了解揭露之實施例，然而，不應侷限揭露為特定實施例，而是僅為說明及了解。

[0005] 圖 1 為依據各式實施例之本揭露之整合觀點之一寫入路徑的示意圖。

[0006] 圖 2 為依據各式實施例之本揭露之整合觀點之另一寫入路徑的示意圖。

[0007] 圖 3 為依據各式實施例之本揭露之整合觀點之另一寫入路徑的示意圖。

[0008] 圖 4 為依據各式實施例之本揭露之整合觀點之另一寫入路徑的示意圖。

[0009] 圖 5 為依據各式實施例之本揭露之整合觀點之另一寫入路徑的示意圖。

[0010] 圖 6 為依據各式實施例之本揭露之整合觀點之用於偵測記憶單元中寫入完成之一示意架構。

[0011] 圖 7 為依據各式實施例之本揭露之整合觀點之用於偵測記憶單元中寫入完成之另一示意架構。

[0012] 圖 8 為依據各式實施例之本揭露之整合觀點之用於偵測記憶單元中寫入完成之另一示意架構。

[0013] 圖 9 為依據各式實施例之可由本揭露之整合觀點之範例裝置執行之範例寫入完成偵測程序的流程圖。

[0014] 圖 10 為一組繪圖，顯示依據各式實施例之本揭露之整合觀點之偵測寫入作業中寫入完成的作業。

[0015] 圖 11 為方塊圖，描繪依據各式實施例之適於實現所揭露之實施例的範例電腦系統。

【發明內容及實施方式】

[0016] 實施例描述電阻式記憶體之寫入作業及設計技術以降低功率消耗。在一實施例中，裝置可包括耦合至傳導線之電阻式記憶單元。裝置可進一步包括驅動器，耦合至傳導線以於寫入作業期間驅動電阻式記憶單元之電流。在該等實施例中，驅動器之電阻於寫入作業期間可選擇性地增加達二或更多個時期，以偵測傳導線上之電壓改變。當偵測到指示寫入完成之電壓改變時，可關閉寫入作業之電流以提升電阻式記憶體能量效率。

[0017] 儘管電阻式記憶體技術之其下記憶體元件改變，讀取及寫入方法為電氣相似並包含於實施例中。實施例可加以組合以達成電阻式記憶體之最佳節能。

[0018] 在下列描述中，討論許多細節以提供本揭露之實施例的更徹底說明。然而，對一熟悉本技藝之人士而言將顯而易見的是可無該些特定細節而實現本揭露之實施

例。在其他狀況下，以方塊圖形式而非詳細顯示熟知結構及裝置，以避免模糊本揭露之實施例。

[0019] 請注意，在實施例之相應圖式中，係以線代表信號。若干線可較寬以指示更多組成信號路徑，及／或在一或更多個末端具有箭頭以指示主要資訊流方向。該等指示不希望侷限。而是，線用於連接一或更多個示例實施例以促進更易了解電路或邏輯單元。如設計需要或偏好所規定之任何代表之信號可實際上包含一或更多個信號，可以任一方向行進，並可以任何合適信號方案類型實施。

[0020] 在說明書通篇及在申請項中，「連接」用詞表示連接之物件間之直接電連接，無任何中介裝置。「耦合」用詞表示連接之物件間之直接電連接或經由一或更多個被動或主動中介裝置之間接連接。「電路」用詞表示一或更多個被動及／或主動組件經配置而相互協作，以提供所欲功能。「信號」用詞表示至少一電流信號、電壓信號、或資料／時脈信號。「一」及「該」之意義包括複數引用。「在...中」之意義包括「在...中」及「在...上」。

[0021] 「實質上」、「靠近」、「近似」、「接近」、及「大約」用詞一般係指目標值之 $\pm 20\%$ 內。

「換算」用詞一般係指從一處理技術轉換設計（圖解及布局）至另一處理技術。「縮放」用詞一般係指於相同技術節點內縮小布局及裝置規模。「定標」用詞亦可指相對於另一參數調整（例如放慢）信號頻率，例如電源位準。

[0022] 除非另有規定，使用「第一」、「第二」、「第三」等序數描述共用物件，僅指示將參照之相似物件的不同狀況，不希望暗示所描述之物件必須按特定順序，不論是時間、空間、排名或以任何其他方式。

[0023] 為了實施例，電晶體為金屬氧化物半導體（MOS）電晶體，其包括汲極、源極、閘極、及大塊終端。電晶體亦包括三閘極及鰭片場效電晶體、閘極全環繞式圓柱形電晶體、或實施電晶體功能性之其他裝置，如同碳奈米管或自旋電子裝置。源極及汲極端子可為相同端子，文中可交換使用。熟悉本技藝之人士將理解可使用例如雙極接面電晶體（BJT）之其他電晶體而未偏離揭露之範圍。「MN」用詞指示 n 型電晶體（例如 NMOS、NPN BJT 等），「MP」用詞指示 p 型電晶體（例如 PMOS、PNP BJT 等）。

[0024] 圖 1 為依據各式實施例之本揭露之整合觀點之一寫入路徑的示意圖。寫入路徑 100 可用於電阻式記憶體中。寫入路徑 100 可包括字線 110、位元線 120、及源極線 130。寫入路徑 100 可進一步包括位元線驅動器 122、位元線寄生電阻器 124、單元 142、存取電晶體 144、源極線寄生電阻器 134、及源極線驅動器 132。在實施例中，位元線驅動器 122、位元線寄生電阻器 124、單元 142、存取電晶體 144、源極線寄生電阻器 134、及／或源極線驅動器 132 可包括於電阻式記憶體之記憶體元件中。電阻式記憶體可包括複數記憶體元件。

[0025] 在實施例中，字線 110 可由複數記憶體元件接收。例如，字線 110 可耦合至存取電晶體 144 之閘極端子。單元 142 之一端子可耦合至位元線 120，單元 142 之另一端可耦合至存取電晶體 144。存取電晶體 144 可進一步耦合至源極線 130。在實施例中，當字線 110 之電壓上升時，寫入電流可流動跨越位元線驅動器 122、位元線寄生電阻器 124、單元 142、存取電晶體 144、源極線寄生電阻器 134、及源極線驅動器 132，且存取電晶體 144 導通。位元線 120 之位元線電壓 (V_{BL}) 及源極線 130 之源極線電壓 (V_{SL}) 可依據供應電壓 (V_{CC}) 及與寫入路徑 100 中所呈現之各式組件相關聯之電阻 (以 $R_{reference_number}$ 代表)，如方程式 1 中所示，而進行量測。

$$V_{BL} = \frac{R_{124} + R_{142} + R_{144} + R_{134} + R_{132}}{R_{124} + R_{142} + R_{144} + R_{134} + R_{132} + R_{122}} V_{CC} \quad \text{Eq. 1}$$

[0026] 對需要電流以於記憶體狀態之間交換位元的一般記憶體技術而言，寫入作業可消耗實質功率。因程序引發之記憶體位元間的隨機變化，每一位元之交換時間並不相同。然而，為保持某程度下記憶體陣列之寫入錯誤率，寫入作業之期間需夠長以包含交換時間之整個分佈。結果，功率浪費在已交換至其希望狀態之位元上，但為寫入作業之剩餘部分持續接收不必要之電流。

[0027] 作為範例，在 STT-MRAM 陣列中寫入作業中點之寫入錯誤率可為 10^{-3} 。換言之，在寫入作業中點已有 99.9% 位元交換。因此，若寫入作業期間可偵測週邊電路，則可省顯著百分比的電，不論寫入之每一位元是否已

交換至希望狀態，並適應性地減少或關閉已交換之位元上的寫入電流。在先前範例中，若交換之位元上的寫入電流可於寫入作業之中點關閉，則寫入作業中可節省約 50% 寫入功率。

[0028] 如從方程式 1 可見，當單元 142 交換至希望狀態時，單元 142 之電阻 (R_{142}) 為可變電阻可改變至不同值。單元 142 之電阻改變可致使位元線 120 上寫入電流改變，但 V_{BL} 可實質上保持相同。然而，在實施例中，當位元線驅動器 122 或源極線驅動器 132 之驅動器被弱化達一短時期時，可取樣 V_{BL} 同時弱化寫入驅動器。二樣本中 V_{BL} 之測量差為感測邊限。

[0029] 在實施例中，位元線驅動器 122 之電阻 (R_{122}) 為可調整。因此，可暫時增加 R_{122} 以弱化位元線驅動器 122。在實施例中，可藉由弱化驅動而放大感測邊限，例如增加方程式 1 中之 R_{122} 。當驅動器被弱化時，驅動器之有效電阻變得更高。結果，相較於具較低電阻之驅動器，在與驅動器連接之線上電壓可顯示位元交換前後之較大差。考量一範例，其中寫入完成偵測方案監控 V_{BL} 之改變。若位元線驅動器 122 於整個寫入作業期間保持處於其完全驅動強度，小 R_{122} 將使 V_{BL} 總是接近 V_{CC} 。在此狀況下，如方程式 1 所揭露，位元交換前後之 V_{BL} 改變可極小並因而無法偵測。然而，在實施例中，當位元線驅動器 122 被弱化時，例如使 R_{122} 暫時較大，可放大位元交換前後之 V_{BL} 改變，同時弱化位元線驅動器 122，如方程式 1

所指示。

[0030] 在實施例中，可監控 VBL 或 VSL 以偵測單元 142 中寫入完成。在任一狀況下，需弱化之寫入驅動器為直接連接至電壓被監控之線的驅動器。關於範例，若將監控之電壓為 VBL，則可弱化位元線驅動器 122。關於另一範例，要被監控之電壓為 VSL，則可弱化源極線驅動器 132。

[0031] 在實施例中，在該等偵測下，可藉由可適應性地減少或關閉已於寫入作業期間交換之位元上之寫入電流的週邊電路來省電。可以任何電阻式記憶體產品實施以上所揭露之設計原理，例如 STT-MRAM、ReRAM 等，以節省顯著百分比的寫入功率，其通常遠高於讀取功率及待機功率。

[0032] 偵測位元交換及後續減少或終止寫入電流之另一優點為提升之記憶體陣列的可靠度。通常，更快速交換之位元更易受可靠度問題影響，此可經由延長暴露至寫入電流而加劇。因此，儘早關閉該些位元上之寫入電流亦可提升記憶體陣列之整體可靠度。儘早關閉寫入電流避免不必要電流持續流經記憶體儲存元件，因而提升記憶體陣列之整體可靠度。

[0033] 圖 2 為依據各式實施例之本揭露之整合觀點之寫入路徑 200 的示意圖。具有與任何其他圖之元件相同編號（或名稱）之圖 2 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。為免模糊實施例，可不重

複先前討論之元件及部件。

[0034] 在實施例中，為最大化寫入電流及因此最小化整體寫入時間，寫入驅動器可經設計以最小化跨越其每一者之電壓降。換言之，位元線驅動器 222 及源極線驅動器 232 之個別有效電阻可設計為儘量小。在實施例中，位元線驅動器 222 或源極線驅動器 232 可使用一或更多個大寬度的電晶體。為免模糊實施例，為描繪之故，單一電晶體用於位元線驅動器 222 中。類似地，為描繪之故，單一電晶體用於源極線驅動器 232 中。實施例可包括位元線驅動器 222 及／或源極線驅動器 232 中任何合適數量之一或更多個電晶體。

[0035] 在實施例中，寫入致能信號 (WREN) 可操作地耦合至源極線驅動器 232。另一信號 WREN' 為 WREN 之互補 (例如具有相反值)，可操作地耦合至位元線驅動器 222。因此，位元線驅動器 222 可由 WREN' 操作，且源極線驅動器 232 可由 WREN 操作。WREN 及 WREN' 可一起工作以致能寫入路徑 200，使得例如當 WREN 為高時，單元 142 中之位元可於寫入作業中改變為其希望狀態。

[0036] 在實施例中，位元線驅動器 222 或源極線驅動器 232 之寫入驅動器可於寫入作業期間多次弱化進行寫入完成偵測。弱化寫入驅動器對於整體寫入時間可能具有負面影響，例如若位元交換機構中斷。例如，STT-MRAM 之交換機構於寫入電流及寫入時間之間可出現折衷。因此，可設計弱化之量值、期間、及發生，使得整體寫入時

間不退降，或僅於可接受邊限內退降。

[0037] 圖 3 為依據各式實施例之整合本揭露之態樣之寫入路徑 300 的示意圖。具有與任何其他圖之元件相同編號（或名稱）之圖 3 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。為免模糊實施例，可不重複先前討論之元件及部件。

[0038] 在實施例中，位元線驅動器 322 可包括強驅動器 328 及弱驅動器 326。強驅動器 328 可具有較弱驅動器 326 低之有效電阻。弱驅動器 326 可於整個寫入作業之期間停留在開啟，反之，強驅動器 328 可選擇性地關閉以弱化位元線驅動器 322。當強驅動器 328 關閉時，位元線 120 僅由弱驅動器 326 驅動，導致 V_{cc} 及位元線 120 間之位元線驅動器 322 有較高的有效電阻，因而致使 V_{BL} 之電壓降。

[0039] 在其他實施例中，位元線驅動器 322 可僅包括強驅動器 328 而無弱驅動器 326。在寫入作業期間，可關閉強驅動器 328 並因而關閉位元線驅動器 322 以弱化位元線驅動器 322。在此狀況下，因位元線 120 之有限寄生電容，在強驅動器 328 關閉後，寫入電流將逐漸減少。換言之，當強驅動器 328 關閉時，位元線寄生電容在短暫弱化期間將取代寫入電流成為電荷源。

[0040] 圖 4 為依據各式實施例之本揭露之整合觀點之寫入路徑 400 的示意圖。具有與任何其他圖之元件相同編號（或名稱）之圖 4 之元件可以類似於所描述之任何方

式操作或運行，但不侷限於此。為免模糊實施例，可不重複先前討論之元件及部件。

[0041] 在實施例中，位元線驅動器 422 可包括強驅動器 428 及弱驅動器 426。強驅動器 428 可具有較弱驅動器 426 低之有效電阻。類似地，源極線驅動器 432 可包括強驅動器 438 及弱驅動器 436。強驅動器 438 可具有較弱驅動器 436 低之有效電阻。

[0042] 在此狀況下，可針對單元 142 中之寫入完成偵測監控 VBL 或 VSL。作為範例，當監控 VBL 時，弱驅動器 426 可於整個寫入作業期間停留在開啟，反之，可關閉強驅動器 428 以弱化位元線驅動器 422。作為另一範例，當監控 VSL 時，弱驅動器 436 可於整個寫入作業期間停留在開啟，反之，可關閉強驅動器 438 以弱化源極線驅動器 432。在任一狀況下，需弱化之寫入驅動器為直接連接至電壓被監控之線的驅動器。當寫入驅動器被弱化時，寫入驅動器之較高有效電阻可致使被監控之電壓改變，增加或減少。在若干實施例中，可監控位元線 120 之 VBL，且弱化位元線驅動器 422 可致使 VBL 之電壓改變。在若干實施例中，可監控源極線 130 之 VSL，且弱化源極線驅動器 432 可致使 VSL 之電壓改變。

[0043] 圖 5 為依據各式實施例之整合本揭露之態樣之寫入路徑 500 的示意圖。具有與任何其他圖之元件相同編號（或名稱）之圖 5 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。為免模糊實施例，可不重

複先前討論之元件及部件。

[0044] 在圖 4 中，位元線驅動器 422 耦合至 V_{cc} ，反之，源極線驅動器 432 耦合至 V_{ss} 。因此，寫入電流從位元線 120 流至源極線 130。在圖 5 中，位元線驅動器 422 耦合至 V_{ss} ，反之，源極線驅動器 432 耦合至 V_{cc} 。因此，寫入電流從源極線 130 流至位元線 120。在實施例中，不論寫入電流之方向，可監控 V_{BL} 或 V_{SL} ，藉由在適當時間弱化相應寫入驅動器進行單元 142 中之寫入完成偵測。

[0045] 圖 6 描繪依據各式實施例之整合本揭露之態樣之偵測記憶單元中寫入完成之寫入完成偵測結構 600 的示意架構。具有與任何其他圖之元件相同編號（或名稱）之圖 6 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。為免模糊實施例，可不重複先前討論之元件及部件。

[0046] 在實施例中，寫入電流可從位元線 120 流至源極線 130。如所示，源極線 130 經由源極線驅動器 632 耦合至 V_{ss} ，其可為 NMOS 源極線驅動器。源極線驅動器 632 耦合至寫入致能信號 $WREN$ 。位元線 120 經由位元線驅動器 622 耦合至 V_{cc} ，其可包括一對 PMOS 位元線驅動器 628 及 626。二位元線驅動器 628 及 626 可調整大小而具不同有效電阻，因而提供不同驅動強度。例如，強驅動器 626 可具有較弱驅動器 628 低之電阻，因而提供較大驅動強度。

[0047] 在實施例中，當 WREN 為高時，弱驅動器 628 可於整個寫入作業期間停留在開啟，反之，當感測脈衝 1 (SP1) 或感測脈衝 2 (SP2) 為低時，可由 NAND 閘極 652 關閉強驅動器 626。當強驅動器 626 關閉時，僅由弱驅動器 628 驅動位元線 120，導致 Vcc 及位元線 120 之間位元線驅動器 622 有較高的有效電阻。當個別感測脈衝信號為低時，二感測脈衝信號 SP1 及 SP2 分別控制 PMOS 通道閘極電晶體 662 及 666，其依次分別將位元線 120 耦合至感測電容器 664 或 668。

[0048] 在實施例中，只要 WREN 為高，寫入作業可持續。對短時期而言，當 SP1 或 SP2 為低時，可關閉強驅動器 626。當啟動一通道閘極時，取樣位元線電壓至相應感測電容器上。當感測脈衝信號返回至高時，通道閘極停用，且感測電容器可保持取樣之電壓值直至下一次啟動通道閘極為止。

[0049] 感測電容器 664 及 668 耦合至比較器 680。當比較器致能信號 CPEN 為高時，比較器 680 可比較二連續樣本間之值。藉由比較來自二連續樣本之電壓，比較器 680 可偵測單元 142 中之位元是否已於二連續樣本之間交換。例如，依據二連續樣本間之感測邊限（例如取樣之電壓中之差）可偵測寫入作業之寫入完成，諸如當感測邊限大於預定閾值時。在若干實施例中，閾值可依據與記憶體陣列相關聯之應用調整。

[0050] 比較器 680 可輸出比較結果至邏輯 690，其可

控制 WREN。邏輯 690 可經設計以轉態 WREN 至低，因而關閉寫入驅動器及終止寫入作業。對電阻式記憶體而言，讀取時間遠快於寫入時間。因此，讀取能量遠小於寫入能量。例如，在同期處理技術中，STT-MRAM 之讀取能量可約為寫入能量之 5%。因此，在包括讀取及寫入之整個記憶體作業中，寫入作業可顯著省電。

[0051] 圖 7 描繪依據各式實施例之整合本揭露之態樣之偵測記憶單元中寫入完成之寫入完成偵測結構 700 的示意架構。具有與任何其他圖之元件相同編號（或名稱）之圖 7 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。為免模糊實施例，可不重複先前討論之元件及部件。

[0052] 在實施例中，當 WREN 為高時，弱驅動器 728 可於寫入作業之整個期間停留在開啟，反之，當 SP1 或 SP2 為低時，可由 NAND 閘極 752 關閉強驅動器 726。當強驅動器 726 關閉時，僅由弱驅動器 728 驅動位元線 120，導致 Vcc 及位元線 120 間之位元線驅動器 722 之較高有效電阻。

[0053] SP1 可操作地耦合至通道閘極電晶體 761 及 764 並加以控制，其依次分別耦合至感測電容器 762 及 765，其操作地耦合至個別開關 763 及 766。類似地，SP2 可操作地耦合至通道閘極電晶體 771 及 774 並加以控制，其依次分別耦合至感測電容器 772 及 775，其操作地耦合至個別開關 773 及 776。

[0054] 在實施例中，只要 WREN 為高，寫入作業可持續。對短時期而言，當 SP1 或 SP2 為低時，可關閉強驅動器 726。當啟動一通道閘極時，取樣位元線電壓至相應感測電容器上。作為範例，當 SP1 為低時，將取樣位元線電壓至感測電容器 762 及 765 上。作為另一範例，當 SP2 為低時，將取樣位元線電壓至感測電容器 772 及 775 上。當感測脈衝信號返回至高時，通道閘極停用，且感測電容器可保持取樣之電壓值直至其被讀取為止。在實施例中，讀取感測電容器中保持之電壓值可能被破壞。因此，只有從感測電容器之第一讀取可以是精確的。

[0055] 在實施例中，寫入作業期間可展開多次取樣及保持作業。基於開關 763、766、773、及 776 之適當作業，比較器 780 可選擇性地比較儲存於選擇性感測電容器中之資訊。感測脈衝 SP1 或 SP2 可短時期設定為低。當感測脈衝因位元線驅動器 722 之增加的有效電阻而低時，位元線電壓將下降。關於範例，當 SP1 為低時，位元線電壓可取樣至感測電容器 762 及 765 對上。其次，當 SP2 為低時，位元線電壓可取樣至感測電容器 772 及 775 對上。

[0056] 在實施例中，單元 142 中之位元可或不可於位元線電壓之二連續取樣期間交換。因此，由比較器 780 實施之多個比較需識別寫入作業之寫入完成。如以上討論，於一比較中由比較器 780 讀取儲存於一感測電容器中之電壓資訊可能被破壞。然而，相同電壓資訊之另一良好副本係保存於成對感測電容器中。因此，可由比較器 780 使用與相同取樣

事件相關聯之精確電壓資訊實施多個比較。

[0057] 關於範例，比較器 780 可於取樣作業完成後，首先藉由連接開關 763 及 773 而比較儲存於感測電容器 762 及 772 中之電壓值。接著，在另一取樣作業完成後，比較器 780 可藉由連接開關 766 及 776 而比較儲存於感測電容器 765 及 775 中之電壓值。在此範例中，第一比較及第二比較是獨立的且不會相互干擾。因此，二比較可依據精確資訊。

[0058] 在實施例中，顯著感測邊限為儲存於二感測電容器中之二電壓值間之差，例如閾值以上之感測邊限，可觸發比較器中之轉變輸出至邏輯 790，其後續可致使 WREN 成為低，因而終止寫入作業。

[0059] 圖 8 描繪依據各式實施例之整合本揭露之態樣之偵測記憶單元中寫入完成之寫入完成偵測結構 800 的示意架構。具有與任何其他圖之元件相同編號（或名稱）之圖 8 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。為免模糊實施例，可不重複先前討論之元件及部件。

[0060] 在實施例中，當 WREN 為高時，弱驅動器 828 可於寫入作業之整個期間停留在開啟，反之，當 SP1 或 SP2 為低時，可由 NAND 閘極 852 關閉強驅動器 826。當強驅動器 826 關閉時，僅由弱驅動器 828 驅動位元線 120，導致 Vcc 及位元線 120 間之位元線驅動器 822 有較高的有效電阻。

[0061] SP1 可操作地耦合至電晶體 861 及 864 並加以控制，其依次分別耦合至感測電容器 862 及 865，其操作地耦合至個別電晶體 863 及 866。類似地，SP2 可操作地耦合至通道閘極電晶體 871 及 874 並加以控制。通道閘極電晶體 871 及 874 可分別耦合至感測電容器 872 及 875；且感測電容器 872 及 875 可操作地耦合至個別電晶體 873 及 876。SP1 亦可操作地耦合至延遲元件 882 並加以控制，其依次耦合至電晶體 866 及 876。類似地，SP2 亦可操作地耦合至延遲元件 884 並加以控制，其依次耦合至電晶體 863 及 873。

[0062] 在實施例中，只要 WREN 為高，寫入作業可持續。對短時期而言，當 SP1 或 SP2 為低時，可關閉強驅動器 826。當電晶體 861、864、871、或 874 之一者啟動時，取樣位元線電壓至相應感測電容器上。關於範例，當 SP1 為低時，將取樣位元線電壓至感測電容器 862 及 865 上。關於另一範例，當 SP2 為低時，將取樣位元線電壓至感測電容器 872 及 875 上。當感測脈衝信號返回至高時，相應電晶體停用，且相應感測電容器可保持取樣之電壓值直至其被讀取為止。

[0063] 在實施例中，延遲元件 882 或 884 可致使其耦合之電晶體於延遲後啟動。關於範例，在依據 SP1 而取樣位元線電壓至感測電容器 862 及 865 上之後，可啟動電晶體 866 及 876。後續，可由比較器 880 比較儲存於感測電容器 865 及 875 中之電壓值。在若干實施例中，當僅存

在位元線電壓之一樣本時，比較器 880 可略過比較。

[0064] 其次，在依據 SP2 取樣位元線電壓至感測電容器 865 及 875 上之後，可啟動電晶體 863 及 873。後續，可由比較器 880 比較儲存於感測電容器 862 及 872 中之電壓值。因此，可於寫入作業期間進行多次取樣及保持作業。基於延遲元件 882 及 884 之適當作業，如以上所描述，比較器 880 可選擇性地比較儲存於選擇性感測電容器中之資訊。在實施例中，顯著的感測邊限可觸發比較器 880 輸出至邏輯 890，其後續可致使 WREN 成為低，因而關閉寫入驅動器及終止寫入作業。

[0065] 圖 9 為依據各式實施例之本揭露之整合觀點之可由範例裝置執行之範例寫入完成偵測程序的流程圖。如同所示，程序 900 可由具圖 1-9 中所揭露之任何一結構的裝置實施，以實施一或更多個本揭露之實施例。

[0066] 在實施例中，程序可始自方塊 910，其中可於第一時間弱化記憶單元之傳導線上之寫入驅動器。在實施例中，弱化驅動器可包括增加驅動器之有效電阻。在實施例中，弱化驅動器可包括關閉驅動器。在實施例中，弱化驅動器之時序及期間可依據由驅動器接收之感測脈衝。

[0067] 其次，在方塊 920，可感測傳導線上之第一電壓，同時弱化寫入驅動器達第一時間。在實施例中，第一時間感測之電壓可儲存於一或更多個感測電容器中。

[0068] 其次，在方塊 930，可於第二時間弱化寫入驅動器。在實施例中，第一時間弱化驅動器可發生於記憶單

元中位元交換之前。第二時間弱化驅動器可發生於記憶單元中位元交換之後。

[0069] 其次，在方塊 940，可感測傳導線上之第二電壓，同時弱化寫入驅動器達第二時間。在實施例中，第二時間感測之電壓可儲存於一或更多個感測電容器中。

[0070] 其次，在方塊 950，可依據第一電壓與第二電壓之比較判定記憶單元中寫入作業之完成。在實施例中，第一電壓及第二電壓間之差可與預定閾值比較。在一實施例中，在與 STT-MRAM 陣列相關聯之應用中，預定閾值可約為 100 mV。在其他實施例中，預定閾值可依據與記憶單元相關聯之其他應用組配。在實施例中，可選擇性地比較儲存於多個感測電容器中之電壓值，以判定在二連續樣本中寫入作業是否完成。在實施例中，一旦偵測到寫入完成，可減少或終止用於寫入作業之寫入電流以省電。在實施例中，可將至記憶單元之源極線驅動器之寫入致能信號轉向低或關閉，以便減少或終止寫入電流。

[0071] 圖 10 為一組繪圖，顯示依據各式實施例之本揭露之整合觀點之偵測寫入作業中寫入完成之作業。繪圖可顯示 STT-MRAM 陣列之應用中電路的模擬波形。繪圖 1010 適用於弱化或未弱化位元線。繪圖 1020 及 1030 為基線，讀取未弱化位元線，同時繪圖 1040 及 1050 結合本揭露之觀點以偵測弱化位元線之記憶單元的寫入完成。

[0072] 繪圖 1010 中之讀取顯示字線電壓，例如在字線 110 上。如同所示，字線電壓於寫入作業期間於時間

1012 開始停留在高。

[0073] 繪圖 1020 中之讀取顯示未弱化位元線驅動器之寫入電流。如同所示，當被寫入之位元於時間 1022 已交換至希望狀態時，寫入電流降低。

[0074] 繪圖 1030 中之讀取顯示當位元線驅動器未弱化時位元線電壓停留在高。如同所示，在位元交換前後未見到差別，例如時間 1022 前後。

[0075] 繪圖 1040 中之讀取顯示在弱化位元線驅動器兩次後之寫入電流。如同所示，電流降 1042 係由第一時間弱化位元線驅動器所致，且一旦位元線驅動器不再被弱化，寫入電流便於時間 1082 返回至其先前位準。其次，當被寫入之位元已交換至希望狀態而具不同電阻值時，寫入電流再次於時間 1044 下降，因此致使寫入電流下降。其次，電流降 1046 係由第二時間弱化位元線驅動器所致，且一旦位元線驅動器不再被弱化，寫入電流於時間 1084 再次重新開始。

[0076] 繪圖 1050 中之讀取是在弱化位元線驅動器兩次後之位元線電壓。第一弱化發生於位元交換之前，並致使電壓降 1052 至電壓位準 1054，例如在時間 1082。第二弱化發生於位元交換之後，並致使另一電壓降 1056 至電壓位準 1058，例如在時間 1084。在此狀況下，電壓位準 1054 及電壓位準 1058 具有約 100 mV 之電壓差 1055。電壓差 1055 為位元線之感測邊限，當電壓差 1055 充分大時，例如大於預定閾值，可指示記憶單元中之位元已於時

間 1082 及時間 1084 之間交換。關於範例，在此狀況下，約 100 mV 之電壓差 1055 指示位元已交換。相較於繪圖 1030 中之讀取，即使若如繪圖 1050 中在時間 1082 及時間 1084 取樣位元線上之電壓，將偵測不到電壓差，因為位元線電壓將保持實質上恆定，未弱化位元線驅動器，如同繪圖 1030 中所示。

[0077] 圖 10 中所示繪圖及以上所討論顯示弱化位元線驅動器可導致位元交換前後位元線電壓中約 100 mV 或更大差。再者，如同繪圖 1020 及 1040 中所示，弱化或未弱化寫入驅動器間之比較亦顯示弱化未顯著延遲位元交換時間。結果，在此狀況下，該些繪圖顯示短期間寫入驅動器弱化未重置記憶體儲存元件之交換機構，例如磁穿隧接面 (MTJ)。

[0078] 圖 11 為方塊圖，描繪依據各式實施例之範例電腦系統 1100，其適於以參照圖 1-9 描述之任何設計原理實現所揭露之實施例。在一實施例中，運算系統 1100 代表行動運算裝置，諸如運算平板、行動電話或智慧手機、無線致能電子書、或另一無線行動裝置。將了解的是一般顯示某組件，而非於運算裝置 1100 中顯示該等裝置之所有組件。

[0079] 如所示，電腦系統 1100 可包括電源管理 1120；若干處理器或處理器核心 1110；系統記憶體 1130，具有至少一寫入完成偵測結構 600、700、或 800；非揮發性記憶體 (NVM) / 儲存裝置 1140，具有儲存於

其中之處理器可讀取及處理器可執行指令 1180；I/O 控制器 1150；及通訊介面 1160。為了本申請案，包括申請項，除非文中清楚要求，「處理器」及「處理器核心」用詞可視為同義。具有與任何其他圖之元件相同編號（或名稱）之圖 11 之元件可以類似於所描述之任何方式操作或運行，但不侷限於此。

[0080] 在一實施例中，處理器 1110 可包括一或更多個實體裝置，諸如微處理器、應用處理器、微控制器、可編程邏輯裝置、或其他處理裝置。由處理器 1110 實施之處理作業可包括執行作業平台或作業系統，在其上執行應用及／或裝置功能。處理作業可包括關於具人類使用者或具其他裝置之輸入／輸出（I/O）之作業、關於電源管理之作業、及／或關於將運算裝置 1100 連接至另一裝置之作業。處理作業亦可包括關於音頻 I/O 及／或顯示 I/O 之作業。

[0081] 在各式本揭露之實施例中，包括控制器之至少一處理器 1110 可產生或致使產生信號用於記憶體 1130 或處理器 1110 中其他記憶體中之寫入作業，例如 CPU 快取記憶體。寫入完成偵測結構 600、700、或 800 可偵測被寫入之位元是否已交換至希望狀態，並適應性地關閉位元上之寫入電流而因此節省能量。在各式實施例中，寫入完成偵測結構 600、700、或 800 可駐於處理器 1110 中。

[0082] 一或更多個 NVM／儲存裝置 1140 及／或記憶體 1130 可包含有形非暫態電腦可讀取儲存裝置（諸如

磁片、硬碟、光碟唯讀記憶體（CD-ROM）、硬體儲存單元、快閃記憶體、相位改變記憶體（PCM）、固態驅動（SSD）記憶體等）。儲存於 NVM／儲存裝置 1140 及／或記憶體 1130 中之指令 1180 可由一或更多個處理器 1110 執行。指令 1180 可包含特定指令以致能或停用記憶體 1130 中之寫入完成偵測作業。

[0083] 電腦系統 1100 亦可包含輸入／輸出裝置（未顯示），經由 I/O 控制器 1150 耦合至電腦系統 1100。I/O 控制器 1150 描繪連接至運算裝置 1100 之其餘裝置的連接點，使用者可經此與系統互動。例如，可經由 I/O 控制器 1150 耦合至電腦系統 1100 之各式裝置可包括麥克風裝置、揚聲器或立體系統、視訊系統或其他顯示裝置、鍵盤或鍵板裝置、或供諸如讀卡機或其他裝置之特定應用使用之其他 I/O 裝置。在各式實施例中，I/O 控制器 1150 可管理其他裝置，諸如加速計、相機、光感測器或其他環境感測器、或其他硬體。

[0084] 在實施例中，通訊介面 1160 可提供運算裝置 1100 之介面以透過一或更多個網路及／或以任何其他合適裝置通訊。通訊介面 1160 可包括任何合適硬體及／或軟體，諸如網路適配器、一或更多個天線、無線介面等。在各式實施例中，通訊介面 1160 可包括運算裝置 1100 之介面以使用近場通訊（NFC）、光通訊、或其他類似技術與另一裝置直接通訊（例如無媒介）。在各式實施例中，通訊介面 1160 可以無線電通訊技術交互操作，例如寬頻

碼分多重存取 (WCDMA) 、 全球行動通訊系統 (GSM) 、 長期演進 (LTE) 、 WiFi 、 Bluetooth® 、 Zigbee 等。

[0085] 圖 11 之各式元件可經由系統匯流排 1170 相互耦合，其代表一或更多個匯流排。在多個匯流排之狀況下，可由一或更多個匯流排橋接器（未顯示）橋接。資料可經由例如輸出端子及處理器 1110 間之 I/O 控制器 1150 穿過系統匯流排 1170。

[0086] 可採用系統記憶體 1130 及 NVM／儲存裝置 1140 以儲存實施一或更多個作業系統、韌體模組或驅動器、應用等之編程指令的工作副本及永久副本，文中統標為指令 1180。在實施例中，指令 1180 可包括用於結合圖 9 描述之寫入完成偵測的邏輯。編程指令之永久副本可置於工廠之永久儲存裝置中，或經由例如分佈媒體（未顯示），諸如光碟（CD），或經由通訊介面 660（來自分佈伺服器（未顯示）），而置於現場。

[0087] 在若干實施例中，至少一處理器 1110 可與具有結構 600/700/800 之記憶體封裝在一起。在若干實施例中，至少一處理器 1110 可與具有結構 600/700/800 之記憶體封裝在一起以形成系統級封裝（SiP）。在若干實施例中，至少一處理器 1110 可整合於具有結構 600/700/800 之記憶體的相同晶粒上。在若干實施例中，至少一處理器 1110 可整合於具有結構 600/700/800 之記憶體的相同晶粒上以形成系統晶片（SoC）。

[0088] 依據各式實施例，系統 1100 之一或更多個專用組件及／或其他元件可包括鍵盤、LCD 螢幕、非揮發性記憶體埠、多個天線、圖形處理器、應用處理器、揚聲器、或其他相關行動裝置元件，包括相機。電腦系統 1100 之各式元件的剩餘組成為已知，因此將不進一步詳細描述。

[0089] 描繪之實施例的以上描述，包括摘要中所描述，不希望窮舉或侷限於所揭露之精準形式。雖然文中為描繪目的而描述特定實施例及範例，可實施各式修改。例如，可修改以上所描述各式實施例中某元件之組態及連接而未偏離結合圖 1-11 之論述。鑑於以上詳細描述可實施該些及其他修改。下列申請項中使用之用詞將不解譯為侷限於說明書中所揭露之特定實施例。

[0090] 說明書中提及「實施例」、「一實施例」、「若干實施例」、或「其他實施例」表示結合實施例所描述之特定部件、結構、或特性包括於至少若干實施例中，但並非所有實施例。「實施例」、「一實施例」、或「若干實施例」並非均指相同實施例。若說明書表示「可」、「可能」、「將」包括組件、部件、結構、或特性，則不需包括特定組件、部件、結構、或特性。若說明書或申請項提及「一」元件，並非表示總是僅存在一元件。若說明書或申請項提及「其餘」元件，並未排除存在一個以上之其餘元件。

[0091] 此外，特定部件、結構、功能、或特性可以

任何合適方式組合於一或更多個實施例。例如，第一實施例可於與二實施例相關聯之特定部件、結構、功能、或特性未相互排斥處與第二實施例組合。

[0092] 雖然已結合其特定實施例描述揭露，鑑於以上描述，對於本技藝中一般技術之人士而言，該等實施例之許多替代、修改、及變化將是顯而易見的。例如，動態 RAM (DRAM) 之其他記憶體可使用所討論之實施例。揭露之實施例希望包含所有該等替代、修改、及變化，並落入申請專利之廣泛範圍內。

[0093] 此外，為描繪及討論簡單，至積體電路 (IC) 晶片及其他組件之熟知供電/接地連接可或不可顯示於圖中，以便不模糊揭露。此外，為避免模糊揭露，且鑑於相對於該等方塊圖配置之實施的細節係高度取決於將實施之本揭露之平台的事實 (即該等細節應落於一熟悉本技藝之人士的視界內)，可以方塊圖形式顯示配置。提出特定細節 (例如電路) 以便描述揭露之範例實施例，對一熟悉本技藝之人士而言應顯而易見的是可無該些特定細節或具該些特定細節之變化而實現揭露。因而描述應視為描繪而非侷限。

[0094] 下列範例關於進一步實施例。範例中之細節可用於一或更多個實施例中任何地方。文中所描述之裝置的所有可選部件亦可相對於方法或程序實施。

[0095] 範例 1 為用於寫入完成偵測之裝置，可包括耦合至傳導線之電阻式記憶單元，及耦合至傳導線以於寫

入作業期間驅動電阻式記憶單元之電流的驅動器。此外，裝置可包括寫入完成偵測電路，耦合至驅動器以於寫入作業期間選擇性地增加驅動器之電阻達二或更多個時期，並依據二或更多個時期之連續時期之傳導線上之電壓改變偵測電阻式記憶單元之寫入完成。

[0096] 範例 2 可包括範例 1 之技術主題，並可進一步指明傳導線為位元線或源極線。

[0097] 範例 3 可包括範例 1 或 2 之技術主題，並可進一步指明驅動器具有可調電阻，且寫入完成偵測電路於二或更多個時期期間增加可調電阻。

[0098] 範例 4 可包括範例 1-2 之任何技術主題，並可進一步指明驅動器包括具第一電阻之強驅動器及具第二電阻之弱驅動器，且第一電阻小於第二電阻。

[0099] 範例 5 可包括範例 4 之技術主題，並可進一步指明寫入完成偵測電路於二或更多個時期期間維持弱驅動器，及於二或更多個時期期間停用強驅動器，用於偵測傳導線上之電壓改變。

[0100] 範例 6 可包括範例 1-5 之任何技術主題，並可進一步指明寫入完成偵測電路於二或更多個時期期間關閉驅動器以偵測傳導線上之電壓改變。

[0101] 範例 7 可包括範例 1-6 之任何技術主題，並可進一步指明寫入完成偵測電路可包括第一感測電容器，耦合至傳導線以回應於第一感測脈衝而儲存第一電壓之資訊；第二感測電容器，耦合至傳導線以回應於第二感測脈

衝而儲存第二電壓之資訊；以及比較器，耦合至第一及第二感測電容器以比較第一電壓之資訊與第二電壓之資訊而偵測記憶單元之寫入完成。

[0102] 範例 8 可包括範例 1-6 之任何技術主題，並可進一步包括第一感測電容器及第二感測電容器，耦合至傳導線以回應於第一感測脈衝而儲存第一電壓之資訊；以及第三感測電容器及第四感測電容器，耦合至傳導線以回應於第二感測脈衝而儲存第二電壓之資訊，其中，第一感測脈衝及第二感測脈衝為二連續感測脈衝；以及比較器，耦合至第一、第二、第三、及第四感測電容器以使用第一及第三感測電容器實施第一比較，及使用第二及第四感測電容器實施第二比較。

[0103] 範例 9 可包括範例 7 或 8 之技術主題，並可進一步指明寫入完成偵測電路可進一步包括邏輯，耦合至比較器以於第一及第二電壓間之差大於閾值時關閉驅動器或另一驅動器。

[0104] 範例 10 可包括範例 7 或 8 之技術主題，並可進一步包括閘極，耦合至驅動器以至少部分依據第一感測脈衝或第二感測脈衝而輸出控制信號至驅動器。

[0105] 範例 11 可包括範例 1-10 之任何技術主題，並可進一步指明電阻式記憶體為自旋轉移力矩磁性隨機存取記憶體、電阻式隨機存取記憶體、或導橋隨機存取記憶體之至少一者。

[0106] 範例 12 為寫入完成偵測之系統，可包括處理器；控制器，耦合至處理器以輸入／輸出由處理器處理之

資料；以及記憶體，耦合至處理器。記憶體可包括記憶單元，耦合至傳導線；具第一電阻之第一驅動器及具第二電阻之第二驅動器，耦合至傳導線以於寫入作業期間驅動記憶單元之電流；以及寫入完成偵測電路於二或更多個時期期間選擇性地停用第一驅動器，以依據傳導線上之電壓改變偵測記憶單元之寫入完成。第一電阻可小於第二電阻。

[0107] 範例 13 可包括範例 12 之技術主題，並可進一步指明傳導線為位元線或源極線。

[0108] 範例 14 為寫入完成偵測之方法，可包括弱化記憶單元之傳導線上之寫入驅動器達第一時期；當寫入驅動器被弱化達第一時期時，感測傳導線上之第一電壓；在第一時期後，弱化寫入驅動器達第二時期；當寫入驅動器被弱化達第二時期時，感測傳導線上之第二電壓；以及依據第一電壓與第二電壓之比較，判定記憶單元中寫入作業之完成。

[0109] 範例 15 可包括範例 14 之技術主題，並可進一步指明弱化可包括增加寫入驅動器之電阻。

[0110] 範例 16 可包括範例 14 之技術主題，並可進一步指明弱化可包括關閉寫入驅動器。

[0111] 範例 17 可包括範例 14-16 之任何技術主題，並可進一步指明弱化寫入驅動器達第一時期發生於記憶單元之位元交換之前，及弱化寫入驅動器達第二時期發生於記憶單元之位元交換之後。

[0112] 範例 18 可包括範例 14-17 之任何技術主題，

並可進一步指明判定寫入完成包括比較第一電壓及第二電壓間之差與預定閾值。

[0113] 範例 19 可包括範例 18 之技術主題，並可進一步指明預定閾值約為 100 mV。

[0114] 範例 20 可包括範例 18 或 19 之技術主題，並可進一步指明預定閾值係依據與記憶單元相關聯之應用組配。

[0115] 範例 21 可包括範例 14-20 之任何技術主題，並可進一步包括依據由寫入驅動器接收之感測脈衝判定弱化寫入驅動器之時序及期間。

[0116] 範例 22 可包括範例 14-21 之任何技術主題，並可進一步包括回應於判定之寫入作業的完成而減少用於寫入作業之寫入電流。

[0117] 範例 23 可包括範例 22 之技術主題，並可進一步指明減少寫入電流包括關閉寫入驅動器。

[0118] 提供之摘要將允許讀者確定技術揭露之性質及要點。提交摘要並了解其將不用以侷限申請項之範圍或意義。下列申請項特此併入詳細描述，且每一申請項立基於其本身而做為個別實施例。

【符號說明】

[0119]

100、200、300、400、500：寫入路徑

110：字線

- 120：位元線
- 122、222、322、422、622、722、822：位元線驅動器
- 124：位元線寄生電阻器
- 130：源極線
- 132、232、432、632：源極線驅動器
- 134：源極線寄生電阻器
- 142：單元
- 144：存取電晶體
- 326、426、436、628、728、828：弱驅動器
- 328、428、438、626、726、826：強驅動器
- 600、700、800：寫入完成偵測結構
- 652、752、852：NAND 閘極
- 660、1160：通訊介面
- 662、666：PMOS 通道閘極電晶體
- 664、668、762、765、772、775、862、865、872、875：
感測電容器
- 680、780、880：比較器
- 690、790：邏輯
- 761、764、771、774：通道閘極電晶體
- 763、766、773、776：開關
- 861、863、864、866、871、873、874、876：電晶體
- 882、884：延遲元件
- 900：程序
- 910、920、930、940、950：方塊

1010、1020、1030、1040、1050：繪圖

1012、1022、1044、1082、1084：時間

1042、1046：電流降

1052、1056：電壓降

1054、1058：電壓位準

1055：電壓差

1100：電腦系統

1110：處理器核心

1120：電源管理

1130：系統記憶體

1140：非揮發性記憶體／儲存裝置

1150：I/O 控制器

1170：系統匯流排

1180：指令

CbRAM：導橋隨機存取記憶體

CPEN：比較器致能信號

MTJ：磁穿隧界面

PCM：相位改變記憶體

R_{122} 、 R_{142} ：電阻

ReRAM：電阻式隨機存取記憶體

SP1：感測脈衝 1

SP2：感測脈衝 2

STT-MRAM：旋轉移力距-磁性隨機存取記憶體

VBL：位元線電壓

Vcc : 供應電壓

VSL : 源極線電壓

WREN、WREN' : 寫入致能信號

申請專利範圍

1. 一種用於偵測電阻式記憶體之寫入完成之裝置，包含：
 - 電阻式記憶單元，耦合至傳導線；
 - 驅動器，耦合至該傳導線以於寫入作業期間驅動該電阻式記憶單元之電流；以及
 - 寫入完成偵測電路，耦合至該驅動器以於該寫入作業期間選擇性地增加該驅動器之電阻達二或更多個時期，並依據該二或更多個時期之連續時期之該傳導線上之電壓改變，偵測該電阻式記憶單元之寫入完成，其中，該寫入完成偵測電路包含：
 - 第一感測電容器，耦合至該傳導線以回應於第一感測脈衝而儲存第一電壓之資訊；
 - 第二感測電容器，耦合至該傳導線以回應於第二感測脈衝而儲存第二電壓之資訊；以及
 - 比較器，耦合至該第一感測電容器及該第二感測電容器以比較該第一電壓之該資訊與該第二電壓之該資訊，而偵測該記憶單元之該寫入完成。
2. 如申請專利範圍第 1 項之裝置，其中，該傳導線為位元線或源極線。
3. 如申請專利範圍第 1 項之裝置，其中，該驅動器包含可調電阻，且其中，該寫入完成偵測電路於該二或更多個時期期間增加該可調電阻。
4. 如申請專利範圍第 1 項之裝置，其中，該驅動器

包含具第一電阻之強驅動器及具第二電阻之弱驅動器，且其中，該第一電阻小於該第二電阻。

5. 如申請專利範圍第 4 項之裝置，其中，該寫入完成偵測電路於該二或更多個時期期間維持該弱驅動器，並於該二或更多個時期期間停用該強驅動器，以偵測該傳導線上之該電壓改變。

6. 如申請專利範圍第 1 項之裝置，其中，該寫入完成偵測電路於該二或更多個時期期間關閉該驅動器以偵測該傳導線上之該電壓改變。

7. 如申請專利範圍第 1 項之裝置，其中，該寫入完成偵測電路進一步包含邏輯，耦合至該比較器，當該第一電壓及該第二電壓間之差大於閾值時，關閉該驅動器。

8. 如申請專利範圍第 1 項之裝置，進一步包含：

閘極，耦合至該驅動器，至少部分依據該第一感測脈衝或該第二感測脈衝而輸出控制信號至該驅動器。

9. 如申請專利範圍第 1 項之裝置，其中，該寫入完成偵測電路進一步包含：

第三感測電容器，耦合至該傳導線以回應於該第一感測脈衝而儲存該第一電壓之資訊；

第四感測電容器，耦合至該傳導線以回應於該第二感測脈衝而儲存該第二電壓之資訊，其中，該第一感測脈衝及該第二感測脈衝為二連續感測脈衝；以及

比較器，耦合至該第一感測電容器、該第二感測電容器、該第三感測電容器、及第四感測電容器，以使用該第

一感測電容器及該第二感測電容器實施第一比較，及使用該第三感測電容器及第四感測電容器實施第二比較。

10. 如申請專利範圍第 1 項之裝置，其中，該電阻式記憶體為以下至少一者：

自旋轉移力矩磁性隨機存取記憶體；

電阻式隨機存取記憶體；或

導橋隨機存取記憶體。

11. 一種用於偵測電阻式記憶體之寫入完成之系統，包含：

處理器；

控制器，耦合至該處理器以輸入／輸出由該處理器處理之資料；以及

記憶體，耦合至該處理器，該記憶體包含：

記憶單元，耦合至傳導線；以及

具第一電阻之第一驅動器及具第二電阻之第二驅動器，耦合至該傳導線以於寫入作業期間驅動該記憶單元之電流，其中，該第一電阻小於該第二電阻，以及

寫入完成偵測電路，選擇性地於二或更多個時期期間停用該第一驅動器，以依據該傳導線上之電壓改變偵測該記憶單元之寫入完成，其中，該寫入完成偵測電路包含：

第一感測電容器，耦合至該傳導線以回應於第一感測脈衝而儲存第一電壓之資訊；

第二感測電容器，耦合至該傳導線以回應於第二感測脈衝而儲存第二電壓之資訊；以及

比較器，耦合至該第一感測電容器及該第二感測電容器以比較該第一電壓之該資訊與該第二電壓之該資訊，而偵測該記憶單元之該寫入完成。

12. 如申請專利範圍第 11 項之系統，其中，該傳導線為位元線或源極線。

13. 一種用於偵測電阻式記憶體之寫入完成之方法，包含：

弱化記憶單元之傳導線上之寫入驅動器達第一時期；

當該寫入驅動器被弱化達該第一時期時，感測該傳導線上之第一電壓；

於該第一時期之後，弱化該寫入驅動器達第二時期；

當該寫入驅動器被弱化達該第二時期時，感測該傳導線上之第二電壓；以及

依據該第一電壓與該第二電壓間之差與預定閾值的比較，判定該記憶單元中寫入作業之完成，其中，該預定閾值約為 100 mV。

14. 如申請專利範圍第 13 項之方法，其中，弱化包含增加該寫入驅動器之電阻。

15. 如申請專利範圍第 13 項之方法，其中，弱化包含關閉該寫入驅動器。

16. 如申請專利範圍第 13 項之方法，其中，該弱化該寫入驅動器達該第一時期發生於該記憶單元之位元交換之前，且其中，該弱化該寫入驅動器達該第二時期發生於該記憶單元之該位元交換之後。

17. 如申請專利範圍第 13 項之方法，其中，係依據與該記憶單元相關聯之應用組配。

18. 如申請專利範圍第 13 項之方法，進一步包含：
依據該寫入驅動器接收之感測脈衝判定該弱化該寫入驅動器之時序及期間。

19. 如申請專利範圍第 13 項之方法，進一步包含：
回應於該判定之該寫入作業的完成，減少用於該寫入作業之寫入電流。

20. 如申請專利範圍第 19 項之方法，其中，減少該寫入電流包含關閉該寫入驅動器。

圖式

100 ↗

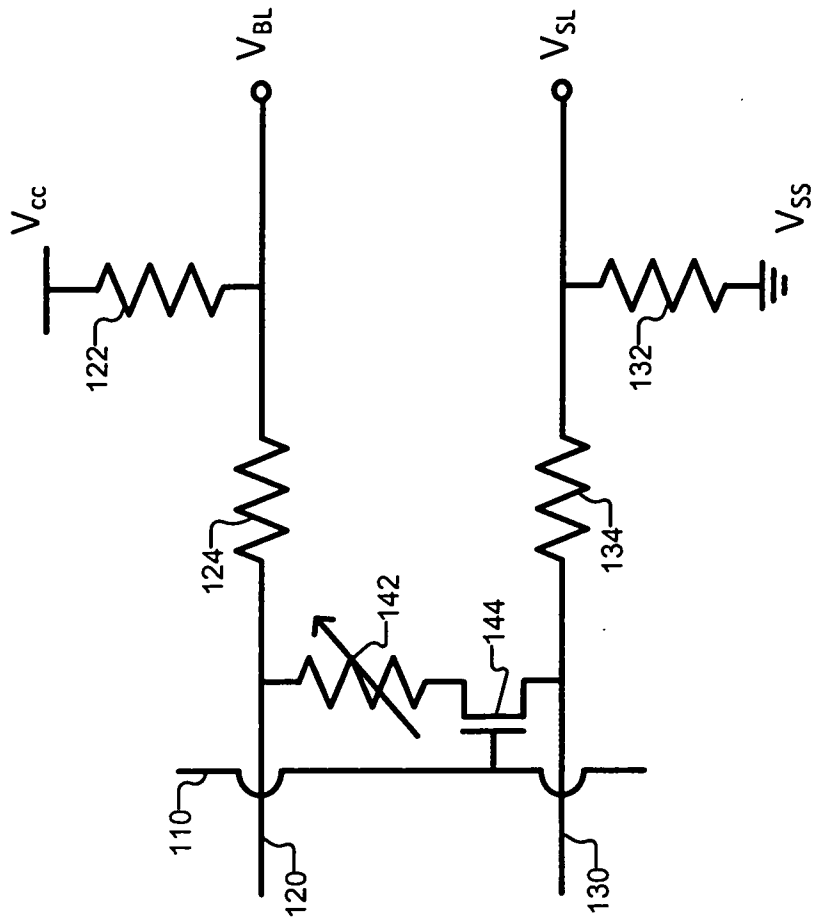


圖 1

200 →

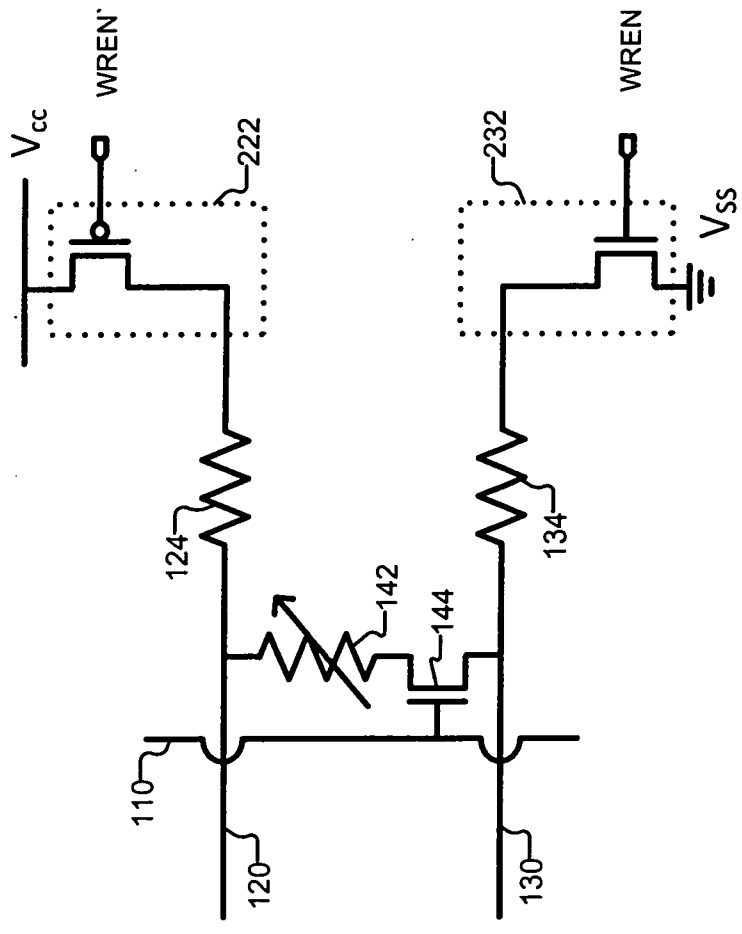


圖 2

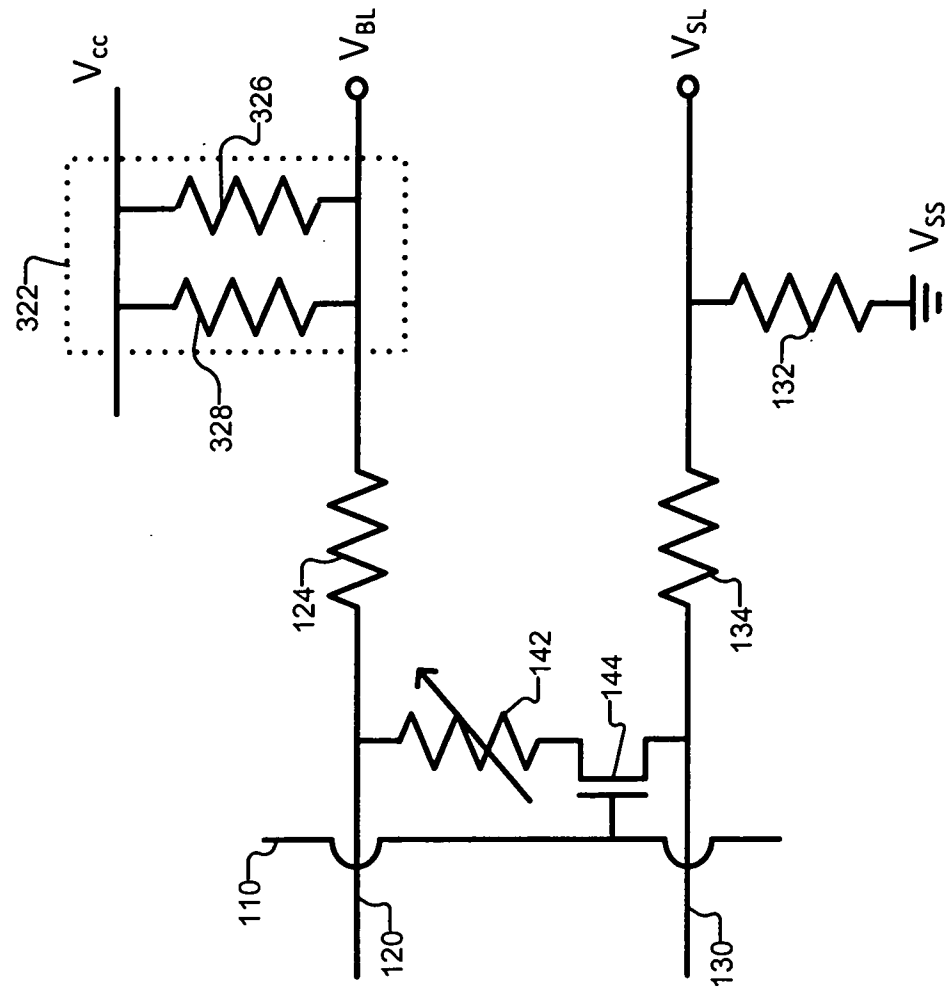


圖 3

400 →

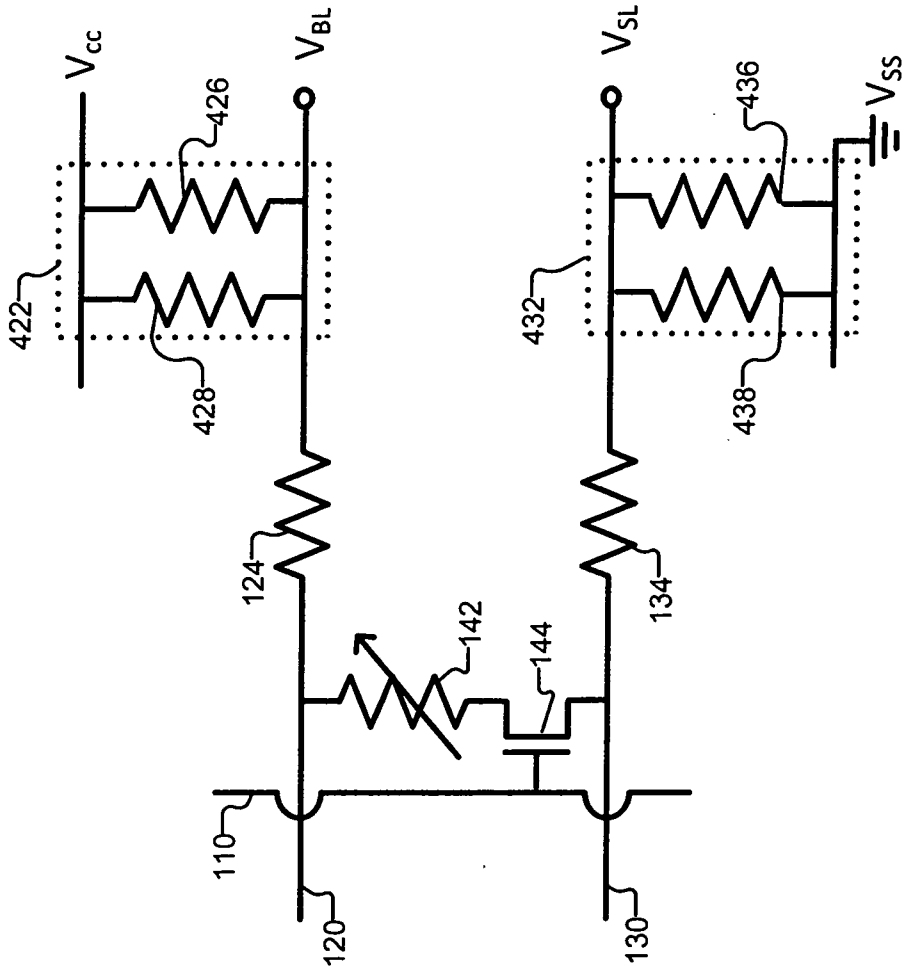


圖 4

500 ↗

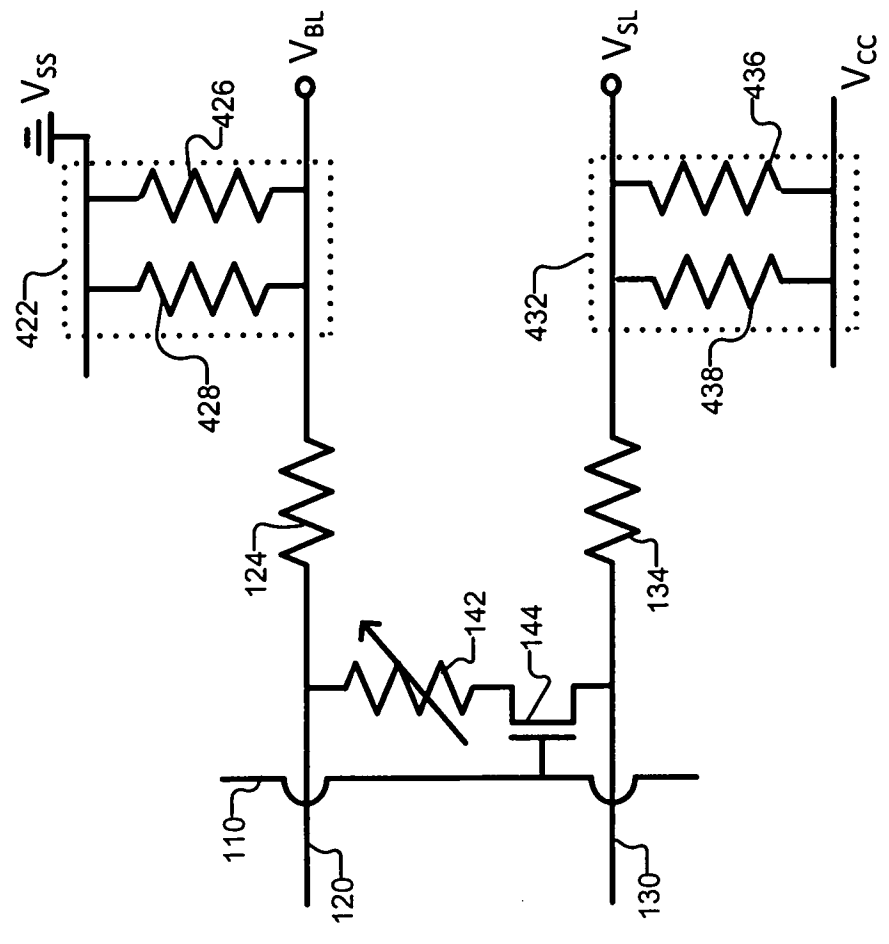


圖 5

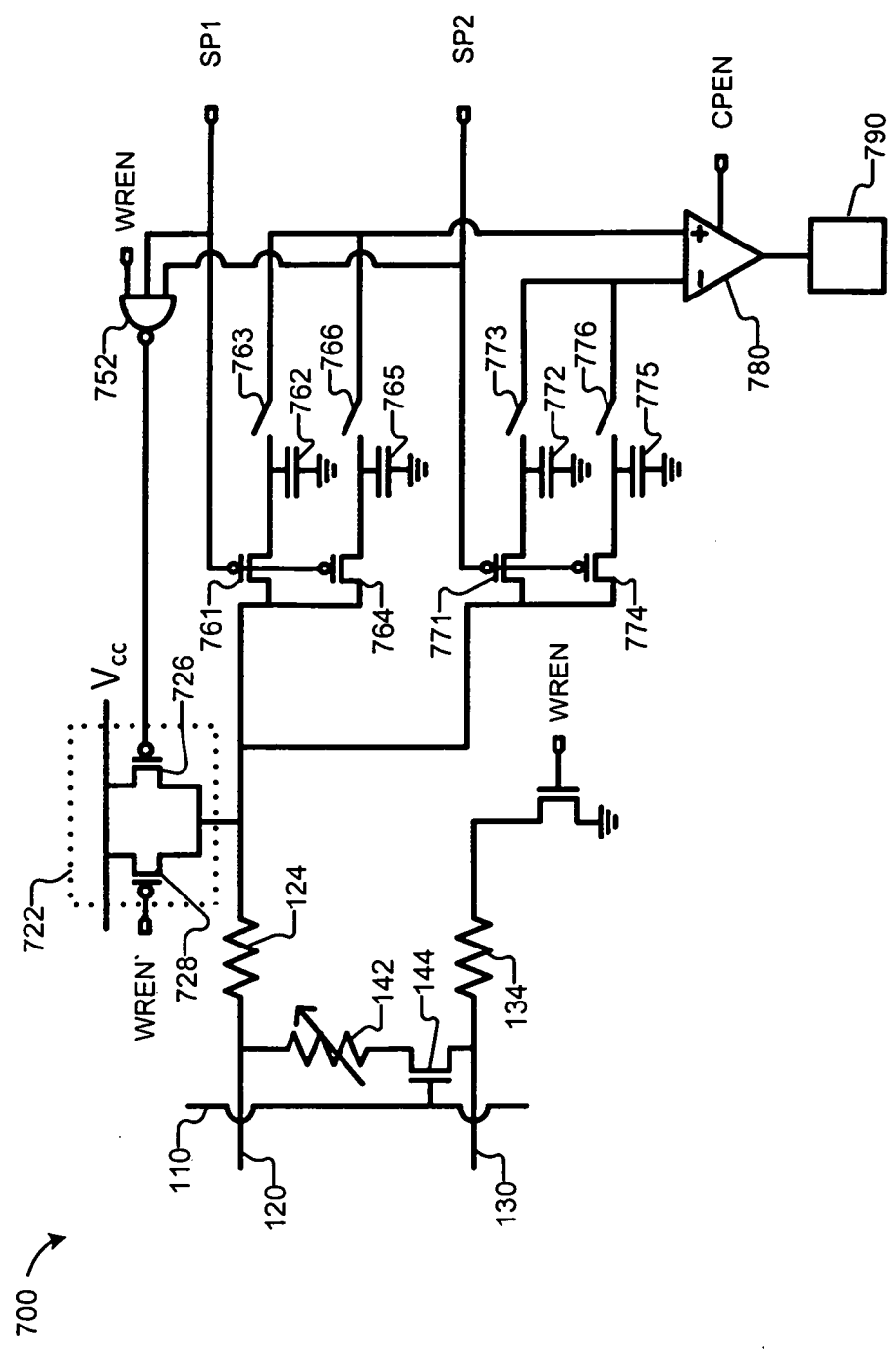


圖 7

800 →

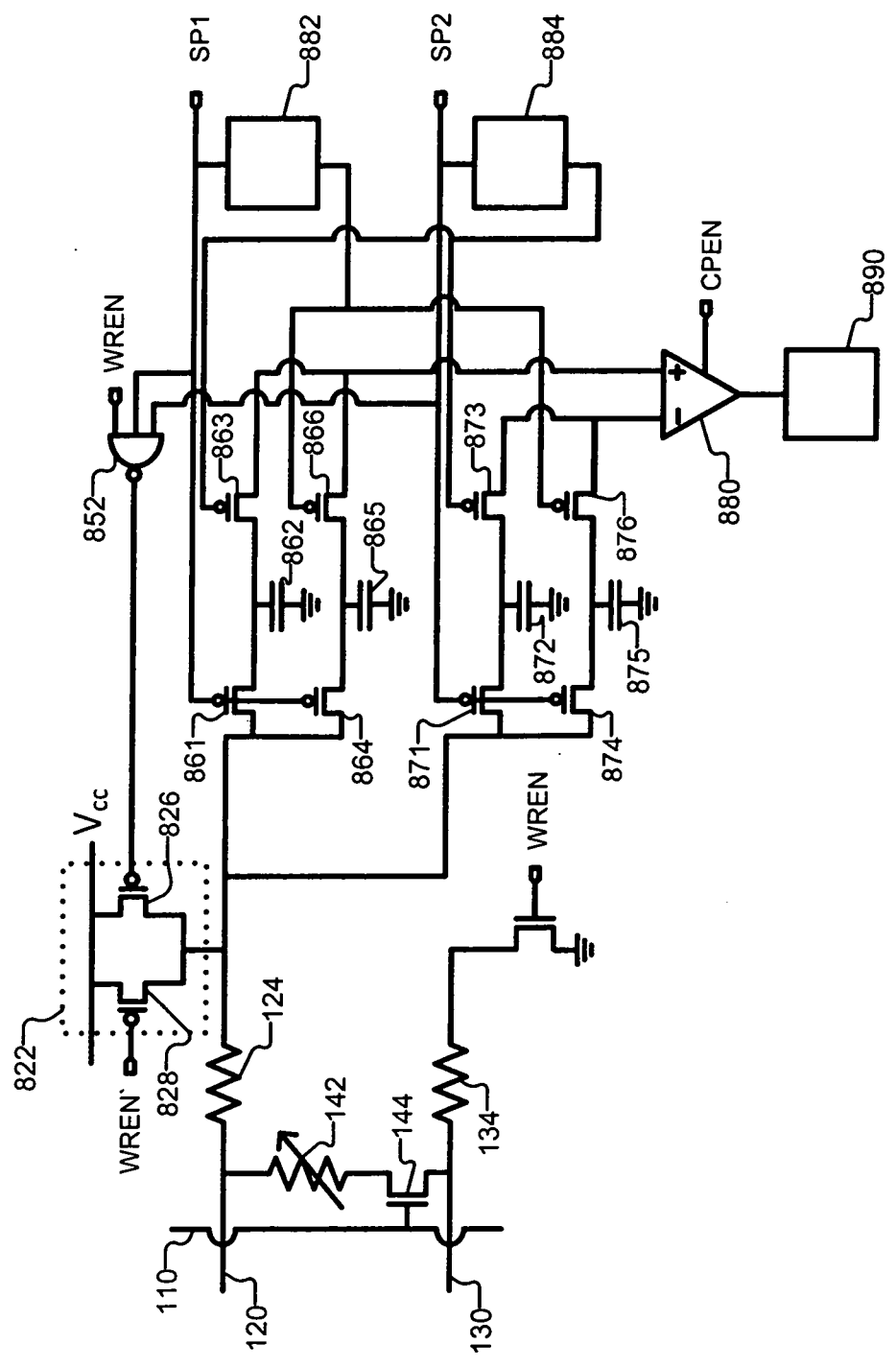


圖 8

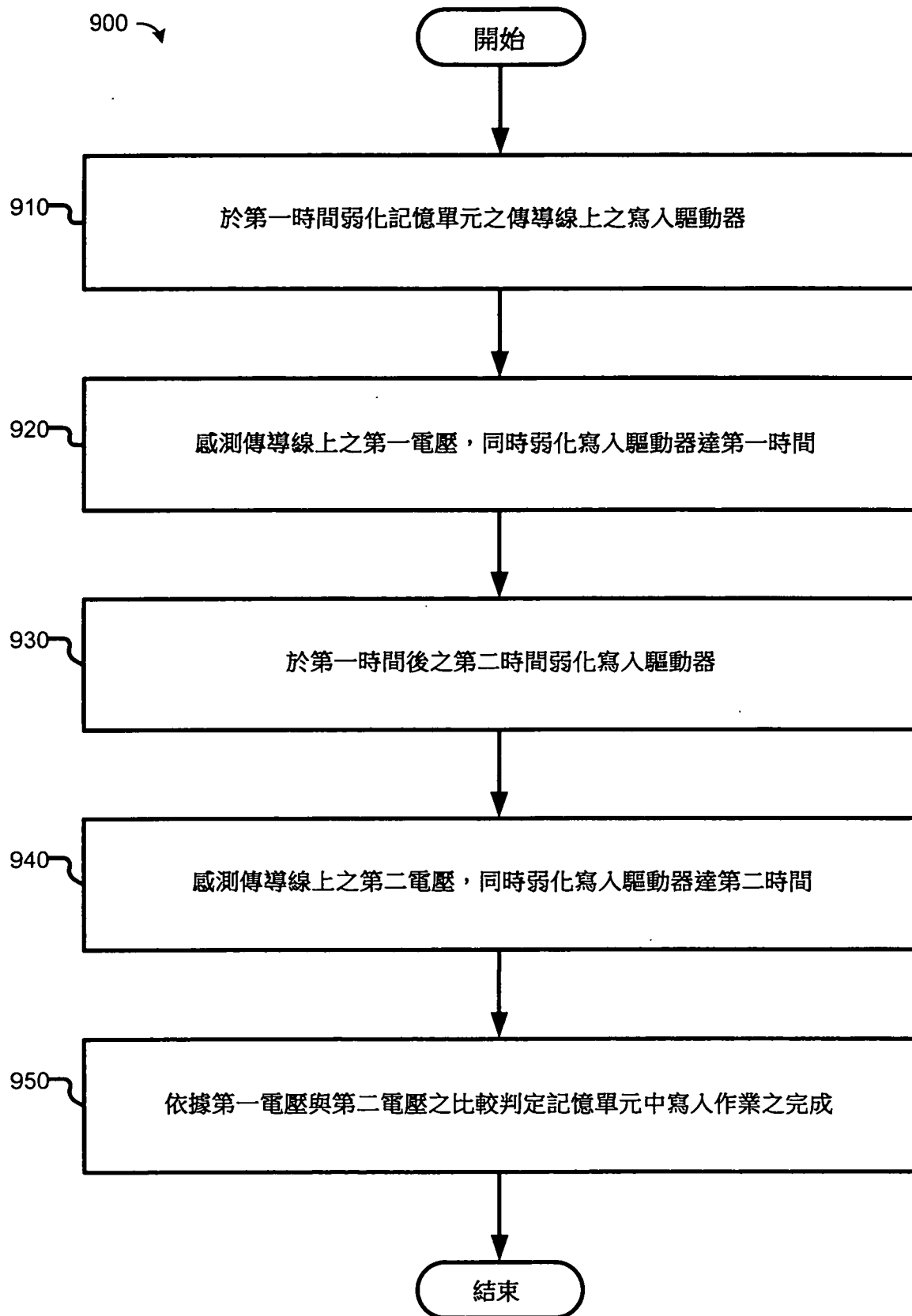


圖 9

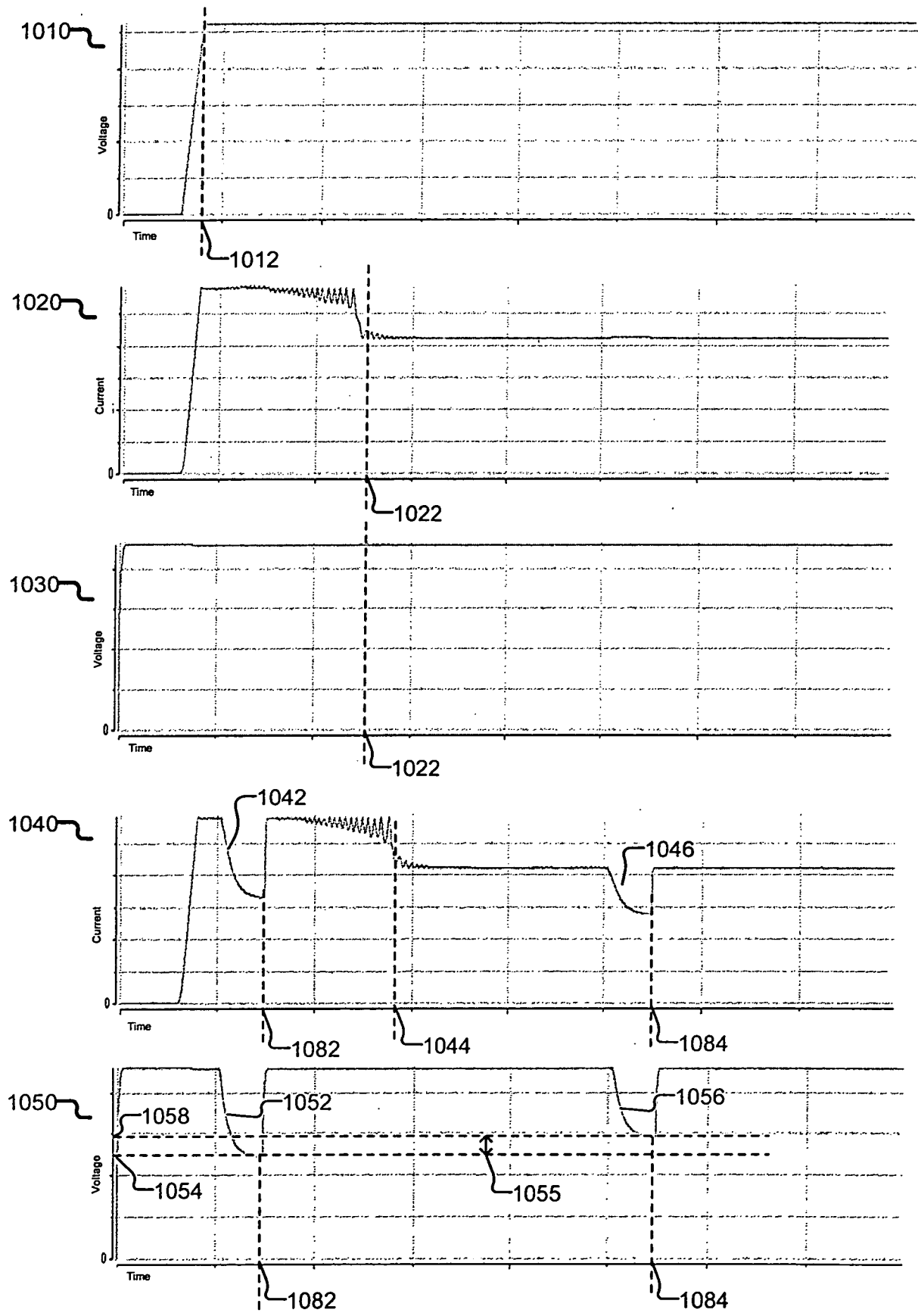


圖 10

1100 →

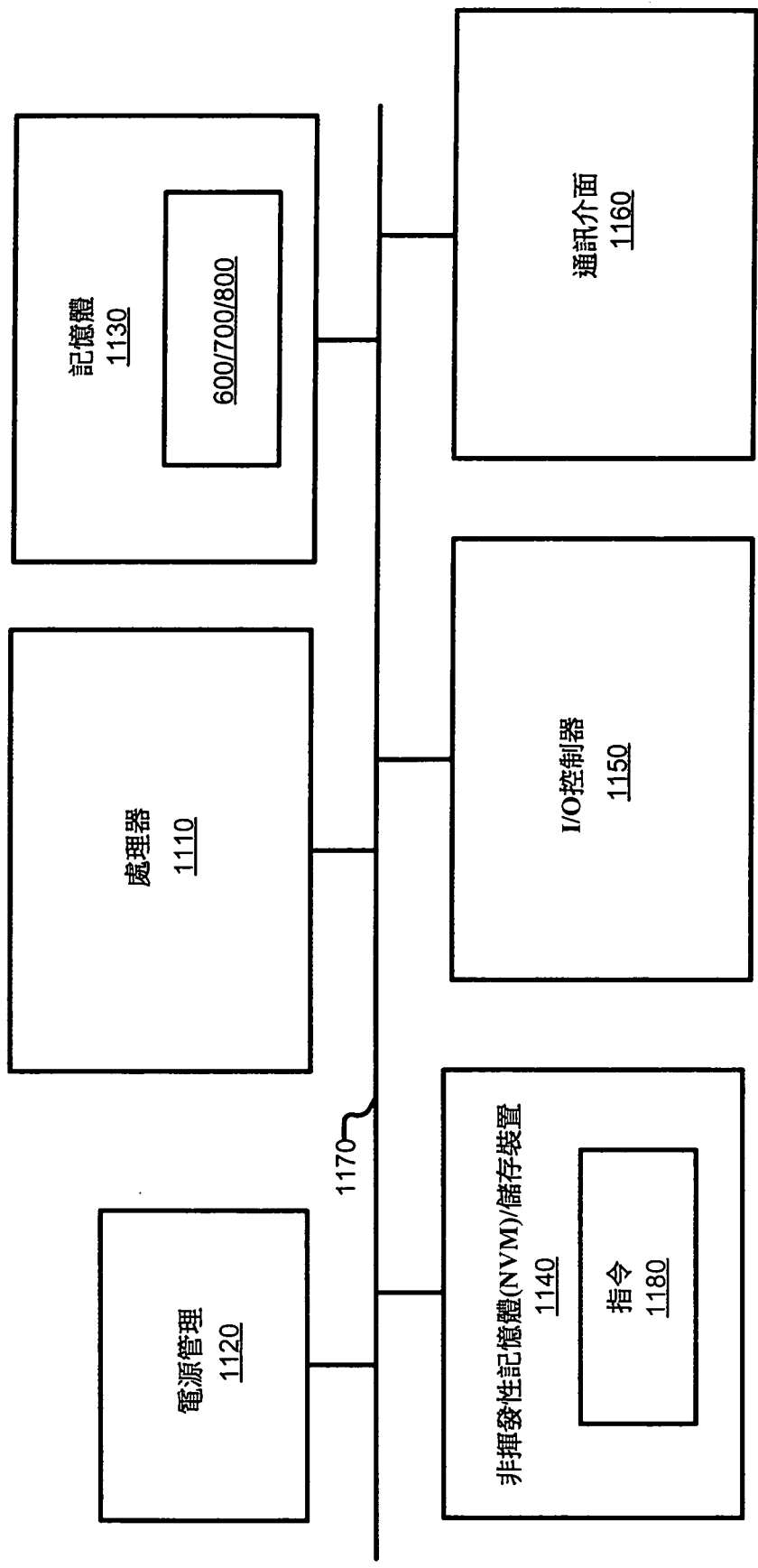


圖 11