(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 10 月 10 日 (10.10.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/192243 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01)

(21) 国际申请号: PCT/CN2019/071724

(22) 国际申请日: 2019 年 1 月 15 日 (15.01.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810301083.6 2018年4月4日 (04.04.2018) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 汪广羊 (WANG, Guangyang); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房（部位：自编01-03和08-12单元）（仅限办公用途）, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告 (条约第21条 (3))。

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 发明名称: 一种半导体器件

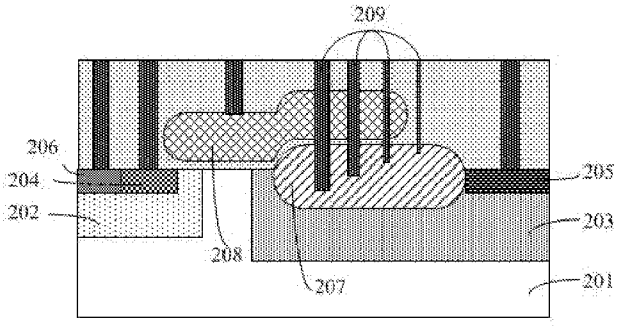


图2A

(57) **Abstract:** The present application provides a semiconductor device, which comprises a semiconductor substrate (201), a field oxide layer (207), a gate plate and field plate integration structure (208) and a plurality of contact holes (209). A body region (202) and a drift region (203) are formed in the semiconductor substrate (201). An active region (204) is formed in the body region (202), and a drain region (205) is formed in the drift region (203). The field oxide layer (207) is located on the drift region (203) and the drift region (203) surrounds at least part of the field oxide layer (207). The gate plate and field plate integration structure (208) is provided across the semiconductor substrate (201) and the field oxide layer (207), and extends onto the body region (202). The contact hole (209) penetrates into the field oxide layer (207), and the depth of the contact hole (209) near the source region (204) penetrating into the field oxide layer (207) is greater than the depth of the contact hole (209) near the drain region (205) penetrating into the field oxide layer (207).

WO 2019/192243 A1

[见续页]

(57) 摘要：本申请提供一种半导体器件，包括半导体衬底(201)、场氧化层(207)、栅与场板一体结构(208)和多个接触孔(209)，其中，半导体衬底(201)中形成有体区(202)和漂移区(203)，体区(202)内形成有源区(204)，漂移区(203)内形成有漏区(205)；场氧化层(207)位于漂移区(203)上且漂移区(203)包围至少部分场氧化层(207)；栅与场板一体结构(208)跨设在半导体衬底(201)和场氧化层(207)上，并延伸到体区(202)上；接触孔(209)深入场氧化层(207)中，其中靠近源区(204)的接触孔(209)深入场氧化层(207)中的深度大于靠近漏区(205)的接触孔(209)深入场氧化层(207)中的深度。

说明书

发明名称：一种半导体器件

技术领域

本申请涉及半导体技术领域，具体而言涉及一种半导体器件。

背景技术

随着半导体技术的不断发展，横向双扩散金属氧化物半导体场效应晶体管（Lateral Double Diffused MOSFET，LDMOS）器件具有良好的短沟道特性。LDMOS 器件在漏极有一个轻掺杂注入区，被称为漂移区。漂移区掺杂浓度越低则耗尽越多，击穿电压（BV）越高，导通电阻（Rdson）越大，器件耐压能力虽然提高了，但导通电阻变大会降低器件的驱动能力；漂移区掺杂浓度越高则耗尽越少，击穿电压越低，导通电阻越小，导通电阻变小虽然提高了器件的驱动能力，但器件的耐压能力却降低了。

针对 LDMOS 器件中的击穿电压与导通电阻的设计矛盾，传统技术中主要通过场板结构增加漂移区的耗尽，在导通电阻基本不变的基础上提高耐压。场氧化层或者浅沟槽隔离（STI）的厚度决定了耗尽的快慢。场氧化层的厚度越小，场板结构会增强漂移区的耗尽，在导通电阻基本不变的基础上，可以提高击穿电压。但场氧化层的厚度不可能无限减小，漂移区的耗尽也就不可能无限增强，击穿电压的提高存在限制。此外，漏极与栅极之间的电场强度也会限制击穿电压的提升，导致漏极和栅极之间的场氧化层变薄后容易发生击穿。

因此，有必要提出一种新的 LDMOS 器件，以解决上述技术问题。

发明内容

根据本申请的各种实施例提供一种半导体器件。

一种半导体器件，包括:

半导体衬底，所述半导体衬底中形成有体区和漂移区，所述体区内形成有源区，所述漂移区内形成有漏区;

场氧化层，所述场氧化层位于所述漂移区上且所述漂移区包围至少部分所述场氧化层;

栅与场板一体结构，所述栅与场板一体结构跨设在所述半导体衬底和所述场氧化层上，并延伸到所述体区上；及

多个接触孔，所述接触孔深入所述场氧化层中，其中靠近所述源区的接触孔深入所述场氧化层中的深度大于靠近所述漏区的接触孔深入所述场氧化层中的深度。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一副或多副附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 示出了传统技术的 LDMOS 器件的剖面示意图。

图 2A 是根据本申请示例性实施例的 LDMOS 器件的剖面示意图。

图 2B 是根据本申请示例性实施例的 LDMOS 器件的俯视图的局部示意图。

具体实施方式

在下文的描述中，给出了大量具体的细节以便提供对本申请更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本申请可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本申请发生混淆，对于本领域公知的一些技术特征未进行描述。

应当理解的是，本申请能够以不同形式实施，而不应当解释为局限于这里提出的实施例。相反地，提供这些实施例将使公开彻底和完全，并且将本申请的范围完全地传递给本领域技术人员。在附图中，为了清楚，层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、 第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的

存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本申请，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本申请提出的技术方案。本申请的较佳实施例详细描述如下，然而除了这些详细描述外，本申请还可以具有其他实施方式。

图 1 示出了一种传统的 LDMOS 器件的剖面示意图，其包括：P 型衬底 101，以及位于 P 型衬底 101 中的 P 型体区 102 以及 N 型漂移区 103；P 型体区 102 内形成有体引出区 106 和源区 104，N 型漂移区 103 内形成有漏区 105；漂移区 103 上形成有场氧化层 107 以及跨设在场氧化层 107 和半导体衬底 101 上的栅与场板一体结构 108。在该 LDMOS 器件中，通过形成栅与场板一体结构来实现增加漏极漂移区的耗尽。场氧化层或者浅沟槽隔离（STI）的厚度决定了耗尽的快慢。场氧化层的厚度越小，栅与场板一体结构会增强漂移区的耗尽，在导通电阻基本不变的基础上，可以提高击穿电压。但场氧化层的厚度不可能无限减小，漂移区的耗尽也就不可能无限增强，击穿电压的提高存在限制。此外，漏极与栅极之间的电场强度也会限制击穿电压的提升，导致漏极和栅极之间的场氧化层变薄后容易发生击穿。

下面，参考图 2A 对本申请示例性实施例的半导体器件做详细描述。

半导体衬底 201，半导体衬底 201 中形成有体区 202 和漂移区 203，体区 202 内形成有源区 204，漂移区 203 内形成漏区 205；场氧化层 207 位于漂移区 203 上且漂移区 203 包围至少部分场氧化层 207；栅与场板一体结构 208 跨设在半导体衬底 201 和场氧化层 207 上，并延伸到所述体区 202 上；多个接触孔 209 深入场氧化层 207 中，其中靠近源区 204 的接触孔 209 深入场氧化层 207 中的深度大于靠近漏区 205 的接触孔 209 深入场氧化层 207 中的深度。

示例性地，本申请的半导体器件包括横向双扩散金属氧化物半导体（Laterally Diffused Metal Oxide Semiconductor，LDMOS）器件，具体地，本申请提供了一种表面降场（Reduced Surface Field，RESURF）型 LDMOS 器件。

示例性地，本申请的半导体器件中包括第一导电类型和第二导电类型。示例性地，第一导电类型为 P 型，第二导电类型为 N 型，其中，P 型掺杂离子包括但不限于硼离子，N 型掺杂离子包括但不限于磷离子或砷离子。

本申请的 LDMOS 器件包括半导体衬底 201。半导体衬底 201 可以是以下所提到的材料中的至少一种：硅、绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。在本实施例中，半导体衬底 201 为硅衬底，具有第一导电类型或者第二导电类型。

示例性地，在半导体衬底 201 中形成 P 阱作为体区（Body）202。作为一个实例，采用标准的阱注入工艺在半导体衬底中形成 P 阱，可以通过高能量注入工艺形成 P 阱，也可以通过低能量注入，搭配高温热退火过程形成 P 阱。

示例性地，还在半导体衬底 201 中形成漂移区（Drift）203，漂移区 203 位于半导体衬底 201 内，一般为轻掺杂区，对于 N 沟槽 LDMOS，漂移区为 N 型掺杂。作为一个实例，漂移区 203 和 P 阱形成方式相似，可以通过高能量注入工艺形成，也可以通过低能量注入，搭配高温热退火过程形成。

在上述实施例中，半导体衬底 201 具有第一导电类型或第二导电类型，体区 202 具有第一导电类型，漂移区 203 具有第二导电类型，以形成 NLDMOS 器件。在另一个实施例中，半导体衬底 201 具有第一导电类型或第二导电类型，体区 202 具有第二导电类型，漂移区 203 具有第一导电类型，以形成 PLDMOS 器件。

进一步，在体区 202 内形成源区（source）204 和体引出区 206，在漂移区 203 内形成漏区（drain）205，源区 204、漏区 205 上可以分别引出源极、漏极。作为一个实例，在体区 202 注入 N 型杂质形成源区 204，在漂移区 203 内注入 N 型杂质形成漏区 205，源区 204 和漏区 205 的掺杂浓度可以相同，因此，二者可以同步地掺杂形成。作为一个实例，在体区 202 注入 P 型杂质

形成体引出区 206。

本申请的 LDMOS 器件还包括场氧化层 207。场氧化层 207 位于漂移区 203 上且漂移区 203 包围至少部分场氧化层 207，具体地，场氧化层 207 的上表面与漂移区 203 的上表面平齐或者场氧化层 207 的上表面高于漂移区 203 的上表面。示例性地，场氧化层 207 的材料为氧化硅，可以采用本领域技术人员熟知的任何方法形成场氧化层 207。具体地，在半导体衬底表面生长二氧化硅层，采用光刻工艺图案化二氧化硅层，热氧化剩余的二氧化硅层以形成场氧化层 207。

进一步，当漂移区 203 的导电类型与半导体衬底 201 的导电类型不同时，漂移区 203 包围全部场氧化层 207，即场氧化层 207 与半导体衬底 201 之间完全被漂移区 203 隔开。

本申请的 LDMOS 器件还包括栅与场板一体结构 208。栅与场板一体结构 208 跨设在半导体衬底 201 和场氧化层 207 上，并延伸到所述体区 202 上，如图 2A 所示。示例性地，栅与场板一体结构 208 靠近体区 202 的一侧延伸到所述体区 202 上，栅与场板一体结构 208 与体区 202 至少有部分重叠，栅与场板一体结构 208 的材料为多晶硅。

本申请的 LDMOS 器件还包括介电层，介电层覆盖半导体衬底 201、场氧化层 207 和栅与场板一体结构 208。在该栅与场板一体结构 208 中，叠设于场氧化层 207 上的部分为场板结构，其余部分为栅区。在源区 204、漏区 205、栅与场板一体结构 208 中的栅区和体引出区 206 上方的介电层中分别形成有贯穿介电层的接触孔，以引出源极、漏极和栅极，深入场氧化层 207 中的接触孔 209 连接于该栅极，其中，引出源极的接触孔与源区 204 和体引出区 206 的表面接触，引出漏极的接触孔与漏区 205 的表面相接触，引出栅极的接触孔与栅与场板一体结构 208 中的栅区的表面相接触。

在本申请提供的 LDMOS 器件中，还形成有多个接触孔 209，多个接触

孔 209 深入场氧化层 207 中，其中靠近源区 204 的接触孔 209 深入场氧化层 207 中的深度大于靠近漏区 205 的接触孔 209 深入场氧化层 207 中的深度。通过控制接触孔 209 深入场氧化层 207 的深度不同，使得靠近漏极的场氧化层 207 的有效厚度适当变厚，远离漏极的场氧化层 207 的有效厚度适当变薄，既最大限度地增强了漂移区 203 耗尽，又解决了场氧化层 207 限制击穿电压（BV）的问题。此外，多个接触孔 209 深入场氧化层 207 中的深度不同，便于场氧化层 207 的不同有效厚度的调整，结构灵活，易于控制。与未采用本申请的 LDMOS 器件结构的器件相比，本申请无需减小场氧化层整体厚度，即可有效提高击穿电压并优化导通电阻。

进一步，靠近源区 204 的接触孔 209 的开孔尺寸大于靠近漏区 205 的接触孔 209 的开孔尺寸。通过改变接触孔 209 的开孔尺寸，可以控制刻蚀场氧化层 207 的速率，从而实现形成不同深度的接触孔 209 来对漂移区 203 进行耗尽，并且能够更好地形成场氧化层的有效阶梯厚度，使耗尽更加优化。

进一步，至少多个接触孔 209 中的一部分贯穿栅与场板一体结构 208。部分接触孔 209 贯穿栅与场板一体结构 208 更有利于增强栅与场板一体结构 208 下方漂移区的耗尽，此外，从栅与场板一体结构 208 上方直接刻蚀形成接触孔 209 比通过介质层刻蚀更容易控制刻蚀速率，则更有利于形成不同深度的接触孔 209。

此外，形成上述 LDMOS 器件与传统技术相比无需增加新的工艺步骤，因此不会导致生产成本的增加。

示例性地，多个接触孔 209 可以分为若干分组，每个分组中的接触孔 209 的开孔尺寸相同，深入场氧化层 207 中的深度也相同，相邻的两个分组中，靠近源极的分组中的接触孔 209 的开孔尺寸大于靠近漏极的分组中的接触孔 209 的开孔尺寸，靠近源极的分组中的接触孔 209 深入场氧化层 207 中的深度大于靠近漏极的分组中的接触孔 209 深入场氧化层 207 中的深度。作为一个实例，如图 2A 和 2B 所示，接触孔 209 分为四个分组，其中从靠近源极的第一分组到靠近漏极的第四分组，接触孔 209 的开口逐渐减小，深入场氧化

层 207 的深度也逐渐减小。其中，第一分组至第三分组接触孔 209 贯穿栅与场板一体结构 208。

本申请提供的 LDMOS 器件，通过形成深入场氧化层的接触孔，并控制靠近源区的接触孔深入场氧化层中的深度大于靠近漏区的接触孔深入场氧化层中的深度，使得靠近漏极的场氧化层的有效厚度大于远离漏极的场氧化层的有效厚度，既增强了漂移区耗尽，又最大限度优化了 LDMOS 器件的击穿电压和导通电阻。由于不存在场氧化层厚度无法无限减小的限制，漂移区的耗尽进一步增强，击穿电压可以得到更大限度的提高，且漏极和栅极之间的场氧化层不容易发生击穿。此外，形成本申请的 LDMOS 器件不会增加生产成本。

本申请已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本申请限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本申请并不局限于上述实施例，根据本申请的教导还可以做出更多种的变型和修改，这些变型和修改均落在本申请所要求保护的范围以内。本申请的保护范围由附属的权利要求书及其等效范围所界定。

权利要求书

1、一种半导体器件，包括:

半导体衬底，所述半导体衬底中形成体区和漂移区，所述体区内形成源区，所述漂移区内形成漏区;

场氧化层，所述场氧化层位于所述漂移区上且所述漂移区包围至少部分所述场氧化层;

栅与场板一体结构，所述栅与场板一体结构跨设在所述半导体衬底和所述场氧化层上，并延伸到所述体区上；及

多个接触孔，所述接触孔深入所述场氧化层中，其中，靠近所述源区的接触孔深入所述场氧化层中的深度大于靠近所述漏区的接触孔深入所述场氧化层中的深度。

2、如权利要求 1 所述的半导体器件，其中，靠近所述源区的接触孔的开孔尺寸大于靠近所述漏区的接触孔的开孔尺寸。

3、如权利要求 1 所述的半导体器件，其中，所述多个接触孔中的部分接触孔先贯穿所述栅与场板一体结构后再深入所述场氧化层中。

4、如权利要求 1 所述的半导体器件，其中，所述多个接触孔分为若干分组，同一个分组中的接触孔的开孔尺寸相同且深入所述场氧化层中的深度也相同。

5、如权利要求 4 所述的半导体器件，其中，相邻的两个分组中，靠近所述源区的分组中的接触孔的开孔尺寸大于靠近所述漏区的分组中的接触孔的开孔尺寸，靠近所述源区的分组中的接触孔深入所述场氧化层中的深度大于靠近所述漏区的分组中的接触孔深入所述场氧化层中的深度。

6、如权利要求 5 所述的半导体器件，其中，所述接触孔分为四个分组。

7、如权利要求 6 所述的半导体器件，其中，从靠近所述源区到靠近所述漏区依次为第一分组至第四分组，其中，所述第一分组至所述第三分组的接触孔贯穿所述栅与场板一体结构。

8、如权利要求 1 所述的半导体器件，还包括:

体引出区，所述体引出区形成于所述体区内，并与所述源区相邻接。

9、如权利要求 1 所述的半导体器件，其中，所述场氧化层的上表面高于所述漂移区的上表面。

10、如权利要求 1 所述的半导体器件，其中，所述场氧化层的上表面与所述漂移区的上表面齐平。

11、如权利要求 1 所述的半导体器件，其中，当所述漂移区的导电类型与所述半导体衬底的导电类型不同时，所述漂移区包围全部所述场氧化层。

12、如权利要求 1 所述的半导体器件，其中，所述半导体器件包括 LDMOS 器件。

13、如权利要求 12 所述的半导体器件，其中，所述体区为 P 型掺杂且所述漂移区为 N 型掺杂以形成 NLDMOS 器件。

14、如权利要求 12 所述的半导体器件，其中，所述体区为 N 型掺杂且所述漂移区为 P 型掺杂以形成 PLDMOS 器件。

15、如权利要求 1 所述的半导体器件，其中，所述栅与场板一体结构的材料为多晶硅。

16、如权利要求 1 所述的半导体器件，其中，所述场氧化层的材料为氧化硅。

17、如权利要求 1 所述的半导体器件，其中，所述源区和所述漏区的掺杂浓度相同。

18、如权利要求 8 所述的半导体器件，还包括:

介电层，所述介电层覆盖所述半导体衬底、所述场氧化层和所述栅与场板一体结构，在所述栅与场板一体结构中，叠设于所述场氧化层上的部分为场板结构，未叠设于所述场氧化层上的部分为栅区，在所述源区、漏区、栅区和体引出区上方的介电层中分别形成有贯穿所述介电层的接触孔，以引出源极、漏极和栅极。

19、如权利要求 1 所述的半导体器件，其中，所述漂移区为轻掺杂区。

20、如权利要求 1 所述的半导体器件，其中，所述半导体衬底为硅衬底。

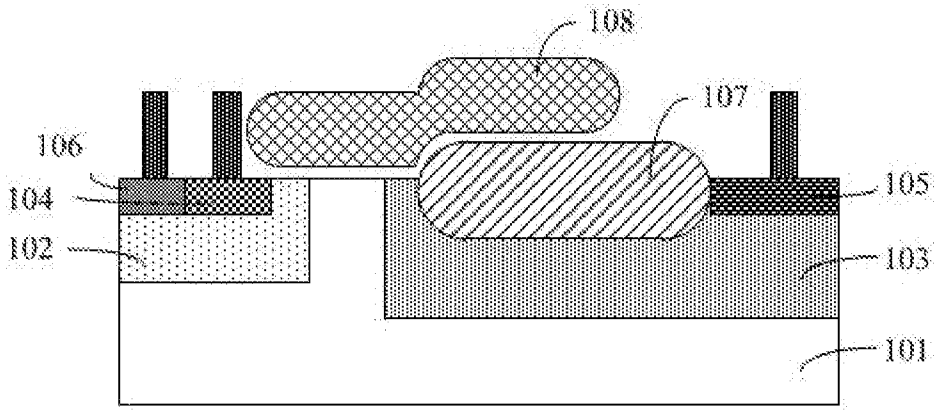

108
107
106
104
102
105
103
101

图1

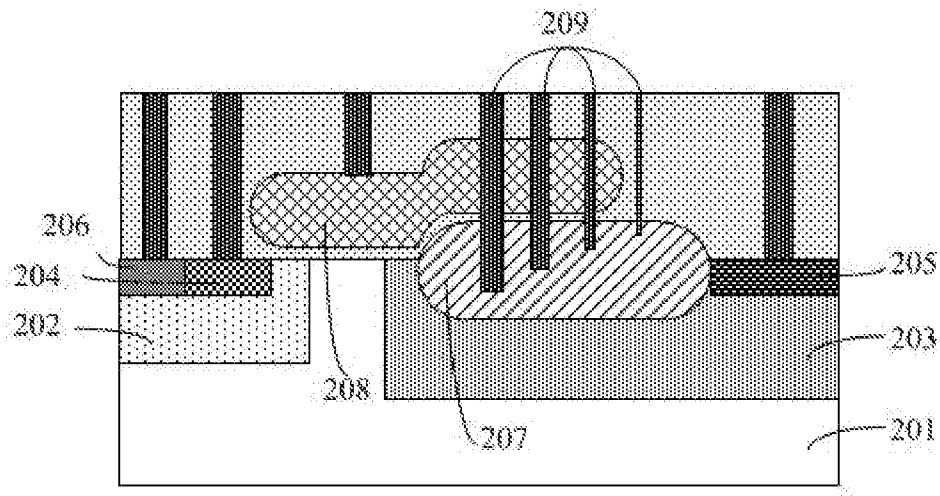

209
206
204
202
205
203
208
207
201

图2A

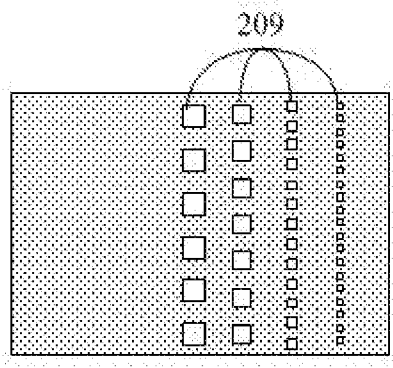

209

图2B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/071724

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNABS; CNTXT; SIPOABS, IEEE: field, 漂移区, 孔, oxide, 场氧化层, 场板, plate, drift, contact, hole, source, drain, 源, 漏, 栅, gate, layer, 体区

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101714552 A (SUZHOU POWERON IC DESIGN CO., LTD.) 26 May 2010 (2010-05-26) entire document	1-20
A	US 2003132459 A1 (LEE ET AL.) 17 July 2003 (2003-07-17) entire document	1-20
A	CN 101079446 A (ANHUI UNIVERSITY) 28 November 2007 (2007-11-28) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 March 2019	**18 April 2019**
Name and mailing address of the ISA/CN **State Intellectual Property Office of the P. R. China** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/071724

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 101714552 A	26 May 2010	CN 101714552 B	25 May 2011
US 2003132459 A1	17 July 2003	KR 20030062489 A	28 July 2003
		US 6617656 B2	09 September 2003
		KR 100422393 B1	11 March 2004
CN 101079446 A	28 November 2007	None	

国际检索报告

国际申请号
PCT/CN2019/071724

A. 主题的分类

H01L 29/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

DWPI;CNABS;CNTXT;SIPOABS,IEEE:field，漂移区，孔，oxide，场氧化层，场板，plate，drift，contact，hole，source,drain,源，漏，栅，gate，layer，体区

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 101714552 A (苏州博创集成电路设计有限公司) 2010年 5月 26日 (2010-05-26) 全文	1-20
A	US 2003132459 A1 (LEE 等) 2003年 7月 17日 (2003-07-17) 全文	1-20
A	CN 101079446 A (安徽大学) 2007年 11月 28日 (2007-11-28) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 3月 11日	2019年 4月 18日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘佳秋 电话号码 62411895

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/071724

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101714552	A	2010年 5月 26日	CN	101714552	B	2011年 5月 25日
US	2003132459	A1	2003年 7月 17日	KR	20030062489	A	2003年 7月 28日
				US	6617656	B2	2003年 9月 9日
				KR	100422393	B1	2004年 3月 11日
CN	101079446	A	2007年 11月 28日		无		