

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-35646
(P2015-35646A)

(43) 公開日 平成27年2月19日(2015.2.19)

(51) Int.Cl.	F I		テーマコード (参考)		
H03F 3/68 (2006.01)	H03F 3/68	Z	5J500		
H03F 1/02 (2006.01)	H03F 1/02				

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2013-164232 (P2013-164232)	(71) 出願人	000154325 住友電工デバイス・イノベーション株式会社 神奈川県横浜市栄区金井町1番地
(22) 出願日	平成25年8月7日(2013.8.7)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100113435 弁理士 黒木 義樹
		(74) 代理人	100136722 弁理士 ▲高▼木 邦夫
		(74) 代理人	100124800 弁理士 諏澤 勇司
		(72) 発明者	武井 電太郎 神奈川県横浜市栄区金井町1番地 住友電 工デバイス・イノベーション株式会社内 最終頁に続く

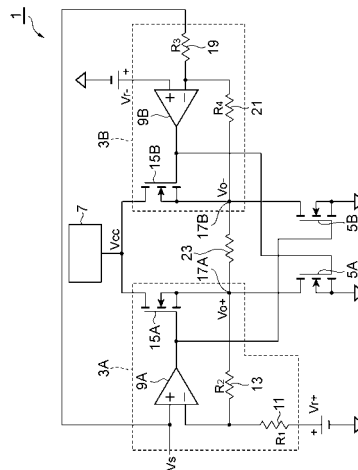
(54) 【発明の名称】 温度制御素子の制御回路

(57) 【要約】

【課題】、消費電力を削減することが可能な温度制御素子の制御回路を提供すること。

【解決手段】温度制御素子の制御回路は、温度制御素子の温度に相当する検知信号を参照信号を基準として非反転増幅し、第1の電界効果トランジスタを含む電流バッファを有する第1の差動増幅器と、検知信号を参照信号を基準として反転増幅し、第2の電界効果トランジスタを含む電流バッファを有する第2の差動増幅器と、第1及び第2の電界効果トランジスタに対して、第1及び第2の差動増幅器の出力電圧うちの高い方の出力電圧を基準に設定された電源電圧を供給する電源回路と、を備え、温度制御素子は、第1の差動増幅器の出力と、第2の差動増幅器の出力との間に接続される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

温度制御素子の温度に相当する検知信号を参照信号を基準として非反転増幅し、第 1 の電界効果トランジスタを含む電流バッファを有する第 1 の差動増幅器と、

前記検知信号を前記参照信号を基準として反転増幅し、第 2 の電界効果トランジスタを含む電流バッファを有する第 2 の差動増幅器と、

前記第 1 及び第 2 の電界効果トランジスタに対して、前記第 1 及び第 2 の差動増幅器の出力電圧うちの高い方の出力電圧を基準に設定された電源電圧を供給する電源回路と、を備え、

前記温度制御素子は、前記第 1 の差動増幅器の出力と、前記第 2 の差動増幅器の出力との間に接続される、
温度制御素子の制御回路。

10

【請求項 2】

前記第 2 の電界効果トランジスタを駆動する信号と同じ信号で駆動され、前記第 1 の差動増幅器の出力と接地との間に接続された第 3 の電界効果トランジスタと、

前記第 1 の電界効果トランジスタを駆動する信号と同じ信号で駆動され、前記第 2 の差動増幅器の出力と接地との間に接続された第 4 の電界効果トランジスタと、
をさらに備える請求項 1 記載の温度制御素子の制御回路。

【請求項 3】

前記第 1 の差動増幅器は、

前記検知信号を受け、該検知信号と前記参照信号との差を非反転増幅する第 1 のオペアンプと、

前記第 1 のオペアンプの出力に接続された第 1 の電界効果トランジスタと、

前記第 1 のオペアンプの反転入力に一端が接続され、他端に前記参照信号が与えられる第 1 の抵抗と、

前記反転入力と前記第 1 の電界効果トランジスタの出力との間に接続された第 2 の抵抗と、
を有し、

前記第 2 の差動増幅器は、

前記検知信号を受け、該検知信号を反転増幅する第 2 のオペアンプと、

前記第 2 のオペアンプの出力に接続された第 2 の電界効果トランジスタと、

前記第 1 のオペアンプの反転入力に一端が接続され、他端に前記検知信号が与えられる第 3 の抵抗と、

前記第 2 のオペアンプの前記反転入力と前記第 2 の電界効果トランジスタの出力との間に接続された第 4 の抵抗と、

を有し、

前記第 2 のオペアンプの非反転入力に、前記参照信号を受ける、

請求項 1 又は 2 に記載の温度制御素子の制御回路。

20

30

【請求項 4】

前記電源回路は、前記第 1 の電界効果トランジスタの出力にアノードが接続された第 1 のダイオードと、前記第 2 の電界効果トランジスタの出力にアノードが接続され、カソードが前記第 1 のダイオードのカソードに共通に接続された第 2 のダイオードとを有し、

第 1 及び第 2 の電界効果トランジスタの駆動電源は、前記第 1 及び第 2 のダイオードのカソードの出力を基準に設定される、

請求項 1 ~ 3 のいずれか 1 項に記載の温度制御素子の制御回路。

40

【請求項 5】

前記電源回路は、DC/DCコンバータを有し、DC/DCコンバータの基準電位を前記第 1 及び第 2 のダイオードのカソードの出力を基準に設定する、

請求項 4 に記載の温度制御素子の制御回路。

【請求項 6】

50

前記電源回路は、前記参照信号から計算される値を中心とする所定範囲の前記検知信号に対して一定の電源電圧を供給する、
請求項 1 ~ 5 のいずれか 1 項に記載の温度制御素子の制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、温度制御素子の制御回路に関するものである。

【背景技術】

【0002】

温度制御素子 (TEC: Thermo-Electric Cooler) は、2つの基板が接合された構造を有し、電流の流れる方向により一方の基板を他方の基板に対して冷却するか加熱するかの2つのモードをとることができる素子である。TECの電流方向を変更するためには2つの方法が知られている。一の方法は、正負の電源を用意し、TECの一方の電極に単相信号を印加し、他方の電極を接地して電流方向を切り替える方法である。他の方法は、一電源 (通常は正電源) のみを用意し、電源と接地との間にいわゆるHブリッジ回路を形成し、Hブリッジ回路の横方向位置にTECを接続し、Hブリッジ回路の縦方向位置の4箇所それぞれにスイッチング素子を接続し、このスイッチング素子をオン/オフすることでTECに流れる電流方向を制御する方法である。ただし、いずれの方法においても、TECの温度を制御するためには、その流れる電流値を制御しなければならない。

【0003】

TECの電流値を制御する最も一般的な方法は、スイッチング素子のオン/オフについて、いわゆるPWM (Pulse Width Modulation) 制御を行い、スイッチング素子のオン時間とオフ時間との比で電流値を決定する方法である。この比をデューティ比と呼ぶこともある。デューティ比が大きければ電流値は大きくなり、デューティ比が小さければ電流値は小さくなる。PWM制御においては、TECとスイッチング素子とをインダクタを介して接続して、TECの両電極と接地との間にキャパシタを設けることにより、PWM制御によりパルス電流として与えられる駆動電流を、直流化した上でTECに印加する方法が一般的である。

【0004】

しかしながら、PWM制御ではTEC駆動電流に対する残留パルス成分の重畳を免れない。近年、TECの制御を精密に調整したい用途、例えば、出力周波数が50GHzスパンのWDM (Wavelength Division Multiplexing) 規格の通信用途などでは、この残留パルス成分がTEC温度に一部反映されて問題視され得る。また、そもそもPWM制御は大電流をオン/オフする制御であり、この大電流のスイッチングに伴う電磁ノイズが他の回路、特に光受信回路等の微小電流を扱う回路に影響を及ぼし、受信感度の低下を招くこともあり得る。

【0005】

このような残留パルス成分及び電磁ノイズの問題を回避する方法として、Hブリッジ回路を直流的に駆動する方法も知られている。この方法は、スイッチング素子を理想的な素子とみなし、Hブリッジ回路に印加する電圧を可変とすることでTEC駆動電流を制御する方法である (例えば、下記特許文献1参照。)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2012-134790号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記の従来Hブリッジ回路の印加電圧を可変とする制御方法では、印加電圧がHブリッジ回路に与えられる基準電位の周辺ではアナログ動作が行われ、従来の

10

20

30

40

50

Hブリッジ回路において一般的な動作である、いずれかの側のスイッチング素子が完全にオフされるという動作は行われぬ。つまり、このアナログ動作では、両側のスイッチング素子に電流が流れる結果、Hブリッジ回路を流れる電流の一部がTECを流れず、その一部の電流がアイドル電流（無効電流）となり、無駄な消費電力が発生してしまう傾向にある。

【0008】

そこで、本発明は、かかる課題に鑑みて為されたものであり、消費電力を削減することが可能な温度制御素子の制御回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

10

上記課題を解決するため、本発明の一側面に係る温度制御素子の制御回路は、温度制御素子の温度に相当する検知信号を参照信号を基準として非反転増幅し、第1の電界効果トランジスタを含む電流バッファを有する第1の差動増幅器と、検知信号を参照信号を基準として反転増幅し、第2の電界効果トランジスタを含む電流バッファを有する第2の差動増幅器と、第1及び第2の電界効果トランジスタに対して、第1及び第2の差動増幅器の出力電圧うちの高い方の出力電圧を基準に設定された電源電圧を供給する電源回路と、を備え、温度制御素子は、第1の差動増幅器の出力と、第2の差動増幅器の出力との間に接続される。

【発明の効果】

【0010】

20

本発明によれば、消費電力を削減することが可能な温度制御素子の制御回路を提供することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の好適な一実施形態に係るTEC制御回路1の構成を示す回路図である。

【図2】図1のTEC制御回路1のHブリッジ回路の正側の回路を抜粋して示す回路図である。

【図3】図1のTEC制御回路1のHブリッジ回路の負側の回路を抜粋して示す回路図である。

【図4】図1のTEC制御回路1における検知信号 V_s と出力電圧 V_{o+} 、 V_{o-} との関係を示すグラフである。

30

【図5】図1の電源回路7の構成の一例を示す回路図である。

【図6】図5の電源回路7の生成する検出電圧及び電源電圧 V_{cc} と検知信号 V_s との関係を示すグラフである。

【図7】本発明の変形例に係る電源回路7Aの構成を示す回路図である。

【図8】図7の電源回路7Aの生成する検出電圧及び電源電圧 V_{cc} と検知信号 V_s との関係を示すグラフである。

【発明を実施するための形態】

【0012】

40

本発明の一側面に係る温度制御素子の制御回路は、温度制御素子の温度に相当する検知信号を参照信号を基準として非反転増幅し、第1の電界効果トランジスタを含む電流バッファを有する第1の差動増幅器と、検知信号を参照信号を基準として反転増幅し、第2の電界効果トランジスタを含む電流バッファを有する第2の差動増幅器と、第1及び第2の電界効果トランジスタに対して、第1及び第2の差動増幅器の出力電圧うちの高い方の出力電圧を基準に設定された電源電圧を供給する電源回路と、を備え、温度制御素子は、第1の差動増幅器の出力と、第2の差動増幅器の出力との間に接続される。

【0013】

このような温度制御素子の制御回路によれば、第1の差動増幅器によって検知信号が参照信号を基準にして非反転増幅され、第2の差動増幅器によって検知信号が参照信号を基準として反転増幅され、温度制御素子の両端には第1及び第2の差動増幅器の出力が与え

50

られることにより、温度制御素子には、検知信号に応じて向き及び大きさが制御された電流が供給される。ここで、電源回路により、第1及び第2の差動増幅器を構成する第1及び第2の電界効果トランジスタには第1及び第2の差動増幅器の出力電圧のうちの高い方の電圧を基準にして電源電圧が供給されるので、第1及び第2の差動増幅器のアナログ動作を維持したうえで消費電力を低減することが可能となる。

【0014】

ここで、上記の温度制御素子の制御回路では、第2の電界効果トランジスタを駆動する信号と同じ信号で駆動され、第1の差動増幅器の出力と接地との間に接続された第3の電界効果トランジスタと、第1の電界効果トランジスタを駆動する信号と同じ信号で駆動され、第2の差動増幅器の出力と接地との間に接続された第4の電界効果トランジスタと、
10
をさらに備えることが好適である。

【0015】

かかる構成においては、第1の電界効果トランジスタと第4の電界効果トランジスタとが、検知信号が非反転増幅された同じ信号で駆動され、第2の電界効果トランジスタと第3のトランジスタとが、検知信号が反転増幅された同じ信号で駆動されることにより、温度制御素子には、検知信号に応じて向き及び大きさが制御された電流が供給される。従って、第1及び第2の差動増幅器のアナログ動作を維持したうえで消費電力を低減することが可能となる。

【0016】

また、第1の差動増幅器は、検知信号を受け、該検知信号と参照信号との差を非反転増幅する第1のオペアンプと、第1のオペアンプの出力に接続された第1の電界効果トランジスタと、第1のオペアンプの反転入力に一端が接続され、他端に参照信号が与えられる第1の抵抗と、反転入力と第1の電界効果トランジスタの出力との間に接続された第2の抵抗と、を有し、第2の差動増幅器は、検知信号を受け、該検知信号を反転増幅する第2のオペアンプと、第2のオペアンプの出力に接続された第2の電界効果トランジスタと、第1のオペアンプの反転入力に一端が接続され、他端に検知信号が与えられる第3の抵抗と、第2のオペアンプの反転入力と第2の電界効果トランジスタの出力との間に接続された第4の抵抗と、を有し、第2のオペアンプの非反転入力には、参照信号を受ける、ことも好適である。
20

【0017】

かかる構成においては、第1のオペアンプによって、検知信号が参照信号を基準にして第1及び第2の抵抗によって決まる増幅率で非反転増幅され、第2のオペアンプによって、検知信号が参照信号を基準として第3及び第4の抵抗によって決まる増幅率で反転増幅され、第1の電界効果トランジスタが第1のオペアンプによって非反転増幅された信号で駆動され、第2の電界効果トランジスタが、第2のオペアンプによって反転増幅された信号で駆動される。これにより、第1及び第2の差動増幅器のアナログ動作が維持されることにより、検知信号に応じて向き及び大きさが制御された電流が温度制御素子に安定して供給されるとともに、消費電力を低減することが可能となる。
30

【0018】

さらに、電源回路は、第1の電界効果トランジスタの出力にアノードが接続された第1のダイオードと、第2の電界効果トランジスタの出力にアノードが接続され、カソードが第1のダイオードのカソードに共通に接続された第2のダイオードとを有し、第1及び第2の電界効果トランジスタの駆動電源は、第1及び第2のダイオードのカソードの出力を基準に設定される、ことも好適である。
40

【0019】

かかる電源回路を備えれば、第1及び第2の電界効果トランジスタには第1及び第2の電界効果トランジスタの出力電圧のうちの高い方の電圧を基準にして電源電圧が供給されるので、第1及び第2の差動増幅器のアナログ動作を維持したうえで消費電力を低減することが可能となる。

【0020】

10

20

30

40

50

またさらに、電源回路は、DC/DCコンバータを有し、DC/DCコンバータの基準電位を第1及び第2のダイオードのカソードの出力を基準に設定する、ことも好適である。こうすれば、電源回路の構成を簡略化させるとともに電源電圧を安定化できる。

【0021】

さらにまた、電源回路は、参照信号から計算される値を中心とする所定範囲の検知信号に対して一定の電源電圧を供給する、ことも好適である。かかる電源回路を備えれば、第1及び第2の差動増幅器のアナログ動作を安定して維持したうえで消費電力を低減することが可能となる。

【0022】

以下、添付図面を参照しながら本発明による温度制御素子の制御回路の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0023】

図1は、本発明の好適な一実施形態に係るTEC制御回路1の構成を示す回路図である。このTEC制御回路1は、TEC(Thermo-Electric Cooler)の温度を検知するサーミスタ等の温度センサからの検知信号 V_S を受けてTECに供給される電流の大きさ及び向きを制御する制御回路である。同図に示すように、TEC制御回路1は、TECの温度に相当する検知信号 V_S を非反転増幅する差動増幅器3Aと、検知信号 V_S を反転増幅する差動増幅器3Bと、それぞれの差動増幅器3A, 3Bと接地の間に接続された2つの電界効果トランジスタ(FET: Field Effect Transistor)5A, 5Bと、差動増幅器3A, 3Bに電源電圧を供給する電源回路7とによって構成されている。

【0024】

差動増幅器3Aは、オペアンプ9A、抵抗値 R_1 の抵抗素子11、抵抗値 R_2 の抵抗素子13、及びFET15Aを含んで構成されている。オペアンプ9Aは、検知信号 V_S をその非反転入力に受け、その反転入力には抵抗素子11を介して外部からの所定電圧の参照信号 V_{r+} が印加されるとともに抵抗素子13を介して差動増幅器3Aの出力電圧 V_{o+} が帰還される構成を有する。このオペアンプ9Aは、検知信号 V_S を参照信号 V_{r+} を基準として非反転増幅する機能を有する。FET15Aは、そのゲート端子がオペアンプ9Aの出力に接続され、ドレイン端子には電源回路7から電源電圧 V_{cc} が供給され、ソース端子が差動増幅器3Aの出力端子17Aに接続されるという構成を有する。このFET15Aは、差動増幅器3Aにおける電流バッファとして機能する。抵抗素子11の一端にオペアンプ9Aの反転入力に接続され、抵抗素子11の他端には参照信号 V_{r+} が与えられている。抵抗素子13の一端にはオペアンプ9Aの反転入力に接続され、抵抗素子13の他端にはFET15Aのソース端子(出力)が接続されている。

【0025】

差動増幅器3Bは、オペアンプ9B、抵抗値 R_3 の抵抗素子19、抵抗値 R_4 の抵抗素子21、及びFET15Bを含んで構成されている。オペアンプ9Bは、その非反転入力には外部からの所定電圧の参照信号 V_{r-} が印加され、その反転入力には抵抗素子19を介して検知信号 V_S を受けるとともに抵抗素子21を介して差動増幅器3Bの出力電圧 V_{o-} が帰還される構成を有する。このオペアンプ9Bは、検知信号 V_S を参照信号 V_{r-} を基準として反転増幅する機能を有する。FET15Bは、そのゲート端子がオペアンプ9Bの出力に接続され、ドレイン端子には電源回路7から電源電圧 V_{cc} が供給され、ソース端子が差動増幅器3Bの出力端子17Bに接続されるという構成を有する。このFET15Bは、差動増幅器3Bにおける電流バッファとして機能する。抵抗素子19の一端にオペアンプ9Bの反転入力に接続され、抵抗素子19の他端には検知信号 V_S が与えられている。抵抗素子21の一端にはオペアンプ9Bの反転入力に接続され、抵抗素子21の他端にはFET15Bのソース端子(出力)が接続されている。

【0026】

これらの差動増幅器3A, 3Bの出力端子17A, 17B間にTEC23が接続される。さらに、差動増幅器3A, 3Bの出力端子17A, 17Bと接地との間には、それぞれ

10

20

30

40

50

、F E T 5 A 及び F E T 5 B が接続されている。詳細には、F E T 5 A のドレイン端子に出力端子 1 7 A が接続され、F E T 5 A のソース端子は接地され、F E T 5 A のゲート端子は、オペアンプ 9 B の出力が接続されている。これにより、F E T 5 A は F E T 1 5 B を駆動する信号と同じ信号で駆動されることになる。また、F E T 5 B のドレイン端子に出力端子 1 7 B が接続され、F E T 5 B のソース端子は接地され、F E T 5 B のゲート端子は、オペアンプ 9 A の出力が接続されている。これにより、F E T 5 B は F E T 1 5 A を駆動する信号と同じ信号で駆動されることになる。

【 0 0 2 7 】

上述した差動増幅器 3 A , 3 B 及び F E T 5 A , 5 B は、アナログ的に T E C 2 3 を流れる電流を制御する、いわゆる Hブリッジ回路を構成する。この Hブリッジ回路では、温度センサからの検知信号 V_s は 2 つのオペアンプ 9 A , 9 B に入力される。オペアンプ 9 A は検知信号 V_s が正側に振れた場合の動作をつかさどり、オペアンプ 9 B は検知信号 V_s が負側に振れた場合の動作をつかさどる。すなわち、検知信号 V_s が正側に振れた場合は出力電圧 $V_{o+} > 出力電圧 V_{o-}$ となり、T E C 2 3 には出力端子 1 7 A から出力端子 1 7 B に向けた電流が流れる。一方、検知信号 V_s が負側に振れた場合は出力電圧 $V_{o-} > 出力電圧 V_{o+}$ となり、T E C 2 3 には出力端子 1 7 B から出力端子 1 7 A に向けた電流が流れる。以下、T E C 制御回路 1 の Hブリッジ回路の動作を詳細に説明する。

10

【 0 0 2 8 】

図 2 は、T E C 制御回路 1 の Hブリッジ回路の正側の回路を抜粋して示す回路図であり、図 3 は、T E C 制御回路 1 の Hブリッジ回路の負側の回路を抜粋して示す回路図である。オペアンプの基本動作である、2 つの入力電位が仮想的に接地されるようにその出力が設定されるという動作から次の関係式 (1) , (2) が成立する。

20

$$V_s = V_{r+} + (V_{o+} - V_{r+}) \times R_1 / (R_1 + R_2)$$

$$V_{o+} = (1 + R_2 / R_1) \times V_s - (R_2 / R_1) \times V_{r+} \quad \dots (1)$$

$$V_{r-} = V_{o-} + (V_s - V_{o-}) \times R_4 / (R_3 + R_4)$$

$$V_{o-} = - (R_4 / R_3) \times V_s + (1 + R_4 / R_3) \times V_{r-} \quad \dots (2)$$

【 0 0 2 9 】

T E C 制御回路 1 の Hブリッジ回路では、正側と負側でゲインを同じに設定して動作を安定化するために、下記式：

30

$$(1 + R_2 / R_1) = (R_4 / R_3) = A$$

が成立するように、抵抗値 R_1 , R_2 , R_3 , R_4 が設定されている。この関係は、2 つのオペアンプをそれぞれ非反転増幅器及び反転増幅器として使用する場合の電圧利得の関係に他ならない。すなわち、2 つのオペアンプ 9 A , 9 B の一方は非反転増幅器、他方は反転増幅器として使用され、それらの電圧利得が等しい値 A に設定されている。

【 0 0 3 0 】

上記関係式 (1) , (2) を、電圧利得の値 A で表すと、下記式 (3) , (4) のようになる。

$$V_{o+} = A \times V_s + (1 - A) \times V_{r+} \quad \dots (3)$$

$$V_{o-} = -A \times V_s + (1 + A) \times V_{r-} \quad \dots (4)$$

これらの関係から、T E C 制御回路 1 における検知信号 V_s と出力電圧 V_{o+} , V_{o-} との関係は、図 4 に示すグラフのように表される。正側の出力電圧 V_{o+} については、検知信号 V_s が大きくなるにしたがって傾き A で単調増加する。検知信号 V_s がゼロのときには $(1 - A) \times V_{r+}$ で決定される出力電圧 V_{o+} を出力する。一方、負側の出力電圧 V_{o-} については、検知信号 V_s が大きくなるにしたがって傾き - A で単調減少する。検知信号 V_s がゼロのときには $(1 + A) \times V_{r-}$ で決定される出力電圧 V_{o-} を出力する。そして、検知信号 V_s が

40

$$V_1 = (V_{r-} - V_{r+}) / (2A) + (V_{r+} + V_{r-}) / 2$$

で計算される値 V_1 に一致したときに、2 つの出力電圧 V_{o+} , V_{o-} が同じ値に設定され、その値 V_2 は下記式で計算される。

$$V_2 = -A (V_{r+} - V_{r-}) / 2 + (V_{r+} + V_{r-}) / 2$$

50

【0031】

2つの出力電圧 V_{O+} 、 V_{O-} が等しくなる場合をさらに考察すると、検知信号 V_S の値の第2項、及び出力電圧 V_{O+} 、 V_{O-} の第2項は、それぞれ、2つの参照レベル V_{r+} 、 V_{r-} の平均値である。そして、検知信号 V_S の値の第1項、及び出力電圧 V_{O+} 、 V_{O-} の第1項が、それぞれ、平均値に対する補正項となっている。

【0032】

さらに、TEC制御回路1のHブリッジ回路の動作を単純化した場合を想定する。すなわち、2つの参照レベル V_{r+} 、 V_{r-} を同じ値に設定した場合には($V_{r+} = V_{r-} = V_r$)、検知信号 $V_S = V_r$ のときに2つの出力電圧 V_{O+} 、 V_{O-} が同電位 V_r に設定され、2つの出力端子17A、17B間に接続されたTEC23には電流が流れない。検知信号 V_S が V_r より大きくなると、正側出力17Aから負側出力17Bに向けて電流が流れ、検知信号 V_S が V_r より小さくなると、負側出力17Bから正側出力17Aに向けて電流が流れる。

10

【0033】

次に、上記動作解析において純抵抗 R_5 、 R_6 とみなしていたHブリッジ回路の下側のFET5A、5Bの実際の特性を含めて、Hブリッジ回路の動作を説明する。2つの出力電圧 V_{O+} 、 V_{O-} がゼロとなる検知信号 V_S の値は、それぞれ、 $(1 - 1/A)V_r$ 、 $(1 + 1/A)V_r$ となる。検知信号 V_S が、例えば $(1 + 1/A)V_r$ よりも大きくなると、FET5Bのゲートには十分な正バイアスが印加されるため、そのドレイン出力、すなわち負出力 V_{O-} がほぼ接地電位にクランプされる。すなわち、FET15Aに対してはソース負荷としてTEC23の一方の端子が接続され、TEC23の他方の端子が直接接地されているとみなせる状態となる。

20

【0034】

一方、検知信号 V_S が、 $(1 - 1/A)V_r$ よりも小さくなると、FET5Aのゲートバイアスが十分に大きい状態となるので、FET5Aについては完全にオン状態に設定され、そのドレイン出力 V_{O+} がほぼ接地電位にクランプされる。このときには、負側のFET15BのソースにTEC23の他方の端子が接続され、TEC23の一方の端子が接地されているとみなすことができる。

【0035】

そして、検知信号 V_S が、 $(1 - 1/A)V_r < V_S < (1 + 1/A)V_r$ の範囲 W_1 では、TEC制御回路1のHブリッジ回路はアナログ動作を行う。すなわち、この範囲 W_1 は、FET15A、15Bともにアクティブな状態(ドレイン電流が流れる状態)であり、かつ、FET5A、5Bもともにアクティブな状態である。ただし、FET15A、15Bのゲートバイアスの大小関係で出力電流の大きさが決定され、その結果、FET15A、15Bのソース間の負荷として接続されているTEC23を流れる電流の方向及び大きさがソース出力電圧 V_{O+} 、 V_{O-} の大小関係で決定される。このような動作により、微細なTECの制御が可能とされる。このアナログ制御の範囲は、抵抗値 R_3 、 R_4 の比(抵抗値 R_1 、 R_2 の比)で決定される利得Aで決定される。利得Aが大きい場合にはアナログ制御の範囲が狭くなり、利得Aが小さい場合にはアナログ制御の範囲が広がる。

30

40

【0036】

上記のように、TEC制御回路1のHブリッジ回路は、参照レベル V_r の周辺では、完全にアナログ動作が行われ、従来のHブリッジ回路で一般的な動作である、いずれかの側のスイッチング素子が完全にオフされる動作は行われず、両方のサイドのスイッチング素子に電流が流れる。この状況はTECに流れない一部の電流が生じていることになり、この電流はアイドル電流(無効電流)となるために、無駄な消費電力が発生することになる。

【0037】

上記課題を鑑みて、本実施形態のTEC制御回路1には、差動増幅器3A、3Bに電源電圧(駆動電源) V_{cc} を供給する電源回路7が備えられている。図5は、電源回路7の

50

構成の一例を示す回路図である。同図に示すように、電源回路 7 は、F E T 1 5 A の出力にアノードが接続されたダイオード 3 1 A と、F E T 1 5 B の出力にアノードが接続され、カソードがダイオード 3 1 A のカソードに共通に接続されたダイオード 3 1 B と、ダイオード 3 1 A , 3 1 B のカソードと接地の間に接続された抵抗素子 3 3 と、D C / D C コンバータ 3 5 と、D C / D C コンバータの入力とダイオード 3 1 A , 3 1 B のカソードとの間に接続された直流電源 3 7 とを有している。

【 0 0 3 8 】

上記構成の電源回路 7 においては、ダイオード 3 1 A , 3 1 B 及び抵抗素子 3 3 により、T E C 2 3 に印加される電圧 V_{o+} , V_{o-} のうちの高い方の出力電圧が検出されて、ダイオード 3 1 A , 3 1 B のカソードにおいて検出電圧が生成される。そして、D C / D C コンバータ 3 5 には、その検出電圧を基準にして直流電源 3 7 の電圧分だけ上昇した制御電圧が入力され、D C / D C コンバータ 3 5 により、入力された制御電圧に対応する電源電圧 V_{cc} が生成されて差動増幅器 3 A , 3 B に供給される。

10

【 0 0 3 9 】

図 6 には、電源回路 7 の生成する検出電圧及び電源電圧 V_{cc} と検知信号 V_s との関係を示している。同図において、検出電圧は点線で、電源電圧は一点鎖線で示している。出力電圧 V_{o+} , V_{o-} のうちの高い方の電圧からダイオード 3 1 A , 3 1 B の順方向電圧 ($\sim 0.8V$) だけ下がった値が検出電圧となる。D C / D C コンバータ 3 5 によって制御電圧と一対一の電圧が出力される場合は、検出電圧から直流電源 3 7 の電圧分だけ上昇した電源電圧 V_{cc} が生成される。電源電圧 V_{cc} としては、出力電圧 V_{o+} , V_{o-} の電位から F E T 1 5 A , 1 5 B のドレイン - ソース間電圧 V_{ds} 分だけ上昇した電圧を与える必要がある。そのため、直流電源 3 7 の電圧は F E T 1 5 A , 1 5 B の電圧 V_{ds} に対応して設定される。

20

【 0 0 4 0 】

以上説明した T E C 制御回路 1 によれば、差動増幅器 3 A , 3 B の出力電圧 V_{o+} , V_{o-} を常にモニタし、それらのうちの高い方の電圧に対して電圧 V_{ds} だけ上昇した電源電圧 V_{cc} を生成し、その電源電圧 V_{cc} を Hブリッジ回路の電流バッファを構成するトランジスタに与えることにより、Hブリッジ回路のアナログ動作を維持したうえで省電力化を図ることができる。

【 0 0 4 1 】

本発明は、上述した実施形態に限定されるものではない。例えば、T E C 制御回路 1 の構成は図 7 に示すような構成であってもよい。同図に示す本発明の変形例に係る電源回路 7 A は、電源回路 7 の構成に加えて、D C / D C コンバータ 3 5 に入力される制御電圧を所定電圧以上にクランプするためのダイオード 3 9 , 4 1 , 4 3 が設けられている。ダイオード 3 9 , 4 1 , 4 3 は、互いに直列に接続され、アノード側が D C / D C コンバータ 3 5 の一次側電位 V_c にバイアスされ、カソード側がダイオード 3 1 A , 3 1 B のカソードに共通に接続される。このダイオード 3 9 , 4 1 , 4 3 の直列接続数は、電源電圧 V_{cc} の最低電圧の設定値に応じて適宜設定されてよい。

30

【 0 0 4 2 】

このような構成の電源回路 7 A によれば、T E C 制御回路 1 の Hブリッジ回路のアナログ動作を安定化できる。図 8 は、電源回路 7 A の生成する検出電圧及び電源電圧 V_{cc} と検知信号 V_s との関係を示している。同図において、検出電圧は点線で、電源電圧は一点鎖線で示している。検知信号 V_s が $(1 - 1/A) V_r < V_s < (1 + 1/A) V_r$ の範囲 W_1 では、Hブリッジ回路の F E T 5 A , 5 B も飽和動作を行わず、アナログ動作を行う。その場合、電源電圧 V_{cc} が出力電圧 V_{o+} , V_{o-} を基準に上昇しただけでは、F E T 5 A , 5 B のアナログ動作 (非飽和動作) が妨げられる場合がある。電源回路 7 A は、このような範囲 W_1 において、電源電圧 V_{cc} を出力電圧 V_{o+} , V_{o-} に依存させずに一定に保つ機能を有する。すなわち、ダイオード 3 9 , 4 1 , 4 3 の順方向電圧を D_i とし、ダイオード 3 9 , 4 1 , 4 3 の直列接続数を $m (= 3)$ とすると、電源回路 7 A の検出電圧が $V_c - m \times D_i$ の電圧にクランプされる。ここで、ダイオード 3 9 , 4 1 , 4

40

50

3は、ツェナーダイオードに置換されてもよいし、定電圧源に置換されてもよい。

【0043】

また、電源回路7の直流電源37は、ダイオードの直列回路に置換されてもよい。ダイオードの直列数をn、ダイオードの順方向電圧をVfとした場合には、出力電圧V_{o+}, V_{o-}に対して(n-1)×Vfだけ上昇した電源電圧V_{cc}が生成される。すなわち、(n-1)×Vfの電圧が常にFET15A, 15Bの電圧V_{ds}として与えられる。さらに、電源回路7の直流電源37は、1個のツェナーダイオードに置換されてもよい。

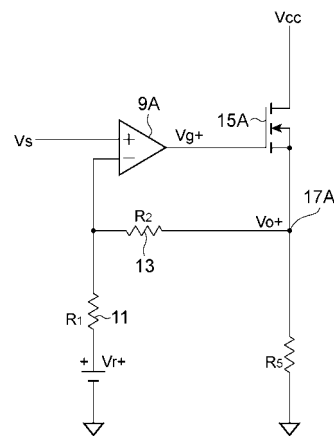
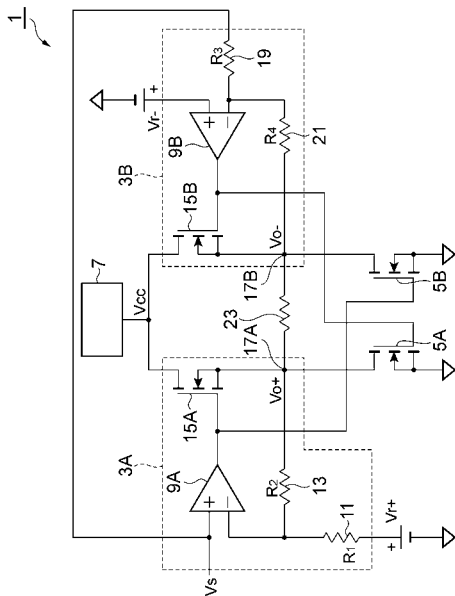
【符号の説明】

【0044】

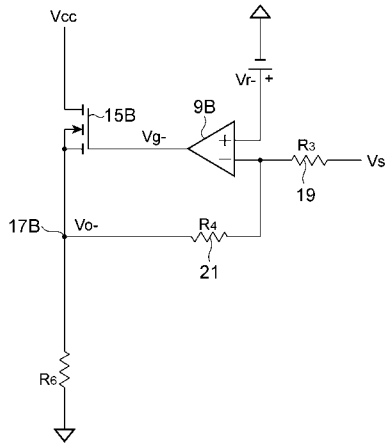
1...TEC制御回路、3A, 3B...差動増幅器、7, 7A...電源回路、9A, 9B...オペアンプ、11, 13, 19, 21, 33...抵抗素子、17A, 17B...出力端子、31A, 31B, 39, 41, 43...ダイオード、35...DC/DCコンバータ、37...直流電源。

【図1】

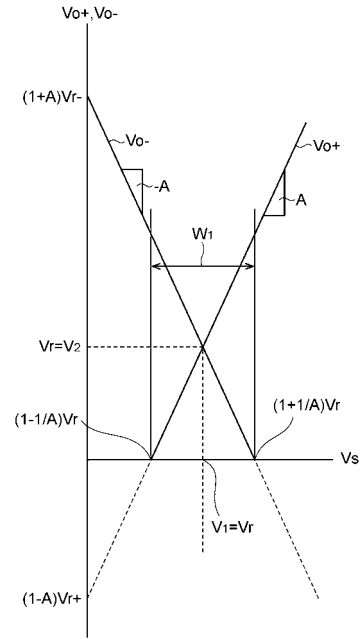
【図2】



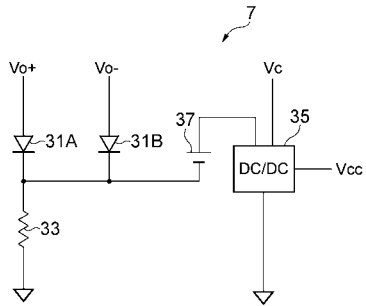
【 図 3 】



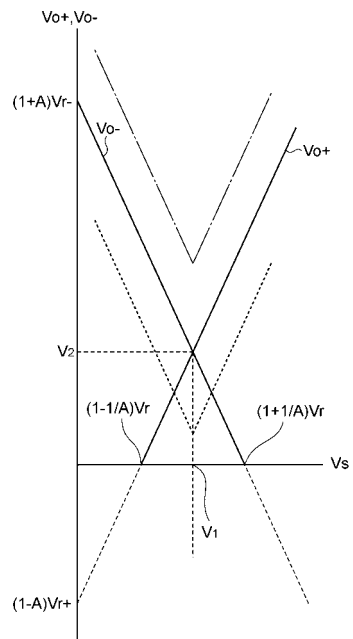
【 図 4 】



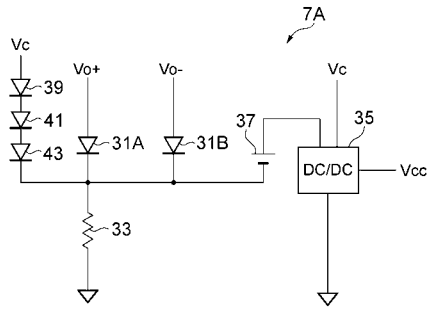
【 図 5 】



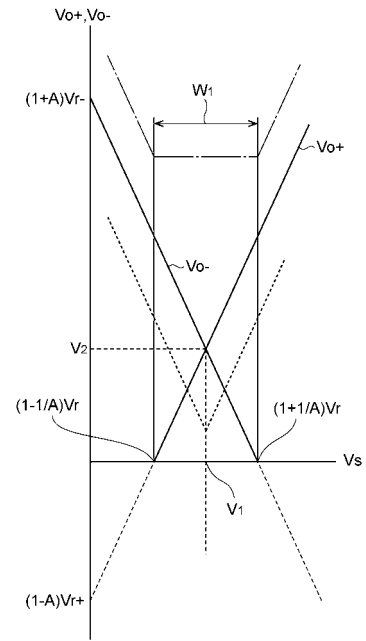
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA19 AA22 AC36 AF09 AH09 AH19 AH25 AK00 AK01
AK02 AK47 AM09 AM11 AM21 AT01