

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6957848号  
(P6957848)

(45) 発行日 令和3年11月2日(2021.11.2)

(24) 登録日 令和3年10月11日(2021.10.11)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 5 0 A

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2016-187345 (P2016-187345)	(73) 特許権者	000005496
(22) 出願日	平成28年9月26日 (2016. 9. 26)		富士フイルムビジネスイノベーション株式
(65) 公開番号	特開2018-55192 (P2018-55192A)		会社
(43) 公開日	平成30年4月5日 (2018. 4. 5)		東京都港区赤坂九丁目7番3号
審査請求日	令和1年8月30日 (2019. 8. 30)	(74) 代理人	100104880
			弁理士 古部 次郎
		(74) 代理人	100125346
			弁理士 尾形 文雄
		(74) 代理人	100166981
			弁理士 砂田 岳彦
		(72) 発明者	塩安 麻人
			神奈川県横浜市西区みなとみらい六丁目1
			番 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 電子装置およびDRAMの初期化方法

(57) 【特許請求の範囲】

【請求項1】

リセットが可能なDRAM（ダイナミック・ランダム・アクセス・メモリ）と、  
 前記DRAMのリセット制御を行うリセット制御部と、  
 前記DRAMに対するアクセス制御を行うと共に、当該DRAMに対するリセット操作  
 を前記リセット制御部に依頼するDRAM制御部と、を備え、  
 前記リセット制御部は、予め設定された条件に基づいて前記DRAMのリセット操作を  
 行うと共に、前記DRAM制御部からの依頼に応じて当該DRAMのリセットおよびリセ  
 ット解除を行い、

前記DRAM制御部は、電源供給を開始された際の動作として、  
 シングルランク・モードで前記DRAMに対する初期化シーケンスを実行して当該DR  
 AMに対するアクセスのタイミング調整を行い、

次に、前記リセット制御部に当該DRAMのリセットを依頼し、当該シングルランク・  
 モードからマルチランク・モードに変更した後に、当該リセット制御部に当該DRAMの  
 リセット解除を依頼し、

当該マルチランク・モードで当該DRAMに対する初期化シーケンスを実行することを  
 特徴とする、電子装置。

【請求項2】

前記リセット制御部は、前記DRAM制御部に電源供給が開始されると、前記DRAM  
 のリセット解除を行い、

10

20

前記ＤＲＡＭ制御部は、前記リセット制御部による前記ＤＲＡＭのリセット解除が行われた後に、当該ＤＲＡＭに対する初期化シーケンスを実行することを特徴とする、請求項１に記載の電子装置。

【請求項３】

リセットが可能なＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）に対するアクセス制御を行う装置であって、

電源供給を開始されると、シングルランク・モードで動作して、前記ＤＲＡＭに対するアクセスのタイミング調整を行い、

前記ＤＲＡＭのリセット制御を行う外部装置に当該ＤＲＡＭをリセットさせ、リセット解除後に、マルチランク・モードで前記ＤＲＡＭに対する初期化シーケンスを実行することを特徴とする、装置。

10

【請求項４】

リセットが可能なＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）に対してアクセス制御を行うＤＲＡＭ制御部による当該ＤＲＡＭの初期化方法であって、

シングルランク・モードで前記ＤＲＡＭに対する初期化シーケンスを実行して当該ＤＲＡＭに対するアクセスのタイミング調整を行い、

前記ＤＲＡＭのリセット制御を行う外部装置に、当該ＤＲＡＭのリセットを依頼し、

前記シングルランク・モードからマルチランク・モードに変更し、

前記外部装置に、前記ＤＲＡＭのリセット解除を依頼し、

前記マルチランク・モードで前記ＤＲＡＭに対する初期化シーケンスを実行することを特徴とする、ＤＲＡＭの初期化方法。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、電子装置およびＤＲＡＭの初期化方法に関する。

【背景技術】

【０００２】

特許文献１には、省電力モードからの復帰時に、揮発性メモリに記憶されている信頼性の高い情報を利用可能なメモリ制御装置が開示されている。このメモリ制御装置において、ＳＤＲＡＭコントローラは、省電力モードに移行するときに、ＳＤＲＡＭコントローラ内に設定されている情報をＳＤＲＡＭに記憶した後にＳＤＲＡＭをセルフリフレッシュモードに移行させ、省エネ復帰認識回路に省電力モードを示す情報を記憶させる。そして、電力供給が開始されたときに、省エネ復帰認識回路に記憶されている情報に基づいて省電力モードからの復帰が否かを判別し、装置全体への電力供給が停止された状態から復帰を判別した場合には、ＳＤＲＡＭを初期化し、省電力モードからの復帰を判別した場合には、ＳＤＲＡＭを初期化せずにＳＤＲＡＭのセルフリフレッシュモードを解除した後にＳＤＲＡＭに記憶されている情報に基づいて省電力モードからの復帰処理を行う。

30

【先行技術文献】

【特許文献】

【０００３】

40

【特許文献１】特開２００６－３５０８５９号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

ＤＤＲ３（Double-Data-Rate3）以降の規格によるＤＲＡＭ（Dynamic Random Access Memory）では、リセット機能が設けられており、電源投入時等の初期化手順（初期化シーケンス）等の場面で必要に応じてリセット操作が行われる。一方、省電力設計においては、ＣＰＵへの電源供給を停止するモードが設定される場合がある。この場合、ＣＰＵが電源ＯＦＦの状態でもＤＲＡＭに対するリセット制御を可能とするため、ＤＲＡＭのリセット制御用の外部装置が設けられる。しかし、このような構成では、ＤＲＡＭのリセット制

50

御をCPUに代わって外部装置が行うため、CPUが直接リセット操作を行う場合と異なり、操作によっては動作不良が生じる場合があった。

【0005】

本発明は、CPUに代わって外部装置によりDRAMのリセット制御を行う構成において、リセット操作における動作不良の発生を抑制することを目的とする。

【課題を解決するための手段】

【0006】

本発明の請求項1に係る電子装置は、

リセットが可能なDRAMと、

前記DRAMのリセット制御を行うリセット制御部と、

前記DRAMに対するアクセス制御を行うと共に、当該DRAMに対するリセット操作を前記リセット制御部に依頼するDRAM制御部と、を備え、

前記リセット制御部は、予め設定された条件に基づいて前記DRAMのリセット操作を行うと共に、前記DRAM制御部からの依頼に応じて当該DRAMのリセットおよびリセット解除を行い、

前記DRAM制御部は、電源供給を開始された際の動作として、

シングルランク・モードで前記DRAMに対する初期化シーケンスを実行して当該DRAMに対するアクセスのタイミング調整を行い、

次に、前記リセット制御部に当該DRAMのリセットを依頼し、当該シングルランク・モードからマルチランク・モードに変更した後に、当該リセット制御部に当該DRAMのリセット解除を依頼し、

当該マルチランク・モードで当該DRAMに対する初期化シーケンスを実行することを特徴とする、電子装置である。

請求項2に係る電子装置は、

前記リセット制御部は、前記DRAM制御部に電源供給が開始されると、前記DRAMのリセット解除を行い、

前記DRAM制御部は、前記リセット制御部による前記DRAMのリセット解除が行われた後に、当該DRAMに対する初期化シーケンスを実行することを特徴とする、請求項1に記載の電子装置である。

請求項3に係る装置は、

リセットが可能なDRAM（ダイナミック・ランダム・アクセス・メモリ）に対するアクセス制御を行う装置であって、

電源供給を開始されると、シングルランク・モードで動作して、前記DRAMに対するアクセスのタイミング調整を行い、

前記DRAMのリセット制御を行う外部装置に当該DRAMをリセットさせ、リセット解除後に、マルチランク・モードで前記DRAMに対する初期化シーケンスを実行することを特徴とする、装置である。

請求項4に係るDRAMの初期化方法は、

リセットが可能なDRAMに対してアクセス制御を行うDRAM制御部による当該DRAMの初期化方法であって、

シングルランク・モードで前記DRAMに対する初期化シーケンスを実行して当該DRAMに対するアクセスのタイミング調整を行い、

前記DRAMのリセット制御を行う外部装置に、当該DRAMのリセットを依頼し、

前記シングルランク・モードからマルチランク・モードに変更し、

前記外部装置に、前記DRAMのリセット解除を依頼し、

前記マルチランク・モードで前記DRAMに対する初期化シーケンスを実行することを特徴とする、DRAMの初期化方法である。

【発明の効果】

【0007】

請求項1の発明によれば、DRAM制御部に代わって外部装置によりDRAMのリセッ

10

20

30

40

50

ト制御を行う構成において、シングルランク・モードでＤＲＡＭに対するレベリングを行い、マルチランク・モードでＤＲＡＭを使用するＤＲＡＭ制御部の電源供給開始時に行われる動作により、ＤＲＡＭ制御部がＤＲＡＭにとって不定状態となることを回避することができる。

請求項２の発明によれば、ＤＲＡＭのリセットが解除されてからＤＲＡＭ制御部の電源供給開始時の動作が開始されるように制御することにより、ＤＲＡＭ制御部によるＤＲＡＭの初期化シーケンスを確実に実行することができる。

請求項３の発明によれば、シングルランク・モードでＤＲＡＭに対するレベリングを行い、マルチランク・モードでＤＲＡＭを使用する装置の電源供給開始時に行われる動作において、装置がＤＲＡＭにとって不定状態となることを回避することができる。

10

請求項４の発明によれば、ＤＲＡＭの初期化処理において、シングルランク・モードでＤＲＡＭに対するレベリングを行い、マルチランク・モードでＤＲＡＭを使用するＤＲＡＭ制御部の電源供給開始時に行われる動作により、ＤＲＡＭ制御部がＤＲＡＭにとって不定状態となることを回避し、リセット操作における動作不良の発生を抑制することができる。

【図面の簡単な説明】

【０００８】

【図１】本実施形態による電子装置の構成例を概略的に示す図である。

【図２】シングルランク・モードでレベリングを行った後にマルチランク・モードでＤＩＭＭ（ＤＲＡＭ）を使用するための初期化シーケンスの例を示すシーケンス図である。

20

【図３】リセット制御回路を含む構成において、シングルランク・モードでレベリングを行った後にマルチランク・モードでＤＩＭＭ（ＤＲＡＭ）を使用するための初期化シーケンスの例を示すシーケンス図である。

【図４】本実施形態によるＤＩＭＭ（ＤＲＡＭ）の初期化シーケンスを示すシーケンス図である。

【発明を実施するための形態】

【０００９】

< 本実施形態が適用される電子装置の構成 >

図１は、本実施形態による電子装置の構成例を概略的に示す図である。

図１に示す構成例において、本実施形態の電子装置１００は、演算装置であるＣＰＵ（Central Processing Unit）１０と、記憶装置であるＤＲＡＭ２０と、ＤＲＡＭ２０のリセット制御を行うリセット制御回路３０と、電源装置４０とを備える。また、ＣＰＵ１０、ＤＲＡＭ２０およびリセット制御回路３０は、電源装置４０から電源供給を受けている。なお、図１に示す構成例は、本実施形態における特徴的な構成のみが記載されている。実際には、外部装置とデータ交換を行うためのコントローラやインターフェイス、入力デバイス、表示制御装置などの種々の装置（モジュール、ユニット）が電子装置１００に搭載される。

30

【００１０】

ＤＲＡＭ２０は、例えば、ＤＤＲ３等のリセット機能を有するＲＡＭ（Random Access Memory）であり、メモリ・コントローラ（ＤＲＡＭ制御部の一例）を介してデータの出入力が行われる。本実施形態では、ＣＰＵ１０がメモリ・コントローラの機能を兼ねる。

40

【００１１】

リセット制御回路３０（リセット制御部の一例）は、ＤＲＡＭ２０のリセット制御を行う。詳しくは後述するが、本実施形態では、ＤＲＡＭ２０のリセット制御を、ＣＰＵ１０ではなく、専用の装置であるリセット制御回路３０により行う。ここで、リセット制御回路３０によるリセット制御は、予め設定された条件（リセット条件またはリセット解除条件）を満たすときにＤＲＡＭ２０へのリセット信号をＬｏｗレベルやＨｉｇｈレベルとし、次に別の条件（リセット解除条件またはリセット条件）を満たすまでその出力を維持するものである。一例として、電子装置１００の電源投入時等、ＣＰＵ１０への電源供給が開始されるときには、ＤＲＡＭ２０の初期化シーケンスを実行するために、リセット制御

50

回路30は、DRAM20のリセット解除を行う。また、本実施形態では、リセット制御回路30は、予め設定されたDRAM20のリセット制御の他に、CPU10からのリセット操作依頼を受け付けると、DRAM20のリセット操作（リセットおよびリセット解除）を行う。

#### 【0012】

CPU10は、各種の制御動作および演算処理を実行する。また、本実施形態のCPU10は、リセット制御回路30が行う予め設定されたリセット操作の他にCPU10からの制御に基づいてDRAM20のリセットを行う必要がある場合に、リセット制御回路30に対してDRAM20のリセット操作を依頼する。

#### 【0013】

本実施形態において、電子装置100は、いわゆる省電力モードの一つとして、CPU10の電源供給を停止するモードを有している。省電力モードでは、省電力モードに移行する際に電子装置100の動作状態についての情報がDRAM20等の記憶装置に保存され、その後に各装置への電源供給が停止される。そして、通常の動作モードに復帰する際、各装置は、記憶装置に保存されている動作状態の情報を取得して省電力モードへ移行する前の状態に復帰する。なお、DRAM20に情報を保存した場合、省電力モードにおいても、DRAM20に対しては、保存した情報を維持するために電源供給が継続される。一方、不揮発性の記憶装置に情報を保存した場合は、省電力モードにおいて、記憶装置に対する電源供給も停止することができる。

#### 【0014】

ここで、動作状態の情報がDRAM20に保存される場合、CPU10への電源供給が停止されると、CPU10からDRAM20へのリセット信号が0(OFF)になる。すると、DRAM20もリセット状態になってしまうので、DRAM20は、記憶内容を保持することができない。そこで、本実施形態の電子装置100は、CPU10への電源供給が停止されている間もDRAM20の記憶内容を保持させるため、外部回路（外部装置）であるリセット制御回路30を設け、CPU10ではなくリセット制御回路30によりDRAM20のリセット制御を行う。

#### 【0015】

<DRAM20の仕様とレベリング>

また、本実施形態において、DRAM20は、マルチランク構成のDIMM(Dual In-line Memory Module)とする。複数のDRAMチップをプリント基板上に搭載したメモリモジュールをDIMMと呼び、メモリモジュールの動作ブロックの単位をランクと呼ぶ。マルチランクとは、1枚のDIMMに複数のランクが設けられていることを意味し、ランク2（ランクの数が2）、ランク4（ランクの数が4）等のDIMMが存在する。また、1枚のDIMMで1ランクが設けられたメモリモジュールをシングルランク・メモリ、2ランク使用するメモリモジュールをデュアルランク・メモリ等と呼ぶ。

#### 【0016】

ところで、DDR3以降のDIMMは、フライバイ・トポロジと呼ばれる設計が行われている。そのため、メモリ・コントローラから送信された信号がDIMM上の各DRAM20に到達するのが同時ではなく、個々のDRAM20ごとに時間差が存在する。この時間差があることを前提としてデータの読み書きを正常に行うため、DIMMに対する電源投入時の初期化シーケンスにおいて、レベリングと呼ばれるメモリ・コントローラのタイミング調整が行われる。

#### 【0017】

上述したマルチランク構成のDIMMでは、ランクごとに個別にレベリングを行うことが好適である。しかし、このレベリングの操作を簡易に行うため、一つのランクに対してレベリングを行って得られた調整結果を他のランクに対しても流用する手法がとられる場合がある。この場合、DIMMの初期化シーケンスにおいて、まず一つのランクのみを用いるモード（シングルランク・モード）にDIMMを設定してメモリ・コントローラのレベリングを行い、その後に複数ランクを用いるモード（マルチランク・モード）にDIMM

10

20

30

40

50

Mの設定を変更して動作させるようにする。ここで、シングルランク・モードからマルチランク・モードに設定を変更するために、D I M M ( D R A M 2 0 ) をリセットすることが必要である。

【 0 0 1 8 】

図 2 は、シングルランク・モードでレベリングを行った後にマルチランク・モードで D I M M ( D R A M 2 0 ) を使用するための初期化シーケンスの例を示すシーケンス図である。ここでは、レベリングを含む初期シーケンスの一般的な流れを説明するため、リセット制御回路 3 0 を用いず、C P U 1 0 によりリセット制御を行う場合の動作について説明する。

【 0 0 1 9 】

図 2 に示す例において、C P U 1 0 および D R A M 2 0 に対して電源装置 4 0 による電源供給が開始されると、まず C P U 1 0 から D R A M 2 0 へ送られるリセット信号が H i g h レベルとなり、D R A M 2 0 のリセット解除が行われる。そして、C P U 1 0 は、まずメモリ・コントローラとしての動作モードをシングルランク・モードに設定し、D R A M 2 0 の初期化シーケンスを実行し、レベリングを実行する。C P U 1 0 が D R A M 2 0 から応答を受けてレベリングが完了する。

【 0 0 2 0 】

次に、C P U 1 0 は、メモリ・コントローラとしての動作モードをマルチランク・モードに再設定し、リセット操作を行う。すなわち、C P U 1 0 から D R A M 2 0 へ送られるリセット信号を一度 L o w レベルにし ( リセット ) 、再び H i g h レベルにする ( リセット解除 ) 。そして、C P U 1 0 は、マルチランク・モードで D R A M 2 0 の初期化シーケンスを実行する。この 2 回目の初期化シーケンスが終了すると、D R A M 2 0 は待機状態 ( スタンバイ ) となり、C P U 1 0 は、D R A M 2 0 に対してマルチランク・モードでアクセス可能となる。

【 0 0 2 1 】

< 本実施形態における D R A M 2 0 の初期化シーケンス >

上述したように、本実施形態では、C P U 1 0 に代わってリセット制御回路 3 0 が D R A M 2 0 のリセット制御を行う。ここで、D R A M 2 0 の初期化シーケンスの実行時におけるリセット制御について考える。上述したように、本実施形態では、C P U 1 0 への電源供給が開始されると、リセット制御回路 3 0 が D R A M 2 0 へのリセット信号を H i g h レベルにしてリセットを解除し、C P U 1 0 が初期化シーケンスを開始する。

【 0 0 2 2 】

図 3 は、リセット制御回路 3 0 を含む構成において、シングルランク・モードでレベリングを行った後にマルチランク・モードで D I M M ( D R A M 2 0 ) を使用するための初期化シーケンスの例を示すシーケンス図である。本来、マルチランク・モードで D R A M 2 0 を使用する場合には、D R A M 2 0 の初期化シーケンスにおけるレベリングは、マルチランク・モードで行われる。この場合、D R A M 2 0 の初期化シーケンスの開始後にリセット操作が行われることはない。リセット操作を行うと、その度に再び初期化シーケンスを実行することとなるためである。そのため、図 3 に示す例では、リセット制御回路 3 0 は、最初にリセットを解除した後は D R A M 2 0 に対するリセット操作を行わない。

【 0 0 2 3 】

図 3 に示すように、C P U 1 0 への電源供給が開始されると、リセット制御回路 3 0 は、D R A M 2 0 のリセットを解除する。そして、C P U 1 0 は、メモリ・コントローラとしての動作モードをシングルランク・モードに設定し、D R A M 2 0 の初期化シーケンスを実行し、レベリングを実行する。C P U 1 0 が D R A M 2 0 から応答を受けてレベリングが完了する。

【 0 0 2 4 】

次に、C P U 1 0 は、メモリ・コントローラとしての動作モードをマルチランク・モードに再設定し、D R A M 2 0 のリセット操作を行おうとする。しかし、D R A M 2 0 のリセット制御はリセット制御回路 3 0 が行うように構成されている ( C P U 1 0 は、D R A

10

20

30

40

50

M20へのリセット信号線が接続されていない)ので、CPU10の制御によりDRAM20のリセット操作を行うことはできない。また、上述したように、リセット制御回路30は、このタイミングでDRAM20のリセット操作を行わない。そのため、この動作モードの再設定後のタイミングで、DRAM20はリセットされない。

#### 【0025】

この後、CPU10は、DRAM20の初期化シーケンスを実行しようとするが、DRAM20は、リセットされていないために、CPU10からの再初期化コマンドに基づく初期化シーケンスが実行されない。したがって、CPU10は、この2回目の初期化シーケンスが終了した後、DRAM20に対してマルチランク・モードでアクセスしようとするが、DRAM20はシングルランク・モードのままとなり、CPU10からDRAM20へ正常にアクセスすることができなくなる。

10

#### 【0026】

上記のように、DRAM20のリセット制御を外部回路であるリセット制御回路30で行う構成では、メモリ・コントローラにおいてシングルランク・モードでレベリングを行った後にマルチランク・モードでDIMM(DRAM20)を使用する場合、正常に初期化シーケンスを実行することができない。このような事態を回避するため、本実施形態では、CPU10は、DRAM20に対してリセット操作を行う必要がある場合に、リセット制御回路30に対してリセット操作を行うように依頼する。そして、リセット制御回路30が、CPU10からの依頼を受けてDRAM20のリセット操作を行う。

#### 【0027】

20

図4は、本実施形態によるDIMM(DRAM20)の初期化シーケンスを示すシーケンス図である。図4に示す動作において、CPU10が、シングルランク・モードでレベリングを実行し、DRAM20から応答を受けてレベリングが完了するまでの動作は、図3に示した動作と同様である。

#### 【0028】

次に、CPU10は、リセット制御回路30に対してリセット依頼を行う。リセット制御回路30は、このCPU10からの依頼を受けて、DRAM20をリセットする(リセット信号をLowレベルにする)。そして、CPU10は、メモリ・コントローラとしての動作モードをマルチランク・モードに再設定し、リセット制御回路30に対してリセット解除依頼を行う。リセット制御回路30は、このCPU10からの依頼を受けて、DRAM20をリセット解除する(リセット信号をHighレベルにする)。

30

#### 【0029】

この後、CPU10は、マルチランク・モードでDRAM20の初期化シーケンスを実行する。この2回目の初期化シーケンスが終了すると、DRAM20は待機状態(スタンバイ)となり、CPU10は、DRAM20に対してマルチランク・モードでアクセス可能となる。

#### 【0030】

ここで、図4に示す動作では、CPU10は、マルチランク・モードに再設定する前に、リセット制御回路30にリセット依頼を行ってDRAM20をリセット(リセット信号がLowレベル)させ、マルチランク・モードへの再設定が終了した後に、リセット制御回路30にリセット解除依頼を行ってDRAM20をリセット解除(リセット信号がHighレベル)させた。このような手順をとったのは、DRAM20にとってCPU10が不定状態となって、DRAM20が予期せぬ状態になってしまうことを抑制するためである。すなわち、DRAM20をリセットする前にCPU10のマルチランク・モードへの再設定を行うと、DRAM20にとってCPU10が不定状態となる。すると、CPU10から出力される制御信号が、DRAM20において不定出力として認識される。そのため、DRAM20において、CPU10からの初期化コマンドに基づいて初期化シーケンスの再実行が行われなかったり、保存していたデータが消失したりする等の予期せぬ事態が発生する可能性があった。そこで、本実施形態では、図4に示したように、まずDRAM20をリセットしてからCPU10のマルチランク・モードへの再設定を行い、再設定

40

50

が終了してCPU 10がDRAM 20にとって不定状態でなくなってからリセット解除することにより、DRAM 20において予期せぬ事態が発生することを抑制している。

【0031】

以上説明したように、本実施形態は、CPU 10がリセット制御回路30に対してリセット操作（リセットおよびリセット解除）を依頼し、リセット制御回路30がCPU 10からの依頼に応じてDRAM 20に対するリセット操作を実行する。このような構成としたことにより、本実施形態によれば、リセット制御回路30において予め設定された条件で行われるリセット操作以外にも、DRAM 20のリセット操作を行う必要がある場合に、CPU 10からリセット制御回路30へ依頼することにより、DRAM 20のリセット操作を行うことが可能となる。

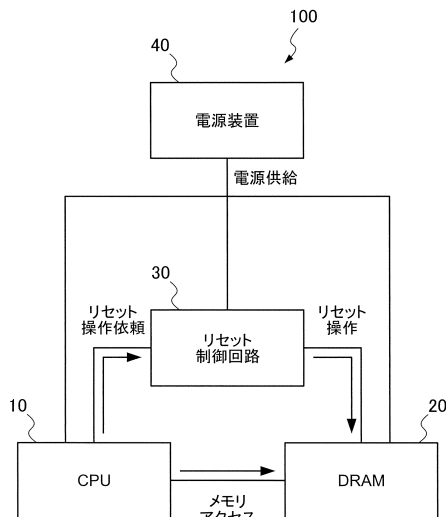
10

【符号の説明】

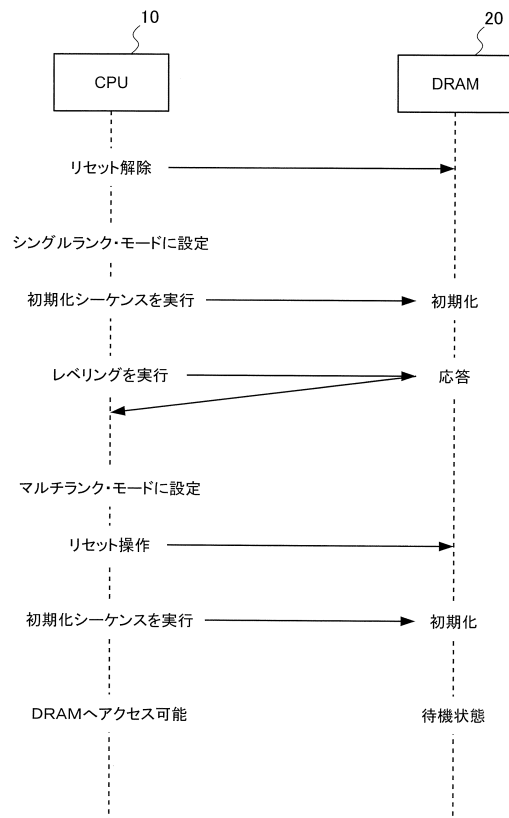
【0032】

10...CPU、20...DRAM、30...リセット制御回路、40...電源装置、100...電子装置

【図1】

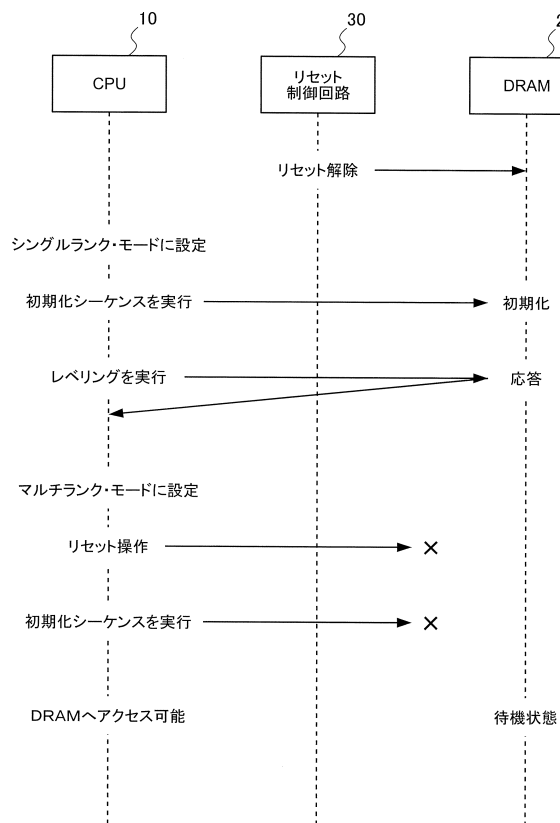


【図2】

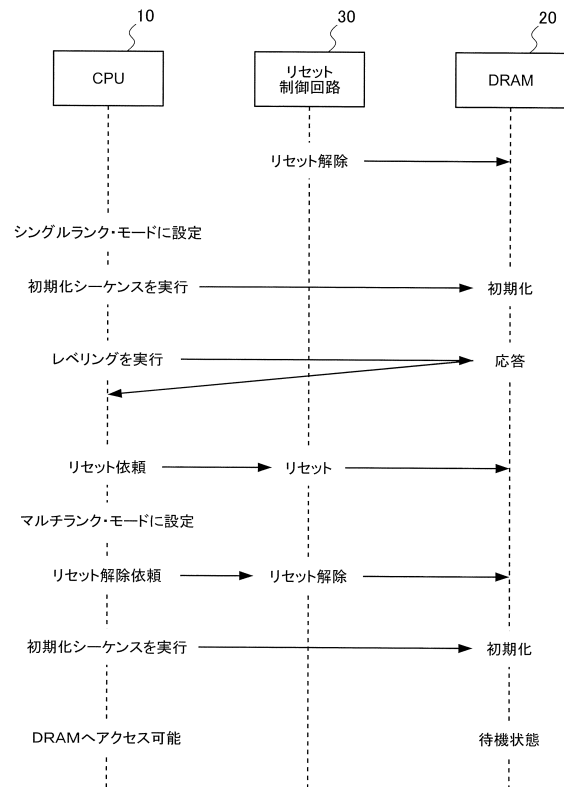




【図 3】



【図 4】



---

フロントページの続き

- (72)発明者 野村 建太  
神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内
- (72)発明者 佐伯 梨佐  
神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内

審査官 木村 貴俊

- (56)参考文献 特開2009-158032(JP,A)  
特開2006-252654(JP,A)  
特開2012-068873(JP,A)  
特開2012-059184(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G06F12/00-12/06  
13/16-13/18